(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0017509
(43) 공개일자 2023년02월06일

(51) 국제특허분류(Int. Cl.)
G11C 16/34 (2006.01) *G11C 16/04* (2006.01)
G11C 16/08 (2006.01) *G11C 16/24* (2006.01)
(52) CPC특허분류
G11C 16/3459 (2013.01)
G11C 16/0483 (2013.01)
(21) 출원번호 10-2021-0099069
(22) 출원일자 2021년07월28일
심사청구일자 2021년07월28일

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
권대웅
서울특별시 서초구 주흥13길 38, 102동 103호
(74) 대리인
김남식, 이인행

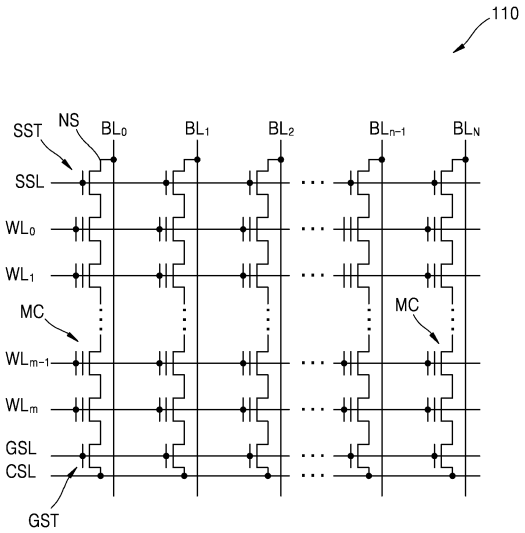
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **낸드 플래시 메모리 소자의 동작방법**

(57) 요 약

본 발명의 일 관점에 의한 낸드 플래시 메모리 소자의 동작방법은, 서로 직렬로 연결된 복수의 메모리셀들을 각각 포함하는 복수의 낸드 스트링들, 상기 복수의 낸드 스트링들에 각각 연결된 복수의 비트 라인들 및 상기 복수의 낸드 스트링들의 각 행의 메모리셀들의 게이트에 연결된 복수의 워드 라인들을 포함하는 낸드 플래시 메모리 소자의 동작방법으로서, 상기 복수의 워드 라인들 중 선택된 워드 라인에 연결된 선택된 메모리셀들에 프로그램 전압을 증가시키면서 프로그램 동작과 검증 동작을 반복하는 적어도 2-비트의 멀티-비트 프로그램 단계를 포함하고, 각 검증 동작은 상기 복수의 비트 라인들의 적어도 일부에 서로 다른 비트 라인 전압들을 인가하고, 상기 선택된 워드 라인에 검증 전압을 인가하여 수행한다.

대 표 도 - 도4



(52) CPC특허분류
G11C 16/08 (2013.01)
G11C 16/24 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711132158
과제번호 2020M3F3A2A01081670
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 차세대지능형반도체기술개발
연구과제명 음의 정전용량 전계효과 트랜지스터로 구성된 저전력 정적 램 개발
기 여 율 1/2
과제수행기관명 인하대학교
연구기간 2021.01.01 ~ 2021.12.31
이 발명을 지원한 국가연구개발사업
과제고유번호 1415173229
과제번호 20010847
부처명 산업통상자원부
과제관리(전문)기관명 한국산업기술평가관리원
연구사업명 전자부품산업기술개발
연구과제명 3나노 공정 노드 적용을 위한 1나노 유효 산화막 두께를 가지는 저전력 음의 정전용량 전계효과 트랜지스터 개발
기 여 율 1/2
과제수행기관명 인하대학교산학협력단
연구기간 2021.01.01 ~ 2021.12.31

명 세 서

청구범위

청구항 1

서로 직렬로 연결된 복수의 메모리셀들을 각각 포함하는 복수의 낸드 스트링들, 상기 복수의 낸드 스트링들에 각각 연결된 복수의 비트 라인들 및 상기 복수의 낸드 스트링들의 각 행의 메모리셀들의 게이트에 연결된 복수의 워드 라인들을 포함하는 낸드 플래시 메모리 소자의 동작방법으로서,

상기 복수의 워드 라인들 중 선택된 워드 라인에 연결된 선택된 메모리셀들에 프로그램 전압을 증가시키면서 프로그램 동작과 검증 동작을 반복하는 적어도 2-비트의 멀티-비트 프로그램 단계를 포함하고,

각 검증 동작은 상기 복수의 비트 라인들의 적어도 일부에 서로 다른 비트 라인 전압들을 인가하고, 상기 선택된 워드 라인에 검증 전압을 인가하여 수행하는,

낸드 플래시 메모리 소자의 동작방법.

청구항 2

제 1 항에 있어서,

상기 멀티-비트 프로그램 단계는 각 메모리셀 당 2-비트의 데이터를 기록하고,

상기 멀티-비트 프로그램 단계에서, 한번의 프로그램 동작에 한번의 검증 동작만을 수행하는,

낸드 플래시 메모리 소자의 동작방법.

청구항 3

제 2 항에 있어서,

각 검증 동작은 상기 복수의 비트 라인들 중 적어도 3개의 비트 라인들에 서로 다른 비트 라인 전압들을 인가하여 수행하는,

낸드 플래시 메모리 소자의 동작방법.

청구항 4

제 1 항에 있어서,

각 검증 동작에서, 상기 검증 전압은 상기 선택된 메모리셀들의 가장 낮은 프로그램 상태의 문턱전압보다 같거나 낮은,

낸드 플래시 메모리 소자의 동작방법.

청구항 5

제 1 항에 있어서,

상기 복수의 비트 라인들은 제 1 비트 라인, 제 2 비트 라인 및 제 3 비트 라인을 포함하고,

상기 선택된 메모리셀들은 상기 제 1 비트 라인에 연결된 제 1 메모리셀, 상기 제 2 비트 라인에 연결된 제 2 메모리셀, 상기 제 3 비트 라인에 연결된 제 3 메모리셀을 포함하고,

상기 제 1 메모리셀, 상기 제 2 메모리셀 및 상기 제 3 메모리셀의 목표 프로그램 상태는, 각각 제 1 프로그램 상태, 제 2 프로그램 상태, 제 3 프로그램 상태이고(단, 제 1 프로그램 상태 < 제 2 프로그램 상태 < 제 3 프로그램 상태),

각 검증 동작에서, 상기 제 1 비트 라인에는 제 1 비트 라인 전압을 인가하고, 상기 제 2 비트 라인에는 제 2 비트 라인 전압을 인가하고, 제 3 비트 라인에는 제 3 비트 라인 전압을 인가하여 수행하는(단, 제 1 비트 라인

전압 < 제 2 비트 라인 전압 < 제 3 비트 라인 전압),

낸드 플래시 메모리 소자의 동작방법.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

각 검증 동작에서, 상기 복수의 워드 라인들 중 비선택 워드 라인들에는 상기 비선택 워드 라인들에 연결된 메모리셀들을 턴-온 시킬 수 있는 읽기 전압이 인가되는,

낸드 플래시 메모리 소자의 동작방법.

청구항 7

서로 직렬로 연결된 복수의 메모리셀들을 각각 포함하는 복수의 낸드 스트링들, 상기 복수의 낸드 스트링들에 각각 연결된 복수의 비트 라인들 및 상기 복수의 낸드 스트링들의 각 행의 메모리셀들의 게이트에 연결된 복수의 워드 라인들을 포함하는 낸드 플래시 메모리 소자의 동작방법으로서,

상기 복수의 워드 라인들 중 선택된 워드 라인에 연결된 선택된 메모리셀들에 제 1 프로그램 전압을 인가하는 제 1 프로그램 동작 단계;

상기 복수의 비트 라인들의 적어도 일부에 서로 다른 비트 라인 전압들을 인가하고, 상기 선택된 워드 라인에 제 1 검증 전압을 인가하는, 적어도 2-비트의 멀티-비트 검증을 위한 제 1 검증 동작 단계;

상기 복수의 워드 라인들 중 선택된 워드 라인에 연결된 선택된 메모리셀들에 상기 제 1 프로그램 전압보다 큰 제 2 프로그램 전압을 인가하는 제 2 프로그램 동작 단계; 및

상기 복수의 비트 라인들의 상기 적어도 일부에 상기 서로 다른 비트 라인 전압들을 인가하고, 상기 선택된 워드 라인에 상기 제 1 검증 전압을 인가하는, 적어도 2-비트의 멀티-비트 검증을 위한 제 2 검증 동작 단계를 포함하는,

낸드 플래시 메모리 소자의 동작방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 소자에 관한 것으로서, 더 상세하게는 낸드 플래시 메모리 소자의 동작 방법에 관한 것이다.

배 경 기 술

[0002] 비휘발성 메모리 소자, 예컨대 플래시 메모리는 데이터의 보존성이 우수할 뿐만 아니라, 하드 디스크 등에 비해서 소비전력이 낮고 외부충격에 강한 장점이 있다. 특히, 노어(NOR) 구조의 플래시 메모리 소자는 고속 랜덤 액세스가 가능하다는 점에서 코드 저장용으로 이용되고, 낸드(NAND) 구조의 플래시 메모리 소자는 그 집적도가 높고 페이지 동작이 가능하다는 점에서 데이터 저장용으로 일반적으로 이용된다.

[0003] 최근 이러한 낸드 플래시 메모리 소자는 하나의 메모리셀이 2-비트 이상의 멀티-비트로 동작되도록 설계되고 있다. 예를 들어, 도 1은 각 메모리셀이 2-비트로 동작하는 경우, 소거 상태(E)와 3가지 프로그램 상태(P1, P2, P3)를 도시하고 있다. 이러한 2-비트 프로그램은 도 2에 도시된 바와 같이, 증분 스텝 펄스 프로그램(incremental step pulse program, ISPP) 방식을 이용하여 수행될 수 있다. 이 경우, 프로그램 전압을 높여가면서 프로그램 동작을 수행하고, 각 프로그램 동작 후 세 가지 프로그램 상태를 확인하기 위하여 세 가지 레벨의 검증 전압들(V_{vf1}, V_{vf2}, V_{vf3})을 이용한 세 번의 검증(verifying) 단계를 거친다.

[0004] 따라서, 이러한 프로그램 방법을 이용하는 경우, 2-비트 데이터 저장을 위해서는 ISPP 프로그램 시 각 프로그램 동작 마다 세 번의 검증 단계를 거쳐야 해서 프로그램 시간이 길어지게 된다. 나아가, 3-비트 데이터 저장을 위해서는 7회의 검증 단계를 거쳐야 해서, 데이터 비트가 늘어날수록 검증 단계가 대폭 늘어나게 되는 문제가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 전술한 문제점을 해결하기 위한 것으로서, 2-비트 이상의 데이터 프로그램 시 데이터 검증에 대한 시간을 줄여 전체 프로그램 시간을 줄일 수 있는 낸드 플래시 메모리 소자의 동작 방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위한 본 발명의 일 관점에 의한 낸드 플래시 메모리 소자의 동작방법은, 서로 직렬로 연결된 복수의 메모리셀들을 각각 포함하는 복수의 낸드 스트링들, 상기 복수의 낸드 스트링들에 각각 연결된 복수의 비트 라인들 및 상기 복수의 낸드 스트링들의 각 행의 메모리셀들의 게이트에 연결된 복수의 워드 라인들을 포함하는 낸드 플래시 메모리 소자의 동작방법으로서, 상기 복수의 워드 라인들 중 선택된 워드 라인에 연결된 선택된 메모리셀들에 프로그램 전압을 증가시키면서 프로그램 동작과 검증 동작을 반복하는 적어도 2-비트의 멀티-비트 프로그램 단계를 포함하고, 각 검증 동작은 상기 복수의 비트 라인들의 적어도 일부에 서로 다른 비트 라인 전압들을 인가하고, 상기 선택된 워드 라인에 검증 전압을 인가하여 수행한다.

[0007] 상기 낸드 플래시 메모리 소자의 동작방법에 따르면, 상기 멀티-비트 프로그램 단계는 각 메모리셀 당 2-비트를 데이터를 기록하고, 상기 멀티-비트 프로그램 단계에서, 한번의 프로그램 동작에 한번의 검증 동작만을 수행할 수 있다.

[0008] 상기 낸드 플래시 메모리 소자의 동작방법에 따르면, 각 검증 동작은 상기 복수의 비트 라인들 중 적어도 3개의 비트 라인들에 서로 다른 비트 라인 전압들을 인가하여 수행할 수 있다.

[0009] 상기 낸드 플래시 메모리 소자의 동작방법에 따르면, 각 검증 동작에서, 상기 검증 전압은 상기 선택된 메모리셀들의 가장 낮은 프로그램 상태의 문턱전압보다 낮을 수 있다.

[0010] 상기 낸드 플래시 메모리 소자의 동작방법에 따르면, 상기 복수의 비트 라인들은 제 1 비트 라인, 제 2 비트 라인 및 제 3 비트 라인을 포함하고,

[0011] 상기 선택된 메모리셀들은 상기 제 1 비트 라인에 연결된 제 1 메모리셀, 상기 제 2 비트 라인에 연결된 제 2 메모리셀, 상기 제 3 비트 라인에 연결된 제 3 메모리셀을 포함하고,

[0012] 상기 제 1 메모리셀, 상기 제 2 메모리셀 및 상기 제 3 메모리셀의 목표 프로그램 상태는, 각각 제 1 프로그램 상태, 제 2 프로그램 상태, 제 3 프로그램 상태이고(단, 제 1 프로그램 상태 < 제 2 프로그램 상태 < 제 3 프로그램 상태), 각 검증 동작에서, 상기 제 1 비트 라인에는 제 1 비트 라인 전압을 인가하고, 상기 제 2 비트 라인에는 제 2 비트 라인 전압을 인가하고, 제 3 비트 라인에는 제 3 비트 라인 전압을 인가하여 수행할(단, 제 1 비트 라인 전압 < 제 2 비트 라인 전압 < 제 3 비트 라인 전압) 수 있다.

[0013] 상기 낸드 플래시 메모리 소자의 동작방법에 따르면, 각 검증 동작에서, 상기 복수의 워드 라인들 중 비선택 워드 라인들에는 상기 비선택 워드 라인들에 연결된 메모리셀들을 턴-온 시킬 수 있는 읽기 전압이 인가될 수 있다.

[0014] 상기 과제를 해결하기 위한 본 발명의 다른 관점에 의한 낸드 플래시 메모리 소자의 동작방법은, 서로 직렬로 연결된 복수의 메모리셀들을 각각 포함하는 복수의 낸드 스트링들, 상기 복수의 낸드 스트링들에 각각 연결된 복수의 비트 라인들 및 상기 복수의 낸드 스트링들의 각 행의 메모리셀들의 게이트에 연결된 복수의 워드 라인들을 포함하는 낸드 플래시 메모리 소자의 동작방법으로서, 상기 복수의 워드 라인들 중 선택된 워드 라인에 연결된 선택된 메모리셀들에 제 1 프로그램 전압을 인가하는 제 1 프로그램 동작 단계와, 상기 복수의 비트 라인들의 적어도 일부에 서로 다른 비트 라인 전압들을 인가하고, 상기 선택된 워드 라인에 제 1 검증 전압을 인가하는, 적어도 2-비트의 멀티-비트 검증을 위한 제 1 검증 동작 단계와, 상기 복수의 워드 라인들 중 선택된 워드 라인에 연결된 선택된 메모리셀들에 상기 제 1 프로그램 전압보다 큰 제 2 프로그램 전압을 인가하는 제 2 프로그램 동작 단계와, 상기 복수의 비트 라인들의 상기 적어도 일부에 상기 서로 다른 비트 라인 전압들을 인가하고, 상기 선택된 워드 라인에 상기 제 1 검증 전압을 인가하는, 적어도 2-비트의 멀티-비트 검증을 위한 제 2 검증 동작 단계를 포함할 수 있다.

발명의 효과

[0015] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 낸드 플래시 메모리 소자의 동작방법에 의하면, 2-비트 이상의 멀티-비트 데이터 프로그램 시 검증 동작을 단순화 하여 전체 동작 시간을 대폭 줄일 수 있다.

[0016] 물론 이러한 효과는 예시적인 것이고, 이러한 효과에 의해서 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

[0017] 도 1 및 도 2는 통상적인 낸드 플래시 메모리 소자에서 2-비트 데이터 프로그램 방법을 보여주는 그래프들이다.

도 3은 본 발명의 일 실시예에 따른 낸드 플래시 메모리 소자를 보여주는 블록도이다.

도 4는 도 3의 낸드 플래시 메모리 소자에서 메모리셀 어레이를 개략적으로 보여주는 회로도이다.

도 5 및 도 6은 본 발명의 일 실시예에 따른 낸드 플래시 메모리 소자의 프로그램 동작을 보여주는 그래프들이다.

도 7은 본 발명의 본 발명의 일 실시예에 따른 낸드 플래시 메모리 소자의 프로그램 동작에서 프로그램 동작을 보여주는 그래프이다.

도 8은 본 발명의 본 발명의 일 실시예에 따른 낸드 플래시 메모리 소자의 프로그램 동작에서 검증 동작을 보여주는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있는 것으로, 이하의 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한 설명의 편의를 위하여 도면에서는 적어도 일부의 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 도면에서 동일한 부호는 동일한 요소를 지칭한다.

[0019] 다르게 정의되지 않는 한, 여기에 사용된 모든 용어들은 해당기술 분야에서 통상의 지식을 가진 자에 의해서 통상적으로 이해되는 것과 같은 의미로 사용된다. 도면에서, 층 및 영역의 크기는 설명을 위해 과장되었고, 따라서 본 발명의 일반적인 구조들을 설명하기 위해 제공된다.

[0020] 동일한 참조 부호들은 동일한 구성 요소를 나타낸다. 층, 영역, 또는 기판과 같은 한 구성이 다른 구성 상(on)에 있다고 지칭할 때, 그것은 다른 구성의 바로 상부에 있거나 또는 그 사이에 다른 개재된 구성이 또한 존재할 수 있는 것으로 이해될 것이다. 반면에, 한 구성이 다른 구성의 “바로 위에(directly on)” 있다라고 지칭할 때는 중간 개재 구성들이 존재하지 않는다고 이해된다.

[0021] 도 3은 본 발명의 일 실시예에 따른 낸드 플래시 메모리 소자(100)를 보여주는 블록도이고, 도 4는 도 3의 낸드 플래시 메모리 소자에서 메모리셀 어레이를 개략적으로 보여주는 회로도이다.

[0022] 도 3 및 도 4를 같이 참조하면, 낸드 플래시 메모리 소자(100)는 메모리셀 어레이(110), X-버퍼/로우 디코더(120), Y-버퍼/칼럼 디코더(130) 및 제어 로직(140)을 포함할 수 있다.

[0023] 메모리셀 어레이(110)는 데이터 저장을 위한 메모리셀들(MC)의 어레이 배치를 포함할 수 있다. 예를 들어, 메모리셀들(MC)은 행렬로 배열될 수 있고, 나아가 블록 단위로 구분될 수도 있다.

[0024] 낸드 플래시 메모리 소자(100) 내 메모리셀 어레이(110)는 복수의 낸드 스트링들(NS)을 포함할 수 있다. 각 낸드 스트링(NS)은 서로 직렬로 연결된 복수의 메모리셀들(MC)을 포함할 수 있다. 나아가, 각 낸드 스트링(NS)은 복수의 메모리셀들(MC)의 일측에 스트링 선택 트랜지스터(SST)를 포함하고 타측에 접지 선택 트랜지스터(GST)를 포함할 수 있다.

[0025] 복수의 비트 라인들(BL_0 ~ BL_N)은 낸드 스트링들(NS)의 일단에 연결되고, 공통 소오스 라인(CSL)은 낸드 스트링들(NS)의 타단에 연결될 수 있다. 예를 들어, 비트 라인들(BL_0 ~ BL_N)은 스트링 선택 트랜지스터(SST)의 드레인단에 연결되고, 공통 소오스 라인(CSL)은 접지 선택 트랜지스터(GST)의 소오스 단에 연결될 수 있다.

[0026] 스트링 선택 라인(SSL)은 스트링 선택 트랜지스터들(SST)의 동작을 제어하도록 스트링 선택 트랜지스터들(SST)

의 게이트에 연결될 수 있다. 접지 선택 라인(GSL)은 접지 선택 트랜지스터들(GST)의 동작을 제어하도록 접지 선택 트랜지스터들(GST)의 게이트에 연결될 수 있다. 복수의 워드 라인들(WL_0 ~ WL_m)은 메모리셀들(MC)의 동작을 제어하도록 낸드 스트링들(NS)의 각 행에 배열된 메모리셀들(MC)의 게이트에 연결될 수 있다.

[0027] 메모리셀 어레이(110)는 X-버퍼/로우 디코더(120) 및 Y-버퍼/칼럼 디코더(130)와 결합될 수 있다. 예를 들어, 메모리셀 어레이(110)의 워드 라인들(WL_0 ~ WL_m)이 X-버퍼/로우 디코더(120)에 연결될 수 있다. 메모리셀 어레이(110)의 비트 라인들(BL_0 ~ BL_N)은 Y-버퍼/칼럼 디코더(130)에 연결될 수 있다. 제어 로직(140)은 X-버퍼/로우 디코더(120) 및 Y-버퍼/칼럼 디코더(130)에 결합되어, 이들을 제어할 수 있다.

[0028] 예를 들어, 어드레스 신호의 전달 과정을 보면, 제어 로직(140)은 로우 어드레스 신호를 X-버퍼/로우 디코더(120)에 전달하고, X-버퍼/로우 디코더(120)는 이러한 신호들을 디코딩하여 메모리셀 어레이(110)에 로우 어드레스 신호를 전달할 수 있다. 또한, 제어 로직(140)은 칼럼 어드레스 신호를 Y-버퍼/칼럼 디코더(130)에 전달하고, Y-버퍼/칼럼 디코더(130)는 이 신호를 디코딩하여 비트 라인들(BL_0 ~ BL_N)을 통해서 메모리셀 어레이(110)에 칼럼 어드레스 신호를 전달할 수 있다.

[0029] 도 5 및 도 6은 본 발명의 일 실시예에 따른 낸드 플래시 메모리 소자(100)의 프로그램 동작을 보여주는 그래프들이다.

[0030] 도 1 내지 도 6을 같이 참조하면, 본 발명의 일 실시에에 따른 낸드 플래시 메모리 소자(100)의 동작 방법은 워드 라인들(WL_0 ~ WL_m) 중 선택된 워드 라인에 연결된 선택된 메모리셀들(MC)에 프로그램 전압을 증가시키면서 프로그램 동작과 검증 동작을 반복하는 적어도 2-비트의 멀티-비트 프로그램 단계를 포함할 수 있다. 각 검증 동작은 비트 라인들(BL_0 ~ BL_N)의 적어도 일부에 서로 다른 비트 라인 전압들을 인가하고, 선택된 워드 라인에 검증 전압을 인가하여 수행할 수 있다.

[0031] 통상적인 프로그램 방법에서는 프로그램 동작 후 2-비트 이상의 데이터 검증을 위해서는 적어도 3회 이상의 검증 동작이 필요하다. 하지만, 이 실시예에 따르면, 비트 라인들(BL_0 ~ BL_N)의 적어도 일부에 서로 다른 비트 라인 전압들을 인가함으로써, 검증 동작 회수를 크게 줄일 수 있다.

[0032] 예를 들어, 도 5에 도시된 바와 같이, 증분 스텝 펄스 프로그램(incremental step pulse program, ISPP)법에 의하면, 제 1 프로그램 전압(V_{pgm1})을 워드 라인들(WL_0 ~ WL_m) 중 선택된 워드 라인에 인가하는 제 1 프로그램 동작 후, 비트 라인들(BL_0 ~ BL_N) 중 적어도 일부에 서로 다른 비트 라인 전압을 인가하고 선택된 워드 라인에 제 1 검증 전압(V_{vf1})을 인가하는 제 1 검증 동작을 수행할 수 있다. 이어서, 제 2 프로그램 전압(V_{pgm2})을 워드 라인들(WL_0 ~ WL_m) 중 선택된 워드 라인에 인가하는 제 2 프로그램 동작 후, 비트 라인들(BL_0 ~ BL_N) 중 적어도 일부에 서로 다른 비트 라인 전압을 인가하고 선택된 워드 라인에 제 1 검증 전압(V_{vf1})을 인가하는 제 2 검증 동작을 수행할 수 있다. 이와 같이, 프로그램 동작과 검증 동작을 반복할 수 있다.

[0033] 비트 라인 전압들이 다르게 인가되는 경우, 메모리셀들(MC)을 통해 흐르는 전류는 달라질 수 있다. 예를 들어, 비트 라인 전압이 커질수록 메모리셀들(MC)에 흐르는 전류는 커질 수 있다. 따라서, 도 6에 도시된 바와 같이, 메모리셀들(MC)의 목표 프로그램 상태가 다른 경우, 워드 라인들(WL_0 ~ WL_m) 중 선택된 워드 라인에 동일한 검증 전압(V_{vf1})을 인가한 상태에서도 비트 라인들(BL_0 ~ BL_N)에 인가되는 비트 라인 전압을 달리하면, 메모리셀들(MC)을 통한 전류의 크기가 달라지기 때문에 메모리셀들(MC)의 프로그램 상태를 적은 회수로 검증하는 것이 가능해진다.

[0034] 각 메모리셀(MC) 당 2-비트의 데이터를 기록할 경우, 각 프로그램 동작에 한번의 검증 동작만을 수행할 수 있다. 일부 실시예에서, 각 검증 동작은 비트 라인들(BL_0 ~ BL_N) 중 적어도 3개의 비트 라인들에 서로 다른 비트 라인 전압들을 인가하여 수행할 수 있다. 프로그램 동작이 반복됨에 따라서 메모리셀들(MC)의 상태가 소거 상태(E)에서 프로그램 상태들(P1, P2, P3)로 순차로 변경될 수 있다.

[0035] 예를 들어, 2-비트의 데이터 기록의 경우, 각 메모리셀(MC)은 4가지의 상태, 즉 소거 상태(E)와 세 개의 프로그램 상태들(P1, P2, P3)을 가질 수 있다. 이러한 데이터 상태에 따라서 메모리셀들(MC)의 문턱전압(threshold voltage)은 달라질 수 있다. 예를 들어, 제 1 프로그램 상태(P1)의 메모리셀(MC)의 문턱전압은 소거 상태(E)의 메모리셀(MC)의 문턱전압보다 크고, 제 2 프로그램 상태(P2)의 문턱전압은 제 1 프로그램 상태(P1)의 메모리셀

(MC)의 문턱전압보다 크고, 제 3 프로그램 상태(P3)의 문턱전압은 제 2 프로그램 상태(P2)의 메모리셀(MC)의 문턱전압보다 클 수 있다.

[0036] 각 검증 동작에서, 검증 전압(V_{vf1})은 선택된 메모리셀들(MC)의 가장 낮은 프로그램 상태, 예컨대 제 1 프로그램 상태(P1)의 문턱전압보다 같거나 낮을 수 있다. 메모리셀들(MC)이 제 1 프로그램 상태(P1)로 프로그램 되기 전까지는 검증 동작에서 메모리셀들(MC)을 통해서 소정 이상의 전류가 흐른다. 하지만, 프로그램 동작을 반복해서 메모리셀들(MC)이 제 1 프로그램 상태(P1)에 이르게 되면, 이후 검증 동작에서 메모리셀들(MC)을 통해서 전류가 흐르지 않게 된다. 하지만, 메모리셀들(MC)이 제 1 프로그램 상태(P1)에 이르게 된 경우에도, 비트 라인들(BL_0 ~ BL_N)에 인가되는 비트 라인 전압을 높게 하면, 메모리셀들(MC)을 통해서 전류가 흐르게 된다. 따라서, 비트 라인들(BL_0 ~ BL_N)에 서로 다른 비트 라인 전압들을 인가하게 되면, 도 6에 도시된 바와 같이 제 1 내지 제 3 프로그램 상태들(P1, P2, P3)을 구분하는 것이 가능해진다.

[0037] 이하에서는 2-비트 데이터 프로그램 동작을 3개의 비트 라인들(BL_0, BL_1, BL_2)에 대해서 예시적으로 설명한다.

[0038] 도 7은 본 발명의 본 발명의 일 실시예에 따른 낸드 플래시 메모리 소자(100)의 프로그램 동작에서 프로그램 동작을 보여주는 그래프이다.

[0039] 도 7을 참조하면, 프로그램 동작 시, 선택된 워드 라인(WL_1)에 프로그램 전압(V_{pgm})을 인가하고, 나머지 워드 라인들(WL_0, WL_2 ~ WL_m)에는 패스 전압(V_{pass})을 인가하고, 스트링 선택 라인(SSL)에는 동작 전압(Vcc)을 인가하고, 접지 선택 라인(GSL)에는 턴-오프 전압(예컨대 0V)을 인가할 수 있다. 비트 라인들(BL_0, BL_1, BL_2) 중 프로그램을 위한 비트 라인들에는 0V를 인가할 수 있다.

[0040] 한편, 반복적인 프로그램 동작에 의해서 특정 메모리셀(MC)이 목표 프로그램 상태가 된 것이 검증되면, 이후 프로그램 단계에서 해당 메모리셀(MC)이 속한 비트 라인에는 프로그램 방지를 위한 프로그램 방지 전압, 예컨대, 동작 전압(Vcc)을 인가할 수 있다.

[0041] 도 8은 본 발명의 본 발명의 일 실시예에 따른 낸드 플래시 메모리 소자(100)의 프로그램 동작에서 검증 동작을 보여주는 그래프이다.

[0042] 도 8을 참조하면, 검증 동작 시, 제 1 비트 라인(BL_0)에는 제 1 비트 라인 전압(V_{bl1})을 인가하고, 제 2 비트 라인(BL_1)에는 제 2 비트 라인 전압(V_{bl2})을 인가하고, 제 3 비트 라인(BL_2)에는 제 3 비트 라인 전압(V_{bl3})을 인가할 수 있다. 선택된 워드 라인(WL_1)에는 검증 전압(V_{vf1})을 인가하고, 나머지 비선택 워드 라인들(WL_0, WL_2 ~ WL_m)에는 메모리셀들(MC)을 턴-온 시킬 수 있는 읽기 전압(V_{read})을 인가할 수 있다.

[0043] 예를 들어, 제 1 비트 라인(BL_0)에 연결된 제 1 메모리셀(MC1)의 목표 프로그램 상태는 제 1 프로그램 상태(P1)이고, 제 2 비트 라인(BL_1)에 연결된 제 2 메모리셀(MC2)의 목표 프로그램 상태는 제 2 프로그램 상태(P2)이고, 제 3 비트 라인(BL_2)에 연결된 제 3 메모리셀(MC3)의 목표 프로그램 상태는 제 3 프로그램 상태(P3)로 설정될 수 있다(단, P3 > P2 > P1). 이 경우, 제 3 비트 라인 전압(V_{bl3})은 제 2 비트 라인 전압(V_{bl2})보다 크고, 제 2 비트 라인 전압(V_{bl2})은 제 1 비트 라인 전압(V_{bl2})보다 클 수 있다.

[0044] 이에 따라, 검증 동작 시, 제 1 메모리셀(MC1)은 제 1 프로그램 상태(P1)에 이르게 되면 전류의 흐름을 허용하지 않게 되고, 제 2 메모리셀(MC2)은 제 2 프로그램 상태(P2)에 이르게 되면 전류의 흐름을 허용하지 않고, 제 3 메모리셀(MC3)은 제 3 프로그램 상태(P3)에 이르게 되면 전류의 흐름을 허용하지 않게 된다.

[0045] 따라서, 전술한 검증 동작에 의하면, 제 1 메모리셀(MC1)의 제 1 프로그램 상태(P1), 제 2 메모리셀(MC2)의 제 2 프로그램 상태(P2) 및 제 3 메모리셀(MC3)의 제 3 프로그램 상태(P3)를 한번의 검증 동작으로 검증할 수 있게 된다. 이에 따라, ISPP 프로그램 방식에서 검증 동작의 회수를 대폭 줄여 낸드 플래시 메모리 소자(100)의 동작 시간을 대폭 줄일 수 있다.

[0046] 한편, 3-비트 이상의 데이터 검증의 경우, 비트 라인들(BL_0 ~ BL_N) 중 적어도 7개의 비트 라인들에 서로 다른 비트 라인 전압들을 인가하게 되면, 역시 한번의 검증 동작으로 7 개의 프로그램 상태를 동시에 구분할 수도 있다. 다만, 비트 라인 전압이 증가함에 따라서 메모리셀들(MC)에 흐르는 전류는 포화될 수 있기 때문에, 3-비

트 이상의 데이터 검증의 경우, 비트 라인 전압들의 수에 따라서 1회 이상의 검증 동작을 수행할 수도 있다.

[0047] 전술한 바와 같이, 본 발명의 실시예들에 따른 낸드 플래시 메모리 소자(100)의 동작 방법에 따르면, 2-비트 이상의 멀티-비트 동작의 경우, 검증 시간을 대폭 줄일 수 있어서, 낸드 플래시 메모리 소자(100)의 동작 속도를 크게 향상시킬 수 있다.

[0048] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

[0049] 50, 100: 강유전체 메모리 소자

52, 102: 기판

104: 층간 절연층

106: 희생층

56, 112: 강유전체층

58, 114: 게이트 절연층

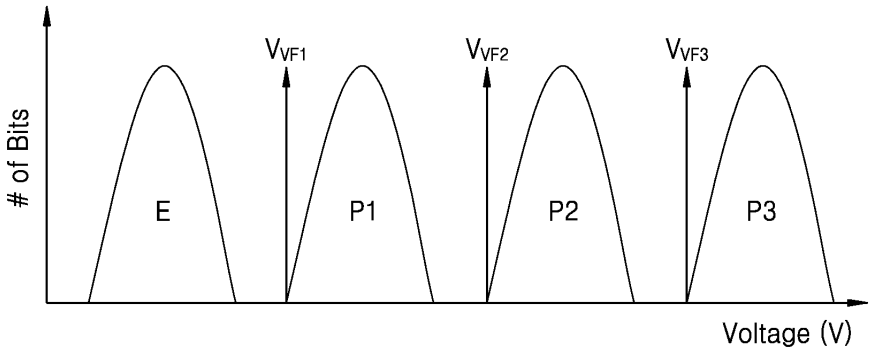
120: 반도체 채널층

60, 130: 게이트 전극층

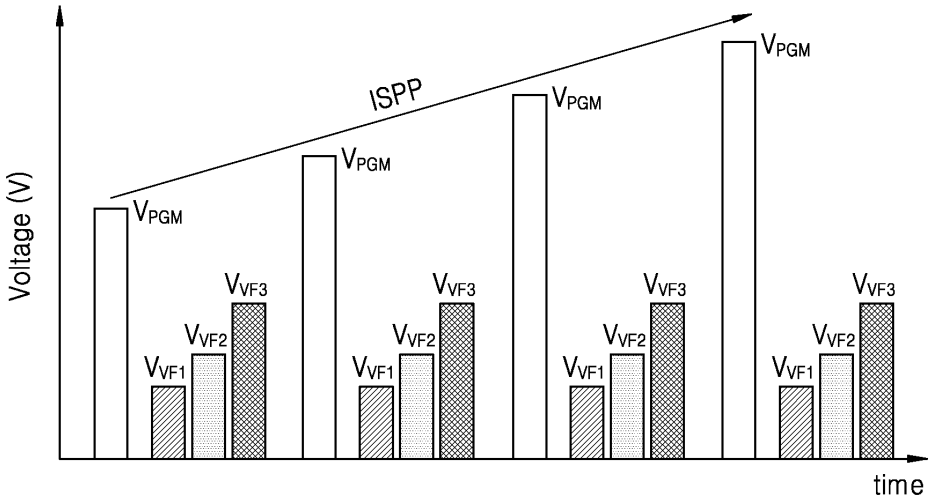
135: 수직 구조체

도면

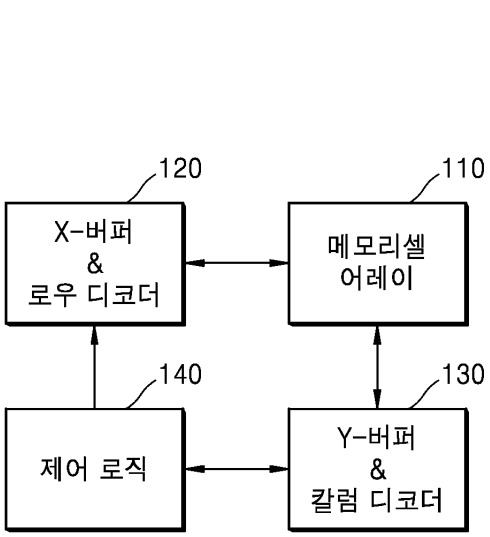
도면1



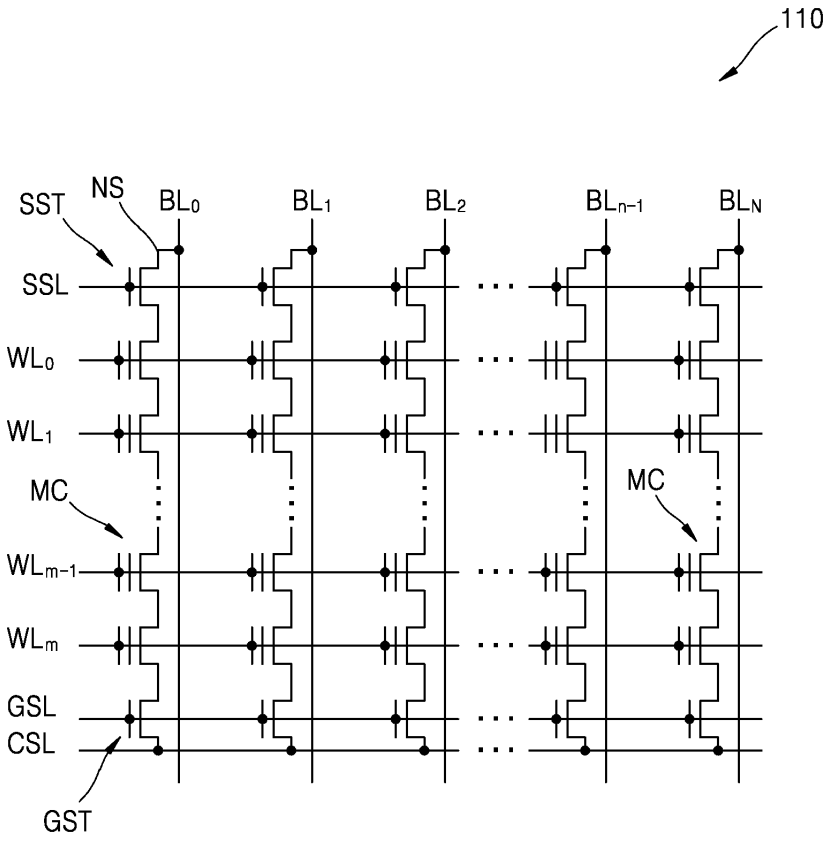
도면2


Voltage (V)
time
ISPP
VPGM
VPGM
VPGM
VPGM
VF1
VF2
VF3
VF1
VF2
VF3
VF1
VF2
VF3
VF1
VF2
VF3

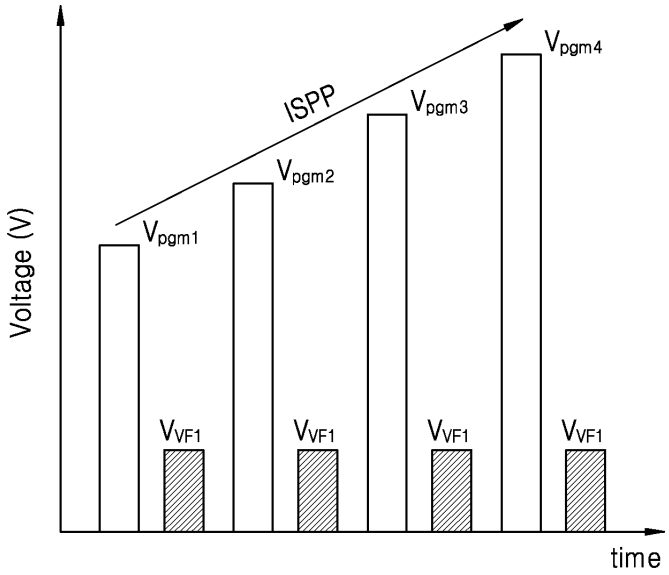
도면3


100
120
X-버퍼
&
로우 디코더
110
메모리셀
어레이
140
제어 로직
130
Y-버퍼
&
칼럼 디코더

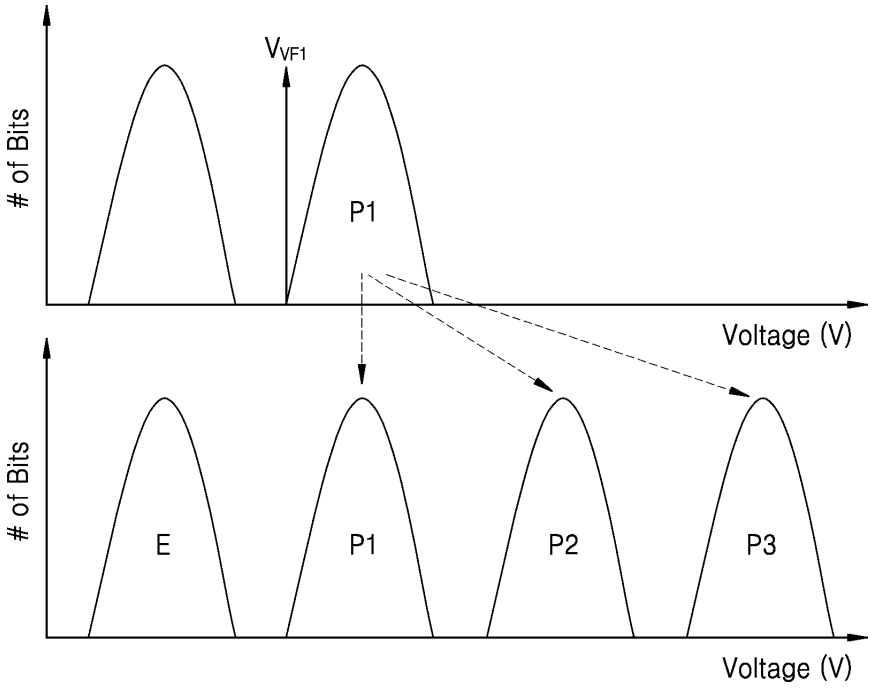
도면4


110
SST
NS
BL0
BL1
BL2
BLn-1
BLN
SSL
WL0
WL1
MC
MC
WLm-1
WLm
GSL
CSL
GST

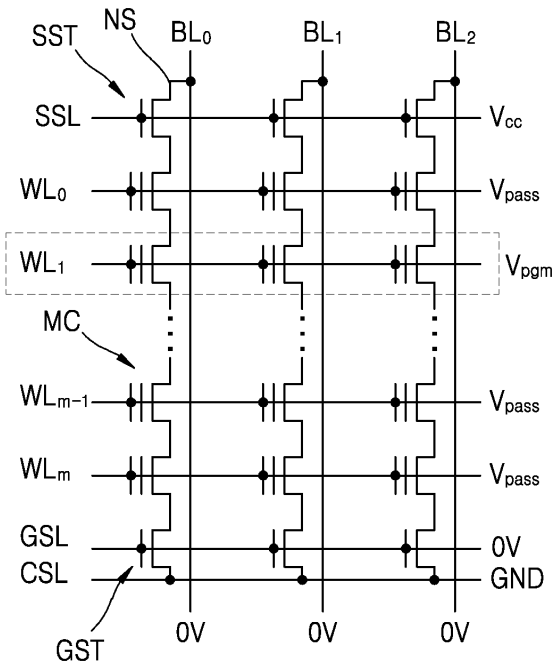
도면5


Voltage (V)
ISPP
Vpgm1
Vpgm2
Vpgm3
Vpgm4
VVF1
VVF1
VVF1
VVF1
time

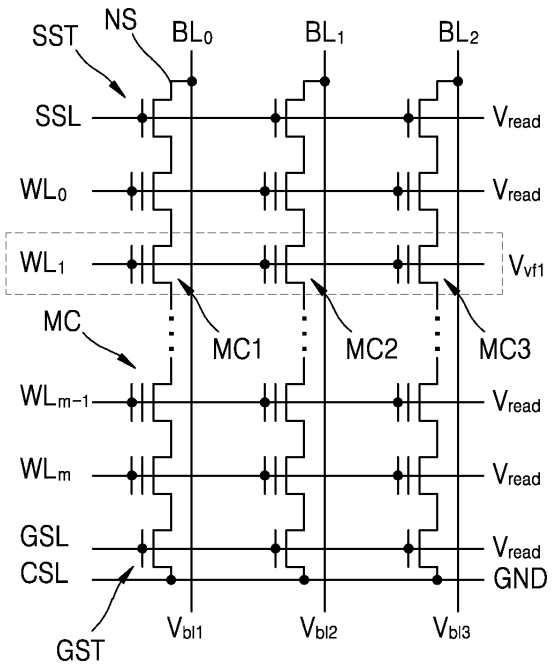
도면6


V_{VF1}
# of Bits
P1
Voltage (V)
# of Bits
E
P1
P2
P3
Voltage (V)

도면7


SST
NS
BL_0
BL_1
BL_2
SSL
V_{cc}
WL_0
V_{pass}
WL_1
V_{pgm}
MC
WL_{m-1}
V_{pass}
WL_m
V_{pass}
GSL
0V
CSL
GND
GST
0V
0V
0V

도면8


SST
NS
BL0
BL1
BL2
SSL
Vread
WL0
Vread
WL1
Vvf1
MC
MC1
MC2
MC3
WLm-1
Vread
WLm
Vread
GSL
Vread
CSL
GND
GST
Vbl1
Vbl2
Vbl3