



(12) 发明专利申请

(10) 申请公布号 CN 104392704 A

(43) 申请公布日 2015. 03. 04

(21) 申请号 201410776422. 8

(22) 申请日 2014. 12. 15

(71) 申请人 合肥京东方光电科技有限公司

地址 230012 安徽省合肥市新站区铜陵北路
2177 号

申请人 京东方科技集团股份有限公司

(72) 发明人 邵贤杰 李小和

(74) 专利代理机构 北京银龙知识产权代理有限
公司 11243

代理人 许静 黄灿

(51) Int. Cl.

G09G 3/36(2006. 01)

G11C 19/28(2006. 01)

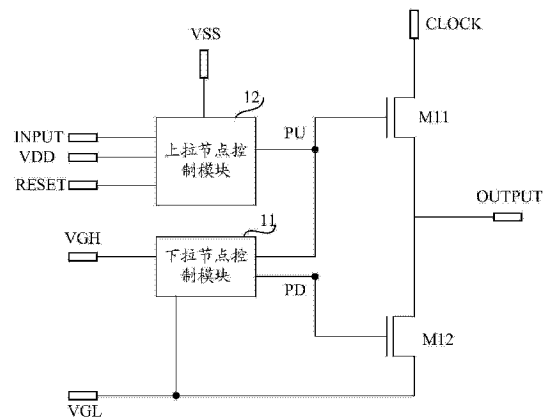
权利要求书2页 说明书8页 附图6页

(54) 发明名称

移位寄存器单元及其驱动方法、移位寄存器和显示装置

(57) 摘要

本发明提供一种移位寄存器单元及其驱动方法、移位寄存器和显示装置。所述移位寄存器单元包括栅极驱动信号输出端、时钟信号端、上拉晶体管、下拉晶体管、下拉节点控制模块和上拉节点控制模块，下拉节点控制模块在输入阶段控制使得下拉节点的电位为低电位，在输出阶段控制下拉晶体管关断，在复位阶段控制下拉晶体管导通，使得所述栅极驱动信号输出端输出低电平；上拉节点控制模块在输入阶段控制上拉节点的电位被拉高为高电位，在输出阶段控制上拉晶体管保持导通，使得栅极驱动信号输出端输出由时钟信号，在复位阶段控制上拉节点的电位被拉低为低电位，在维持阶段控制上拉晶体管关断。本发明以简洁的电路结构实现双向扫描功能，以降低功耗。



1. 一种移位寄存器单元,其特征在于,包括栅极驱动信号输出端、时钟信号端、上拉晶体管、下拉晶体管、下拉节点控制模块和上拉节点控制模块,其中,

所述上拉晶体管,栅极与上拉节点连接,第一极与所述时钟信号端连接,第二极与所述栅极驱动信号输出端连接;

所述下拉晶体管,栅极与下拉节点连接,第一极与所述栅极驱动信号输出端连接,第二极接入第一低电平;

所述下拉节点控制模块,接入所述第一低电平和第一高电平,并分别与所述上拉节点和所述下拉节点连接,用于在每一显示周期的输入阶段控制使得所述下拉节点的电位为低电位,在每一显示周期的输出阶段控制该下拉节点的电位维持为低电位,从而控制所述下拉晶体管关断,在每一显示周期的复位阶段控制所述下拉节点的电位被拉高为高电平,在每一显示周期的维持阶段控制所述下拉节点的电位持续被拉高,从而控制所述下拉晶体管导通,使得所述栅极驱动信号输出端输出低电平;

所述上拉节点控制模块,接入所述第一低电平、第二低电平和第二高电平,并分别与所述上拉节点、所述下拉节点、所述输入端和所述复位端连接,用于在每一显示周期的输入阶段控制所述上拉节点的电位被拉高为高电位,在每一显示周期的输出阶段控制所述上拉节点的电位被进一步自举拉高,从而控制所述上拉晶体管保持导通,使得所述栅极驱动信号输出端输出由所述时钟信号端输入的时钟信号,在每一显示周期的复位阶段控制所述上拉节点的电位被拉低为低电平,并在每一显示周期的维持阶段控制所述上拉节点的电位维持为低电平,从而控制所述上拉晶体管关断。

2. 如权利要求 1 所述的移位寄存器单元,其特征在于,所述下拉节点控制模块包括:

第一下拉节点控制晶体管,栅极接入所述第一高电平,第一极接入所述第一高电平,第二极与所述下拉节点连接;

以及,第二下拉节点控制晶体管,栅极与所述上拉节点连接,第一极与所述下拉节点连接,第二极接入所述第一低电平。

3. 如权利要求 1 所述的移位寄存器单元,其特征在于,所述上拉节点控制模块包括第一晶体管、第二晶体管、上拉节点控制晶体管和存储电容,其中,

所述上拉节点控制晶体管,栅极与所述下拉节点连接,第一极与所述上拉节点连接,第二极接入所述第一低电平;

所述存储电容,连接于所述上拉节点与所述栅极驱动信号输出端之间;

在正向扫描时:所述第一晶体管,栅极与所述复位端连接,第一极接入所述第二低电平,第二极与所述上拉节点连接;

所述第二晶体管,栅极与所述输入端连接,第一极与所述上拉节点连接,第二极接入所述第二高电平;

在逆向扫描时:所述第一晶体管,栅极与所述输入端连接,第一极接入所述第二高电平,第二极与所述上拉节点连接;

所述第二晶体管,栅极与所述复位端连接,第一极与所述上拉节点连接,第二极接入所述第二低电平。

4. 如权利要求 2 或 3 所述的移位寄存器单元,其特征在于,所述上拉晶体管、所述下拉晶体管、所述第一上拉节点控制晶体管、所述第二上拉节点控制晶体管、所述第三上拉节点

控制晶体管、所述第一下拉节点控制晶体管和所述第二下拉节点控制晶体管都为 n 型晶体管。

5. 一种移位寄存器单元的驱动方法,应用于如权利要求 1 至 4 中任一权利要求所述的移位寄存器单元,其特征在于,所述驱动方法包括:在每一显示周期内,在正向扫描和逆向扫描时,在输入阶段,输入端接入高电平,复位端接入低电平,时钟信号端接入低电平,上拉节点控制模块控制上拉节点的电位被拉高为高电位,从而控制上拉晶体管导通,并控制下拉节点控制模块使得下拉节点的电位为低电位,从而控制下拉晶体管关断,因此栅极驱动信号输出端输出低电平;

在输出阶段,所述输入端接入低电平,所述复位端接入低电平,所述时钟信号端接入高电平,所述上拉节点控制模块控制上拉节点的电位进一步被自举拉高,从而控制所述上拉晶体管保持导通,并控制所述下拉节点控制模块使得所述下拉节点的电位保持为低电位,从而控制所述下拉晶体管保持关断,使得所述栅极驱动信号输出端输出高电平;

在复位阶段,所述输入端接入低电平,所述复位端接入高电平,所述上拉节点控制模块控制所述上拉节点的电位被拉低,从而控制所述上拉晶体管关断,所述下拉节点控制模块控制所述下拉节点的电位被拉高为高电平,从而控制所述下拉晶体管导通,使得所述栅极驱动信号输出端输出低电平;

在维持阶段,所述上拉节点控制模块控制所述上拉节点的电位维持为低电平,从而控制所述上拉晶体管关断,所述下拉节点控制模块控制所述下拉节点的电位持续被拉高,从而控制所述下拉晶体管导通,使得所述栅极驱动输出端持续输出低电平。

6. 一种移位寄存器,其特征在于,包括沉积在阵列基板上的多级如权利要求 1 至 4 中任一权利要求所述的移位寄存器单元;

第一级移位寄存器单元的输入端接入开启信号;

除了第一级移位寄存器单元之外,每一级移位寄存器单元的输入端与相邻上一级移位寄存器单元的栅极驱动信号输出端连接;

除了最后一级移位寄存器单元之外,每一级移位寄存器单元的复位端与相邻下一级移位寄存器单元的栅极驱动信号输出端连接;

最后一级移位寄存器单元的复位端接入复位信号;

相邻两级移位寄存器单元的时钟信号端接入的时钟信号反相。

7. 一种显示装置,其特征在于,包括如权利要求 6 所述的移位寄存器。

移位寄存器单元及其驱动方法、移位寄存器和显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种移位寄存器单元及其驱动方法、移位寄存器和显示装置。

背景技术

[0002] TFT-LCD(Thin Film Transistor Liquid Crystal Display,薄膜场效应晶体管液晶显示器)驱动器包括栅极驱动器和数据驱动器,移位寄存器单元常用于液晶显示面板的栅极驱动器中,每一条栅线与一级移位寄存器单元对接,栅极驱动器将输入的时钟信号通过移位寄存器单元转换后加在液晶显示面板的栅线上,多级移位寄存器单元组成移位寄存器,通过移位寄存器输出栅极驱动信号,逐行扫描液晶显示面板上的各行像素。

[0003] 现有的移位寄存器单元和移位寄存器不能以简洁的电路结构实现双向扫描功能,需要使用比较多的晶体管,功耗高。

发明内容

[0004] 本发明的主要目的在于提供一种移位寄存器单元及其驱动方法、移位寄存器和显示装置,以简洁的电路结构实现双向扫描功能,减少需要使用的晶体管,以降低功耗。

[0005] 为了达到上述目的,本发明提供了一种移位寄存器单元,包括栅极驱动信号输出端、输入端、复位端、时钟信号端、上拉晶体管、下拉晶体管、下拉节点控制模块和上拉节点控制模块,其中,

[0006] 所述上拉晶体管,栅极与上拉节点连接,第一极与所述时钟信号端连接,第二极与所述栅极驱动信号输出端连接;

[0007] 所述下拉晶体管,栅极与下拉节点连接,第一极与所述栅极驱动信号输出端连接,第二极接入第一低电平;

[0008] 所述下拉节点控制模块,接入所述第一低电平和第一高电平,并分别与所述上拉节点和所述下拉节点连接,用于在每一显示周期的输入阶段控制使得所述下拉节点的电位为低电位在每一显示周期的输出阶段控制该下拉节点的电位维持为低电位,从而控制所述下拉晶体管关断,在每一显示周期的复位阶段控制所述下拉节点的电位被拉高为高电平,在每一显示周期的维持阶段控制所述下拉节点的电位持续被拉高,从而控制所述下拉晶体管导通,使得所述栅极驱动信号输出端输出低电平;

[0009] 所述上拉节点控制模块,接入所述第一低电平、第二低电平和第二高电平,并分别与所述上拉节点、所述下拉节点、所述输入端和所述复位端连接,用于在每一显示周期的输入阶段控制所述上拉节点的电位被拉高为高电位,在每一显示周期的输出阶段控制所述上拉节点的电位被进一步自举拉高,从而控制所述上拉晶体管保持导通,使得所述栅极驱动信号输出端输出由所述时钟信号端输入的时钟信号,在每一显示周期的复位阶段控制所述上拉节点的电位被拉低为低电平,并在每一显示周期的维持阶段控制所述上拉节点的电位维持为低电平,从而控制所述上拉晶体管关断。

[0010] 实施时,所述下拉节点控制模块包括:

[0011] 第一下拉节点控制晶体管,栅极接入所述第一高电平,第一极接入所述第一高电平,第二极与所述下拉节点连接;

[0012] 以及,第二下拉节点控制晶体管,栅极与所述上拉节点连接,第一极与所述下拉节点连接,第二极接入所述第一低电平。

[0013] 实施时,所述上拉节点控制模块包括第一晶体管、第二晶体管、上拉节点控制晶体管和存储电容,其中,

[0014] 所述上拉节点控制晶体管,栅极与所述下拉节点连接,第一极与所述上拉节点连接,第二极接入所述第一低电平;

[0015] 所述存储电容,连接于所述上拉节点与所述栅极驱动信号输出端之间;

[0016] 在正向扫描时:所述第一晶体管,栅极与所述复位端连接,第一极接入所述第二低电平,第二极与所述上拉节点连接;

[0017] 所述第二晶体管,栅极与所述输入端连接,第一极与所述上拉节点连接,第二极接入所述第二高电平;

[0018] 在逆向扫描时:所述第一晶体管,栅极与所述输入端连接,第一极接入所述第二高电平,第二极与所述上拉节点连接;

[0019] 所述第二晶体管,栅极与所述复位端连接,第一极与所述上拉节点连接,第二极接入所述第二低电平。

[0020] 实施时,所述上拉晶体管、所述下拉晶体管、所述第一上拉节点控制晶体管、所述第二上拉节点控制晶体管、所述第三上拉节点控制晶体管、所述第一下拉节点控制晶体管和所述第二下拉节点控制晶体管都为 n 型晶体管。

[0021] 本发明还提供了一种移位寄存器单元的驱动方法,应用于上述的移位寄存器单元,所述驱动方法包括:在每一显示周期内,在正向扫描和逆向扫描时,

[0022] 在输入阶段,输入端接入高电平,复位端接入低电平,时钟信号端接入低电平,上拉节点控制模块控制上拉节点的电位被拉高为高电位,从而控制上拉晶体管导通,并控制下拉节点控制模块使得下拉节点的电位为低电位,从而控制下拉晶体管关断,因此栅极驱动信号输出端输出低电平;

[0023] 在输出阶段,所述输入端接入低电平,所述复位端接入低电平,所述时钟信号端接入高电平,所述上拉节点控制模块控制上拉节点的电位进一步被自举拉高,从而控制所述上拉晶体管保持导通,并控制所述下拉节点控制模块使得所述下拉节点的电位保持为低电位,从而控制所述下拉晶体管保持关断,使得所述栅极驱动信号输出端输出高电平;

[0024] 在复位阶段,所述输入端接入低电平,所述复位端接入高电平,所述上拉节点控制模块控制所述上拉节点的电位被拉低,从而控制所述上拉晶体管关断,所述下拉节点控制模块控制所述下拉节点的电位被拉高为高电平,从而控制所述下拉晶体管导通,使得所述栅极驱动信号输出端输出低电平;

[0025] 在维持阶段,所述上拉节点控制模块控制所述上拉节点的电位维持为低电平,从而控制所述上拉晶体管关断,所述下拉节点控制模块控制所述下拉节点的电位持续被拉高,从而控制所述下拉晶体管导通,使得所述栅极驱动输出端持续输出低电平。

[0026] 本发明还提供了一种移位寄存器,包括沉积在阵列基板上的多级上述的移位寄存

器单元；

[0027] 第一级移位寄存器单元的输入端接入开启信号；

[0028] 除了第一级移位寄存器单元之外，每一级移位寄存器单元的输入端与相邻上一级移位寄存器单元的栅极驱动信号输出端连接；

[0029] 除了最后一级移位寄存器单元之外，每一级移位寄存器单元的复位端与相邻下一级移位寄存器单元的栅极驱动信号输出端连接；

[0030] 最后一级移位寄存器单元的复位端接入复位信号；

[0031] 相邻两级移位寄存器单元的时钟信号端接入的时钟信号反相。

[0032] 本发明还提供了一种显示装置，包括上述的移位寄存器。

[0033] 与现有技术相比，本发明所述的移位寄存器单元，能够以简洁的电路结构实现双向扫描功能，需要使用晶体管少，功耗低。

附图说明

[0034] 图 1 是本发明实施例所述的移位寄存器单元的结构图；

[0035] 图 2 是本发明实施例所述的移位寄存器的结构图；

[0036] 图 3 是本发明一具体实施例所述的移位寄存器单元的电路图；

[0037] 图 4 是如图 3 所示的移位寄存器单元的具体实施例的工作时序图；

[0038] 图 5 是本发明另一具体实施例所述的移位寄存器单元的电路图；

[0039] 图 6 是本发明该具体实施例所述的移位寄存器单元的工作时序图。

具体实施方式

[0040] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0041] 如图 1 所示，本发明实施例所述的移位寄存器单元，包括栅极驱动信号输出端 OUTPUT、输入端 INPUT、复位端 RESET、时钟信号端 CLOCK、上拉晶体管 M11、下拉晶体管 M12、下拉节点控制模块 11 和上拉节点控制模块 12，其中，

[0042] 所述上拉晶体管 M11，栅极与上拉节点 PU 连接，第一极与所述时钟信号端 CLOCK 连接，第二极与所述栅极驱动信号输出端 OUTPUT 连接；

[0043] 所述下拉晶体管 M12，栅极与下拉节点 PD 连接，第一极与所述栅极驱动信号输出端 OUTPUT 连接，第二极接入第一低电平 VGL；

[0044] 所述下拉节点控制模块 11，接入所述第一低电平 VGL 和第一高电平 VGH，并分别与所述上拉节点 PU 和所述下拉节点 PD 连接，用于在每一显示周期的输入阶段控制使得所述下拉节点 PD 的电位为低电位，在每一显示周期的输出阶段控制该下拉节点 PD 的电位维持为低电位，从而控制所述下拉晶体管 M12 关断，在每一显示周期的复位阶段控制所述下拉节点 PD 的电位被拉高为高电平，在每一显示周期的维持阶段控制所述下拉节点 PD 的电位持续被拉高，从而控制所述下拉晶体管 M12 导通，使得所述栅极驱动信号输出端 OUTPUT 输出低电平；

[0045] 所述上拉节点控制模块 12, 接入所述第一低电平 VGL、第二低电平 VSS 和第二高电平 VDD, 并分别与所述上拉节点 PU、所述下拉节点 PD、所述输入端 INPUT 和所述复位端 RESET 连接, 用于在每一显示周期的输入阶段控制所述上拉节点 PU 的电位被拉高为高电位, 在每一显示周期的输出阶段控制所述上拉节点 PU 的电位被进一步自举拉高, 从而控制所述上拉晶体管 M11 保持导通, 使得所述栅极驱动信号输出端 OUTPUT 输出由所述时钟信号端 CLOCK 输入的时钟信号, 在每一显示周期的复位阶段控制所述上拉节点 PU 的电位被拉低为低电平, 并在每一显示周期的维持阶段控制所述上拉节点 PU 的电位维持为低电平, 从而控制所述上拉晶体管 M11 关断。

[0046] 在本发明该实施例所述的移位寄存器单元中, 所述上拉晶体管 M11 和所述下拉晶体管 M12 都为 n 型晶体管。

[0047] 本发明实施例所述的移位寄存器单元, 能够以简洁的电路结构实现双向扫描功能, 需要使用晶体管少, 功耗低。

[0048] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本发明实施例中, 为区分晶体管除栅极之外的两极, 将其中第一极可以为源极或漏极, 第二极可以为漏极或源极。此外, 按照晶体管的特性区分可以将晶体管分为 n 型晶体管或 p 型晶体管。在本发明实施例提供的驱动电路中, 所有晶体管均是以 n 型晶体管为例进行的说明, 可以想到的是在采用 p 型晶体管实现时是本领域技术人员可在没有做出创造性劳动前提下轻易想到的, 因此也是在本发明的实施例保护范围内的。

[0049] 具体的, 所述下拉节点控制模块包括:

[0050] 第一下拉节点控制晶体管, 栅极接入所述第一高电平, 第一极接入所述第一高电平, 第二极与所述下拉节点连接;

[0051] 以及, 第二下拉节点控制晶体管, 栅极与所述上拉节点连接, 第一极与所述下拉节点连接, 第二极接入所述第一低电平。

[0052] 具体的, 所述上拉节点控制模块包括第一晶体管、第二晶体管、上拉节点控制晶体管和存储电容, 其中,

[0053] 所述上拉节点控制晶体管, 栅极与所述下拉节点连接, 第一极与所述上拉节点连接, 第二极接入所述第一低电平;

[0054] 所述存储电容, 连接于所述上拉节点与所述栅极驱动信号输出端之间;

[0055] 在正向扫描时: 所述第一晶体管, 栅极与所述复位端连接, 第一极接入所述第二低电平, 第二极与所述上拉节点连接;

[0056] 所述第二晶体管, 栅极与所述输入端连接, 第一极与所述上拉节点连接, 第二极接入所述第二高电平;

[0057] 在逆向扫描时: 所述第一晶体管, 栅极与所述输入端连接, 第一极接入所述第二高电平, 第二极与所述上拉节点连接;

[0058] 所述第二晶体管, 栅极与所述复位端连接, 第一极与所述上拉节点连接, 第二极接入所述第二低电平。

[0059] 具体的, 所述上拉晶体管、所述下拉晶体管、所述第一上拉节点控制晶体管、所述第二上拉节点控制晶体管、所述第三上拉节点控制晶体管、所述第一下拉节点控制晶体管和所述第二下拉节点控制晶体管都为 n 型晶体管。

[0060] 如图 2 所示,本发明实施例所述的移位寄存器,包括沉积在阵列基板上的多级上述的移位寄存器单元;

[0061] 第一级移位寄存器单元 G(1) 的输入端接入开启信号 STV;

[0062] 除了第一级移位寄存器单元之外,每一级移位寄存器单元的输入端 INPUT 与相邻上一级移位寄存器单元的栅极驱动信号输出端 OUTPUT 连接;

[0063] 除了最后一级移位寄存器单元之外,每一级移位寄存器单元的复位端 RESET 与相邻下一级移位寄存器单元的栅极驱动信号输出端 OUTPUT 连接;

[0064] 最后一级移位寄存器单元的复位端接入复位信号(图 2 中未示);

[0065] 在图 2 中,G(2) 标示第二级移位寄存器单元,G(3) 标示第三级移位寄存器单元,G(4) 标示第四级移位寄存器单元;

[0066] 相邻两级移位寄存器单元的时钟信号端接入的时钟信号反相,在图 2 中 CLK 为第一时钟信号,CLKB 为第二时钟信号,CLK 和 CLKB 反相。

[0067] 下面通过具体实施例来说明本发明所述的移位寄存器单元。

[0068] 如图 3 所示,正向扫描的第 n 级移位寄存器单元 G(n),包括栅极驱动信号输出端 OUTPUT、输入端 INPUT、复位端 RESET、上拉晶体管 M11、下拉晶体管 M12、下拉节点控制模块 11 和上拉节点控制模块 12,其中,

[0069] 所述上拉晶体管 M11,栅极与上拉节点 PU 连接,第一极接入第一时钟信号 CLK,第二极与所述栅极驱动信号输出端 OUTPUT 连接;

[0070] 所述下拉晶体管 M12,栅极与下拉节点 PD 连接,第一极与所述栅极驱动信号输出端 OUTPUT 连接,第二极接入第一低电平 VGL;

[0071] 所述下拉节点控制模块 11,包括:

[0072] 第一下拉节点控制晶体管 M111,栅极接入所述第一高电平 VGH,第一极接入所述第一高电平 VGH,第二极与所述下拉节点 PD 连接;

[0073] 以及,第二下拉节点控制晶体管 M112,栅极与所述上拉节点 PU 连接,第一极与所述下拉节点 PD 连接,第二极接入所述第一低电平 VGL;

[0074] 所述上拉节点控制模块 12,包括:

[0075] 第一晶体管 M121,栅极与所述复位端 RESET 连接,第一极接入所述第二低电平 VSS,第二极与所述上拉节点 PU 连接;

[0076] 第二晶体管 M122,栅极与所述输入端 INPUT 连接,第一极与所述上拉节点 PU 连接,第二极接入所述第二高电平 VDD;

[0077] 上拉节点控制晶体管 M123,栅极与所述下拉节点 PD 连接,第一极与所述上拉节点 PU 连接,第二极接入所述第一低电平 VGL;

[0078] 以及,存储电容 C1,连接于所述上拉节点 PU 与所述栅极驱动信号输出端 OUTPUT 之间;

[0079] 接入第 (n+1) 级移位寄存器单元 G(n+1) 的时钟信号端的时钟信号为第二时钟信号 CLKB,CLK 和 CLKB 反相。

[0080] 如图 4 所示,图 3 所示的移位寄存器单元在正向扫描时,在一显示周期内,具体工作过程如下:

[0081] 在输入阶段 S1,输入端 INPUT 接入高电平信号,使得第二晶体管 M122 导通;输入

端 INPUT 的高电平信号给 C1 充电,使得上拉节点 PU 的电位被拉高,上拉晶体管 M11 开启,此时 OUTPUT 输出 CLK,CLK 为低电平,因此 OUTPUT 输出低电平,由于上拉节点 PU 的电位为高电位,会使得 M112 打开,使得这个时刻下拉节点 PD 的电位为低电平,使得 M12 和 M123 关断,从而保证栅极驱动信号的稳定输出;

[0082] 在输出阶段 S2,输入端 INPUT 接入低电平信号,使得第二晶体管 M122 关断,上拉节点 PU 的电位继续保持为高电位,上拉晶体管 M11 保持开启状态,此时 CLK 为高电平,上拉节点 PU 由于自举效应 (bootstrapping) 从而 PU 的电位被自举放大,最终向 OUTPUT 传输栅极驱动信号,此时 OUTPUT 输出 CLK,CLK 为高电平,因此 OUTPUT 输出高电平;此时 PU 的电位为高电位, M112 仍处于开启状态,对 PD 进行放电,从而使得 M12 和 M123 继续关断,从而保证栅极驱动信号的稳定输出;

[0083] 在复位阶段 S3,复位端接入高电平,复位端接入的高电平信号导通第一晶体管 M121,以将上拉节点 PU 的电位下拉至 VSS,从而关断上拉晶体管 M11 和 M112,由于 M112 被关断,从而下拉节点 PD 的电位被上拉至第二高电平 VGH,使得下拉晶体管 M12 导通,OUTPUT 输出第一低电平 VGL;

[0084] 在维持阶段 S4, INPUT 和 RESET 都接入低电平,因此 M121 和 M122 都关断,由于前一阶段通过 M122 对 PU 进行了放电,此时 M112 处于关闭状态,所以不会对 PD 进行放电,此时 M111 打开以对 PD 进行充电,PD 电位被拉高,从而打开 M12 和 M123,对 PU 及 OUTPUT 进行放电,使得由 CLK 产生的 Coupling(耦合)噪声电压得以消除,从而保证低压输出,保证栅极驱动信号输出的稳定性;并且由于没有对 PU 的充电通路,因此 PU 的电位维持为低电位,并由于 M111 在 S4 维持开启状态,因此 PD 的电位维持为高电平,从而使得 M12 和 M123 在 S4 维持开启状态,OUTPUT 输出第一低电平 VGL;直至下一显示周期的输入阶段开始之前,一直处于维持阶段;

[0085] 并当第 n 级移位寄存器单元 G(n) 的时钟信号端接入第一时钟信号 CLK 时,第 n+1 级移位寄存器单元 G(n+1) 的时钟信号端接入第二时钟信号 CLKB,第一时钟信号 CLK 和第二时钟信号 CLKB 反相, n 为正整数。

[0086] 如图 5 所示,逆向扫描的第 n 级移位寄存器单元 G(n),包括栅极驱动信号输出端 OUTPUT、输入端 INPUT、复位端 RESET、上拉晶体管 M11、下拉晶体管 M12、下拉节点控制模块 11 和上拉节点控制模块 12,其中,

[0087] 所述上拉晶体管 M11,栅极与上拉节点 PU 连接,第一极接入第一时钟信号 CLK,第二极与所述栅极驱动信号输出端 OUTPUT 连接;

[0088] 所述下拉晶体管 M12,栅极与下拉节点 PD 连接,第一极与所述栅极驱动信号输出端 OUTPUT 连接,第二极接入第一低电平 VGL;

[0089] 所述下拉节点控制模块 11,包括:

[0090] 第一下拉节点控制晶体管 M111,栅极接入所述第一高电平 VGH,第一极接入所述第一高电平 VGH,第二极与所述下拉节点 PD 连接;

[0091] 以及,第二下拉节点控制晶体管 M112,栅极与所述上拉节点 PU 连接,第一极与所述下拉节点 PD 连接,第二极接入所述第一低电平 VGL;

[0092] 所述上拉节点控制模块 12,包括:

[0093] 第一晶体管 M121,栅极与所述输入端 INPUT 连接,第一极接入所述第二高电平

VDD, 第二极与所述上拉节点 PU 连接;

[0094] 第二晶体管 M122, 栅极与所述复位端 RESET 连接, 第一极与所述上拉节点 PU 连接, 第二极接入所述第二低电平 VSS;

[0095] 上拉节点控制晶体管 M123, 栅极与所述下拉节点 PD 连接, 第一极与所述上拉节点 PU 连接, 第二极接入所述第一低电平 VGL;

[0096] 以及, 存储电容 C1, 连接于所述上拉节点 PU 与所述栅极驱动信号输出端 OUTPUT 之间;

[0097] 接入第 (n+1) 级移位寄存器单元 G(n+1) 的时钟信号端的时钟信号为第二时钟信号 CLKB, CLK 和 CLKB 反相。

[0098] 如图 6 所示, 图 5 所示的移位寄存器单元在逆向扫描时, 在一显示周期内, 具体工作过程如下:

[0099] 在输入阶段 S1, 输入端 INPUT 接入高电平信号, 使得第一晶体管 M121 导通; 输入端 INPUT 的高电平信号给 C1 充电, 使得上拉节点 PU 的电位被拉高, 上拉晶体管 M11 开启, 此时 OUTPUT 输出 CLK, CLK 为低电平, 因此 OUTPUT 输出低电平, 由于上拉节点 PU 的电位为高电位, 会使得 M112 打开, 使得这个时刻下拉节点 PD 的电位为低电平, 使得 M12 和 M123 关断, 从而保证栅极驱动信号的稳定输出;

[0100] 在输出阶段 S2, 输入端 INPUT 接入低电平信号, 使得第一晶体管 M121 关断, 上拉节点 PU 的电位继续保持为高电位, 上拉晶体管 M11 保持开启状态, 此时 CLK 为高电平, 上拉节点 PU 由于自举效应 (bootstrapping) 从而 PU 的电位被自举放大, 最终向 OUTPUT 传输栅极驱动信号, 此时 OUTPUT 输出 CLK, CLK 为高电平, 因此 OUTPUT 输出高电平; 此时 PU 的电位为高电位, M112 仍处于开启状态, 对 PD 进行放电, 从而使得 M12 和 M123 继续关断, 从而保证栅极驱动信号的稳定输出;

[0101] 在复位阶段 S3, 复位端接入高电平, 复位端接入的高电平信号导通第二晶体管 M122, 以将上拉节点 PU 的电位下拉至 VSS, 从而关断上拉晶体管 M11 和 M112, 由于 M112 被关断, 从而下拉节点 PD 的电位被上拉至第二高电平 VGH, 使得下拉晶体管 M12 导通, OUTPUT 输出第一低电平 VGL;

[0102] 在维持阶段 S4, INPUT 和 RESET 都接入低电平, 因此 M121 和 M122 都关断, 由于前一阶段通过 M122 对 PU 进行了放电, 此时 M112 处于关闭状态, 所以不会对 PD 进行放电, 此时 M111 打开以对 PD 进行充电, PD 电位被拉高, 从而打开 M12 和 M123, 对 PU 及 OUTPUT 进行放噪, 使得由 CLK 产生的 Coupling(耦合) 噪声电压得以消除, 从而保证低压输出, 保证栅极驱动信号输出的稳定性; 并且由于没有对 PU 的充电通路, 因此 PU 的电位维持为低电位, 并由于 M111 在 S4 维持开启状态, 因此 PD 的电位维持为高电平, 从而使得 M12 和 M123 在 S4 维持开启状态, OUTPUT 输出第一低电平 VGL; 直至下一显示周期的输入阶段开始之前, 一直处于维持阶段;

[0103] 并当第 n 级移位寄存器单元 G(n) 的时钟信号端接入第一时钟信号 CLK 时, 第 n+1 级移位寄存器单元 G(n+1) 的时钟信号端接入第二时钟信号 CLKB, 第一时钟信号 CLK 和第二时钟信号 CLKB 反相, n 为正整数。

[0104] 根据如图 3 所示的移位寄存器单元的具体实施例和如图 4 所示的工作时序图可知, 包括多级以上移位寄存器单元的移位寄存器仅通过一种电路结构即可以实现正向扫描

和逆向扫描,只需在切换扫描方向时相应改变接入第一晶体管的第一极的信号,以及接入第二晶体管的第二极的信号即可,需要使用晶体管少,功耗低。

[0105] 本发明实施例所述的移位寄存器单元的驱动方法,应用于上述的移位寄存器单元,包括:在每一显示周期内,在正向扫描和逆向扫描时,

[0106] 在输入阶段,输入端接入高电平,复位端接入低电平,时钟信号端接入低电平,上拉节点控制模块控制上拉节点的电位被拉高为高电位,从而控制上拉晶体管导通,并控制下拉节点控制模块使得下拉节点的电位为低电位,从而控制下拉晶体管关断,因此栅极驱动信号输出端输出低电平;

[0107] 在输出阶段,所述输入端接入低电平,所述复位端接入低电平,所述时钟信号端接入高电平,所述上拉节点控制模块控制上拉节点的电位进一步被自举拉高,从而控制所述上拉晶体管保持导通,并控制所述下拉节点控制模块使得所述下拉节点的电位保持为低电位,从而控制所述下拉晶体管保持关断,使得所述栅极驱动信号输出端输出高电平;

[0108] 在复位阶段,所述输入端接入低电平,所述复位端接入高电平,所述上拉节点控制模块控制所述上拉节点的电位被拉低,从而控制所述上拉晶体管关断,所述下拉节点控制模块控制所述下拉节点的电位被拉高为高电平,从而控制所述下拉晶体管导通,使得所述栅极驱动信号输出端输出低电平;

[0109] 在维持阶段,所述上拉节点控制模块控制所述上拉节点的电位维持为低电平,从而控制所述上拉晶体管关断,所述下拉节点控制模块控制所述下拉节点的电位持续被拉高,从而控制所述下拉晶体管导通,使得所述栅极驱动输出端持续输出低电平。

[0110] 本发明实施例所述的显示装置,包括上述的移位寄存器。

[0111] 该显示装置可以为液晶显示器、液晶电视、OLED(Organic Light-Emitting Diode,有机电致发光二极管)显示面板、OLED 显示器、OLED 电视或电子纸等显示装置。

[0112] 以上所述是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明所述原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

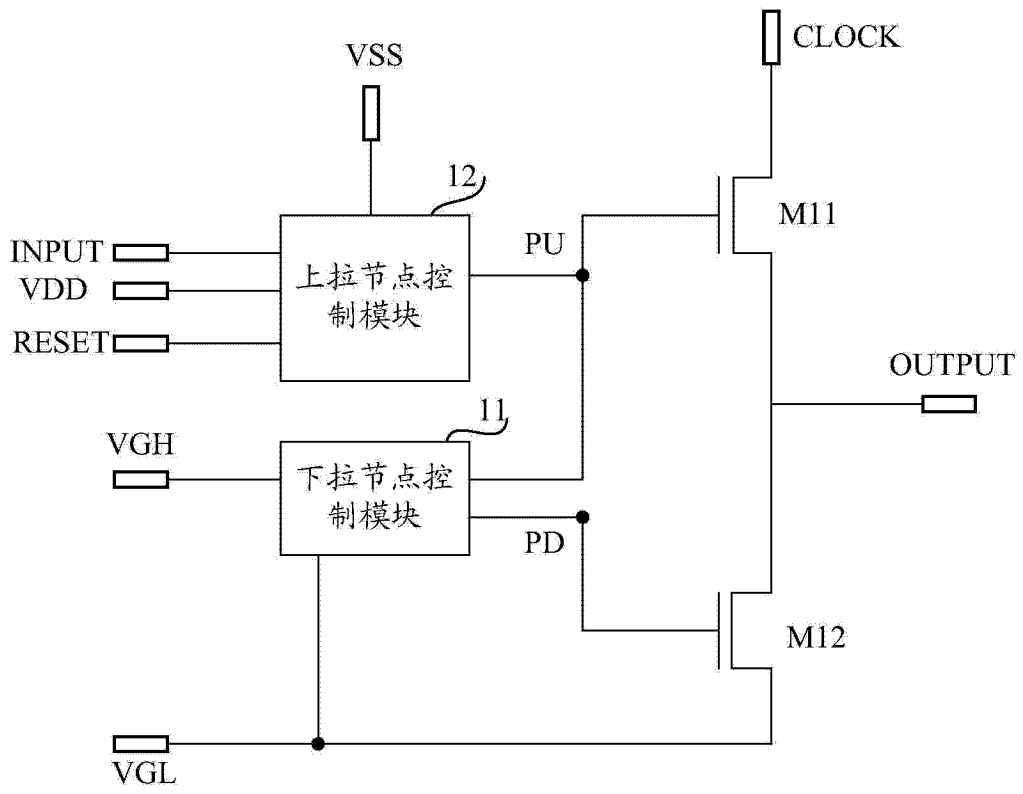


图 1

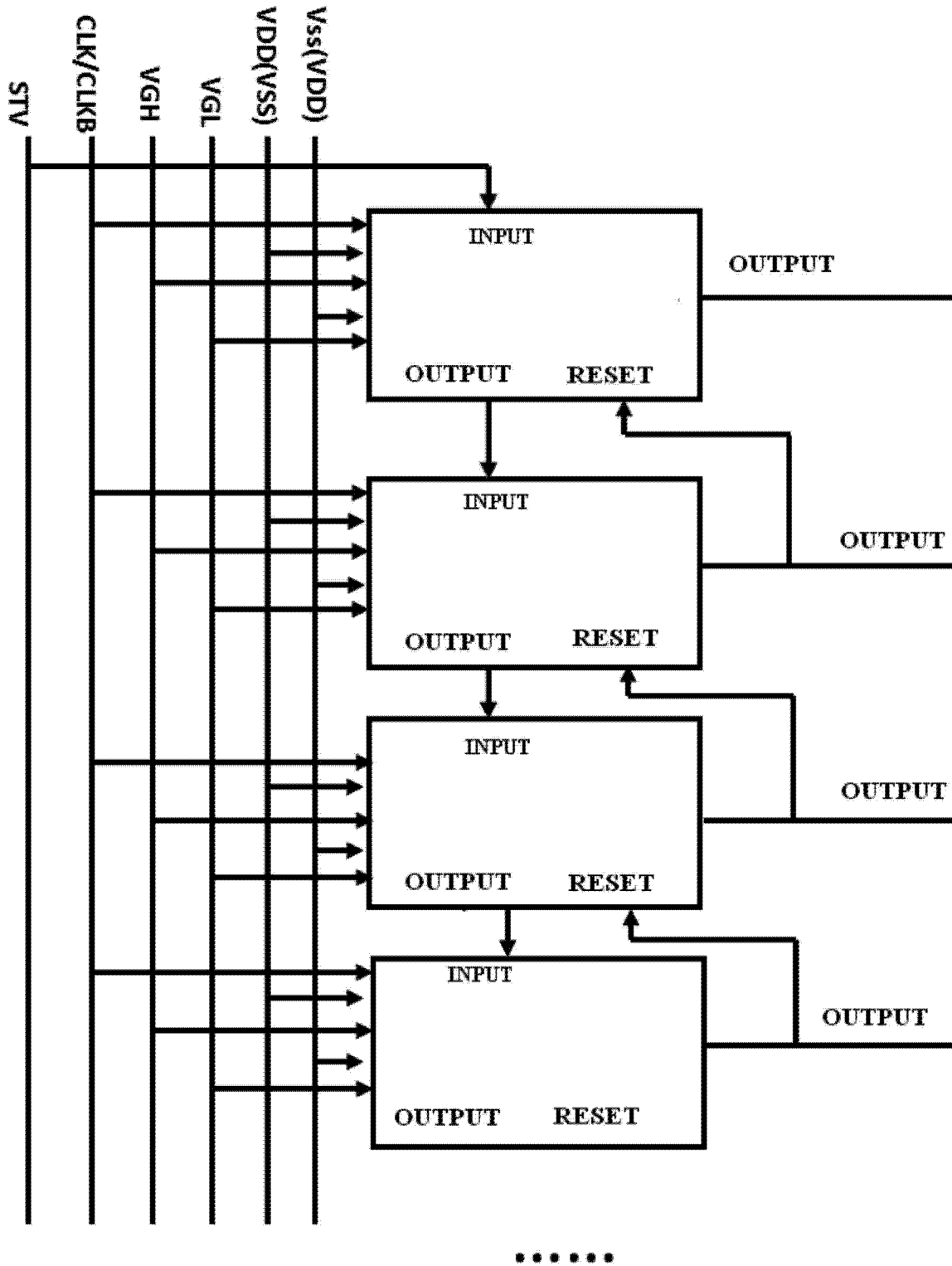


图 2

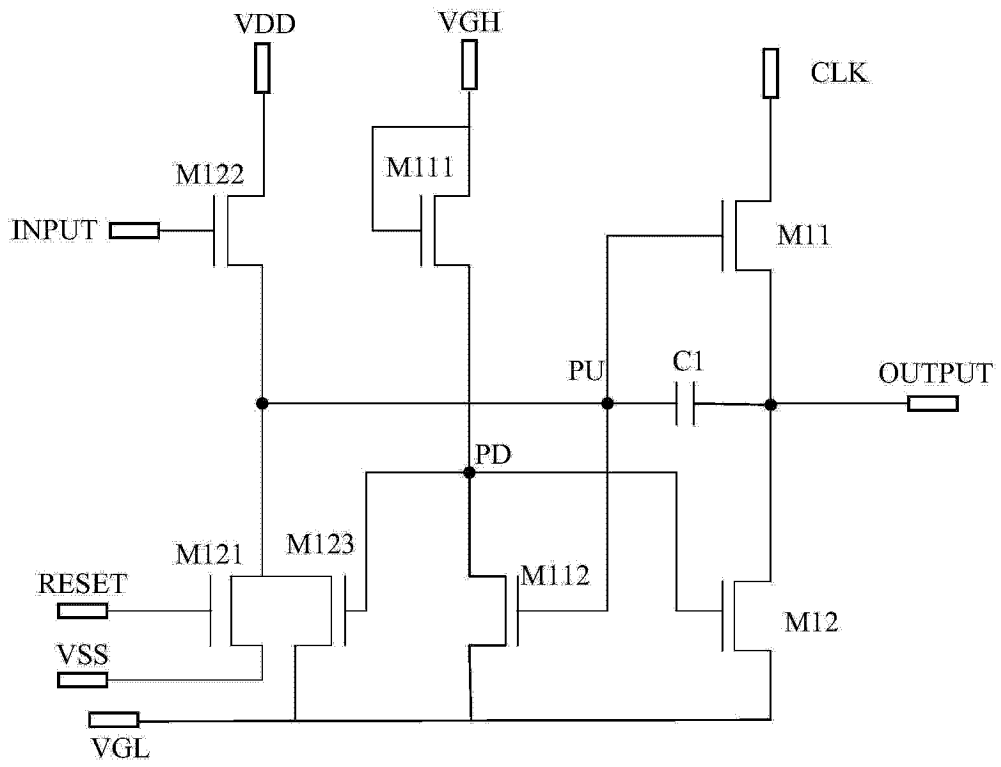


图 3

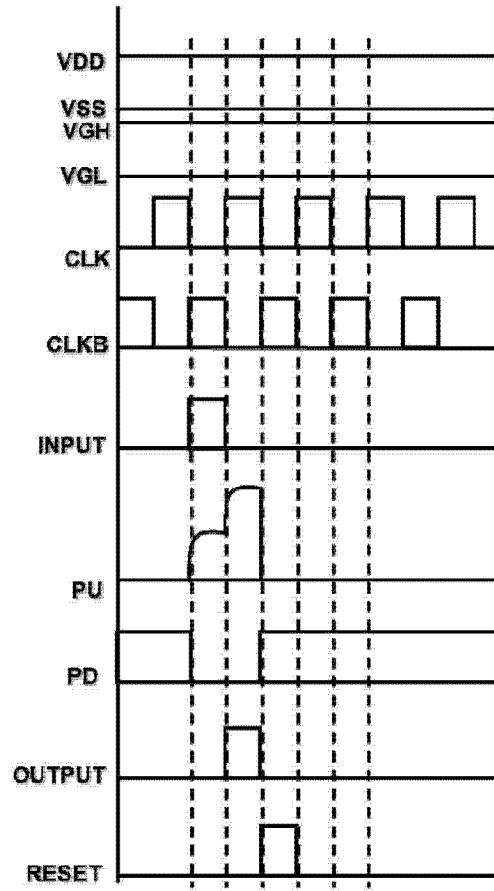


图 4

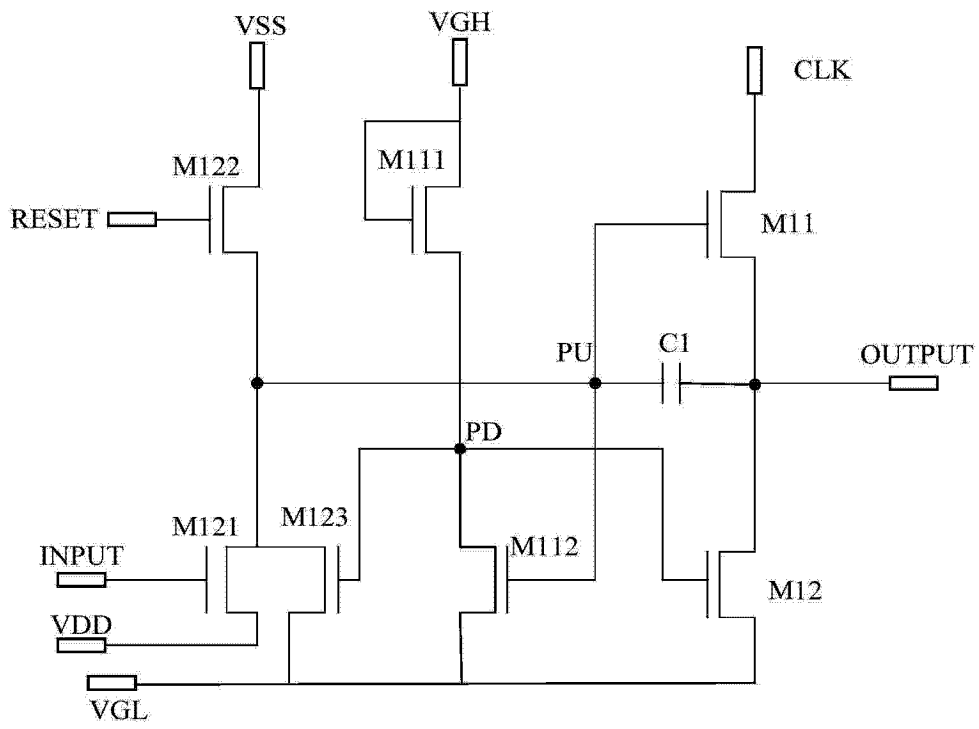


图 5

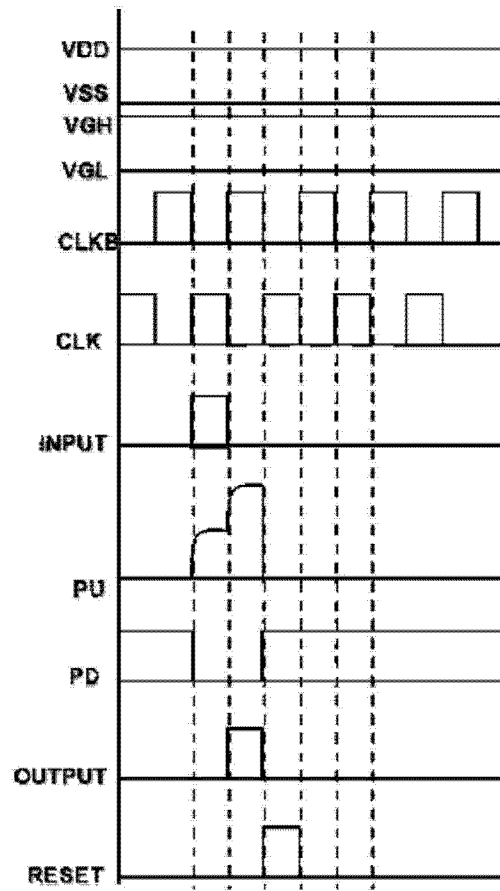


图 6