

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-236443

(P2006-236443A)

(43) 公開日 平成18年9月7日(2006.9.7)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G 1 1 C 11/22 (2006.01)</b>	G 1 1 C 11/22 5 0 1 A	5 B 0 1 5
<b>G 1 1 C 11/41 (2006.01)</b>	G 1 1 C 11/22 5 0 3	5 F 0 8 3
<b>H O 1 L 27/105 (2006.01)</b>	G 1 1 C 11/40 A	
<b>H O 1 L 27/11 (2006.01)</b>	H O 1 L 27/10 4 4 1	
<b>H O 1 L 21/8244 (2006.01)</b>	H O 1 L 27/10 3 8 1	

審査請求 未請求 請求項の数 11 O L (全 35 頁) 最終頁に続く

(21) 出願番号 特願2005-47352 (P2005-47352)  
 (22) 出願日 平成17年2月23日 (2005.2.23)

(71) 出願人 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100066980  
 弁理士 森 哲也  
 (74) 代理人 100075579  
 弁理士 内藤 嘉昭  
 (74) 代理人 100103850  
 弁理士 崔 秀▲てつ▼  
 (72) 発明者 橋本 正美  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
 Fターム(参考) 5B015 HH05 JJ21 KA10 QQ17  
 5F083 BS15 BS22 BS27 BS43 FR05  
 GA01 JA15 JA17

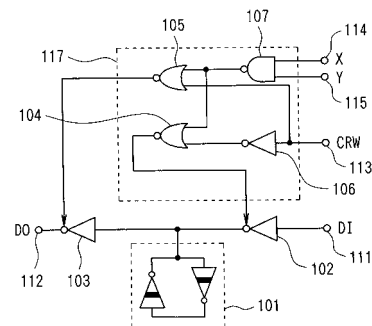
(54) 【発明の名称】 強誘電体メモリ装置

(57) 【要約】

【課題】データの読み書きの際に格別な制御や手順を必要とせず、かつデータの高速な読み出しが可能である強誘電体メモリ装置の提供。

【解決手段】強誘電体ラッチ回路101は、電源の投入されている時には1ビットのデータを保持し、電源の切断時には残留分極の形態で前記データを記憶し、かつ、電源の再投入時には前記残留分極に基づいて前記データの保持状態に復帰し、これらを単独で行うことができる。制御機能付きインバータ回路102は、強誘電体ラッチ回路101にデータを書き込み、制御機能付きインバータ回路103は、強誘電体ラッチ回路101に保持されているデータを読み出す。ラッチ制御回路101は、制御機能付きインバータ回路102、103のデータの読み書きなどを制御する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

状態データの保持、記憶、および復元をそれぞれ単独で行うことができる強誘電体ラッチ回路と、

前記強誘電体ラッチ回路にデータを書き込むラッチ書き込み回路と、

前記強誘電体ラッチ回路の状態データを読み出すラッチ読み出し回路と、

前記強誘電体ラッチ回路にデータを書き込むときには前記ラッチ書き込み回路を動作させ、前記強誘電体ラッチ回路の状態データを読み出すときには前記ラッチ読み出し回路を動作させ、それ以外のときには前記ラッチ読み出し回路および前記ラッチ書き込み回路の動作をそれぞれ停止させておくラッチ制御回路と、

を備えていることを特徴とする強誘電体メモリ装置。

10

## 【請求項 2】

電源の投入されている時には 1 ビットのデータを保持し、電源の切断時には残留分極の形態で前記データを記憶し、かつ、電源の再投入時には前記残留分極に基づいて前記データの保持状態に復帰し、これらを単独で行うことができる強誘電体ラッチ回路と、

前記強誘電体ラッチ回路にデータを書き込む第 1 の制御機能付きインバータ回路と、

前記強誘電体ラッチ回路に保持されているデータを読み出す第 2 の制御機能付きインバータ回路と、

前記強誘電体ラッチ回路にデータを保持、復帰させるときには前記第 1 および第 2 の制御機能付きインバータ回路をそれぞれフローティング状態にさせ、前記第 1 の制御機能付きインバータ回路がデータの書き込みを行うときにはその第 1 の制御機能付きインバータ回路をアクティブ状態にさせ、前記第 2 の制御機能付きインバータ回路がデータの読み出しを行うときにはその第 1 の制御機能付きインバータ回路をアクティブ状態にさせるラッチ制御回路と、

20

を備えていることを特徴とする強誘電体メモリ装置。

## 【請求項 3】

強誘電体メモリ回路から構成されるメモリセルを複数個、行列状に配置させたメモリセル群と、

前記メモリセル群のうちの所望のメモリセルを選択するメモリセル選択手段と、

前記メモリセル選択手段で選択されたメモリセルからデータを読み出しまたはそのメモリセルへデータを書き込む読み書き制御手段と、

30

前記メモリセル選択手段で選択されたメモリセルへ書き込む書き込みデータをそのメモリセルに転送し、またはその選択されたメモリセルが読み出した読み出しデータを受け取るデータ入出力制御手段と、を備え、

前記メモリセルは、

状態データの保持、記憶、および復元をそれぞれ単独で行うことができる強誘電体ラッチ回路と、

前記強誘電体ラッチ回路にデータを書き込むラッチ書き込み回路と、

前記強誘電体ラッチ回路の状態データを読み出すラッチ読み出し回路と、

前記強誘電体ラッチ回路にデータを書き込むときには前記ラッチ書き込み回路を動作させ、前記強誘電体ラッチ回路の状態データを読み出すときには前記ラッチ読み出し回路を動作させ、それ以外のときには前記ラッチ読み出し回路および前記ラッチ書き込み回路の動作をさせないようにするラッチ制御回路と、から構成され、

40

さらに、前記ラッチ書き込み回路は前記データ入出力制御手段から転送される前記書き込みデータを受け取り、前記ラッチ読み出し回路は読み出したデータを前記データ入出力制御手段に転送し、前記ラッチ制御回路は前記メモリセル選択手段および前記読み書き制御手段により制御されるように構成したことを特徴とする強誘電体メモリ装置。

## 【請求項 4】

強誘電体メモリセルから構成されるメモリセルを複数個、行列状に配置させたメモリセル群と、

50

- 前記各メモリセルの行方向のアドレスを選択するための複数のワード線群と、  
 前記各メモリセルの列方向のアドレスを選択するための複数のビット線群と、  
 前記各メモリセルに対するデータの読み出しと書き込みを制御する制御信号線群と、  
 前記各メモリセルに書き込むデータを転送し、および前記各メモリセルからの読み出しデータを転送するデータ線群と、  
 前記各メモリセルの行方向のアドレスを、前記ワード線群を介して選択的に指定するロウデコーダ制御回路と、  
 前記各メモリセルの列方向のアドレスを、前記ビット線群を介して選択的に指定するコラムデコーダ制御回路と、  
 前記各メモリセルへのデータの書き込みと、前記各メモリセルからのデータの読み出しとを前記制御信号線群を介してそれぞれ制御する読み書き制御回路と、 10  
 前記各メモリセルへ書き込むデータを前記データ線群に選択的に転送し、前記各メモリセルから前記データ線群に読み出されたデータを受け取るデータ入出力制御回路と、を備え、  
 前記メモリセルは、  
 状態データの保持、記憶、および復元をそれぞれ単独で行うことができる強誘電体ラッチ回路と、  
 前記強誘電体ラッチ回路にデータを書き込むラッチ書き込み回路と、  
 前記強誘電体ラッチ回路の状態データを読み出すラッチ読み出し回路と、  
 前記強誘電体ラッチ回路にデータを書き込むときには前記ラッチ書き込み回路を動作させ、前記強誘電体ラッチ回路の状態データを読み出すときには前記ラッチ読み出し回路を動作させ、それ以外のときには前記ラッチ読み出し回路および前記ラッチ書き込み回路の動作をさせないようにするラッチ制御回路と、から構成し、 20  
 前記ラッチ書き込み回路は、前記データ線群のうちの書き込み用のものと接続され、  
 前記ラッチ読み出し回路は、前記データ線群のうちの読み出し用のものと接続され、  
 前記ラッチ制御回路は、前記複数のワード線群のうちの1つと接続され、前記複数のビット線群のうちの1つと接続され、かつ、前記複数の制御信号線群のうちの1つと接続されていることを特徴とする強誘電体メモリ装置。  
 【請求項5】  
 請求項1乃至請求項4のうちの何れか1の請求項において、 30  
 前記強誘電体ラッチ回路は、ゲート部に強誘電体薄膜を有する電界効果型トランジスタを少なくとも用いたものであることを特徴とする強誘電体メモリ装置。  
 【請求項6】  
 請求項1乃至請求項4のうちの何れか1の請求項において、  
 前記強誘電体ラッチ回路は、2個のインバータ回路と、強誘電体コンデンサとを組み合わせたものであることを特徴とする強誘電体メモリ装置。  
 【請求項7】  
 請求項1乃至請求項4のうちの何れか1の請求項において、  
 前記強誘電体ラッチ回路は、  
 第1の導電型であってゲート部に強誘電体薄膜を有する第1の電界効果型トランジスタと、第2の導電型であってゲート部に強誘電体薄膜を有する第2の電界効果型トランジスタとを組み合わせた相補型の第1のインバータ回路と、 40  
 第1の導電型であってゲート部に強誘電体薄膜を有する第3の電界効果型トランジスタと、第2の導電型であってゲート部に強誘電体薄膜を有する第4の電界効果型トランジスタとを組み合わせた相補型の第2のインバータ回路とを備え、  
 前記第1のインバータ回路と第2のインバータ回路とは、互いにその出力を入力として帰還させるようにたすき掛けに接続させたことを特徴とする強誘電体メモリ装置。  
 【請求項8】  
 請求項1乃至請求項4のうちの何れか1の請求項において、  
 前記強誘電体ラッチ回路は、

第 1 の導電型であってゲート部に強誘電体薄膜を有する第 1 の電界効果型トランジスタと、第 2 の導電型である第 1 の絶縁ゲート電界効果型トランジスタとを組み合わせた相補型の第 1 のインバータ回路と、

第 1 の導電型であってゲート部に強誘電体薄膜を有する第 2 の電界効果型トランジスタと、第 2 の導電型である第 2 の絶縁ゲート電界効果型トランジスタとを組み合わせた相補型の第 2 のインバータ回路とを備え、

前記第 1 のインバータ回路と第 2 のインバータ回路とは、互いにその出力を入力として帰還させるようにたすき掛けに接続させたことを特徴とする強誘電体メモリ装置。

【請求項 9】

請求項 1 乃至請求項 4 のうちの何れか 1 の請求項において、

10

前記強誘電体ラッチ回路は、

第 1 電源端子と第 2 電源端子に接続される電源で動作する第 1 のインバータ回路および第 2 のインバータ回路と、

第 1 の強誘電体コンデンサおよび第 2 の強誘電体コンデンサと、

第 1 のコンデンサおよび第 2 のコンデンサと、を備え、

前記第 1 のインバータ回路の出力端子は前記第 2 のインバータ回路の入力端子に接続され、かつ、前記第 2 のインバータ回路の出力端子は前記第 1 のインバータ回路の入力端子に接続され、

前記第 1 の強誘電体コンデンサの第 1 端子と第 2 端子は、前記第 1 のインバータ回路の出力端子と入力端子にそれぞれ接続され、

20

前記第 2 の強誘電体コンデンサの第 1 端子と第 2 端子は、前記第 2 のインバータ回路の出力端子と入力端子にそれぞれ接続され、

前記第 1 のコンデンサの第 1 端子と第 2 端子は、前記第 1 のインバータ回路の出力端子と前記第 2 電源端子にそれぞれ接続され、

前記第 2 のコンデンサの第 1 端子と第 2 端子は、前記第 2 のインバータ回路の出力端子と前記第 2 電源端子にそれぞれ接続されていることを特徴とする強誘電体メモリ装置。

【請求項 10】

請求項 1 乃至請求項 4 のうちの何れか 1 の請求項において、

前記強誘電体ラッチ回路は、

第 1 電源端子および第 2 電源端子に接続される電源で動作する第 1 のインバータ回路および第 2 のインバータ回路と、

30

第 1 の強誘電体コンデンサおよび第 2 の強誘電体コンデンサと、を備え、

前記第 1 のインバータ回路の出力端子は前記第 2 のインバータ回路の入力端子に接続され、かつ、前記第 2 のインバータ回路の出力端子は前記第 1 のインバータ回路の入力端子に接続され、

前記第 1 の強誘電体コンデンサの第 1 端子と第 2 端子は、前記第 1 のインバータ回路の出力端子と入力端子にそれぞれ接続され、

前記第 2 の強誘電体コンデンサの第 1 端子と第 2 端子は、前記第 2 のインバータ回路の出力端子と入力端子にそれぞれ接続されていることを特徴とする強誘電体メモリ装置。

【請求項 11】

40

請求項 1 乃至請求項 4 のうちの何れか 1 の請求項において、

前記強誘電体ラッチ回路は、

第 1 電源端子および第 2 電源端子に接続される電源で動作する第 1 のインバータ回路および第 2 のインバータ回路と、

強誘電体コンデンサと、を備え、

前記第 1 のインバータ回路の出力端子は前記第 2 のインバータ回路の入力端子に接続され、かつ、前記第 2 のインバータ回路の出力端子は前記第 1 のインバータ回路の入力端子に接続され、

前記強誘電体コンデンサの第 1 端子と第 2 端子は、前記第 1 のインバータ回路の入力端子と第 2 のインバータ回路の入力端子にそれぞれ接続されていることを特徴とする強誘電

50

体メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性メモリである強誘電体メモリであって、データの高速な読み出しができる上に、読み出しや書き込みの際の制御が容易であり、かつ、メモリセルの長い寿命化を図ることができる強誘電体メモリ装置に関するものである。

【背景技術】

【0002】

近年、メモリ分野において、電氣的にデータを書き込み、消去可能な不揮発性メモリの重要性が増している。また、集積回路の一部にデータの書き込み、消去可能な不揮発性のメモリを内蔵することがしばしば要請される。

不揮発性メモリとして各種のものがあるが、高速性、低電圧特性、低消費電力等の観点から強誘電体メモリが注目されている。強誘電体メモリの具体的な構成は、以下の例に示すように様々である。

【0003】

強誘電体メモリの一例としては、強誘電体膜内部の残留分極の状態により2状態を定義する強誘電体コンデンサを用いたものが知られている。これは、データの書き込みの際には、強誘電体コンデンサに、強誘電体薄膜の抗電界以上の電圧を極性の異なる2種のかけ方で1か0かの内部分極状態を作り出し、残留分極による保存状態を経て、データの読み出しの際には、強誘電体薄膜に抗電界以上の電圧をかけて電荷を取り出し、1か0かの内部の記憶状態を検知するようになっている。このような強誘電体メモリを説明するための図が、図24、図25、図26、図27である。

【0004】

図24は、強誘電体コンデンサの構造を示す断面図である。この強誘電体コンデンサは、無機の強誘電体からなる強誘電体薄膜2440を、金属電極からなる第1端子2441と第2端子2442によって挟む構造になっている。

図25は、図24に示す強誘電体コンデンサの分極電荷 - 印加電圧特性を示すものである。図25において、2501、2502、2503、2504、2505、2506の各点の特性点を通る曲線が、図24の強誘電体コンデンサの第1端子2441と第2端子2442の間に加えた電圧Vと内部分極電荷Qの特性を表している。

【0005】

特性点2501は第2端子2442に第1端子2441より正の高い電圧Vを加えた状態を示し、特性点2504は第1端子2441に第2端子2442より正の高い電圧Vを加えた状態を示している。特性点2501と特性点2504においては、内部の分極は正負、逆の分極をする。

特性点2501の状態にあった強誘電体コンデンサの第1端子2441と第2端子2442の電位差を0として開放すると、内部の分極は残留分極として保存され、特性点2502に示す状態となる。また、特性点2504の状態にあった強誘電体コンデンサの第1端子2441と第2端子2442の電位差を0として開放すると、内部の分極は残留分極として保存されて、特性点2505に示す状態となる。

【0006】

したがって、強誘電体コンデンサの内部分極電荷と印加電圧はヒステリシス特性を持っていると同時に、強誘電体コンデンサの両端の端子を開放し、電圧を0としても前の状態によって、異なった残留分極を有している。この状態が特性点2502と特性点2505に相当して、不揮発性のデータを記憶できる。

ここで、図25の特性点2501～2506に対応する強誘電体コンデンサの内部分極の各状態を模式的に示すと、それぞれ図26の(A)～(F)に示すようになる。ただし、図25における印加電圧Vは、図26において上部のコンデンサの電極を基準として正負を定めている。

10

20

30

40

50

## 【0007】

さて、強誘電体コンデンサの両端の端子が開放された状態から第2端子2442を基準として第1端子2441に電圧 $V(V_B)$ をかけると、特性点2504に移動する。このとき、前の状態が特性点2502であれば図25に示すQHBの電荷が取り出され、特性点2505の状態であればQLBの電荷が取り出される。図25から明らかにQLB QHBであるので、残留分極として記憶されていた前の状態を1または0として判別できる。

## 【0008】

以上を実際に行う具体的な回路の一例として、図27に示す回路が知られている。

この回路は、図27に示すように、強誘電体コンデンサ2711と、N型の絶縁ゲート電界効果型トランジスタ(以下、MOSFETと略す)2712とからなり、ワード線(WL)2713、ビット線(BL)2714、およびプレート線(PL)2715を含んでいる。ここで、MOSFETとは、Metal-Oxide-Semiconductor-Field-Effect-Transistorの略語である。

10

## 【0009】

さらに詳述すると、ワード線2713は、MOSFET2712のゲートに接続されている。また、ビット線2714は、MOSFET2712のソースまたはドレインとなる電極に接続されている。さらに、プレート線2715は、強誘電体コンデンサ2711の一端に接続されている。強誘電体コンデンサ2711の他端は、MOSFET2712のドレインまたはソースとなる電極に接続されている。

20

## 【0010】

このような構成からなる図27に示す回路では、ビット線2714とプレート線2715に強誘電体コンデンサ2711にかける電位を供給し、ワード線2713によってMOSFET2712をオン、オフすることにより、前述した電荷の書き込み動作と読み出し動作を行う。

ここで、上記の方法は、データを読み出す際に電荷を取り出す。すなわち、データを破壊してしまうので、破壊読み出しと一般的に呼ばれる方式であり、この方式の一例として特許文献1に示すものが知られている。

## 【0011】

また、データを読み出す際にデータを破壊しない、非破壊読み出しと呼ばれる方法が知られている。この一例として、図28に示すように、MFSFET2800を用いたメモリセルが知られている。ここで、MFSFETとは、Metal-Ferroelectric-Field-Effect-Transistorの頭文字を連ねたものである。

30

## 【0012】

MFSFET2800は、ゲート部に強誘電体薄膜を有するものであり、通常MOSFETのゲート絶縁膜を強誘電体膜(強誘電体薄膜)に置き換えた構造からなる。

このようなMFSFET2800では、ゲート電極2801と基板間2805、もしくはソース電極2803、ドレイン電極2804に強誘電体薄膜の抗電圧以上の電圧を加え、強誘電体薄膜に分極を起し、印加電圧を取り除いた後もその残留分極の状態によってデータを記憶する。さらに、その残留分極によって、MFSFET2800は、そのチャネルに誘起される電荷が異なり、スレッシュホールド電圧の相違となつて、流れる電流値が異なることから書き込まれた分極の方向を知る、つまり1か0かの差を検出することができる。

40

## 【0013】

次に、MFSFET2800がそのゲート部の強誘電体薄膜に分極を起し、その残留分極によるスレッシュホールド電圧の変化を検出する方法について、以下に説明する。

図28において、ワード線2815を通してゲート電極2801に0電位を与え、第1ビット線2813と第2ビット線2814を通して、ソース電極2803とドレイン電極2804に抗電圧以上の正の $V$ 電位を与え、強誘電体薄膜がゲート側に正極、基板280

50

5側に負極の分極を起こしている。あるいはワード線2815を通してゲート電極2801に抗電圧以上の正のV電位を与え、第1ビット線2813と第2ビット線2814を通して、ソース電極2803とドレイン電極2804に0電位を与え、強誘電体薄膜がゲート側に負極、基板2805側に正極の分極を起こしている。そこで、これらの分極の相違によるスレッシュホールド電圧の差異による電流量の差異を検出する。

【0014】

図28に示すMFSFETを用いたメモリセルによる方式では、図29に示すように、MFSFETを行列状に配置し、ワード線、ビット線を制御してそのMFSFETのデータ記憶状態を検出することが一般的な手法として採用されている。

つまり、図29に示すように、MFSFET2901を行列状に配置し、ワード線2905、第1ビット線2913、および第2ビット線2914を共用化して、メモリセルアレイ2920を構成するようにしている。さらに、このように構成したメモリセルアレイ2920のワード線群とビット線群を制御する制御回路を、メモリセルアレイ2920の周辺に設け、それらを制御するようにしている。

【0015】

しかし、図29に示す方式は、ゲート電極の下に強誘電体薄膜を設けて残留分極を記憶し、かつ、その記憶データの差異を検出するためにMFSFETのゲート電極にトランジスタがオン(ON)する電位をかける方法である。このため、記憶データを消さないように、かつ行列状に配置されたメモリセルとしての各MFSFETに誤動作や誤書き込みを防ぐような方式を、ワード線側とビット線側の制御回路に付与する必要がある。

【0016】

なお、このような一例として、ゲート部に強誘電体薄膜を有する電界効果型トランジスタが記載される特許文献2が知られている。

【特許文献1】特開平11-39882号公報

【特許文献2】特開2003-68890号公報

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかしながら、上記の従来の強誘電体メモリでは、以下に述べるような不具合がある。すなわち、図24～図27あるいは特許文献1に示されるデータを破壊読み出しする方式では、データの読み出し後、消えたデータを再書き込みする必要がある。したがって、データを読み出した後に書き込み動作を行うので、余計な膨大な素子数の制御回路と無視できない時間を要し、アクセスタイムやサイクルタイムに影響を与える。

【0018】

また、図28、図29あるいは特許文献2に示すような、電界効果型トランジスタのゲート電極上に強誘電体薄膜を配置し、ゲート電極とドレイン電極もしくはソース電極あるいは基板間に前記強誘電体薄膜の抗電圧以上の電圧を加えて、強誘電体薄膜の残留分極によってデータを保持し、かつ、メモリセルを行列状に配置してワード線やビット線をデコーダを含む周辺回路で制御する方式は、データの誤書き込みと誤読み出しを防ぐ為に周辺回路が複雑で多大な素子数の回路を必要とする。

【0019】

また、データを非破壊読み出しする方式としても、データを破壊しないようにしながらゲートに電位をかけMFSFETを活性化する方式であるので、スタティックランダムアクセスメモリ(SRAM)やMOSFETを用いた一般的な論理回路に比較すれば、読み出し時間が長くなる。

このため、大規模メモリの場合には、従来の方式が総合的に適しているとも考えられる。しかし、集積回路の中に比較的小容量の読み書き可能な不揮発性メモリを内蔵し、一般的な論理回路を扱うような感覚で使用したい場合には、従来の方式では周辺回路の大きさ、制御の煩雑さ、およびデータの読み書きに要する長い時間が大きな課題となる。

そこで、本発明の目的は、上記の点に鑑み、データの読み書きの際に格別な制御や手順

10

20

30

40

50

を必要とせず、通常のMOSFET回路と同じような取り扱いが可能で、かつデータの高速な読み出しが可能である強誘電体メモリ装置を提供することにある。

【課題を解決するための手段】

【0020】

上記の課題を解決し本発明の目的を達成するために、各発明は、以下のような構成からなる。

すなわち、第1の発明は、状態データの保持、記憶、および復元をそれぞれ単独で行うことができる強誘電体ラッチ回路と、前記強誘電体ラッチ回路にデータを書き込むラッチ書き込み回路と、前記強誘電体ラッチ回路の状態データを読み出すラッチ読み出し回路と、前記強誘電体ラッチ回路にデータを書き込むときには前記ラッチ書き込み回路を動作させ、前記強誘電体回路の状態データを読み出すときには前記ラッチ読み出し回路を動作させ、それ以外のときには前記ラッチ読み出し回路および前記ラッチ書き込み回路の動作をそれぞれ停止させておくラッチ制御回路と、を備えている。

10

【0021】

第2の発明は、電源の投入されている時には1ビットのデータを保持し、電源の切断時には残留分極の形態で前記データを記憶し、かつ、電源の再投入時には前記残留分極に基づいて前記データの保持状態に復帰し、これらを単独で行うことができる強誘電体ラッチ回路と、前記強誘電体ラッチ回路にデータを書き込む第1の制御機能付きインバータ回路と、前記強誘電体ラッチ回路に保持されているデータを読み出す第2の制御機能付きインバータ回路と、前記強誘電体ラッチ回路にデータを保持、復帰させるときには前記第1および第2の制御機能付きインバータ回路をそれぞれフローティング状態にさせ、前記第1の制御機能付きインバータ回路がデータの書き込みを行うときにはその第1の制御機能付きインバータ回路をアクティブ状態にさせ、前記第2の制御機能付きインバータ回路がデータの読み出しを行うときにはその第1の制御機能付きインバータ回路をアクティブ状態にさせるラッチ制御回路と、を備えている。

20

【0022】

第3の発明は、強誘電体メモリ回路から構成されるメモリセルを複数個、行列状に配置させたメモリセル群と、前記メモリセル群のうちの所望のメモリセルを選択するメモリセル選択手段と、前記メモリセル選択手段で選択されたメモリセルからデータを読み出しまたはそのメモリセルへデータを書き込む読み書き制御手段と、前記メモリセル選択手段で選択されたメモリセルへ書き込む書き込みデータをそのメモリセルに転送し、またはその選択されたメモリセルが読み出した読み出しデータを受け取るデータ入出力制御手段と、を備え、前記メモリセルは、状態データの保持、記憶、および復元をそれぞれ単独で行うことができる強誘電体ラッチ回路と、前記強誘電体ラッチ回路にデータを書き込むラッチ書き込み回路と、前記強誘電体ラッチ回路の状態データを読み出すラッチ読み出し回路と、前記強誘電体ラッチ回路にデータを書き込むときには前記ラッチ書き込み回路を動作させ、前記強誘電体ラッチ回路の状態データを読み出すときには前記ラッチ読み出し回路を動作させ、それ以外のときには前記ラッチ読み出し回路および前記ラッチ書き込み回路の動作をさせないようにするラッチ制御回路と、から構成され、さらに、前記ラッチ書き込み回路は前記データ入出力制御手段から転送される前記書き込みデータを受け取り、前記ラッチ読み出し回路は読み出したデータを前記データ入出力制御手段に転送し、前記ラッチ制御回路は前記メモリセル選択手段および前記読み書き制御手段により制御されるように構成した。

30

40

【0023】

第4の発明は、強誘電体メモリセルから構成されるメモリセルを複数個、行列状に配置させたメモリセル群と、前記各メモリセルの行方向のアドレスを選択するための複数のワード線群と、前記各メモリセルの列方向のアドレスを選択するための複数のビット線群と、前記各メモリセルに対するデータの読み出しと書き込みを制御する制御信号線群と、前記各メモリセルに書き込むデータを転送し、および前記各メモリセルからの読み出しデータを転送するデータ線群と、前記各メモリセルの行方向のアドレスを、前記ワード線群を

50



介して選択的に指定するロウデコーダ制御回路と、前記各メモリセルの列方向のアドレスを、前記ビット線群を介して選択的に指定するカラムデコーダ制御回路と、前記各メモリセルへのデータの書き込みと、前記各メモリセルからのデータの読み出しとを前記制御信号線群を介してそれぞれ制御する読み書き制御回路と、前記各メモリセルへ書き込むデータを前記データ線群に選択的に転送し、前記各メモリセルから前記データ線群に読み出されたデータを受け取るデータ入出力制御回路と、を備え、前記メモリセルは、状態データの保持、記憶、および復元をそれぞれ単独で行うことができる強誘電体ラッチ回路と、前記強誘電体ラッチ回路にデータを書き込むラッチ書き込み回路と、前記強誘電体ラッチ回路の状態データを読み出すラッチ読み出し回路と、前記強誘電体ラッチ回路にデータを書き込むときには前記ラッチ書き込み回路を動作させ、前記強誘電体ラッチ回路の状態データを読み出すときには前記ラッチ読み出し回路を動作させ、それ以外のときには前記ラッチ読み出し回路および前記ラッチ書き込み回路の動作をさせないようにするラッチ制御回路と、から構成し、前記ラッチ書き込み回路は、前記データ線群のうちの書き込み用のものと接続され、前記ラッチ読み出し回路は、前記データ線群のうちの読み出し用のものと接続され、前記ラッチ制御回路は、前記複数のワード線群のうちの1つと接続され、前記複数のビット線群のうちの1つと接続され、かつ、前記複数の制御信号線群のうちの1つと接続されている。

10

**【0024】**

第5の発明は、第1乃至第4のうちの何れかの発明において、前記強誘電体ラッチ回路は、ゲート部に強誘電体薄膜を有する電界効果型トランジスタを少なくとも用いたものである。

20

第6の発明は、第1乃至第4のうちの何れかの発明において、前記強誘電体ラッチ回路は、2個のインバータ回路と、強誘電体コンデンサとを組み合わせたものである。

**【0025】**

第7の発明は、第1乃至第4のうちの何れかの発明において、前記強誘電体ラッチ回路は、第1の導電型であってゲート部に強誘電体薄膜を有する第1の電界効果型トランジスタと、第2の導電型であってゲート部に強誘電体薄膜を有する第2の電界効果型トランジスタとを組み合わせた相補型の第1のインバータ回路と、第1の導電型であってゲート部に強誘電体薄膜を有する第3の電界効果型トランジスタと、第2の導電型であってゲート部に強誘電体薄膜を有する第4の電界効果型トランジスタとを組み合わせた相補型の第2のインバータ回路とを備え、前記第1のインバータ回路と第2のインバータ回路とは、互いにその出力を入力として帰還させるようにたすき掛けに接続させている。

30

**【0026】**

第8の発明は、第1乃至第4のうちの何れかの発明において、前記強誘電体ラッチ回路は、第1の導電型であってゲート部に強誘電体薄膜を有する第1の電界効果型トランジスタと、第2の導電型である第1の絶縁ゲート電界効果型トランジスタとを組み合わせた相補型の第1のインバータ回路と、第1の導電型であってゲート部に強誘電体薄膜を有する第2の電界効果型トランジスタと、第2の導電型である第2の絶縁ゲート電界効果型トランジスタとを組み合わせた相補型の第2のインバータ回路とを備え、前記第1のインバータ回路と第2のインバータ回路とは、互いにその出力を入力として帰還させるようにたすき掛けに接続させている。

40

**【0027】**

第9の発明は、第1乃至第4のうちの何れかの発明において、前記強誘電体ラッチ回路は、第1電源端子と第2電源端子に接続される電源で動作する第1のインバータ回路および第2のインバータ回路と、第1の強誘電体コンデンサおよび第2の強誘電体コンデンサと、第1のコンデンサおよび第2のコンデンサと、を備え、前記第1のインバータ回路の出力端子は前記第2のインバータ回路の入力端子に接続され、かつ、前記第2のインバータ回路の出力端子は前記第1のインバータ回路の入力端子に接続され、前記第1の強誘電体コンデンサの第1端子と第2端子は、前記第1のインバータ回路の出力端子と入力端子にそれぞれ接続され、前記第2の強誘電体コンデンサの第1端子と第2端子は、前記第2

50

のインバータ回路の出力端子と入力端子にそれぞれ接続され、前記第1のコンデンサの第1端子と第2端子は、前記第1のインバータ回路の出力端子と前記第2電源端子にそれぞれ接続され、前記第2のコンデンサの第1端子と第2端子は、前記第2のインバータ回路の出力端子と前記第2電源端子にそれぞれ接続されている。

【0028】

第10の発明は、第1乃至第4のうちの何れかの発明において、前記強誘電体ラッチ回路は、第1電源端子および第2電源端子に接続される電源で動作する第1のインバータ回路および第2のインバータ回路と、第1の強誘電体コンデンサおよび第2の強誘電体コンデンサと、を備え、前記第1のインバータ回路の出力端子は前記第2のインバータ回路の入力端子に接続され、かつ、前記第2のインバータ回路の出力端子は前記第1のインバータ回路の入力端子に接続され、前記第1の強誘電体コンデンサの第1端子と第2端子は、前記第1のインバータ回路の出力端子と入力端子にそれぞれ接続され、前記第2の強誘電体コンデンサの第1端子と第2端子は、前記第2のインバータ回路の出力端子と入力端子にそれぞれ接続されている。

10

【0029】

第11の発明は、第1乃至第4のうちの何れかの発明において、前記強誘電体ラッチ回路は、第1電源端子および第2電源端子に接続される電源で動作する第1のインバータ回路および第2のインバータ回路と、強誘電体コンデンサと、を備え、前記第1のインバータ回路の出力端子は前記第2のインバータ回路の入力端子に接続され、かつ、前記第2のインバータ回路の出力端子は前記第1のインバータ回路の入力端子に接続され、前記強誘電体コンデンサの第1端子と第2端子は、前記第1のインバータ回路の入力端子と第2のインバータ回路の入力端子にそれぞれ接続されている。

20

【0030】

このような構成からなる本発明によれば、強誘電体ラッチ回路からデータを読み出す際には、読み出すための信号を外部から与えて直接読み出すのではなく、既に安定状態で存在する電位信号を単に読み出すだけであるので、データを非常に高速に読み出すことができるという効果がある。

また、本発明では、データの読み出し時には強誘電体ラッチ回路からデータを直接読み出すのではなく、既に安定状態で存在する電位信号を単に読み出すので、再書き込みの必要がなく、しかも、その時に複雑で時間を要する制御を必要としない効果がある。

30

【0031】

また、本発明では、データの読み出し時に再書き込みの必要がなくなるので、その結果、強誘電体の寿命が非常に長くなるという効果がある。

また、本発明をメモリセルとして使用し、このメモリセルをアレイ状に配置したメモリセルアレイからなる不揮発性メモリ装置に拡張できる。

このような不揮発性メモリ装置では、各メモリセルは、その内部に個別の制御回路を持っているので、メモリセル外部からはブラックボックスのように扱える。このため、従来の不揮発性メモリ装置にありがちな昇圧や中間電位等を含む複雑な制御が不要となり、ロウデコーダ制御回路、カラムデコーダ制御回路、読み書き制御回路、データ制御回路等の周辺回路の構成が簡単になり、かつその周辺回路の占有面積が少なくてすむという効果がある。

40

【0032】

また、本発明では、強誘電体ラッチ回路に強誘電体薄膜を有する電界効果型トランジスタや強誘電体コンデンサを用いるのが好適であり、この場合には、強誘電体ラッチ回路が少ない素子数で構成でき、かつ低電圧で動作し、低消費電力となる効果がある。

【発明を実施するための最良の形態】

【0033】

以下、本発明の実施形態について、図面を参照して説明する。

〔本発明の強誘電体メモリ装置の第1実施形態〕

(第1実施形態の回路の概要)

50

図 1 は、本発明の強誘電体メモリ装置の第 1 実施形態の構成を示す回路図である。

この第 1 実施形態は、図 1 に示すように、強誘電体ラッチ回路 101 と、制御機能付きインバータ回路 102 と、制御機能付きインバータ回路 103 と、ラッチ制御回路 117 とを備え、1 ビットのデータが読み書き可能な不揮発性の強誘電体メモリ回路として機能するようになっている。

【0034】

強誘電体ラッチ回路 101 は、状態データの保持、記憶、および復元をそれぞれ単独で行うことができる不揮発性のラッチ回路である。

すなわち、強誘電体ラッチ回路 101 は、電源が投入されている時には 1 ビットのデータを保持し、電源の切断時には残留分極の形態でそのデータを記憶し、かつ、電源の再投入時にはその残留分極に基づいてデータの保持状態に復帰し、これらを単独で行うことができるようになっている。

【0035】

なお、このような機能を有する強誘電体ラッチ回路 101 は、この明細書では図 5 に示すようなシンボルで表現するが、その具体的な回路構成およびその動作原理については後述する。

制御機能付きインバータ回路 102 は、強誘電体ラッチ回路 101 にデータを書き込むラッチ書き込み回路として機能し、ラッチ制御回路 117 によりその書き込み動作が制御されるものである。

制御機能付きインバータ回路 103 は、強誘電体ラッチ回路 101 の状態データを読み出すラッチ読み出し回路として機能し、ラッチ制御回路 117 によりその読み出し動作が制御されるものである。

【0036】

ラッチ制御回路 117 は、強誘電体ラッチ回路 101 にデータを書き込むときには制御機能付きインバータ回路 102 に書き込み動作をさせ、強誘電体ラッチ回路 101 の状態データを読み出すときには制御機能付きインバータ回路 103 に読み出し動作をさせ、それ以外のデータの保持、復元の際には制御機能付きインバータ回路 102、103 はその動作をいずれも止めておく（動作不能とする）ものである。

また、ラッチ制御回路 117 は、後述のように、この第 1 実施形態をメモリセルとして使用する場合に（図 6 参照）、メモリセルのアドレスを指定するための信号 X、Y を入力信号端子 114、115 で受け取るようになっている。

【0037】

（第 1 実施形態の回路の詳細）

次に、この第 1 実施形態の回路の具体的な構成について、図 1 および図 3 を参照して説明する。

図 1 に示すように、制御機能付きインバータ回路 102 の入力信号端子は、データ入力信号端子 111 に接続されている。また、制御機能付きインバータ回路 102 の出力信号端子は、制御機能付きインバータ回路 103 の入力信号端子に接続されるとともに、強誘電体ラッチ回路 101 の一方の入出力端子に接続されている。さらに、制御機能付きインバータ回路 103 の出力信号端子は、データ出力信号端子 112 に接続されている。

ラッチ制御回路 117 は、図 1 に示すように、インバータ回路 106、NAND 回路（非論理積回路）107、および NOR 回路（非論理和回路）104、105 から構成される。

【0038】

インバータ回路 106 は、入力端子がデータ制御信号端子 113 に接続され、出力端子が NOR 回路 104 の第 2 入力ゲートに接続されている。NAND 回路 107 の第 1 入力ゲートと第 2 入力ゲートは、それぞれ入力信号端子 114 と 115 に接続されている。NAND 回路 107 の出力端子は、NOR 回路 104、105 の第 2 入力ゲートにそれぞれ接続されている。NOR 回路 105 の第 1 入力ゲートは、データ制御信号端子 113 に接続されている。NOR 回路 104 の出力端子は、制御機能付きインバータ回路 102 の制

10

20

30

40

50

御信号端子に接続されている。さらに、NOR回路105の出力端子は、制御機能付きインバータ回路103の制御信号端子に接続されている。

ここで、図1に示すような構成からなる回路をシンボルで表したのが、図2に示す図記号である。

#### 【0039】

次に、図1に示す制御機能付きインバータ回路102、103の具体的な構成について、図3を参照して説明する。

制御機能付きインバータ回路は、図3に示すように、N型MOSFET421、422と、P型MOSFET423、424と、インバータ回路425とからなる。

さらに詳述すると、N型MOSFET421のソース電極は負極の電源端子-VSSに接続され、P型MOSFET424のソース電極は正極の電源端子+VDDに接続されている。N型MOSFET422とP型MOSFET423のゲート電極は互いに接続されてその共通接続部が入力信号端子431に接続され、またドレイン電極は互いに接続されてその共通接続部が出力信号端子432に接続されている。

10

#### 【0040】

また、N型MOSFET422のソース電極はN型MOSFET421のドレイン電極に接続されている。また、P型MOSFET423のソース電極はP型MOSFET424のドレイン電極に接続されている。また、N型MOSFET421のゲート電極は制御信号端子433に接続され、その制御信号端子433はインバータ回路425の入力端子に接続され、インバータ回路425の出力端子はP型MOSFET424のゲート電極に

20

#### 【0041】

以上の構成からなる制御機能付きインバータ回路は、制御信号端子433が高電位(High)の場合に、入力信号端子431に供給されるデータ信号を反転した信号の電位を出力信号端子432から出力する。なお、制御信号端子433が低電位(Low)の場合には、出力信号端子432はフローティング状態となる。

ここで、このような動作をする制御機能付きインバータ回路は、この明細書では図4に示すようなシンボルで表現するものとする。

#### 【0042】

(第1実施形態の回路の動作)

次に、上記のような構成からなる第1実施形態の動作について、図1を参照して説明する。

まず、入力信号端子114、115のうち、いずれか一方が低電位(Low)の信号である場合について説明する。

この場合には、NOR回路104とNOR回路105の出力はいずれも低電位(Low)となって、制御機能付きインバータ回路102、103はともに出力信号がフローティング状態となる。

30

#### 【0043】

すなわち、強誘電体ラッチ回路101は切り離された状態となるので、データを記憶し、かつ電源を切断しても強誘電体薄膜に残留分極として記憶が残り、電源再投入後においては、電源を切断する前のデータ状態に復帰する。

40

つまり、強誘電体ラッチ回路101は、不揮発性のラッチ回路となっており、この点の動作については後述する。

#### 【0044】

次に、入力信号端子114、115がともに高電位(High)で、かつデータ制御信号端子113が高電位(High)である場合について説明する。

この場合には、NOR回路104の出力は高電位(High)となるので、制御機能付きインバータ回路102は活性化され、データ入力信号端子111上のデータが強誘電体ラッチ回路101に書き込まれる。

#### 【0045】

50

さらに、入力信号端子 114、115 がともに高電位 (High) で、かつデータ制御信号端子 113 が低電位 (Low) である場合について説明する。

この場合には、NOR 回路 105 の出力は高電位 (High) となるので、制御機能付きインバータ回路 103 は活性化され、強誘電体ラッチ回路 101 のデータがデータ出力信号端子 112 に読み出される。

#### 【0046】

なお、この読み出しの際において、強誘電体ラッチ回路 101 は信号変化をしていないので、強誘電体の状態変位にかかわる信号の遅延は一切なく、この動作は制御機能付きインバータ回路 103 の応答性のみ依存して、高速で行われる。

ところで、以上説明した第 1 実施形態では、図 1 に示す強誘電体ラッチ回路 101 が構成の中核をなすので、強誘電体ラッチ回路 101 の具体的な構成とその動作原理について、以下に詳述する。

#### 【0047】

〔強誘電体ラッチ回路の概要〕

上述の強誘電体ラッチ回路 101 は、各種のものが考えられるが、ゲート部に強誘電体薄膜を有する電界効果型トランジスタ (MFSFET) を用いたものと、インバータ回路 2 個によるラッチ回路と強誘電体コンデンサとを用いたものについて、順次説明する。

以下では、前者を強誘電体トランジスタラッチ回路、後者を強誘電体コンデンサラッチ回路と呼称する。

#### 【0048】

(強誘電体トランジスタラッチ回路の第 1 の構成例)

<回路の概要>

強誘電体トランジスタラッチ回路の第 1 の構成例の概要について、図 9 を参照して説明する。

この第 1 の構成例は、図 9 に示すように、インバータ回路 907 とインバータ回路 908 とを備え、インバータ回路 907 とインバータ回路 908 とは互いにその出力を入力として帰還させるようにたすき掛けに接続させた不揮発性のラッチ回路からなる。

インバータ回路 907 は、導電型が N 型であってゲート部に強誘電体薄膜を有する電界効果型トランジスタ (以下、N 型 MFSFET という) 901 と、導電型が P 型であってゲート部に強誘電体薄膜を有する電界効果型トランジスタ (以下、P 型 MFSFET という) 902 とを組み合わせた相補型の回路からなる。

#### 【0049】

インバータ回路 908 は、導電型が N 型であってゲート部に強誘電体薄膜を有する電界効果型トランジスタ (以下、N 型 MFSFET という) 903 と、導電型が P 型であってゲート部に強誘電体薄膜を有する電界効果型トランジスタ (以下、P 型 MFSFET という) 904 とを組み合わせた相補型の回路からなる。

このような構成により、図 9 に示す強誘電体トランジスタ回路は、電源が投入されている時には 1 ビットのデータを保持し、電源の切断時には残留分極の形態でそのデータを記憶し、かつ、電源の再投入時にはその残留分極に基づいてデータの保持状態に復帰し、これらを単独で行うことができるようになっている。

#### 【0050】

<MFSFET の構造と動作原理>

次に、図 9 に示す回路の詳細およびその動作の説明に先立って、インバータ回路 907、908 を構成する MFSFET の構造、およびその動作原理について、図 10 ~ 図 16 を参照して説明する。

図 10 は、N 型の導電性を持つ MFSFET のチャネル部のソース・ドレイン方向に切断した断面図である。図 10 において、1001 は金属からなるゲート電極、1002 は N<sup>+</sup> 拡散からなるソースもしくはドレインとなる第 1 電極、1003 は N<sup>+</sup> 拡散からなるドレインもしくはソースとなる第 2 電極である。1009 はシリコン基板である。

#### 【0051】

10

20

30

40

50

1000は無機強誘電体であるPZTNからなる強誘電体薄膜である。結晶性の優れたPZTNから形成された強誘電体薄膜1000は、その両端に電圧を印加すると、内部に分極が起こるとともに、一度起きた分極は反転しにくい性質があり、図25に示すような角型性の良いヒステリシス特性を持っている。また、PZTやSBTも同じような特性を持っている。ただし、PZTNの方が、残留分極や角型性の良いヒステリシス特性を持つ点で優れている。

#### 【0052】

ここで、PZTとは、 $Pb(Zr, Ti)O_3$ の総称である。また、PZTNとは、PZTのTiの一部をNbで置き換えたものの総称である。さらに、SBTとは、 $SrBi_2Ta_2O_9$ もしくはそれに近い組成の総称である。

なお、図10において、強誘電体薄膜1000の構成材料は、PZTNが最も望ましいが、PZTやSBTを用いても良い。また、金属電極1001は、白金(Pt)が一般的に用いられる。

#### 【0053】

図25は、図10に示す強誘電体薄膜1000がPZTNの場合の分極電荷 - 印加電圧特性でもある。

図25において、強誘電体薄膜に抗電界以上の負の電圧を加えると特性点2501の状態となり、そこで印加電圧を除き、開放すると特性点2502となり、かつ、縦軸の交差点に相当する量が残留分極として保持される。さらに、抗電圧以上の正の電圧を加えると特性点2504の状態に移る。そこで、印加電圧を除き、開放すると特性点2505となり、かつ縦軸の交差点に相当する量が残留分極として保持される。

#### 【0054】

さて、図25に示したように、図10に示す構造のMFSFETにおいて、強誘電体薄膜1000に抗電圧以上の電圧を印加すると、強誘電体薄膜1000は内部に分極を起こすので、これについて図13および図14を参照して説明する。

例えば、図13に示すように、ゲート電極端子1304を通してゲート電極1001が0電位でドレイン電極もしくはソース電極となる1002、1003が電極端子1305、1306を通して+V電位であると、強誘電体薄膜1300はゲート電極1001側が正、ドレイン電極もしくはソース電極となる1002、1003側が負の内部分極を起こす。この分極は、N型の電界効果型トランジスタとしてのチャンネル部1309の電子が誘起するのを抑制する方向に働く。つまりN型MFSFETはスレッシュホールド電圧が高くなる。

#### 【0055】

また、図14に示すように、ゲート電極端子1404を通してゲート電極1001が+V電位でドレイン電極もしくはソース電極となる1002、1003が電極端子1405、1406を通して0電位であると、強誘電体薄膜1400はゲート電極1001側が負、ドレイン電極もしくはソース電極となる1002、1003側が正の内部分極を起こす。この分極は、N型の電界効果型トランジスタとしてのチャンネル部1409に電子を誘起する。N型の場合は、電子の流れる経路チャンネルを形成しやすい方向に作用する。つまりN型MFSFETはスレッシュホールド電圧が低くなる。

#### 【0056】

図14において、チャンネル部1409の上部を複数の破線模様で表現しているのは、強誘電体薄膜1400の分極の結果、チャンネル部1409において電子が誘起されている様子を表現しているものである。

さて、図25は強誘電体薄膜にかかる電圧Vと内部分極電荷Qの関係を示しているが、静電容量をCとして $Q = CV$ の一般的な関係により、MOS容量の変化を図25から読みとれる。また、MOSFETのスレッシュホールド電圧の変化は、MOS容量の変化に関連している。したがって、図25において、特性曲線が大きく変化する抗電圧付近でN型MFSFETはスレッシュホールド電圧が大きく変わる。

#### 【0057】

10

20

30

40

50

これは、M F S F E Tの強誘電体薄膜の内部分極の方向と大きさによって、電界効果型トランジスタとしてのスレッシュOLD電圧が変わることに対応している。

図25において、特性曲線が抗電圧付近で変わる際の電圧は、電界効果型トランジスタの動作電圧に比較しても十分に影響を与える変化量である。そして、特性点2502や2505における残留分極も十分に大きいので、電源を切断した際に残留分極が保存されたM F S F E TはスレッシュOLD電圧も大きな差として保存されている。

#### 【0058】

図15および図16は、P型M F S F E Tにおいて、N型M F S F E Tと同様にゲート電圧をかけた場合の強誘電体薄膜1500、1600の各分極と、チャンネル部1509、1609の各キャリアの誘起の様子を示す。

P型M F S F E Tの場合には、図15のように、ゲート電極1501側が0電位の場合にチャンネル部にホール(正孔)のキャリアが誘起され、等価的にスレッシュOLD電圧が絶対値で下がり、電流が流れやすくなる。これに対して、図16のように、ゲート電極1501が+V電位であると、等価的にスレッシュOLD電圧が絶対値で高くなり、導通しにくくなる。

#### 【0059】

<回路の詳細>

次に、図9の回路の詳細について説明する。

N型M F S F E T 901のソース電極は-VSSの電位を持つ負極の電源端子に接続され、P型M F S F E T 902のソース電極は+VDDの電位を持つ正極の電源端子に接続され、N型M F S F E T 901のゲート電極とP型M F S F E T 902のゲート電極とは互いに接続され、その共通接続部が入出力端子905に接続されている。また、N型M F S F E T 901のドレイン電極とP型M F S F E T 902のドレイン電極とは互いに接続されている。そして、これらによりインバータ回路907が構成されている。

#### 【0060】

また、N型M F S F E T 903のソース電極は-VSSの電位を持つ負極の電源端子に接続され、P型M F S F E T 904のソース電極は+VDDの電位を持つ正極の電源端子に接続され、N型M F S F E T 903のゲート電極とP型M F S F E T 904のゲート電極とは互いに接続され、その共通接続部が入出力端子906に接続されている。また、N型M F S F E T 903のドレイン電極とP型M F S F E T 904のドレイン電極とは互いに接続されている。そして、これらによりインバータ回路908が構成されている。

#### 【0061】

さらに、インバータ回路907を構成するN型M F S F E T 901とP型M O S F E T 902のドレイン電極は入出力端子906に接続され、インバータ回路908を構成するN型M F S F E T 903とP型M F S F E T 904のドレイン電極は入出力端子905に接続され、インバータ回路107と第2のインバータ回路108とによって不揮発性のラッチ回路を構成している。

なお、以上の構成において、インバータ回路907とインバータ回路908はレイアウトパターンにおいて同一、もしくは対称形に構成され、かつP型とN型のそれぞれのM F S F E Tの特性は対応する素子において同一の特性とする。

#### 【0062】

<回路の動作説明>

次に、このような構成からなる強誘電体トランジスタラッチ回路の動作について、図9、図11、および図12を参照して説明する。

図9に示すように、インバータ回路907は、その構成要素がN型M F S F E T 901とP型M F S F E T 902とからなる。このため、入出力端子905に正の高電位が加わると、そのドレイン電極は負の低電位となり、N型M F S F E T 901はオンすると同時に、より導通しやすい低スレッシュOLD電圧になる方向にゲート部の強誘電体薄膜は分極する。このとき、P型M F S F E T 902はオフすると同時に、よりオフする高いスレッシュOLD電圧になる方向にゲート部の強誘電体薄膜は分極する。このときの分極状態は、

図 1 1 の左側半分に示すようになる。

【 0 0 6 3 】

また、インバータ回路 9 0 8 は、その構成要素が N 型 M F S F E T 9 0 3 と P 型 M F S F E T 9 0 4 とからなる。このため、入出力端子 9 0 6 に正の高電位が加わると、そのドレイン電極は負の低電位となり、N 型 M F S F E T 9 0 3 はオンすると同時に、より導通しやすい低スレッシュールド電圧になる方向にゲート部の強誘電体薄膜は分極する。このとき、P 型 M F S F E T 9 0 4 はオフすると同時に、よりオフする高いスレッシュールド電圧になる方向にゲート部の強誘電体薄膜は分極する。このような分極状態は、図 1 2 の右側半分に示すようになる。

【 0 0 6 4 】

図 9 に示す回路では、インバータ回路 9 0 7 とインバータ回路 9 0 8 は、それぞれの入力と出力を互いにたすき掛けしたラッチ回路を構成している。

このため、入出力端子 9 0 5 が正の高電位 + V D D になると、入出力端子 9 0 6 は負の低電位 - V S S となる ( 図 1 1 参照 ) 。したがって、このとき、N 型 M F S F E T 9 0 1 と P 型 M F S F E T 9 0 4 は、オンしてより導通しやすいスレッシュールド電圧となるようにゲート部の強誘電体薄膜は分極する。また、N 型 M F S F E T 9 0 3 と P 型 M F S F E T 9 0 2 は、オフしてより非導通となり易いスレッシュールド電圧となるようにゲート部の強誘電体薄膜は分極する。

【 0 0 6 5 】

一方、入出力端子 9 0 5 が負の低電位 - V S S になると、入出力端子 9 0 6 は正の高電位 + V D D となる ( 図 1 2 参照 ) 。したがって、このとき、N 型 M F S F E T 9 0 1 と P 型 M F S F E T 9 0 4 は、オフしてより非導通となり易いスレッシュールド電圧となるようにゲート部の強誘電体薄膜は分極する。また、N 型 M F S F E T 9 0 3 と P 型 M F S F E T 9 0 2 は、オンしてより導通しやすいスレッシュールド電圧となるようにゲート部の強誘電体薄膜は分極する。

【 0 0 6 6 】

以上のように、図 9 のラッチ回路では、その入出力端子が正負いずれの状態でも電源が切断されたとき、そのときのラッチ回路の各 M F S F E T の状態が反映するように各 M F S F E T のゲート部の強誘電体薄膜は残留分極として記憶している。

したがって、図 9 の回路では、ラッチ回路としては安定した状態が 2 形態あるものの、再び電源が投入された場合に、各 M F S F E T が前の状態を反映する残留分極とスレッシュールド電圧の偏りがあるので、前の状態の安定状態に復帰することができる。

したがって、図 9 に示す回路によれば、データの読み出しと、書き込み動作が可能な不揮発性ラッチ回路が実現する。

【 0 0 6 7 】

( 強誘電体トランジスタラッチ回路の第 2 の構成例 )

図 1 7 は、強誘電体トランジスタラッチ回路の第 2 の構成例を示す回路図である。

この第 2 の構成例は、図 1 7 に示すように、インバータ回路 1 7 0 7 とインバータ 1 7 0 8 とを備え、インバータ回路 1 7 0 7 とインバータ回路 1 7 0 8 とは互いにその出力を入力として帰還させるようにたすき掛けに接続させた不揮発性のラッチ回路からなる。

【 0 0 6 8 】

インバータ回路 1 7 0 7 は、導電型が N 型であってゲート部に強誘電体薄膜を有する電界効果型トランジスタ ( N 型 M F S F E T ) 1 7 0 1 と、導電型が P 型の絶縁ゲート電界効果型トランジスタ ( P 型 M O S F E T ) 1 7 0 2 とを組み合わせた相補型の回路からなる。

インバータ回路 1 7 0 8 は、導電型が N 型であってゲート部に強誘電体薄膜を有する電界効果型トランジスタ 1 7 0 3 と、導電型が P 型の絶縁ゲート電界効果型トランジスタ 1 7 0 4 とを組み合わせた相補型の回路からなる。

【 0 0 6 9 】

このような構成からなる第 2 の構成例は、図 9 に示す第 1 の構成例の P 型 M F S F E T

10

20

30

40

50



902、904を、図17に示すようなP型MOSFET1702、1704に置き換えたものであり、それ以外の素子は図17と図9は同一の構成となっている。

このように、第2の構成例では、図17に示すようにインバータ回路1707、1708にN型MOSFET1701、1703をそれぞれ用いているので、第1の構成例と同様の機能が実現できる。

すなわち、N型MOSFET1701、1703には、そのときの電位状態を反映した分極が書き込まれ、電源切断時には残留分極としてデータが記憶される。また、電源再投入時は、前の状態を反映する残留分極とスレッシュホールド電圧の偏りがあるために、電源切断前の安定状態に復帰する。

#### 【0070】

10

(強誘電体トランジスタラッチ回路の第3の構成例)

図18は、強誘電体トランジスタラッチ回路の第3の構成例を示す回路図である。

この第3の構成例は、図18に示すように、インバータ回路1807とインバータ回路1808とを備え、インバータ回路1807とインバータ回路1808とは、互いにその出力を入力として帰還させるようにたすき掛けに接続させた不揮発性のラッチ回路からなる。

インバータ回路1807は、導電型がN型の絶縁ゲート電界効果型トランジスタ(N型MOSFET)1801と、導電型がP型であってゲート部に強誘電体薄膜を有する電界効果型トランジスタ(P型MOSFET)1802とを組み合わせた相補型の回路からなる。

20

#### 【0071】

インバータ回路1808は、導電型がN型の絶縁ゲート電界効果型トランジスタ1803と、導電型がP型であってゲート部に強誘電体薄膜を有する電界効果型トランジスタ1804と、を組み合わせた相補型の回路からなる。

このような構成からなる第3の構成例は、図9に示す第1の構成例のN型MOSFET901、903を、図18に示すようなN型MOSFET1801、1801に置き換えたものであり、それ以外の素子は図18と図9は同一の構成となっている。

#### 【0072】

このように、第3の構成例では、図18に示すようにインバータ回路1807、1808にP型MOSFET1802、1804をそれぞれ用いているので、第1の構成例と同様の機能が実現できる。

30

すなわち、P型MOSFET1802、1804には、そのときの電位状態を反映した分極が書き込まれ、電源切断時には残留分極としてデータが記憶される。また、電源再投入時は、前の状態を反映する残留分極とスレッシュホールド電圧の偏りがあるために、電源切断前の安定状態に復帰する。

#### 【0073】

(強誘電体コンデンサラッチ回路の第1の構成例)

<回路の概要>

この強誘電体コンデンサラッチ回路の第1の構成例の回路構成の概要について、図19を参照して説明する。

40

この第1の構成例は、図19に示すように、ラッチ回路を構成するインバータ回路1935、1946と、強誘電体コンデンサ191、192と、コンデンサ1991、1992と、抵抗1993~1996とを備え、これらにより不揮発性のラッチ回路を構成したものである。

#### 【0074】

インバータ回路1935は、図19に示すように、導電型がN型の絶縁ゲート電界効果型トランジスタ(以下、N型MOSFETという)193と、導電型がP型の絶縁ゲート電界効果型トランジスタ(以下、P型MOSFETという)195とを組み合わせたCMOSインバータ回路からなる。

同様に、インバータ回路1946は、導電型がN型の絶縁ゲート電界効果型トランジス

50

タ（以下、N型MOSFETという）194と、導電型がP型の絶縁ゲート電界効果型トランジスタ（以下、P型MOSFETという）196とを組み合わせたCMOSインバータ回路からなる。

【0075】

このような構成により、図19に示す強誘電体コンデンサ回路は、電源が投入されているには1ビットのデータを保持し、電源の切断時には残留分極の形態でそのデータを記憶し、かつ、電源の再投入時にはその残留分極に基づいてデータの保持状態に復帰し、これらを行なうことができるようになっている。

なお、インバータ回路1935、1946の具体例としてCMOSインバータ回路を挙げたが、これ以外にMOSトランジスタを用いたものであれば、各種のものを使用することができる。

10

【0076】

<回路の詳細>

次に、図19の回路の詳細について説明する。

N型MOSFET193のソース電極は-VSSの電位を持つ負極の電源端子に接続され、P型MOSFET195のソース電極は+VDDの電位を持つ正極の電源端子に接続され、N型MOSFET193とP型MOSFET195の各ゲート電極は互いに接続され、またその各ドレイン電極も互いに接続されている。そして、これらによりインバータ回路1935を構成している。

【0077】

また、N型MOSFET194のソース電極は-VSSの電位を持つ負極の電源端子に接続され、P型MOSFET196のソース電極は+VDDの電位を持つ正極の電源端子に接続され、N型MOSFET194とP型MOSFET196の各ゲート電極は互いに接続され、またその各ドレイン電極も互いに接続されている。そして、これらによりインバータ回路1946を構成している。

20

【0078】

インバータ回路1935の出力端子は、抵抗1995を介してインバータ回路1946の入力端子に接続されている。また、インバータ回路1946の出力端子は、抵抗1996を介してインバータ回路1935の入力端子に接続されている。そして、これにより揮発性のラッチ回路を構成している。

30

インバータ回路1935の出力端子は、抵抗1993を介して入出力端子197に接続されている。強誘電体コンデンサ191は、一端側の端子が入出力端子197に接続され、他端側の端子がインバータ回路1935の入力端子に接続されている。コンデンサ1991は、一端側の端子が入出力端子197に接続され、他端側の端子が+VDDの電位を持つ正極の電源端子に接続されている。

【0079】

インバータ回路1946の出力端子は、抵抗1994を介して入出力端子198に接続されている。強誘電体コンデンサ192は、一端側の端子が入出力端子198に接続され、他端側の端子がインバータ回路1946の入力端子に接続されている。コンデンサ1992は、一端側の端子が入出力端子198に接続され、他端側の端子が+VDDの電位を持つ正極の電源端子に接続されている。

40

【0080】

以上の構成において、強誘電体コンデンサ191と192、N型MOSFET193と194、P型MOSFET195と196、コンデンサ1991と1992、抵抗1993と1994、および抵抗1995と1996はそれぞれ同一形状であり、同一特性である。さらに、以上の素子を配列し、接続したレイアウトパターンについても、同一もしくは対称形の配置であることが望ましい。

【0081】

また、図19における強誘電体コンデンサ191、192の構造は、上述の図24の構造と同様である。強誘電体コンデンサ191、192の場合には、図24において、強誘

50

電体薄膜 2440 は P Z T N や P Z T や S B T が適している。この中でも P Z T N が残留分極の大きさと、角型性の良いヒステリシス特性とを持っている点で、より望ましい。

#### 【 0 0 8 2 】

< 回路の動作 >

次に、このような構成からなる強誘電体コンデンサラッチ回路の動作について、図 19 ~ 図 21 を参照して説明する。ここで、図 20 は、図 19 の回路を機能的に分かり易く表現した回路図である。

図 19 に示す回路では、インバータ回路 1935 とインバータ回路 1946 はラッチ回路を構成しているので、ラッチ回路としては二つの安定状態を有している。

すなわち、入出力端子 197 が低電位に相当する - V S S であり、入出力端子 198 が高電位に相当する + V D D である場合の第 1 状態と、入出力端子 197 が高電位に相当する + V D D であり、入出力端子 198 が低電位に相当する - V S S である場合の第 2 状態とがある。

#### 【 0 0 8 3 】

図 21 は、図 20 の回路図において、電源が供給されたときの上記の 2 つの安定状態を示している。図 21 ( A ) ( C ) は、電源供給時 ( 安定時 ) における上述の第 1 状態と第 2 状態とをそれぞれ示す。

図 21 ( A ) ( C ) によれば、上記の両状態の電位状況によって、強誘電体コンデンサ 191、192 は、その内部に異なる分極を起こすことがわかる。

#### 【 0 0 8 4 】

すなわち、入出力端子 197 が - V S S で入出力端子 198 が + V D D の状況 ( 第 1 状態 ) では、図 21 ( A ) に示すように、強誘電体コンデンサ 191、192 内の強誘電体薄膜は、入出力端子 197 側の電極側が正極性の分極を、入出力端子 198 側の電極側が負極性の分極を、それぞれ起こす。

一方、入出力端子 197 が + V D D で入出力端子 198 が - V S S の状況 ( 第 2 状態 ) では、図 21 ( C ) に示すように、強誘電体コンデンサ 191、192 内の強誘電体薄膜は、入出力端子 197 側の電極側が負極性の分極を、入出力端子 198 側の電極側が正極性の分極を、それぞれ起こす。

#### 【 0 0 8 5 】

次に、図 21 ( A ) ( C ) に示す状態から、図 19 の回路の電源を切った場合について述べる。

電源を切った場合には、強誘電体コンデンサ 191、192 内の分極電荷量は減少するが、図 25 に示す特性点 2502 と 2505 における残留分極が残り、保存される。この電源のオフ時、すなわち、入出力端子 197、198 がともにグラウンド電位の 0 電位になった場合の強誘電体コンデンサ 191、192 の内部分極の状態を、図 21 の ( B ) ( D ) に示す。

なお、図 19 の回路図では、負極性電源である - V S S をグラウンド電位としている。

ここで、電源を切ってからしばらくすると、各回路の電位はグラウンド電位に落ち着くが、上記のように強誘電体コンデンサ 191、192 の各内部分極は残留分極として保存される。

#### 【 0 0 8 6 】

次に、図 21 ( B ) ( D ) に示す電源オフの状態から、電源を再び投入した場合について説明する。

図 19 におけるコンデンサ 1991、1992 は、電源の切断時にはそれぞれ電荷は 0 となっている。そして、コンデンサ 1991、1992 の一端は + V D D の電位を持つ正極性の電源端子にそれぞれ接続されているので、電源の再投入時には、入出力端子 197、198 はその正極性の電源端子側の電位 + V D D に追従しようとする。すなわち、強誘電体コンデンサ 191、192 の電極のうち、入出力端子 197、198 側の電極は正極性の電源端子 + V D D 側の電位に追従しようとする。

#### 【 0 0 8 7 】

10

20

30

40

50

一方、電源投入前はすべてがグラウンド電位となっているので、強誘電体コンデンサ 191、192 電極のうち、入出力端子 197、198 とは反対側の電極は、電源投入時は 0 電位をしばらくは保つ。

したがって、強誘電体コンデンサ 191、192 は、電源投入時に、コンデンサ電極の両端にそれぞれ電源間の電圧 + VDD が加わることになる。これは図 25 において、電極間の電圧が 0 である特性点 2502 もしくは特性点 2505 にあった強誘電体コンデンサに電圧 V が加わり、特性点 2504 の状態にされることに相当する。

【0088】

このとき、特性点 2505 に相当する残留分極であれば電荷の変動量は少なく、特性点 2502 であれば電荷の変動量は大きいことを意味している。ここで、電荷の変動量が少ないということは、電位を加えた電極の他端の電極の電位変動が少ないことを意味し、電荷の変動量が大きいということは電位を加えた電極の他端の電極の電位変動が大きいことを意味している。

10

【0089】

したがって、電源再投入時に入出力端子 197、198 にコンデンサ 1991、1992 の作用により、+ VDD が加わって動作したかのように作用する。このとき、強誘電体コンデンサ 191 もしくは強誘電体コンデンサ 192 の内部分極が入出力端子 197 もしくは入出力端子 198 側の電極において、負の残留分極、すなわち電極の外側に正の電荷を誘起している方は図 25 の特性点 2505 および図 26 (E) に相当し、他端の電位変動が少ない。

20

【0090】

また、強誘電体コンデンサ 191 もしくは強誘電体コンデンサ 192 の内部分極が入出力端子 197 もしくは入力出力端子 198 側の電極において、正の残留分極、すなわち電極の外側に負の電荷を誘起している方は図 25 の特性点 2502 および図 26 (B) に相当し、他端の電位変動が大きい。

したがって、例えば図 21 (B) のように残留分極がある状態で電源を再投入すると、コンデンサ 1991 の作用により、強誘電体コンデンサ 191 の入出力端子 197 側の電極には + VDD が加わって動作したかのように作用するが、このとき、強誘電体コンデンサ 191 の入出力端子 197 側の電極は図 21 (B) の状態では正の残留分極、すなわち電極の外側に負の電荷を誘起している状態であるので、電位変動が大きい。したがって、強誘電体コンデンサ 191 の他端は 0 電位から正の電位側へ大きく変動し、インバータ回路 1935 の入力端子に大きな正の電位を加える。

30

【0091】

一方、コンデンサ 1992 の作用により、同様に強誘電体コンデンサ 192 の入出力端子 198 側の電極には + VDD が加わって動作したかのように作用するが、このとき、強誘電体コンデンサ 192 の入出力端子 198 側の電極は図 21 (B) の状態では負の残留分極、すなわち電極の外側に正の電荷を誘起している状態であるので、電位変動が少ない。したがって、強誘電体コンデンサ 192 の他端は 0 電位からの変動は少なく、インバータ回路 1946 の入力端子に 0 電位に近い電位を加える。

【0092】

以上により、インバータ回路 1935 の入力端子に相対的に大きな正の電位が加わり、インバータ回路 1946 の入力端子には相対的に 0 電位に近い電位が加わる。この結果、インバータ回路 1935、1946 からなるラッチ回路は入出力端子 197 が - VSS (0 電位) となり、入出力端子 198 が + VDD となる安定状態に落ち着く。これは、電源切断前の図 21 (A) の状態である。すなわち、電源再投入後に、電源切断前の状態に復帰したことを意味する。

40

【0093】

また、図 21 (D) のように残留分極がある状態で電源を再投入すると、コンデンサ 1991 の作用により、強誘電体コンデンサ 191 の入出力端子 197 側の電極には + VDD が加わって動作したかのように作用するが、このとき、強誘電体コンデンサ 191 の入

50

出力端子 197 側の電極は図 21 (B) の状態では負の残留分極、すなわち電極の外側に正の電荷を誘起している状態であるので、電位変動が少ない。したがって、強誘電体コンデンサ 191 の他端は 0 電位からの変動は少なく、インバータ回路 1935 の入力端子に 0 電位に近い電位を加える。

【0094】

一方、コンデンサ 1992 の作用により、同様に強誘電体コンデンサ 192 の入出力端子 198 側の電極には +VDD が加わって動作したかのように作用するが、このとき、強誘電体コンデンサ 192 の入出力端子 198 側の電極は図 21 (D) の状態では正の残留分極、すなわち電極の外側に負の電荷を誘起している状態であるので、電位変動が大きい。したがって、強誘電体コンデンサ 192 の他端は 0 電位から正の電位側へ大きく変動し、インバータ回路 1946 の入力端子に大きな正の電位を加える。

10

【0095】

以上により、インバータ回路 1935 の入力端子に相対的に 0 電位に近い電位が加わり、インバータ回路 1946 の入力端子には相対的に大きな正の電位が加わる。この結果、インバータ回路 1935、1946 からなるラッチ回路は入出力端子 197 が +VDD となり、入出力端子 198 が -VSS (0 電位) となる安定状態に落ち着く。これは、電源切断前の図 21 (C) の状態である。すなわち、電源再投入後に、電源切断前の状態に復帰したことを意味する。

【0096】

以上のように、図 19 に示す強誘電体コンデンサラッチ回路では、2 つの安定状態のいずれの場合であっても、強誘電体コンデンサ 191、192 の残留分極により、電源再投入後には電源切断前の状態に復帰する。

20

なお、図 19 に示す強誘電体コンデンサラッチ回路では、以上の動作が目的通り、かつ、速やかに進行するために、抵抗 1993 ~ 1996 を備えている。すなわち、抵抗 1993 ~ 1996 は、電源再投入後、インバータ回路 1935、1946 からなるラッチ回路が電源切断前の状態に向かう過渡的な短い時間において、強誘電体コンデンサから読み出された電荷がインバータ回路の入力端子以外に散逸するのを避け、また、他の経路から余計な電荷や電位が入り込むことを防止している。

【0097】

(強誘電体コンデンサラッチ回路の第 2 の構成例)

30

図 22 は、強誘電体コンデンサラッチ回路の第 2 の構成例を示す回路図である。

この第 2 の構成例は、図 22 に示すように、ラッチ回路を構成するインバータ回路 2235、2246 と、強誘電体コンデンサ 221、222 とを備え、これらにより不揮発性のラッチ回路を構成したものである。

インバータ回路 2235、2246 は、互いにその出力を入力として帰還させるように、たすき掛けに接続され、1 ビットのデータを記憶する揮発性のラッチ回路として機能するようになっている。

インバータ回路 2235 は、図 22 に示すように、N 型 MOSFET 223 と P 型 MOSFET 225 とを組み合わせた CMOS インバータ回路からなる。同様に、インバータ回路 2246 は、N 型 MOSFET 224 と P 型 MOSFET 226 とを組み合わせた CMOS インバータ回路からなる。

40

【0098】

次に、図 22 の回路の詳細について説明する。

N 型 MOSFET 223 のソース電極は -VSS の電位を持つ負極の電源端子に接続され、P 型 MOSFET 225 のソース電極は +VDD の電位を持つ正極の電源端子に接続され、N 型 MOSFET 223 と P 型 MOSFET 225 の各ゲート電極は互いに接続され、またその各ドレイン電極も互いに接続されている。そして、これらによりインバータ回路 2235 を構成している。

【0099】

N 型 MOSFET 224 のソース電極は -VSS の電位を持つ負極の電源端子に接続さ

50

れ、P型MOSFET 226のソース電極は+VDDの電位を持つ正極の電源端子に接続され、N型MOSFET 224とP型MOSFET 226の各ゲート電極は互いに接続され、またその各ドレイン電極も互いに接続されている。そして、これらによりインバータ回路2246を構成している。

【0100】

インバータ回路2235の出力端子はインバータ回路2246の入力端子に接続されている。また、インバータ回路2246の出力端子はインバータ回路2235の入力端子に接続されている。そして、これにより揮発性のラッチ回路を構成している。

インバータ回路2235の出力端子は入出力端子227に接続されている。強誘電体コンデンサ221は、一端側の端子が入出力端子227に接続され、他端側の端子がインバータ回路2235の入力端子に接続されている。

10

【0101】

インバータ回路2246の出力端子は入出力端子228に接続されている。強誘電体コンデンサ222は、一端側の端子が入出力端子228に接続され、他端側の端子がインバータ回路2246の入力端子に接続されている。

以上の構成において、強誘電体コンデンサ221と222、N型MOSFET 223と224、P型MOSFET 225と226はそれぞれ同一形状であり、同一特性である。さらに、以上の素子を配列し、接続したレイアウトパターンについても、同一もしくは対称形の配置であることが望ましい。

【0102】

このような構成からなる図22の回路は、図19の回路から、コンデンサ1991、1992と、抵抗1993～1996を省略した構成であるが、原理的には図19の回路と同じ動作が実現できる。

20

その第1の理由は、図19の抵抗1993～1996はあえて形成しなくともコンタクト抵抗やポリシリコン抵抗で兼用でき、また、強誘電体コンデンサ221、222の片側の電極を正極側の電源と同電位の基板の上に形成すれば、これにより寄生静電容量が付加され、その寄生静電容量はコンデンサ1991、1992と同じ働きをする。したがって、図19の回路と実質的に等価な回路を図22の回路でも構成できるからである。

【0103】

また、第2の理由は、対称的に2個のインバータ回路2235、2246をたすき掛けにして構成したラッチ回路は、電源再投入後に2つの安定状態のどちらかに落ち着くかの確率は半々である。しかし、図22の回路では、以下のような僅かな偏りを持つことができるので、その偏りに応じて安定状態に落ち着くことができるからである。

30

すなわち、図22の回路では、強誘電体コンデンサ221、222を有しており、電源切断前の安定状態では安定状態における各電位に対応した内部分極をしており、それが電源切断後においても残留分極として保持されている。

【0104】

すなわち、残留分極によって誘起される強誘電体コンデンサ221、222の各電極の外側の電荷はラッチ回路からみると対称ではなく、既に偏りをもたらす要因となっている。つまり、電源を再投入後において、残留分極とそれによって誘起される電極の外側の電荷の偏りは、インバータ回路2235、2246の各入力端子に別々の電位を与える。したがって、図22の回路は、電源再投入後は、電源の切断前の状態に復帰することができる。

40

【0105】

(強誘電体コンデンサラッチ回路の第3の構成例)

図23は、強誘電体コンデンサラッチ回路の第3の構成例を示す回路図である。

この第3の構成例は、図23に示すように、ラッチ回路を構成するインバータ回路2335、2346と、強誘電体コンデンサ230とを備え、これらにより不揮発性のラッチ回路を構成したものである。

インバータ回路2335、2346は、互いにその出力を入力として帰還させるように

50

、たすき掛けに接続され、1ビットのデータを記憶する揮発性のラッチ回路として機能するようになっている。

【0106】

すなわち、インバータ回路2335の出力端子は、インバータ回路2346の入力端子に接続されている。また、インバータ回路2346の出力端子は、インバータ回路2335の入力端子に接続されている。これにより、揮発性のラッチ回路を構成している。

インバータ回路2335の出力端子は、入出力端子237に接続されている。インバータ回路2346の出力端子は、入出力端子238に接続されている。

【0107】

強誘電体コンデンサ230は、一端側の電極が入出力端子237に接続され、他端側の電極が入出力端子238に接続されている。

さらに、インバータ回路2335は、図23に示すように、N型MOSFET233とP型MOSFET235とを組み合わせたCMOSインバータ回路からなる。同様に、インバータ回路2346は、N型MOSFET234とP型MOSFET236とを組み合わせたCMOSインバータ回路からなる。

【0108】

以上の構成において、N型MOSFET233と234、P型MOSFET235と236はそれぞれ同一形状であり、同一特性である。さらに、以上の素子を配列し、接続したレイアウトパターンについても、同一もしくは対称形の配置であることが望ましい。

このような構成からなる図23に示す回路は、図22に示す回路の強誘電体コンデンサ221、222を1つにまとめ、1つの強誘電体コンデンサ230に置き換えるようにしたものであり、それ以外の構成は図22の回路と同一の構成である。

図23の回路は、対称性に注意を払いながら回路を形成すれば1個の強誘電体コンデンサ70で、図22の強誘電体コンデンサ221、222と同様の機能を実現できる。

【0109】

〔本発明の強誘電体メモリ装置の第2実施形態〕

(第2実施形態の構成)

図6は、本発明の強誘電体メモリ装置の第2実施形態の構成を示す図である。

この第2実施形態は、図6に示すように、複数のメモリセル620からなるメモリセル群と、複数のワード線651と、複数のビット線652と、複数の制御信号線653と、複数のデータ入力線654と、複数のデータ出力線655と、ロウデコーダ制御回路641と、カラムデコーダ制御回路642と、読み書き制御回路643と、データ入出力制御回路644と、を備えている。

【0110】

メモリセル620は、例えば図1に示す強誘電体メモリ回路からなり、図6では図2に示すシンボルで表現している。このメモリセル620は複数からなり、図6に示すように、それらは行列状に規則的に配置されている。

ワード線651は、メモリセル620のアドレスを選択するためのものであり、そのメモリセル620の行方向に複数本配列されている。また、ビット線652は、メモリセル620のアドレスを選択するためのものであり、そのメモリセル620の列方向に複数本配列されている。これらの複数のワード線651と複数のビット線652とによって、メモリセル群のうちの1つのメモリセル620が選択できるようになっている。

【0111】

具体的には、ワード線651は、図1のラッチ制御回路117のNAND回路107の第1ゲート114に接続され、ビット線652は、図1のラッチ制御回路117のNAND回路107の第2ゲート115に接続されている。

したがって、複数のワード線651のうちの1つのワード線と複数のビット線652のうちの1つのビット線がともに高電位(High)の場合に、その両線の交点に対応する番地のメモリセル620のみが活性化する。

【0112】

10

20

30

40

50

制御信号線 6 5 3 は、メモリセル 6 2 0 のデータの読み書きを制御する制御信号を供給するためのものである。この制御信号線 6 5 3 は、図 1 のラッチ制御回路 1 1 7 の制御信号端子 1 1 3 に接続され、メモリセル 6 2 0 のデータの読み書きは、その制御信号が低電位 (Low) または高電位 (High) により選択的に制御される。

データ入力線 6 5 4 は、メモリセル 6 2 0 の列毎に配置されており、複数本からなる。このデータ入力線 6 5 4 は、図 1 に示すデータ入力信号端子 1 1 1 とデータ入出力制御回路 6 6 4 に接続されている。

#### 【 0 1 1 3 】

データ出力線 6 5 5 は、メモリセル 6 2 0 の列毎に配置されており、複数本からなる。データ出力線 6 5 5 は、図 1 に示すデータ出力信号端子 1 1 2 とデータ入出力制御回路 6 6 4 に接続されている。 10

ロウデコーダ制御回路 6 4 1 は、複数本のワード線 6 5 1 とそれぞれ接続され、メモリセル 6 2 0 のアドレスを選択するための信号を各ワード線 6 5 1 に供給するようになっている。

#### 【 0 1 1 4 】

カラムデコーダ制御回路 6 4 2 は、複数本のビット線 6 5 2 とそれぞれ接続され、メモリセル 6 2 0 のアドレスを選択するための信号を各ビット線 6 5 2 に供給するようになっている。

読み書き制御回路 6 4 3 は、複数本の制御信号線 6 5 3 にそれぞれ接続されるとともに、その制御信号線 6 5 3 を介してメモリセル 6 2 0 に接続され、メモリセル 6 2 0 のデータの読み書き制御を行うようになっている。 20

すなわち、読み書き制御回路 6 4 3 は、メモリセル 6 2 0 からデータを読み出す場合と、メモリセル 6 2 0 に対してデータを書き込む場合等に、そのデータの読み書きが必要なメモリセル 6 2 0 に対して、制御信号線 6 5 3 を介してデータの読み書きの制御信号を出力するようになっている。

#### 【 0 1 1 5 】

データ入出力制御回路 6 4 4 は、複数のデータ入力線 6 5 4 とそれぞれ接続されるとともに、そのデータ入力線 6 5 4 を介してメモリセル 6 2 0 と接続され、入力データをデータ入力線 6 5 4 を介してメモリセル 6 2 0 に供給するようになっている。

また、データ入出力制御回路 6 4 4 は、複数のデータ出力線 6 5 5 とそれぞれ接続されるとともに、そのデータ出力線 6 5 5 を介してメモリセル 6 2 0 と接続され、メモリセル 6 2 0 が読み出したデータをデータ出力線 6 5 5 を介して受け取るようになっている。 30

#### 【 0 1 1 6 】

( 第 2 実施形態の動作 )

次に、このような構成からなる第 2 実施形態の動作について、図 6 を参照しながら説明する。

いま、図 6 に示す 9 個のメモリセル 6 2 0 のうちの 1 つである、一番右上のメモリセルを選択し、この選択するメモリセルにデータを書き込む場合について説明する。

この場合には、ロウデコーダ制御回路 6 4 1 は、その選択するメモリセル 6 2 0 に対応するワード線 6 5 1 上の信号 X 1 を高電位にする。また、カラムデコーダ制御回路 6 4 2 は、その選択したメモリセル 6 2 0 に対応するビット線 6 5 2 上の信号 Y 1 を高電位にする。これにより、その選択されたメモリセル 6 2 0 が活性化される。 40

#### 【 0 1 1 7 】

その後、読み書き制御回路 6 4 3 は、その選択されたメモリセル 6 2 0 に対してデータを書き込むために、そのメモリセル 6 2 0 と接続される制御信号線 6 5 3 上の信号 C R W を高電位にする。

さらに、データ入出力制御回路 6 4 4 は、その選択されたメモリセル 6 2 0 と接続するデータ入力線 6 5 4 上に入力データ D I を出力するので、その入力データ D I はメモリセル 6 2 0 に書き込まれる。

#### 【 0 1 1 8 】



次に、上記を同じメモリセル620からデータを読み出す場合について説明する。

この場合には、ロウデコーダ制御回路641とカラムデコーダ制御回路642を用いて、上記と同様にメモリセル620を選択し、その選択されたメモリセル620を活性化させる。

その後、読み書き制御回路643は、その選択されたメモリセル620に対してデータを読み出すために、そのメモリセル620と接続される制御信号線653上の信号CRWを低電位にする。

これにより、その選択されたメモリセル620からデータが読み出されて、そのメモリセル620と接続するデータ出力線655上に出力データDOが出力されるので、データ入出力制御回路644は、その出力データDOを受け取る。

10

#### 【0119】

(第2実施形態の効果)

以上の構成からなる第2実施形態は、メモリセルとして図1に示すような強誘電体ラッチ回路を用いているので、不揮発性のメモリである。

また、この第2実施形態は、データの読み出しの際には、強誘電体にその都度、信号を与え、読み出すのではなく、既に安定状態にある強誘電体ラッチ回路の信号状態をMOSFETを介して見るだけである。このため、データの読み出しは、MOSFETだけの応答性で決まり、非常に高速な読み出しができ、読み出しの際に再書き込みの必要がないので、寿命が長い。

#### 【0120】

20

また、この第2実施形態では、データの書き込みの場合も、強誘電体ラッチ回路に内在するMFSFETもしくはMOSFETによるラッチ回路の状態を定めるだけで良く、強誘電体薄膜の分極はラッチ回路の状態が定まれば継続して行われる。このため、強誘電体薄膜の分極が完全に済むのを待つ必要はなく、MFSFETもしくはMOSFETのラッチ回路の応答性時間で決まり、非常に高速な書き込みとなる。

#### 【0121】

また、この第2実施形態では、メモリセル620の制御は低電位(Low)か、高電位(High)などの単純なデジタル信号で良く、不揮発性メモリでよく利用される高電圧の昇圧した信号や中間電位の信号を必要としない。このため、ロウデコーダ制御回路641、カラムデコーダ制御回路642は単純な回路で良く、素子数は少なく、占有面積は小

30

#### 【0122】

さらに、この第2実施形態では、メモリセル620の出力信号は単純な低電位(Low)か、高電位(High)などのロジック回路の電位であるので、不揮発性メモリで良く利用される微小な信号を検出する高感度のセンスアンプなどの信号検出回路を必要としない。したがって、データ入出力制御回路644は単純な回路構成でよく、素子数は少なく、占有面積は小さく、かつ高速動作が可能であり、消費電力も少ない。

#### 【0123】

(第2実施形態の他の回路への展開例)

図6において、強誘電体メモリ回路からなるメモリセル620を複数個、行列状に配置した例を挙げたが、これはその一例である。

40

図6において、データ入力線654とデータ出力線655を別々に設けたが、データ入出力制御回路644に切り替え機能を持たすようにすれば、データ入力線654とデータ出力線655は兼用して1本で選択的に使用することが可能である。

また、ロウデコーダ制御回路641とカラムデコーダ制御回路642から供給されるワード線651とビット線652をすべて低電位(Low)にすれば、すべての強誘電体メモリ単位セル回路620は不活性となるので、ロウデコーダ制御回路641とカラムデコーダ制御回路642に事実上のチップセレクト機能も持たせることも可能である。

#### 【0124】

[本発明の強誘電体メモリ装置の第3実施形態]

50

図7は、本発明の強誘電体メモリ装置の第3実施形態の構成を示す回路図である。

図1に示す第1実施形態は、図6に示すように、メモリセルとして複数個、行列状に配置して制御するのに都合の良い回路構成である。しかし、一般の集積回路では、不揮発性メモリを数ビット単位、あるいは1ビットでもその集積回路の中に随時、用いることもある。図7は、そのような目的に好適な回路である。

#### 【0125】

(第3実施形態の概要)

第3実施形態は、図7に示すように、強誘電体ラッチ回路701と、制御機能付きインバータ回路702と、制御機能付きインバータ回路703と、ラッチ制御回路717と、を備えている。

強誘電体ラッチ回路701は、状態データの保持、記憶、および復元をそれぞれ単独で行うことができる不揮発性のラッチ回路であり、図1の強誘電体ラッチ回路101と同様に構成される。

制御機能付きインバータ回路702は、強誘電体ラッチ回路701にデータを書き込むラッチ書き込み回路として機能し、ラッチ制御回路717によりその書き込み動作が制御されるものである。

#### 【0126】

制御機能付きインバータ回路703は、強誘電体ラッチ回路701の状態データを読み出すラッチ読み出し回路として機能し、ラッチ制御回路717によりその読み出し動作が制御されるものである。

ラッチ制御回路717は、強誘電体ラッチ回路701にデータを書き込むときには制御機能付きインバータ回路702に書き込み動作をさせ、強誘電体ラッチ回路701の状態データを読み出すときには制御機能付きインバータ回路703に読み出し動作をさせ、それ以外のデータの保持、復元の際には制御機能付きインバータ回路702、703はその動作をいずれも止めておく(動作不能とする)ものである。

#### 【0127】

(第3実施形態の回路の詳細)

次に、この第3実施形態の回路の具体的な構成について、図7を参照して説明する。

図7に示すように、制御機能付きインバータ回路702の入力信号端子は、データ入力信号端子711に接続されている。また、制御機能付きインバータ回路702の出力信号端子は、強誘電体ラッチ回路701の一方の入出力端子に接続されている。強誘電体ラッチ回路701の他方の入出力端子は、制御機能付きインバータ回路703の入力信号端子に接続されている。さらに、制御機能付きインバータ回路703の出力信号端子は、データ出力信号端子712に接続されている。

#### 【0128】

ラッチ制御回路717は、図7に示すように、インバータ回路706、インバータ回路707、およびNOR回路704、705から構成される。

インバータ回路706は、入力端子がデータ制御信号端子713に接続され、出力端子がNOR回路704の第2入力ゲートに接続されている。インバータ回路707の入力端子は、入力信号端子714と接続されている。インバータ回路707の出力端子は、NOR回路704、705の第2入力ゲートにそれぞれ接続されている。NOR回路705の第1入力ゲートは、データ制御信号端子713に接続されている。NOR回路704の出力端子は、制御機能付きインバータ回路702の制御信号端子に接続されている。さらに、NOR回路705の出力端子は、制御機能付きインバータ回路703の制御信号端子に接続されている。

#### 【0129】

次に、このような構成からなる図7の回路と、図1の回路の差異について述べる。

図1のNAND回路107が、図7ではインバータ回路707に置き換わっている。これに伴わない、図1の入力信号端子114、115は、行と列のアドレス信号の入力端子であったが、セルの選択信号端子として使うことになる。

10

20

30

40

50

また、図 1 では、強誘電体ラッチ回路 101 は、その一方の入出力端子のみが、制御機能付きインバータ回路 102 の出力端子と制御機能付きインバータ回路 103 の入力端子にそれぞれ接続するようにした。

#### 【0130】

これに対して図 7 では、強誘電体ラッチ回路 701 は、その一方の入出力端子を制御機能付きインバータバッファ回路 702 の出力端子に接続する点は同じであるが、その他方の入出力端子を制御機能付きインバータ回路 703 の入力端子に接続するようにした。

この接続方法によれば、強誘電体ラッチ回路 701 の双方の入出力端子を使用するので、寄生静電容量のバランスがとりやすくなり、誤動作を防ぎやすくなる。

#### 【0131】

なお、図 7 では、強誘電体ラッチ回路 701 の一方の入出力端子と他方の入出力端子とを使い分けた結果、データ出力信号端子 712 はデータ入力信号端子 711 の反転信号となる。

このような構成からなる第 3 実施形態によれば、不揮発性メモリとして、高速で、寿命が長く、あたかも通常のロジック回路と同じように簡便に取り扱え、集積回路の中に組み込み易い特徴をもっている。

#### 【0132】

〔本発明の強誘電体メモリ装置の第 4 実施形態〕

図 8 は、本発明の強誘電体メモリ装置の第 4 実施形態の構成を示す回路図である。

この第 4 実施形態は、図 7 に示す第 3 実施形態の構成を基本とし、図 8 に示すように、その構成の差異は 2 個の強誘電体ラッチ回路を用いて 1 個の強誘電体ラッチ回路 801 とした点である。

図 7 の強誘電体ラッチ回路 701 の接続方法では、強誘電体ラッチ回路の立場からみるとそのままでは寄生静電容量にアンバランスが生じ、電源再投入時の偏りが残留分極のみならず寄生静電容量にも生じ、誤動作の原因になるおそれがある。

#### 【0133】

そこで、第 3 実施形態では、図 8 のように、強誘電体ラッチ回路 801 に強誘電体ラッチ回路を 2 個用いることにより、入出力端子をよりバランスよく使い、かつ相対的に強誘電体ラッチ回路の支配度を高め、周辺回路の要因による寄生静電容量の影響を少なくするようにした。

ここで、第 4 実施形態の構成のうち、上記以外の構成は図 7 に示す第 3 実施形態の構成と同じであるので、同一構成要素には同一符号を付してその構成の説明は省略する。

#### 【0134】

なお、図 8 は図 7 と異なり、2 個の強誘電体ラッチ回路を用いた結果、データ出力信号端子 712 は、データ入力信号端子 711 と同相の信号となっている。

このような構成からなる第 4 実施形態によれば、不揮発性メモリとして、高速で、寿命が長く、あたかも通常のロジック回路と同じように簡便に取り扱え、集積回路の中に組み込み易い特徴をもっている。

#### 【図面の簡単な説明】

#### 【0135】

【図 1】本発明の強誘電体メモリ装置の第 1 実施形態の構成を示す回路図である。

【図 2】第 1 実施形態を強誘電体メモリ回路（メモリセル）として表現したシンボル図である。

【図 3】第 1 実施形態の制御機能付きインバータ回路の具体的な構成を示す回路図である。

【図 4】その制御機能付きインバータ回路のシンボル図である。

【図 5】第 1 実施形態などに使用される強誘電体ラッチ回路のシンボル図である。

【図 6】本発明の強誘電体メモリ装置の第 2 実施形態の構成を示すブロック図である。

【図 7】本発明の強誘電体メモリ装置の第 3 実施形態の構成を示す回路図である。

【図 8】本発明の強誘電体メモリ装置の第 4 実施形態の構成を示す回路図である。

10

20

30

40

50

【図 9】本発明の強誘電体メモリ装置で使用される強誘電体トランジスタラッチ回路の第 1 の構成例を示す回路図である。

【図 10】M F S F E T の構造例を示す断面図である。

【図 11】その強誘電体トランジスタラッチ回路の第 1 の構成例における第 1 の状態の分極の様子を示す模式図である。

【図 12】その強誘電体トランジスタラッチ回路の第 1 の構成例における第 2 の状態の分極の様子を示す模式図である。

【図 13】N 型 M F S F E T の強誘電体薄膜の第 1 の分極状態を示す断面図である。

【図 14】N 型 M F S F E T の強誘電体薄膜の第 2 の分極状態を示す断面図である。

【図 15】P 型 M F S F E T の強誘電体薄膜の第 1 の分極状態を示す断面図である。

10

【図 16】P 型 M F S F E T の強誘電体薄膜の第 2 の分極状態を示す断面図である。

【図 17】強誘電体トランジスタラッチ回路の第 2 の構成例を示す回路図である。

【図 18】強誘電体トランジスタラッチ回路の第 3 の構成例を示す回路図である。

【図 19】本発明の強誘電体メモリ装置で使用される強誘電体コンデンサラッチ回路の第 1 の構成例を示す回路図である。

【図 20】その強誘電体コンデンサラッチ回路の第 1 の構成例を機能面から表現した回路図である。

【図 21】その強誘電体コンデンサラッチ回路の第 1 の構成例の回路における電源供給時と電源オフ時の各電位と分極状態を表した模式図である。

【図 22】強誘電体コンデンサラッチ回路の第 2 の構成例を示す回路図である。

20

【図 23】強誘電体コンデンサラッチ回路の第 3 の構成例を示す回路図である。

【図 24】強誘電体コンデンサの構造を示す断面図である。

【図 25】強誘電体薄膜の印加電圧と分極電荷の代表的なヒステリシス特性を示す特性図である。

【図 26】強誘電体薄膜の印加電圧と分極電荷の状態を示す模式図である。

【図 27】従来の強誘電体メモリ装置に用いるメモリセルの構造の第 1 例を示す回路図である。

【図 28】従来の強誘電体メモリ装置に用いるメモリセルの構造の第 2 例を示す回路図である。

【図 29】従来の強誘電体メモリ装置に用いるメモリセルアレイの構成例を示す回路図である。

30

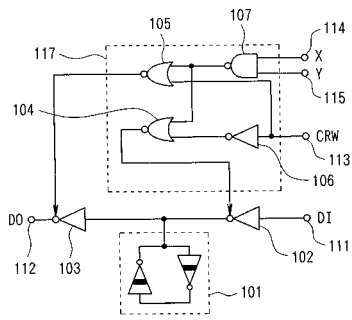
【符号の説明】

【0136】

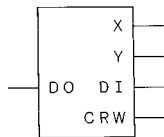
101、701、801・・・強誘電体ラッチ回路、102、103、702、703、802、803・・・制御機能付きインバータ回路、191、192、221、222、230・・・強誘電体コンデンサ、620・・・メモリセル(強誘電体メモリ回路)、641・・・ロウデコード制御回路、642・・・カラムデコード制御回路、643・・・読み書き制御回路、644・・・データ入出力制御回路、651・・・ワード線、652・・・ビット線、653・・・制御信号線、654・・・データ入力線、655・・・データ出力線

40

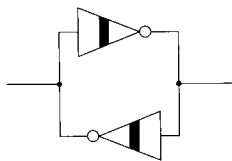
【図1】



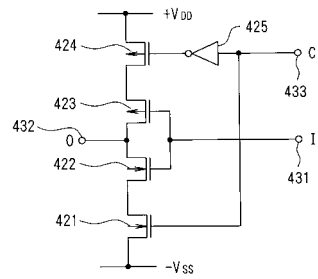
【図2】



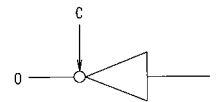
【図5】



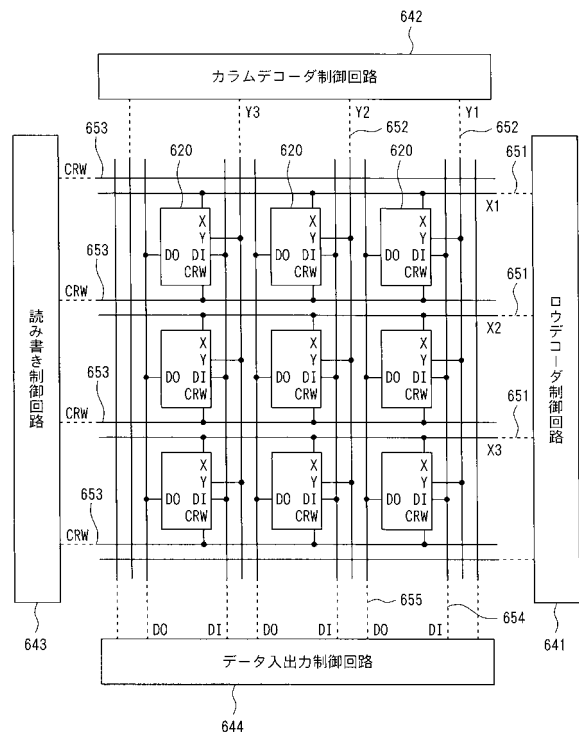
【図3】



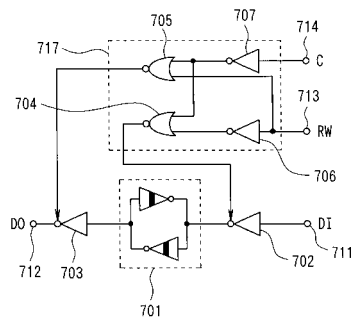
【図4】



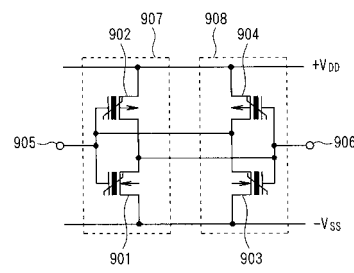
【図6】



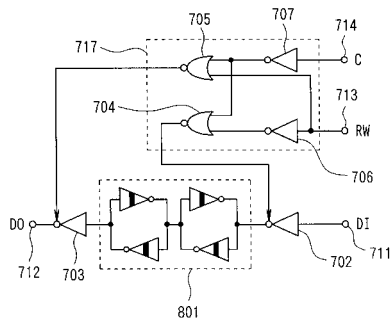
【 図 7 】



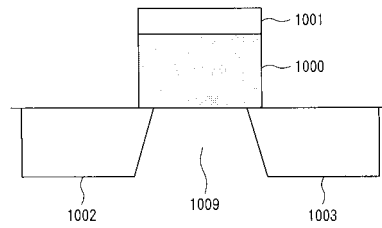
【 図 9 】



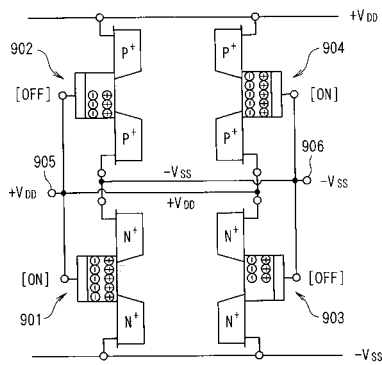
【 図 8 】



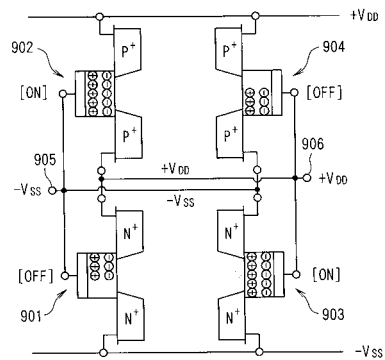
【 図 10 】



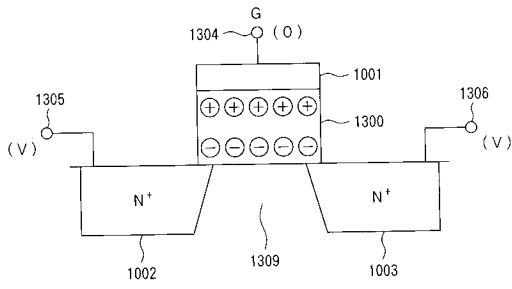
【 図 11 】



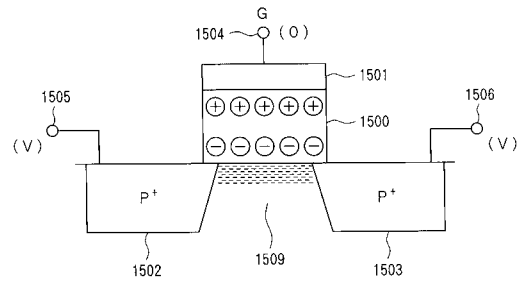
【 図 12 】



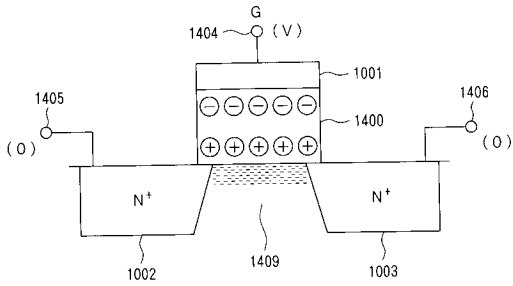
【 図 1 3 】



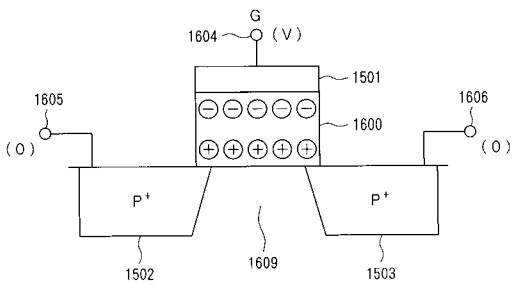
【 図 1 5 】



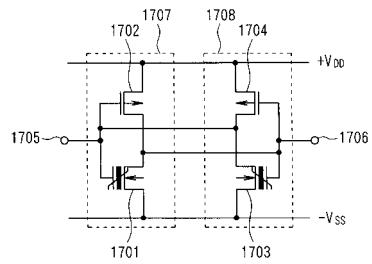
【 図 1 4 】



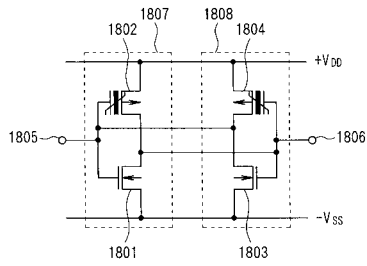
【 図 1 6 】



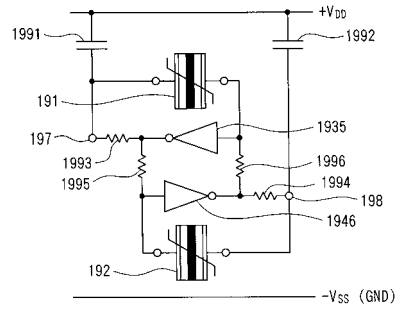
【 図 1 7 】



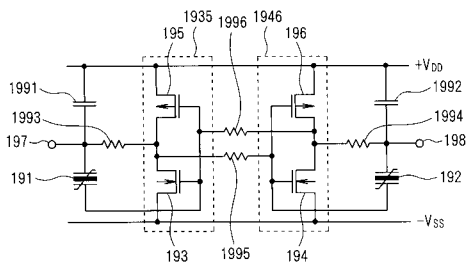
【 図 1 8 】



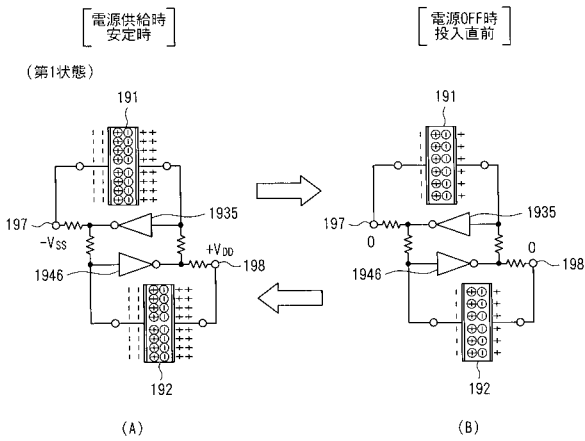
【 図 2 0 】



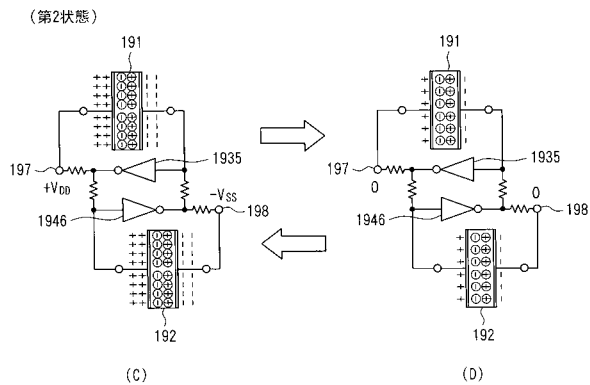
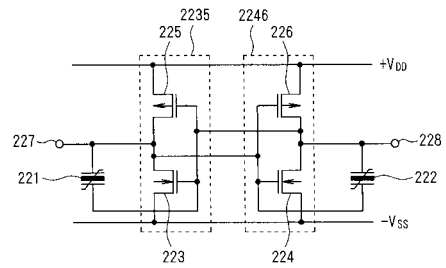
【 図 1 9 】



【 図 2 1 】

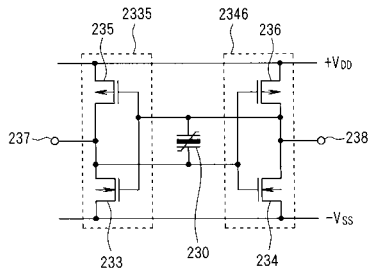


【 図 2 2 】

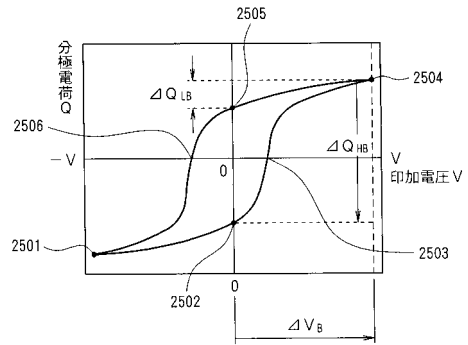




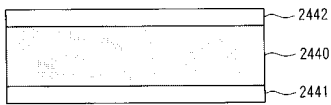
【 図 2 3 】



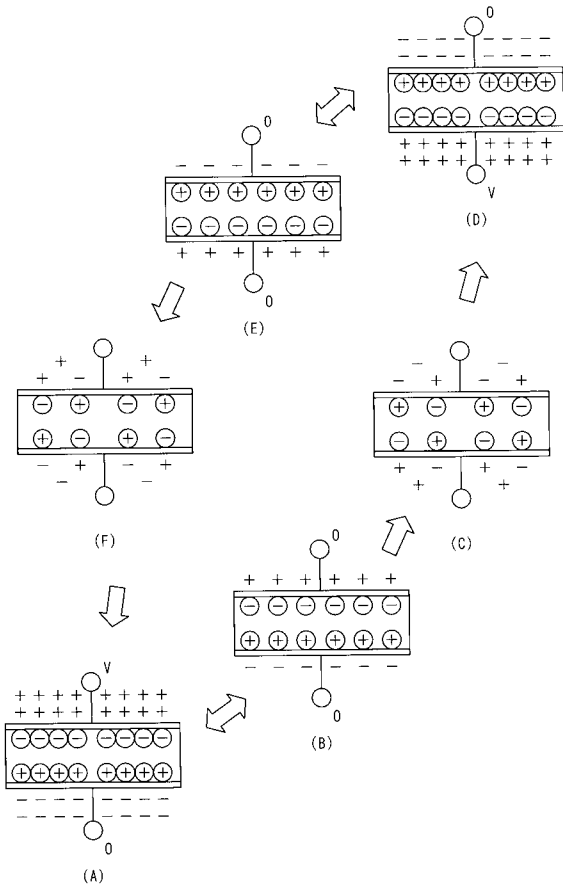
【 図 2 5 】



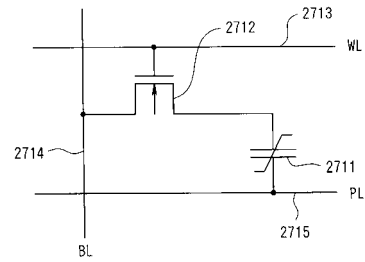
【 図 2 4 】



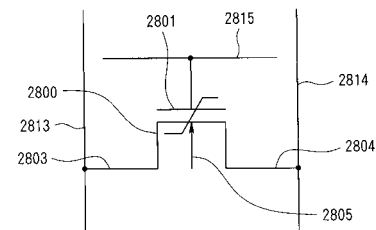
【 図 2 6 】



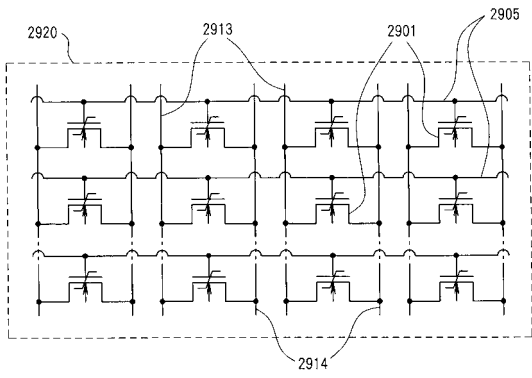
【 図 2 7 】



【 図 2 8 】



【 図 2 9 】



---

フロントページの続き

(51) Int. Cl.

**H 0 1 L 21/8246 (2006.01)**

F I

H 0 1 L 27/10 4 4 4 A

テーマコード(参考)