(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0083084
(43) 공개일자 2014년07월04일

(51) 국제특허분류(Int. Cl.)
H01L 23/60 (2006.01) *H05K 9/00* (2006.01)
(21) 출원번호 10-2012-0151417
(22) 출원일자 2012년12월21일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
정정태
경기 이천시 아리역로 37, 102동 1009호 (송정동, 현진에버빌1차아파트)
조일환
경기도 이천시 부발읍 대월면 사동리 386-72 현대5차아파트 503-1804
(74) 대리인
특허법인아주양헌

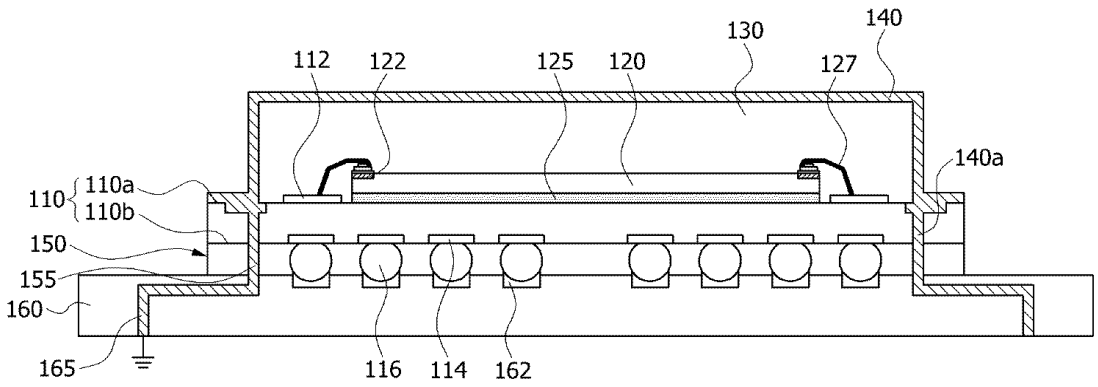
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 **전자파 차폐층을 갖는 반도체 패키지 및 그 제조방법**

(57) 요 약

패키지를 실장하는 실장 기판의 하부에 형성된 외부 접속부에서 발생하는 전자파를 효과적으로 차폐할 수 있는 반도체 패키지를 제시한다. 반도체 패키지는, 제1 기판면과, 제1 기판면과 대향하는 제2 기판면을 갖는 패키지 기판, 패키지 기판의 제1 기판면에 실장된 반도체 칩, 반도체 칩을 포함하는 패키지 기판의 제1 기판면을 덮는 몰드부, 및 제2 기판면에 배치된 제1 전자파 차폐층을 포함한다.

대 표 도



특허청구의 범위

청구항 1

제1 기판면과, 상기 제1 기판면과 대향하는 제2 기판면을 갖는 패키지 기판;

상기 패키지 기판의 제1 기판면에 실장된 반도체 칩;

상기 반도체 칩을 포함하는 패키지 기판의 제1 기판면을 덮는 몰드부; 및

상기 제2 기판면에 배치된 제1 전자파 차폐층을 포함하는 반도체 패키지.

청구항 2

제1항에 있어서,

상기 제1 전자파 차폐층은,

상기 패키지 기판과 대응되는 사각 형상의 패널인 반도체 패키지.

청구항 3

제1항에 있어서,

상기 제1 전자파 차폐층은,

상기 패키지 기판에 배치된 외부접속부에 대응되게 배열된 개구부와,

상기 개구부 배열의 외측에 배치된 전자파 차폐부를 포함하는 반도체 패키지.

청구항 4

제3항에 있어서,

상기 개구부는, 제1 전자파 차폐층이 상기 외부접속부들 사이에 삽입되도록 상기 외부접속부의 크기, 모양 및 위치에 대응되게 배치된 반도체 패키지.

청구항 5

제3항에 있어서,

상기 전자파 차폐부는 상기 개구부 배열을 둘러싸는 띠 형태로 배치된 반도체 패키지.

청구항 6

제1항에 있어서,

상기 제1 전자파 차폐층은,

상기 패키지 기판에 배치된 외부접속부에 대응되게 배열된 개구부와,

상기 개구부가 형성된 패널의 전면에 배치된 전자파 차폐부를 포함하는 반도체 패키지.

청구항 7

제1항에 있어서,

상기 제1 전자파 차폐층은,

상기 패키지 기판에 배치된 외부접속부에 대응되게 배열된 개구부와,

상기 개구부 사이를 가르며 매트릭스 형태로 배치된 전자파 차폐부를 포함하는 반도체 패키지.

청구항 8

제3항에 있어서,

상기 외부 접속부는 솔더볼인 반도체 패키지.

청구항 9

제1항에 있어서,

상기 몰드부를 감싸는 제2 전자파 차폐층과,

상기 패키지 기판을 관통하며 상기 제2 전자파 차폐층과 연결된 접지부를 더 포함하는 반도체 패키지.

청구항 10

제9항에 있어서,

상기 접지부는, 상기 몰드부의 외측을 따라 상기 패키지 기판에 배치된 반도체 패키지.

청구항 11

제1항에 있어서,

상기 제1 전자파 차폐층을 포함하는 패키지 기판이 실장된 실장 기판과,

상기 실장 기판에 배치되며, 상기 제1 전자파 차폐층과 연결되는 접지부를 더 포함하는 반도체 패키지.

청구항 12

실장 전극이 배치된 제1 기판면과, 상기 제1 기판면에 대향하며 외부접속단자가 배치된 제2 기판면을 갖는 패키지 기판의 상기 제1 기판면에 반도체 칩을 실장하는 단계;

상기 반도체 칩을 포함하는 패키지 기판의 제1 기판면을 덮는 몰드부를 형성하는 단계; 및

상기 제1 기판면과 대향하는 패키지 기판의 제2 기판면에 제1 전자파 차폐층을 형성하는 단계를 포함하는 반도체 패키지 제조방법.

청구항 13

제11항에 있어서,

상기 제1 전자파 차폐층은,

상기 패키지 기판에 배치된 외부접속부에 대응되게 배열된 개구부와,

상기 개구부 배열의 외측에 배치된 전자파 차폐부를 포함하는 반도체 패키지 제조방법.

청구항 14

제13항에 있어서,

상기 개구부는, 제1 전자파 차폐층이 상기 외부접속부들 사이에 삽입되도록 상기 외부접속부의 크기, 모양 및 위치에 대응되게 배치된 반도체 패키지 제조방법.

청구항 15

제12항에 있어서,

상기 제1 전자파 차폐층을 형성하는 단계는,

상기 패키지 기판의 외부접속부에 대응되게 개구부가 배열되고, 상기 개구부의 외측에 전자파 차폐부가 배치된 스페이서를 준비하는 단계와,

상기 스페이서를 상기 제2 기판면에 부착하는 단계를 포함하는 반도체 패키지 제조방법.

청구항 16

제15항에 있어서,

상기 스페이서를 제2 기판면에 부착하는 단계에서,

상기 제2 기판면에 배치된 외부접속부들이 상기 스페이서의 개구부를 통해 통과해 그 일부가 노출되도록 하는 반도체 패키지 제조방법.

청구항 17

제14항에 있어서,

상기 스페이서는, 상기 스페이서를 제2 기판면에 부착할 때 상기 제2 기판면에 배치된 외부접속부가 개구부를 통과해 외부접속부의 일부가 노출되도록 하는 두께인 반도체 패키지 제조방법.

청구항 18

제13항에 있어서,

상기 전자파 차폐부는 상기 개구부 배열을 둘러싸는 띠 형태로 배치된 반도체 패키지 제조방법.

청구항 19

제13항에 있어서,

상기 제1 전자파 차폐층은,

상기 패키지 기판에 배치된 외부접속부에 대응되게 배열된 개구부와,

상기 개구부가 형성된 패널의 전면에 배치된 전자파 차폐부를 포함하는 반도체 패키지 제조방법.

청구항 20

제13항에 있어서,

상기 제1 전자파 차폐층은,

상기 패키지 기판에 배치된 외부접속부에 대응되게 배열된 개구부와,

상기 개구부 사이를 가르며 매트릭스 형태로 배치된 전자파 차폐부를 포함하는 반도체 패키지.

청구항 21

제13항에 있어서,

상기 몰드부를 형성하는 단계 후,

상기 몰드부를 감싸면서 상기 제1 전자파 차폐층과 연결되는 제2 전자파 차폐층을 형성하는 단계를 더 포함하는 반도체 패키지 제조방법.

청구항 22

제21항에 있어서,

상기 제2 전자파 차폐층을 형성하는 단계는,

상기 패키지 기판의 외곽부에 관통홀을 형성하는 단계와,

상기 몰드부를 감싸면서 상기 관통홀을 매립하는 제2 전자파 차폐층을 형성하는 단계를 포함하는 반도체 패키지 제조방법.

청구항 23

제12항에 있어서,

상기 제1 전자파 차폐층을 형성하는 단계 후,

상기 제1 전자파 차폐층이 형성된 상기 반도체 패키지를 실장 기판에 실장하는 단계를 더 포함하는 반도체 패키

지 제조방법.

청구항 24

제23항에 있어서,

상기 실장 기판은 상기 제2 기판면에 배치된 외부 접속부와 접속될 배선 패턴과, 접지부가 배치되고,

상기 제1 전자파 차폐층이 상기 접지부와 연결되도록 실장하는 반도체 패키지 제조방법.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 패키지에 관한 것으로, 특히 전자파 차폐층을 갖는 반도체 패키지 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 각종 전자기기의 마더보드에는 다양한 구조로 제조된 다수개의 반도체 패키지 뿐만 아니라, 각종 신호 교환용 전자기기들이 한꺼번에 설치되는 바, 이러한 반도체 패키지와 기기들은 전기적인 작동중에 전자파를 발산시키는 것으로 알려져 있다. 통상, 전계(電界)와 자계(磁界)의 합성파를 전자파라고 정의하는데, 도체를 통하여 전류가 흐르게 되면 이 전류에 의하여 형성되는 전계와 자계를 합쳐서 전자파라고 부른다. 이러한 전자파들은 인체에 유해한 것으로 밝혀지고 있고, 특히 소형 핸드폰, 카폰 등의 무선통신기기는 인체에 직접 접촉시켜 사용함에 따라 더욱 유해한 것을 밝혀지고 있다. 또한, 각종 전자기기의 마더보드에 좁은 간격으로 실장된 반도체 패키지와 기기들로부터 전자파가 발산되면, 그 주변에 실장된 반도체 패키지에까지 직간접으로 영향이 미치게 되어, 칩 회로에 손상을 입히는 것으로 밝혀지고 있다. 따라서, 전자파 장해와 관련된 문제를 해결하기 위한 시도는 전자산업 전반에 걸쳐 오래 전부터 지속적으로 이루어져 왔으며, 반도체 산업에서도 시스템 레벨(system level), 보드 레벨(board level)에서 전자파 장해 문제를 해결하기 위한 다양한 시도들이 있었다.

[0003] 최근에는 반도체 제품의 고속화, 고성능화 추세에 따라, 더욱이 시스템-인-패키지(system-in-package; SIP), 멀티 스택 패키지(multi stack package)와 같이 시스템 자체가 패키지 안에 집적되는 구조가 제안되면서 패키지 레벨에서도 전자파 장해 문제가 발생하고 있으며, 이를 해결하기 위하여 디커플링 커패시터(decoupling capacitor)를 사용하거나, 전원/접지 배선의 배치를 최적화하는 등 여러 가지 방안들이 모색되고 있다. 제시되어 있는 여러 가지 전자파 차단 기술들은 패키지 상단, 즉 에폭시 몰딩 컴파운드(Epoxy Molding Compound; EMC)로 채워진 부분에서 전자기파를 차단하는 기술들이 대부분이다. 그런데, 많은 전자장치에서 패키지를 기판 또는 모듈에 실장시 외부접속부, 즉 솔더볼을 통해 전자파 장해가 발생하고 있음이 알려져 있으며, 이 부분을 개선하기 위한 기술이 요구되는 실정이다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예는, 패키지를 실장하는 실장 기판의 하부에 형성된 외부접속부에서 발생하는 전자파를 효과적으로 차폐할 수 있는 반도체 패키지를 제시한다.

[0005] 또한, 본 발명의 실시예는 패키지 기판을 실장하는 실장 기판의 외부접속부에서 발생하는 전자파를 효과적으로 차폐할 수 있는 반도체 패키지의 제조방법을 제시한다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 반도체 패키지는, 제1 기판면과, 상기 제1 기판면과 대향하는 제2 기판면을 갖는 패키

지 기판, 상기 패키지 기판의 제1 기판면에 실장된 반도체 칩, 상기 반도체 칩을 포함하는 패키지 기판의 제1 기판면을 덮는 몰드부, 및 상기 제2 기판면에 배치된 제1 전자파 차폐층을 포함한다.

[0007] 일 실시예로, 상기 제1 전자파 차폐층은 상기 패키지 기판과 대응되는 사각 형상의 패널일 수 있다.

[0008] 실시예에서, 상기 제1 전자파 차폐층은 상기 패키지 기판에 배치된 외부접속부에 대응되게 배열된 개구부와, 상기 개구부 배열의 외측에 배치된 전자파 차폐부를 포함할 수 있다.

[0009] 실시예에서, 상기 개구부는 제1 전자파 차폐층이 상기 외부접속부들 사이에 삽입되도록 상기 외부접속부의 크기, 모양 및 위치에 대응되게 배치될 수 있다.

[0010] 실시예에서, 상기 제1 전자파 차폐층은 상기 패키지 기판에 배치된 외부접속부에 대응되게 배열된 개구부와, 상기 개구부가 형성된 패널의 전면에 배치된 전자파 차폐부를 포함할 수도 있다.

[0011] 실시예에서, 상기 몰드부를 감싸는 제2 전자파 차폐층과, 상기 패키지 기판을 관통하며 상기 제2 전자파 차폐층과 연결된 접지부를 더 포함할 수 있다.

[0012] 본 발명의 실시예에 따른 반도체 패키지 제조방법은, 실장 전극이 배치된 제1 기판면과, 상기 제1 기판면에 대향하며 외부접속부가 배치된 제2 기판면을 갖는 패키지 기판의 상기 제1 기판면에 반도체 칩을 실장하는 단계, 상기 반도체 칩을 포함하는 패키지 기판의 제1 기판면을 덮는 몰드부를 형성하는 단계, 및 상기 제1 기판면과 대향하는 패키지 기판의 제2 기판면에 제1 전자파 차폐층을 형성하는 단계를 포함한다.

[0013] 실시예에서, 상기 제1 전자파 차폐층은 상기 패키지 기판에 배치된 외부접속부에 대응되게 배열된 개구부와, 상기 개구부 배열의 외측에 배치된 전자파 차폐부를 포함할 수 있다.

[0014] 실시예에서, 상기 개구부는 제1 전자파 차폐층이 상기 외부접속부들 사이에 삽입되도록 상기 외부접속부의 크기, 모양 및 위치에 대응되게 배치될 수 있다.

[0015] 실시예에서, 상기 제1 전자파 차폐층을 형성하는 단계는, 상기 패키지 기판의 외부접속부에 대응되게 개구부가 배열되고, 상기 개구부의 외측에 전자파 차폐부가 배치된 스페이서를 준비하는 단계와, 상기 스페이서를 상기 제2 기판면에 부착하는 단계를 포함할 수 있다.

[0016] 실시예에서, 상기 스페이서를 제2 기판면에 부착하는 단계에서, 상기 제2 기판면에 배치된 외부접속부들이 상기 스페이서의 개구부를 통과해 그 일부가 노출되도록 할 수 있다.

[0017] 실시예에 있어서, 상기 제1 전자파 차폐층은 상기 패키지 기판에 배치된 외부접속부에 대응되게 배열된 개구부와, 상기 개구부가 형성된 패널의 전면에 배치된 전자파 차폐부를 포함할 수도 있다.

[0018] 실시예에 있어서, 상기 몰드부를 형성하는 단계 후, 상기 패키지 기판의 외곽부에 관통홀을 형성하는 단계와, 상기 몰드부를 감싸면서 상기 관통홀을 매립하는 제2 전자파 차폐층을 형성하는 단계를 더 포함할 수 있다.

[0019] 실시예에 있어서, 상기 제1 전자파 차폐층을 형성하는 단계 후, 상기 제1 전자파 차폐층이 형성된 상기 반도체 패키지를 실장 기판에 실장하는 단계를 더 포함할 수 있다.

발명의 효과

[0020] 반도체 패키지 및 그 제조방법에 따르면, 패키지를 마더보드 또는 모듈 등의 실장 기판에 실장할 때 반도체 칩 또는 다른 전자부품에서 발생된 전자파가 용이하게 접지되어, 전자파의 간섭으로 인한 회로 기능의 약화 및 동작 불량 등의 기능 장애를 방지할 수 있다. 특히, 반도체 패키지와 실장 기판 사이의 전기적 신호적 연결이 이루어지는 외부 접속부, 즉 솔더볼에서 발생하는 전자파가 솔더볼 사이에 삽입된 전자파 차폐층을 통해 실장 기판의 접지부로 빠르게 빠져나가 전자파의 간섭을 더욱 효과적으로 방지할 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 일 실시예에 따른 반도체 패키지의 단면도이다.

도 2 내지 도 7은 본 발명의 일 실시예에 따른 반도체 패키지의 제조방법을 공정 순서에 따라 도시한 도면들이

다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 또한, 실시예들의 기재에서 어느 부재의 "상"에 위치하거나 "하부"에 위치한다는 기재는 상대적인 위치 관계를 의미하는 것이지 그 부재에 직접 접촉하거나 또는 사이 계면에 다른 부재가 더 도입되는 특정한 경우를 한정하는 것은 아니다. 또한, "반도체 칩"의 기재는 DRAM이나 FLASH, LSI와 같은 집적회로가 집적된 칩이나 다이(die) 또는 반도체 기판을 의미할 수 있다. "접속부"의 기재는 전기적 또는 신호적 연결을 위한 상호연결(interconnection) 부재를 의미하며, "범프(bump)"나 "포스트(post)" 또는 스터드(stud) 등이 예시될 수 있다.

[0023] 도 1은 본 발명의 일 실시예에 따른 반도체 패키지의 단면도이다.

[0024] 도 1을 참조하면, 본 발명의 실시예에 따른 반도체 패키지는, 패키지 기판(110), 반도체 칩(120), 몰드부(130) 및 전자파 차폐부(140, 150)를 포함한다.

[0025] 패키지 기판(110)은 제1 기판면(110a) 및 제1 기판면과 대향하는 제2 기판면(110b)을 갖는다. 패키지 기판(110)은 본 발명의 기술분야에서 잘 알려진 다양한 종류의 기판들, 예를 들어, 세라믹 기판, 인쇄회로기판(PCB), 플렉서블(flexible) 기판일 수 있다. 패키지 기판(110)의 제1 기판면(110a)에는 실장용 전극(112)이나, 실장용 전극들 상호간을 전기적으로 연결하는 배선 패턴(도시되지 않음)이 형성될 수 있다. 또한, 패키지 기판(110)의 제2 기판면(110b)에는 외부 접속부로 사용되는 솔더 볼(solder ball; 116)이 접속되는 볼 랜드들(114) 및 연결 배선들을 포함한다.

[0026] 반도체 칩(120)은 일반적인 반도체 소자 제조 공정을 거쳐 EDS(Electrical Die Sorting) 공정을 통해 선별된 양품 반도체 칩이다. 메모리 반도체 칩이거나 또는 로직 칩을 포함할 수 있다. 반도체 칩(120)은 패키지 기판(110)의 제1 기판면(110a)에 접착층(125)을 매개로 부착된다. 반도체 칩(120)의 표면에는 외부 회로와의 전기적 접속을 위한 본딩 패드(122)들이 배치될 수 있다. 반도체 칩(120)은 도전성 와이어(127)을 매개로 기판에 형성된 실장용 전극(112)과 전기적으로 연결할 수 있다. 다른 실시예로, 도시되지는 않았지만 도전성 범프와 같은 접속수단을 이용하여 플립칩 방식으로 패키지 기판(110)에 실장할 수도 있다.

[0027] 몰딩부(130)는 반도체 칩(120) 및 도전성 와이어(127)를 포함하는 패키지 기판(110)의 제1 기판면(110a) 전체를 덮도록 배치되어 반도체 칩(110) 및 도전성 와이어(127)를 외부 환경으로부터 보호한다. 몰딩부(130)는 예를 들면 에폭시 몰딩 컴파운드(Epoxy Molding Compound; EMC) 등과 같은 수지재를 포함하는 절연성의 재료로 형성될 수 있다.

[0028] 몰드부(130)의 외면에는 몰드부(130)를 감싸는 제1 전자파 차폐층(140)이 배치된다. 제1 전자파 차폐층(140)은 패키지 기판(110)을 관통하는 접지부(140a)와 접속되어 패키지 기판(110)에 실장된 반도체 칩(120) 등의 전자기기로부터 발생된 전자파를 접지, 제거하게 된다. 접지부(140a)는 패키지 기판(110)에 관통홀을 형성하고, 관통홀에 전자파 차단물질을 매립하여 형성될 수 있는데, 상기 몰드부의 외측을 따라 패키지 기판(110)에 배치될 수 있다.

[0029] 패키지 기판(110)의 제2 기판면(110b)에는 제2 전자파 차폐층(150)이 배치된다. 제2 전자파 차폐층(150)은 패키지 기판(110)에 대응되는 사각 패널 형태일 수 있다. 보다 상세히 설명하면, 도 6b 및 도 6c에 도시된 것과 같이, 제2 전자파 차폐층(150)은 전자파 차폐용 전도성 물질이 스페이서(150a)로서, 제2 기판면(110b)에 배치된 솔더볼(116)에 대응되게 배열된 개구부(152)와, 개구부 배열의 외측에 배치된 전자파 차폐부(155)를 포함할 수 있다. 상기 개구부(152)는 솔더볼(116) 사이에 삽입되도록 솔더볼(116)의 크기, 모양 및 위치에 대응되게 배치될 수 있다. 일 실시예에서, 전자파 차폐부(155)는 개구부(152) 배열을 둘러싸는 띠 형태로 배치될 수 있지만, 이에 한정되는 것은 아니다. 일 예로, 전자파 차폐부(155)가 개구부가 형성된 패널의 전면에 배치될 수도 있다. 또 다른 예로, 솔더볼(116)과 솔더볼 사이에 전자파 차폐부가 배치되도록, 도 6d 내지 도 6f에 도시된 것과 같이, 전자파 차폐부(155)가 개구부(152)들 사이에 매트릭스 형태로 배치될 수도 있다.

[0030] 또한, 제2 전자파 차폐층(150)의 두께는, 패키지 기판(110)의 제2 기판면(110b)에 부착되었을 때 솔더볼(116)의 일부가 표면으로 노출되고 패키지가 실장 기판에 실장되었을 때 솔더볼(116)을 통해 패키지와 실장 기판이 통전 가능하도록 하는 두께를 가질 수 있다.

[0031] 상기 제2 전자파 차폐층(150)을 포함하는 패키지 기판은 실장 기판(160)에 실장된다. 실장 기판(160)에는 도시

된 것과 같이 패키지의 외부 접속부인 솔더볼(116)이 접속될 배선 패턴(162)과, 접지부(165)가 배치될 수 있다.

[0032] 이와 같이 본 발명의 반도체 패키지에 따르면, 몰드부(130)의 외면에 형성된 제1 전자파 차폐층(140)과, 패키지 기판(110)에 형성된 접지부(140a), 솔더볼(116) 사이에 삽입된 제2 전자파 차폐층(150), 그리고 실장 기판에 형성된 접지부(165)가 서로 통전 가능하게 연결되어, 패키기 기판(110) 상부에서 형성된 전자파뿐만 아니라, 기판 하부의 솔더볼을 통해 방출되는 전자파 또한 효과적으로 제거할 수 있게 된다. 따라서, 패키지를 실장 기판에 실장할 때 반도체 칩 또는 다른 전자부품에서 발생된 전자파가 용이하게 접지되어, 전자파의 간섭으로 인한 회로 기능의 약화 및 동작 불량 등의 기능 장애를 방지할 수 있다.

[0033] 다음으로, 본 발명의 실시예에 따른 반도체 패키지의 제조방법을 첨부 도면을 참조하여 설명한다.

[0034] 도 2 내지 도 7은 본 발명의 일 실시예에 따른 반도체 패키지의 제조방법을 공정 순서에 따라 도시한 단면도들이다.

[0035] 도 2를 참조하면, 본 발명의 실시예에 따른 반도체 패키지 제조 과정은 패키지 기판(110)을 준비하는 단계로부터 시작된다. 패키지 기판(110)은 본 발명의 기술분야에서 잘 알려진 다양한 종류의 기판, 예를 들어 세라믹 기판, 인쇄회로기판(PCB), 플렉서블(flexible) 기판 등이 이용될 수 있다. 패키지 기판(110)은 반도체 칩 등의 전자부품이 실장되는 제1 기판면(110a)과, 그에 대향하는 제2 기판면(110b)을 포함한다. 제1 기판면(110a)에는 반도체 칩을 실장하기 위한 실장용 전극(112)이나, 실장용 전극들 상호간을 전기적으로 연결하는 배선 패턴(도시되지 않음)이 형성될 수 있다. 또한, 제2 기판면(110b)에는 복수 개의 외부 접지 단자(114)와, 상기 외부 접지 단자(114)에 접속된 외부 접속부로서의 솔더볼(solder ball; 116)이 형성될 수 있다. 패키지 기판(110)은 도시된 것과 같은 단층 회로 기판이거나, 또는 복수의 층으로 이루어진 다층 회로 기판일 수 있다. 도시되지 않았지만, 다층 회로 기판의 경우, 각 층 사이에는 전기적으로 연결되는 회로 패턴들, 실장용 전극 및 관통 전극 등이 형성될 수 있다.

[0036] 도 3을 참조하면, 패키지 기판(110)의 제1 기판면(110a)에 반도체 칩(120)을 실장하는 단계가 수행된다. 반도체 칩(120)은 수동 소자 또는 능동 소자와 같은 다양한 전자 소자들을 포함하며, 패키지 기판(110) 상에 실장되거나 기판(110) 내부에 내장될 수 있는 전자 소자들이라면 모두 이용될 수 있다. 반도체 칩(120)의 표면에는 외부 회로와의 전기적 접속을 위한 본딩 패드(122)들이 배치될 수 있다. 반도체 칩(120)은 접착 부재(125)를 매개로 기판(110) 상에 부착될 수 있다.

[0037] 패키지 기판(110)에 반도체 칩(120)을 부착한 다음에는, 반도체 칩(120)과 패키지 기판(110)의 실장용 전극(112) 사이를 전기적으로 연결하여 준다. 본 실시예에서는 반도체 칩(120)과 실장용 전극(112) 사이를 도전성 와이어(127)를 이용하여 전기적 신호 교환이 가능하게 연결한다. 다른 실시예로, 도시되지는 않았지만 도전성 범프와 같은 접속수단을 이용하여 플립칩 방식으로 패키지 기판(110)에 실장할 수도 있다.

[0038] 도 4를 참조하면, 반도체 칩(120)을 포함하는 패키지 기판(110)의 제1 기판면(110a)을 덮는 몰드부(130)를 형성한다. 몰드부(130)는 통상의 잘 알려진 방법을 사용하여, 예를 들면 에폭시 몰딩 컴파운드(Epoxy Molding Compound; EMC)로 형성할 수 있다.

[0039] 다음에, 패키지 기판(110)에 전자파 차폐물질 주입을 위한 관통홀(135)을 형성한다. 관통홀(135)은 후속 단계에서 전자파 차폐층을 형성할 때 전자파 차폐물질이 도포되어 몰드부(130)의 외면에 형성되는 전자파 차폐층과 통전 가능하게 하여, 반도체 패키지를 마더보드 또는 모듈 등의 실장 기판에 실장할 때 반도체 칩(120) 또는 다른 전자부품에서 발생한 전자파가 용이하게 접지되어, 전자파의 간섭으로 인한 회로 기능의 약화 및 동작 불량 등의 기능 장애를 방지하는 역할을 하게 된다. 따라서, 관통홀(135)은 패키지 기판(110)의 제2 기판면(110b)에 형성된 볼랜드(114)와 솔더볼(116)이 배치되지 않은 영역, 즉 몰딩재(130)의 외측을 따라 형성하여 전자파가 입출력단자인 솔더볼(116) 또는 볼랜드(114)에 영향을 주지 않도록 할 수 있다.

[0040] 도 5를 참조하면, 몰드부(130)의 외면에 제1 전자파 차폐층(140)을 형성한다. 제1 전자파 차폐층(140)은, 예를 들면 일종의 접착 부재인 필름 어드헤시브(film adhesive)를 이용하여 전자파 차폐용 금속 필름을 몰드부(130)의 표면에 부착시켜 형성할 수 있다. 본 실시예에서는 몰드부(130)의 전체 표면 및 패키지 기판(110)에 형성된 관통홀(135)에 걸쳐 전자파 차폐용 전도성 물질을 분사 도포하여 제1 전자파 차폐층(140)을 형성할 수 있다. 특히, 전자파의 접지, 제거를 위해 패키지 기판(110)의 외측에 형성된 관통홀(135)에도 전자파 차폐용 물질이 도포되어 접지부(140a)가 형성된다. 다른 실시예로, 도시되지 않았지만, 패키지 기판을 준비하는 단계에서, 기판(110) 외측에 접지부(140a)가 형성되어 있는 기판을 준비할 수도 있다.

[0041] 다른 실시예에서, 몰드부(130)의 외면에 전자파 차폐 물질을 도포하는 대신에, 전자파 차폐 물질이 포함된 몰딩

재를 이용하여 몰드부(130)를 형성할 수도 있다. 일 예로, 반도체 칩(120)이 부착된 패키지 기판을 금형 내부에 위치시킨 후, 금형 내부로 전자파 차폐 물질이 포함된 EMC를 주입하여 전자파 차폐 가능한 몰드부(130)를 형성할 수 있다.

[0042] 도 6a 내지 도 6f를 참조하면, 패키지 기판(110)의 제2 기판면(110b)에 제2 전자파 차폐층을 형성하기 위한 준비과정을 나타낸다. 먼저, 전자파 차폐용 전도성 물질이 삽입되어 있는 스페이서(150a)를 준비한다. 스페이서(150a)는 도 6b에 도시된 것과 같이, 패키지 기판(110)과 대응되는 사각 형상의 패널로, 패키지 기판(110)에 배치된 솔더볼(116)에 대응되게 배열된 개구부(152)와, 개구부(152) 배열을 둘러싸는 전자파 차폐부(155)를 포함한다. 개구부(152)는 패키지 기판(110)에 배치된 솔더볼(116)이 삽입되어 제2 전자파 차폐층이 패키지 기판(110)의 제2 기판면(110b)에 부착되도록, 솔더볼(116)의 크기, 모양 및 위치에 대응되게 배치될 수 있다. 전자파 차폐부(155)는 전자파를 차폐할 수 있는 전도성 금속막을 포함할 수 있다. 전자파 차폐부(155)는 여러 가지 형태로 배치될 수 있다. 일 예로, 도 6c에 도시된 것과 같이 전체 개구부(152)의 배열을 둘러싸는 형태로 배치될 수 있다. 다른 예로, 도 6d 내지 도 6f에 도시된 것과 같이, 하나 또는 복수의 개구부(152) 사이를 가르는 매트릭스(matrix) 형태로 배치될 수 있다. 그 외 다양하게 변형된 형태가 가능하다.

[0043] 실시예에서, 스페이서(150a)는 예를 들면, 반도체 칩을 제조하기 위한 웨이퍼의 표면에 전도성 금속막을 도포하여 형성할 수 있다. 또한, 전자파 차폐부(155)는 도시된 것과 같이 개구부(152)의 배열을 둘러싸는 형상으로 배치될 수 있지만 이에 한정되는 것은 아니다. 예를 들면, 스페이서(150a) 전체가 전자파 차폐물질로 구성될 수 있다. 또는, 상기 예와 같이, 웨이퍼의 전면에 전도성 금속막을 코팅하여 형성할 수 있다.

[0044] 스페이서(150a)의 두께는, 스페이서(150a)가 패키지 기판(110)의 제2 기판면(110b)에 부착되었을 때 솔더볼(116)의 일부가 표면으로 노출되고 패키지가 실장 기판에 실장되었을 때 솔더볼(116)을 통해 패키지와 실장 기판이 통전 가능하도록 하는 두께를 가질 수 있다.

[0045] 도 7을 참조하면, 전자파 차폐부를 포함하는 스페이서를 제2 기판면(110b)에 부착하여 제2 전자파 차폐층(150)을 형성한다. 스페이서는 일종의 접착 수단인 필름 어드헤시브를 이용하여 부착할 수 있는데, 전자파 차폐용 스페이서의 저면에 필름 어드헤시브가 부착된 상태에서, 필름 어드헤시브를 제2 기판면(110b)에 접착시킴에 따라, 전자파 차폐용 스페이서가 제2 기판면(110b)에 부착되게 할 수 있다.

[0046] 다음에, 제1 및 제2 전자파 차폐층(140, 150)이 형성된 반도체 패키지를 마더보드, 즉 실장 기판(160) 상에 실장한다. 실장 기판(160)에는 도시된 것과 같이 패키지의 외부 접속부인 솔더볼(116)이 접속될 배선 패턴(162)과, 접지부(165)가 배치되어 있다. 실시예에서, 반도체 패키지를 실장 기판(160) 상에 정렬시킨 다음, 열과 압력을 가하면 솔더볼(116)의 표면이 용융 및 압착되면서 반도체 패키지가 실장 기판(160) 상에 부착된다. 반도체 패키지가 실장 기판(160) 상에 실장됨에 따라, 반도체 패키지의 전기적 신호는 솔더볼(116)을 통해 실장 기판(160)과 상호 전달된다. 또한, 몰드부(130)의 외면에 형성된 제1 전자파 차폐층(140)과, 패키지 기판(110)에 형성된 접지부(140a), 솔더볼(116) 사이에 삽입된 제2 전자파 차폐층(150), 그리고 실장 기판에 형성된 접지부(165)가 서로 통전 가능하게 연결되므로, 패키기 기판(110) 상부에서 형성된 전자파뿐만 아니라, 기판 하부의 솔더볼을 통해 흐르는 전자파 또한 효과적으로 제거할 수 있게 된다.

[0047] 이상에서는 도면 및 실시예를 참조하여 본 발명을 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상으로부터 벗어나지 않는 범위 내에서 본 발명에 개시된 실시예들을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0048]

110.....패키지 기판

120.....반도체 칩

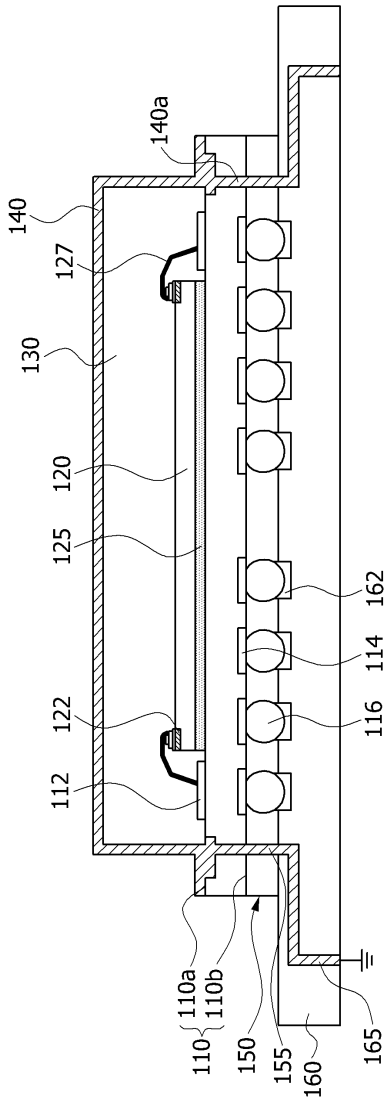
130.....몰딩부

140, 150.....전자파 차폐층

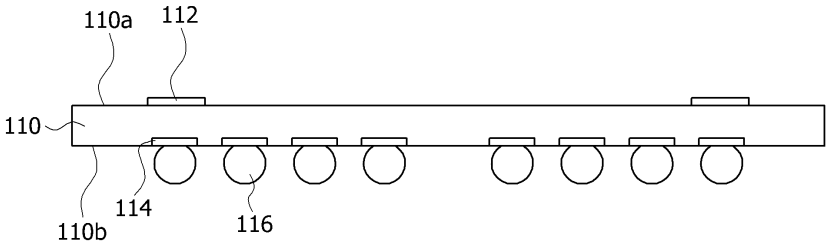
160.....실장 기판

도면

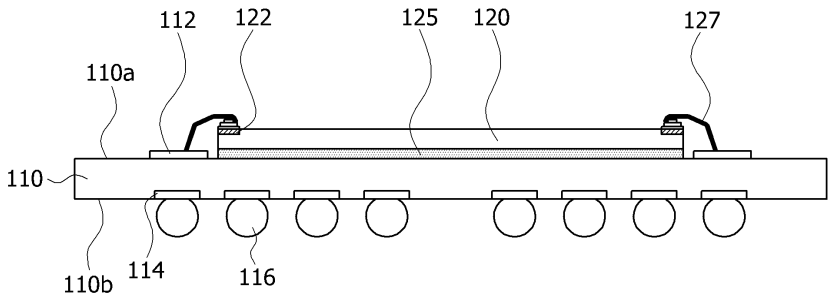
도면1


140a
140
127
130
120
125
162
114
116
122
112
110a
110b
110
150
155
160
165

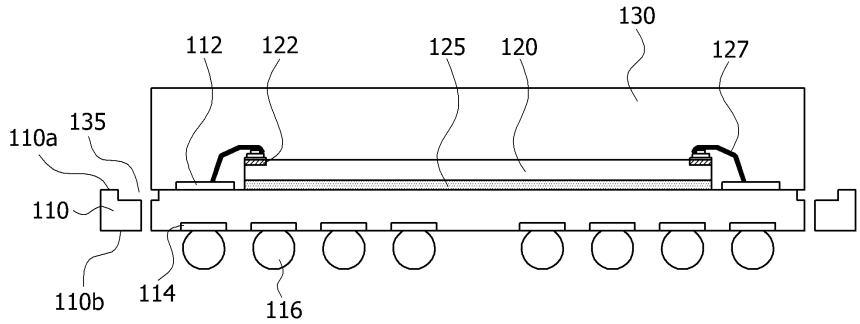
도면2


110a
112
110
114
116
110b

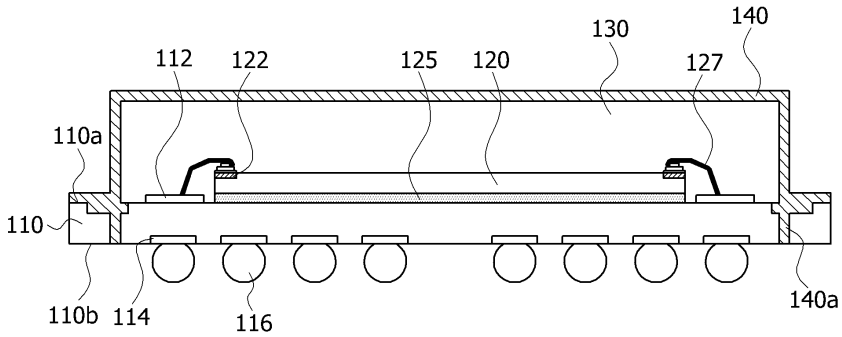
도면3



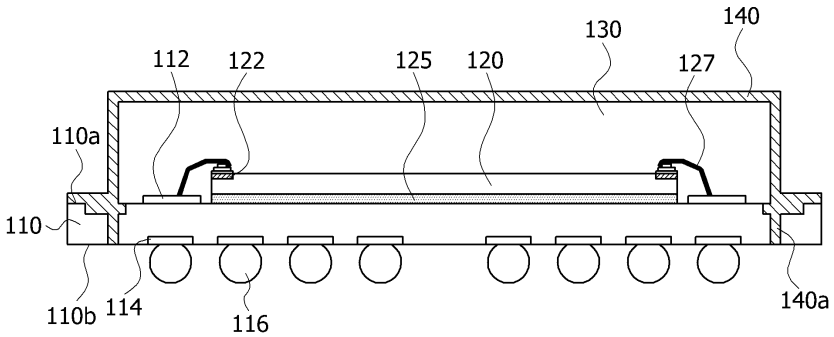
도면4



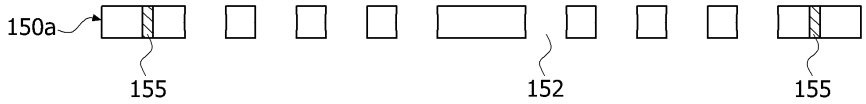
도면5



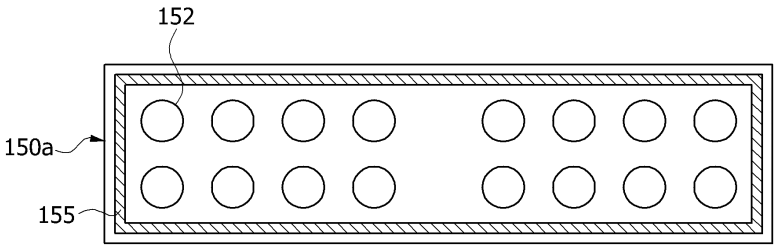
도면6a



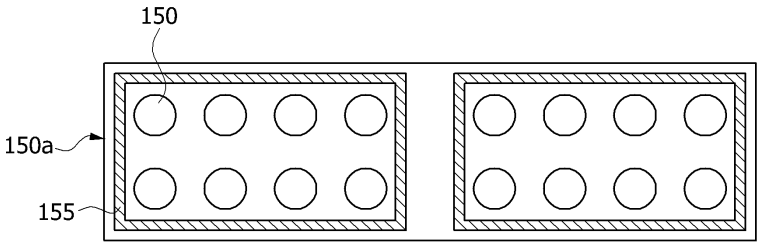
도면6b



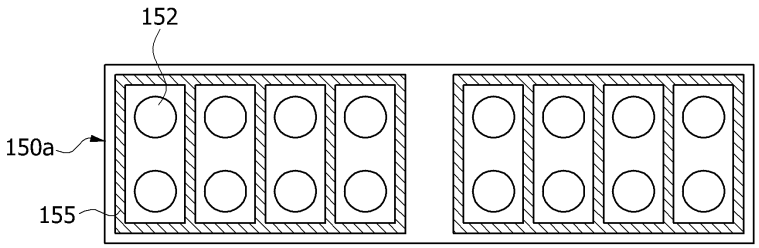
도면6c



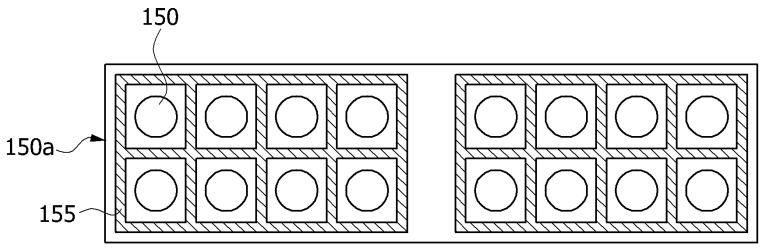
도면6d



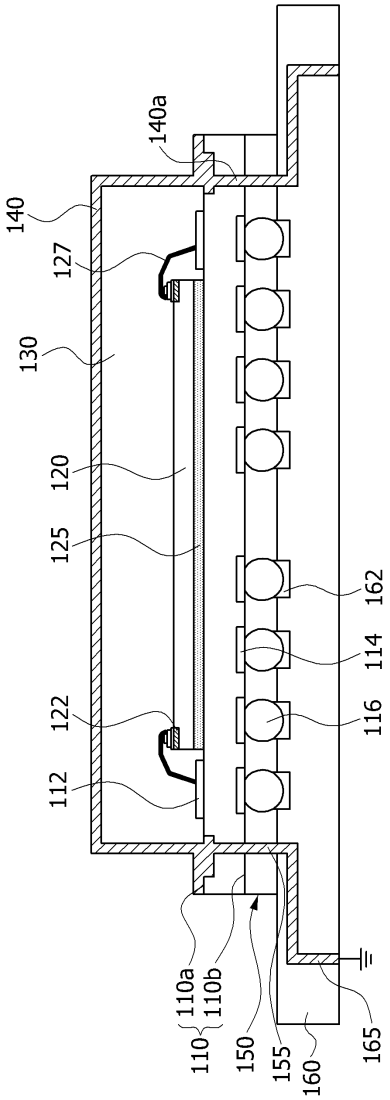
도면6e



도면6f



도면7


140a
140
127
130
120
125
162
114
122
116
112
110a
110b
110
150
155
160
165