

發明專利說明書



(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P611823P

※ 申請日期：P6.5.22

※IPC 分類：G11C 7/00 (2006.01)

一、發明名稱：(中文/英文)

G06F13/42 (2006.01)

同步記憶體讀取資料捕捉

SYNCHRONOUS MEMORY READ DATA CAPTURE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

加拿大商睦塞科技公司

MOSAID TECHNOLOGIES INCORPORATED

代表人：(中文/英文)

麥可 B 維拉迪斯可

VLADESCU, MICHAEL B.

住居所或營業所地址：(中文/英文)

加拿大安大略省卡那達市海恩路11號

11 HINES ROAD, KANATA ONTARIO, K2K 2X1, CANADA

國 籍：(中文/英文)

加拿大 CANADA

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 彼得 吉林翰

GILLINGHAM, PETER

2. 羅伯特 麥克肯基

MCKENZIE, ROBERT

國 籍：(中文/英文)

1. 加拿大 CANADA

2. 加拿大 CANADA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年06月30日；11/477,659

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種用於確定DQS啟用信號於一單個讀取操作中之最佳時序之快照資料訓練方法。該方法係藉由首先將一格雷碼計數序列寫入至記憶體中並隨後以一單個叢發形式將其往回讀取而達成。控制器自發出命令之時起以一固定間隔對該讀取叢發進行採樣以確定迴路循環延遲。一簡單的真實查詢表確定用於正常讀取之最佳DQS啟用時序。有利地，在正常讀取操作期間，使用所啟用的DQS信號之第一正邊緣來對一每當發出命令時即啟用之計數器進行採樣。若該計數器樣本發生變化，其指示已發生時序漂移，則可調整該DQS啟用信號以對該漂移進行補償並保持一中心定位於DQS前導碼中之位置。此技術亦可適用於一在通電時使用迭代方法來確定DQS啟用時序之系統。本發明之另一實施例係一基於該計數器之DQS鎖存樣本之簡單、低等待時間時鐘域交叉電路。

六、英文發明摘要：

A method of snap-shot data training to determine the optimum timing of the DQS enable signal in a single read operation is provided. This is accomplished by first writing a Gray code count sequence into the memory and then reading it back in a single burst. The controller samples the read burst at a fixed interval from the time the command was issued to determine the loop-around delay. A simple truth table lookup determines the optimum DQS enable timing for normal reads. Advantageously, during normal read operations, the first positive edge of the enabled DQS signal is used to sample a counter that is enabled every time a command is issued. If the counter sample changes, indicating timing drift has occurred, the DQS enable signal can be adjusted to compensate for the drift and maintain a position centered in the DQS preamble. This technique can also be applied to a system that uses the iterative approach to determining DQS enable timing on power up. Another embodiment of the invention is a simple, low latency clock domain crossing circuit based on the DQS latched sample of the counter.

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

20	記憶體控制器
22	DDR SDRAM
24	單向匯流排
26	雙向匯流排
28	入局DQS信號
30	讀取延遲確定電路
32	DQS啟用電路
34	閘控DQS信號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明概言之係關於同步記憶體及相關聯之記憶體控制器。更特定而言，本發明係關於使用雙向資料匯流排及雙向資料選通信號來控制並傳送一記憶體控制器與一同步記憶體之間的讀取及寫入資料。

【先前技術】

於源同步傳訊中，一資料選通時鐘連同資料一起由傳輸裝置驅動。時鐘與自發射機至接收機之資料路徑相匹配。於接收裝置處，資料選通時鐘用來鎖存入局資料。於雙倍資料速率(DDR)SDRAM記憶體系統中，外部資料匯流排為雙向。寫入資料自一記憶體控制器發送至記憶體且讀取資料自記憶體發送至控制器。在未發送資料時，匯流排返回至一由匯流排傳輸線終端電壓界定之三態位準。

對雙向資料選通時鐘之控制亦端視哪一種裝置正將資料驅動至資料匯流排上而變化。控制器及記憶體裝置上之資料選通時鐘輸入必須由一啟用信號閘控以防止因三態時鐘輸入位準所形成之假時鐘邊緣觸發內部資料捕捉。當記憶體控制器或記憶體皆未驅動資料選通時，該資料選通線將由終端電阻器拉至匯流排終端電壓。對於DDR及DDR2記憶體而言，終端電壓 V_{term} 係與輸入緩衝器參考電壓 V_{ref} 相同之 $V_{ddq}/2$ 。由此，資料選通輸入緩衝器產生一可端視雜訊在'0'與'1'之間變化之不確定值。在記憶體晶片上，可容易地達成此情形，此乃因寫入資料指令與寫入資料本身自控

制器同時到達源且此兩組信號之間的偏斜將小於一個位元週期。在資料選通時鐘DQS之第一現用邊緣之前，存在一在此期間DQS經驅動為低之2位元前導碼週期。在此時間期間，記憶體晶片可確定啟用信號。

在讀取操作期間，雙向匯流排上讀取命令與讀取資料之間的對準更不確定。端視系統組態及操作條件，穿過命令及位址輸出驅動器、穿過通至記憶體裝置之封裝及印刷電路板連接、向後穿過讀取資料輸出緩衝器、封裝、及印刷電路板、及最終穿過記憶體控制器之輸入緩衝器等之延遲可相差許多位元週期。

一與讀取命令及資料之此對準相關聯之第一問題係在系統初始化時確定將讀取資料DQS啟用信號及時定位於何處才能使其歸屬於2位元前導碼。一第二問題係如何調整操作期間因溫度所致之時序漂移或供電電壓漂移。一第三問題係如何在DQS時鐘與主系統時鐘CLK之間的相位係完全隨機時將與QDS同步計時之資料傳送至系統時鐘域。

單資料速率SDRAM中不存在此等問題，此乃因不存在DQS時鐘且讀取資料必須滿足關於起源於控制器之主系統時鐘CLK之建立及保持要求。

四倍資料速率(QDR)SRAM不具有此問題，此那因其具有自己的專用時鐘且存在單獨的讀取及寫入資料匯流排。由於該等時鐘不必為三態，因此決不會存在任何不確定狀態。

雙向資料選通信號針對DDR SDRAM之應用揭示於2005年3月3日頒予A.M. Schoenfeld等人之美國專利6,889,336

中。在初始DDR操作速度DDR267及DDR333下，2位元前導碼週期仍相對較大，分別為7.5 ns及6.66 ns。但仍可適應一具有內部DQS啟用之固定時序之系統設計及操作條件範圍。在DDR400及DDR2裝置介於DDR2-400至DDR2-800之範圍內之情況下，需要對DQS啟用時間進行動態調整。以下為針對DDR SDRAM之晶片至晶片控制器的一組實例性典型迴路循環讀取時序延遲：

自以下各項之延遲：	最小	最大
命令鎖存器至控制器引腳	1.0 ns	3.0 ns
PCB跡線至DDR SDRAM	0.5 ns	1.5 ns
SDRAM命令輸入至資料輸出	-0.5 ns	0.5 ns
PCB跡線至控制器	0.5 ns	1.5 ns
控制器引腳至資料鎖存器	1.0 ns	3.0 ns
合計	2.5 ns	9.5 ns

在DDR400之資料速率及更高資料速率下，該讀取資料時序可變化大於DQS前導碼間隔之寬度。固定時序並非一碩壯解決方案。

作為一實施，數種用於DQS閘控之實施方案闡述於the LSI Logic 0.11 μ m DDR2 PHY document cw000733_1_0 dated February 2005中。PHY實際上支援三種不同之方法，該等方法用於使用一稱作GATEON之信號來啟用DQS讀取選通。

第一種方法「可程式化GATEON」允許使用者根據一可程式化延遲暫存器及發佈讀取命令之時間來對GATEON之

時序進行程式化。對於此方案而言需要讀取資料訓練。讀取資料訓練牽扯以不同之延遲暫存器設定值來嘗試若干個讀取操作，找出用以正確接收預期資料之設定值，並隨後將延遲暫存器設定於通過範圍之中的某處。該方法之一缺點在於其需要控制器中之某處具有更高級之智慧，且在系統初始化期間需要大量時間來確定最佳設定值。而且，其無法適應操作期間之時序漂移。

第二種方法稱作「迴饋 GATEON」。一信號以與產生一命令相同之方式產生並發送至一引腳。該信號可沿一 PCB 跡線投送至記憶體並投送回至控制器，其中該 PCB 跡線具有與命令信號相同之長度及負載。於控制器處，使用延遲信號來觸發 DQS 啟用。該方法之缺點在於其需要 2 個附加引腳、PCB 跡線，且消耗功率。此不能使實際命令與讀取資料迴路循環延遲完全匹配。

最後一種方法稱作「外部 GATEON」，其中使用者以某種方式產生 GATEON 信號。該方法亦需要至少一個附加引腳。此亦需要某種模仿實際資料匯流排行為之互連。

【發明內容】

根據一廣泛性態樣，本發明提供一種用於控制一記憶體之方法，該方法包括：量測該記憶體與一記憶體控制器之間的讀取延遲；將一初始化序列寫入至該記憶體之預定位置；將一讀取命令發送至該記憶體以讀取該等預定位置並接收返回之資料信號；及在發送該讀取命令之後一預定時間，對該等返回之資料信號進行採樣以產生一用於確定該

記憶體與該記憶體控制器之間的讀取延遲之初始化樣本。

舉例而言，該記憶體包括位於一具有雙向源同步選通之雙向匯流排上的一DDR SDRAM記憶體或一從屬裝置。

根據另一廣泛性態樣，本發明提供一種用於控制一記憶體之記憶體控制器，該控制器包括：一讀取延遲確定電路及一DQS啟用電路；在初始化期間，該讀取延遲確定電路確定一在向該記憶體發送一讀取命令與接收返回資料信號之間的讀取延遲，該讀取延遲確定電路包括一用於以一預定時間對該資料進行採樣以產生一初始化樣本之電路、及一用於針對該初始化樣本之每一排列儲存一相應讀取延遲之查詢表；該DQS電路適於根據該讀取延遲來閘控一接收之DQS時鐘信號。

舉例而言，該記憶體包括一DDR SDRAM記憶體。

本發明之一實施例提供一種在一記憶體控制器中用於控制一記憶體之方法，該記憶體具有一包括源同步計時之雙向讀取/寫入匯流排及一雙向資料選通，該方法包括：藉由以下作業量測該記憶體與該記憶體控制器之間的一讀取延遲：該記憶體控制器將一格雷碼初始化序列寫入至該記憶體中之預定位置；該記憶體控制器向該記憶體發送一讀取命令以讀取該等預定位置並接收返回之資料信號；在發送該讀取命令之後一預定時間，該記憶體控制器對該等返回之資料信號進行採樣以產生一初始化樣本；使用該初始化樣本來確定該記憶體與該記憶體控制器之間的讀取延遲。

本發明之另一實施例提供一種用於控制一記憶體之記憶

體控制器，該記憶體具有一包括源同步計時之雙向讀取/寫入匯流排及一雙向資料選通，該控制器包括：一讀取延遲確定電路及一資料選通啟用電路；在初始化期間，該讀取延遲確定電路確定一在向該DDR SDRAM發送一讀取命令與接收返回之資料信號之間的讀取延遲，該讀取延遲確定電路包括一用於以一預定時間對該資料進行採樣以產生一初始化樣本之電路、及一用於針對該初始化樣本之每一排列儲存一相應讀取延遲之查詢表功能；該資料選通啟用電路適於根據該讀取延遲來閘控一接收之DQS。

本發明之另一實施例提供一種與一記憶體配合使用之資料選通啟用電路，該記憶體具有一包括源同步計時之雙向讀取/寫入匯流排及一雙向資料選通，該電路包括：一輸入，其用於接收一資料選通信號；一輸出，其用於產生一閘控資料選通信號；一資料選通啟用及資料選通禁用；一多工器，其根據一選擇輸入來閘控該資料選通信號；一選擇輸入產生器電路，其設定該選擇輸入以在啟動該資料選通啟用時選擇該資料選通信號，及設定該選擇輸入以在啟動該資料選通禁用時並跟隨該資料選通信號之下一上升緣取消選擇該資料選通信號。

本發明之另一實施例提供一種漂移偵測器電路，其包括：一第一電路，其用於與一輸入時鐘信號同步地鎖存一主時鐘之第一相位之第一值；一第二電路，其用於與該輸入時鐘信號同步地鎖存該主時鐘之一第二相位之第二值；其中該第一值或第二值之一變化指示該輸入時鐘信號已相

對於該主時鐘源漂移至少一預定量。

本發明之一實施例提供一種快照資料訓練方法，其用於確定DQS啟用信號於一單個讀取操作中之最佳時序。此係藉由首先將一格雷碼計數序列寫入至記憶體中並隨後以一單個叢發形式將其往回讀取而達成。該控制器自發出命令之時起以一固定間隔對該讀取叢發進行採樣以確定迴路循環延遲。一簡單的真實查詢表確定用於正常讀取之最佳DQS啟用時序。

有利地，在正常讀取操作期間，使用所啟用DQS信號之第一正邊緣來對一每當發出一命令時即啟用之計數器進行採樣。若該計數器樣本發生改變，其指示已發生時序漂移，則可調整該DQS啟用信號以對該漂移進行補償並保持一中心定位於該DQS前導碼中之位置。該技術亦可適用於一在通電時使用該迭代方法來確定DQS啟用時序之系統。

本發明之另一實施例係一種基於計數器之DQS鎖存樣本之簡單且低等待時間時鐘域之交叉電路。

在結合附圖審閱下文對本發明具體實施例之說明後，熟習此項技術者將明瞭本發明之其他態樣及特徵。

【實施方式】

於本發明之採樣實施例之以下詳細說明中，參見形成本發明之一部分且其中以舉例說明方式顯示可藉以實踐本發明之具體採樣實施例之附圖。充分詳細地闡述此等實施例以使熟習此項技術者能夠實踐本發明，但應瞭解，亦可利用其他實施例並可作出邏輯、機械、電性、及其他改動，

而此並不背離本發明之範圍。因此，不應將下文詳細說明視為具有限定意義，且本發明之範圍由隨附申請專利範圍來界定。

現在參見圖1，圖中顯示一經由連接連接至DDR-SDRAM 22之記憶體控制器20，該等連接包括：一單向匯流排24，其用於將位址、命令及時鐘自記憶體控制器20發送至DDR SDRAM 22；一雙向匯流排26，其用於將資料寫入至DDR SDRAM 22並自記憶體讀取資料，其中匯流排26上之信號指示為「DQ」；一雙向連接28，其用於攜載一資料選通時鐘(DQS)。在一寫入操作中，DQS由記憶體控制器20與寫入資料同步產生。在一讀取操作中，來自DDR SDRAM 22之讀取資料及DQS由記憶體同步產生。記憶體控制器20具有一讀取延遲確定電路30，該電路確定記憶體控制器20與DDR SDRAM 22之間的讀取延遲。記憶體控制器20具有一DQS啟用電路32，該電路根據讀取延遲確定電路30之一輸出來產生一基於入局DQS信號28之閘控DQS信號34。

對於此實例而言，該記憶體控制器係一與一主時鐘共同運作之同步ASIC電路。該控制器內部之一主DLL(未顯示)導出一鎖相至該主時鐘之 0° 相位差時鐘，且亦導出 90° 、 180° 及 270° 相位(未顯示)。一亦在該控制器內部之從屬DLL(未顯示)形成一恆定之 90° 相移。

現將進一步參見圖1及圖2A、2B及2C之時序圖更詳盡地以舉例說明方式闡述讀取延遲確定電路30之功能性。在通電時，記憶體控制器20首先等待該DLL鎖定並可靠地產生

0°、90°、180°及270°相位，並且產生DQS之90°延遲形式。此將使該控制器之資料輸入鎖存器能夠可靠地捕捉讀取資料。然後，控制器20將適宜之通電命令發送至DDR SDRAM 22。並隨後將一初始化序列寫入至該記憶體，例如將一叢發中之兩位元格雷碼序列寫入至該記憶體中之連續位元組位置。應注意，格雷碼並非獨一無二且可採用任何格雷碼。位元0至3包含該兩位元格雷碼之LSB，而位元4至7則按下述方式包含兩位元格雷碼之MSB：

時間	位元號： 76543210
t=0	00000000
t=1	00000000
t=2	00001111
t=3	00001111
t=4	11111111
t=5	11111111
t=6	11110000
t=7	11110000

該格雷碼型樣確保在任一時間處僅一個位元發生變化且兩個位元之間的任何輕微延遲差不會導致錯誤計數。將每一格雷碼位元寫入至多個位置(上述實例中為四個位置)允許如下文將詳細說明並行獲取多個樣本。

圖2A顯示一最大讀取延遲情形之時序圖；圖2B顯示一標稱讀取延遲情形之時序圖且圖2C顯示一最小讀取延遲情形之時序圖。此等時序圖中之每一者皆顯示0°時鐘40；五位元格雷碼計數器42、44、46、48、50；命令序列52；DQS 54；DQ 56；DQS90 58；DQ0 60；DQ1 62及count_en 64。

在所有情形下，該格雷碼計數器皆具有一以與 0° 時鐘40相同之週期交替之第一位元 c_0 42、一以兩倍於 0° 時鐘之週期振盪之第二位元 c_1 44、一以四倍於 0° 時鐘之週期振盪之第三位元 c_2 46、一以八倍於 0° 時鐘之週期振盪之第四位元 c_3 48、及一以十六倍於 0° 時鐘之週期振盪之第五位元 c_4 50。該五個位元42、44、46、48、50之時序係如此以致隨著該碼字以 0° 時鐘之每四分之一循環變化而產生一五位元格雷碼。

如上所述將該格雷碼寫入至記憶體後，用於確定讀取延遲之過程繼續進行一作為 0° 時鐘40之上升緣上一命令序列52之部分之READ命令66。格雷碼計數器42、44、46、48、50由一響應於該READ命令計及最小讀取等待時間(RL)之count_en 64之下降邊緣啟用。於所示實例中，假定該最小讀取等待時間為三個時鐘週期。若該系統中不存在其他延遲，則資料將於此時間結束時開始到達記憶體控制器。

然而，假定該系統中存在某一其他延遲，DQS 54於稍後某一時間由顯示為提前兩位元前導碼68之DQS 54之第一上升緣啟動。應注意，當DQS不處於活動狀態時，其處於一大致介於邏輯高與邏輯低中間的高阻抗狀態下。DQS 54處於活動狀態長到足以完成對一特定塊長度之讀取。此後跟一後置碼69，此後其返回至高阻抗狀態。

與DQS 54同步地自記憶體接收資料信號DQ 56。因為其係一雙倍資料速率系統，所以針對DQS 54之每一上升緣及每一下降緣在DQ 56上接收一位元。為了實施快照資料訓

練，發出一與記憶體中之位址相關聯之讀取命令66，如上所述，格雷碼序列將寫入至該位址。DQS90 58係DQ 56之一90°相移形式，其經產生以允許對中心定位位於所接收資料脈動中間之緣進行採樣。此可例如藉助從屬DLL來產生。DQ0 60顯示鎖存於DQS90 58之上升緣上之資料，而DQ1 62則顯示藉助DQS90 58之下降緣鎖存之資料。

於圖2A、2B及2C中，DQ、DQ0及DQ1採用一速記符號來概括自所儲存格雷碼之所有8個位元讀取之位元。DQ、DQ0及DQ1皆顯示於一既定時刻自所儲存兩位元格雷碼讀取之內容。DQ、DQ0、DQ1=「00」意味著在該時間期間自任一記憶體位置(第一位元寫入至其)讀取之格雷碼之第一位元為「0」，且自任一記憶體位置(第二位元寫入至其)讀取之格雷碼之第二位元為「0」。個別位元DQ₁、...、DQ₈之詳盡細節僅顯示於圖2B中。

比較圖2A、2B及2C，可看到端視讀取延遲，讀取資料DQ 56開始以不同時間自記憶體達到，且該等不同之時間可與格雷碼計數器42、44、46、48、50之不同狀態相關聯。

於一第一實例性實施方案(其通常指示於圖2B中之70處)中，八個輸入位元中之每一者皆具有一相應之額外輸入鎖存器，該鎖存器以控制器時鐘之一單個相位來對輸入鎖存讀取資料DQ0進行採樣。於圖2B中，八個位元上之資料指示為DQ₀至DQ₇ 120、122、124、126、128、130、132、134。可看到，位元DQ₀至DQ₃捕捉兩位元格雷碼之LSB，且位元DQ₄至DQ₇捕捉兩位元格雷碼之MSB。於所示實例中，假定

以 -0° 相位來鎖存 DQ_0 及 DQ_4 ；以 -90° 相位來鎖存 DQ_1 及 DQ_5 ；以 -180° 相位來鎖存 DQ_2 及 DQ_6 ，並以 -270° 相位來鎖存 DQ_3 及 DQ_7 。藉由在一規定時刻時對八個鎖存器之內容進行採樣，產生一初始化樣本。於所示實例中，在發出 READ 命令後以七個完整之時鐘週期來獲取 0° 樣本，並在此後獲取 90° 、 180° 、 270° 樣本。 0° 樣本標記為 b_0 、 b_4 ； 90° 樣本標記為 b_1 、 b_5 ； 180° 樣本標記為 b_2 、 b_6 ；且 270° 標記為 b_3 、 b_7 。

將初始化樣本之各種排列組織成一在圖 3 中以舉例方式顯示之真實表。可將該表建構成諸如暫存器之邏輯電路、或記憶體控制器中之一唯讀記憶體 (ROM)。在此種情況下，該初始化樣本以藉由對相位進行採樣組織而成之位元顯示於一表中。每一初始化樣本皆具有八個位元，且在該表中前兩個位元係兩個以 0° 度相位採樣之位元 (於圖 2B 之實例中為 b_0 及 b_4)；接下來兩個位元係以 90° 相位採樣之位元 (於圖 2B 之實例中為 b_1 及 b_5)；接下來兩個位元係彼等以 180° 相位採樣之位元 (於圖 2B 之實例中為位元 b_2 及 b_6)，且接下來兩個位元係兩個以 270° 相位採樣之位元 (於圖 2B 之實例中為 b_3 及 b_7)。該方法需要如上文所示已寫入至記憶體之格雷碼序列，其中兩位元格雷碼序列之第一位元寫入至每一位元組之位元 0 至 3，而兩位元格雷碼序列之第二位元寫入至每一位元組之位元 4 至 7。

或者，可僅使用兩個兩位元格雷碼序列寫入至其之位元來產生相同之初始化樣本。此顯示於通常指示於 72 處之圖 2B 之第二實例中，其中假定在 DQ_0 上讀取第一位元而在 DQ_4

上讀取第二位元。在此種情況下，必須以所有四個時鐘相位來對DQ₀及DQ₄中之每一者進行採樣。然後，可使用八個樣本來產生上述相同之初始化樣本。

圖2A顯示最大延遲情形。在此種情況下，0°、90°、180°、270°樣本為「00 00 00 00」。自時序圖中，可看到DQS90第一上升緣之正常操作出現在格雷計數15附近。由於DQS 54具有一兩位元前導碼，因此在格雷計數13處啟用DQS將確保其針對第一上升緣而啟用。對於一為四之叢發長度，將在約格雷計數20處禁用DQS而對於一為八之叢發長度將在約格雷計數28處禁用DQS。參見圖3之真實表，可看到，此資訊係輸入至與初始化樣本「00 00 00 00」相關聯之表中。

圖2B顯示一正常延遲情形。0°、90°、180°及270°樣本為「01 11 11 11」且此等樣本對應於圖3中之表之第六列。最後，圖2C顯示最小延遲情形且0°、90°、180°、270°樣本為「10 10 10 10」而此等樣本對應於圖3之真實表中之第一列。該表在其右邊兩行中亦包括一應根據延遲使用哪一時鐘相位來對DQ₀及DQ₁進行採樣之指示。此規定如何將資料移動至控制器之時鐘域中，亦即如何使用主0°時鐘之上升緣或下降緣來鎖存資料，以基於控制器主時鐘同步化自記憶體讀取至控制器之資料。

在確定讀取延遲後，圖1之DQS啟用電路32啟用/禁用入局DQS及/或DQS90。更特定而言，在正常讀取操作期間，該控制器發出一其中塊長度BL=8且讀取等待時間RL=3(在此實例中)之READ命令。在發出讀取命令後，確定count_en

信號以在跟隨第三時鐘邊緣之0處開始格雷碼計數器。資料無法再早於此到達。應注意，該計數器係一其中僅一單位元將隨時發生變化之格雷碼計數器。該計數值不對應於一正常二進製編碼方案。該計數器每隔1/4時鐘週期遞增。一旦該計數器達到針對啟用或禁用而儲存於表中之值(針對先前量測之延遲)，則相應地啟用或禁用DQS。

另外，該計數器值藉由啟用之DQS時鐘鎖存於對應於該資料叢發中第一資料位元之上升緣上。此值對應於該真實表中之一列。若該值與前一段落中所述之先前讀取循環或初始化序列中之彼等值相同，則迴路循環延遲保持不變。若該值不同，則該時序已漂移且該DQS啟用時序必須由控制器來更新。

現在參見圖4，圖中顯示根據本發明之一實施例記憶體控制器中用於跨越圖1之雙向匯流排26接收一單位元之功能電路。圖中顯示一標記為DQS_EN 80之DQS啟用，此係由圖1之DQS啟用電路34所產生之DQS啟用輸入。DQS啟用80閘控一DQS90輸入58及一反轉之DQS90輸入82。記得DQS90係自DDR SDRAM 22傳輸至記憶體控制器20之DQS之一90°相移形式。DQS TB0具有與DQS90之上升緣對應之上升緣，而DQS TB1 83具有與DQS90之下降緣對應之上升緣。資料信號係在DQ_n 56上接收，且此連接至正反器84鎖存於DQS90之上升緣上及D正反器86鎖存於DQS90之下降緣上之D輸入。正反器84輸出DQ0 88，此係藉助DQS90之一上升緣鎖存之資料。正反器86輸出DQ1 90，此係鎖存於DQS

99年5月9日 修正
補充頁

90之下降緣上之資料。

電路85提供用於對DQ0 88及DQ1 90進行採樣，且產生重新定時成與0°時鐘同步之輸出89及90。此係藉由下述方式達成：藉助正反器92及94以0°及180°時鐘相位來對DQ0進行採樣並根據多工器選擇輸入mux_sel 101由多工器100在0°樣本與180°樣本之間進行選擇。所使用之mux_sel值係讀取延遲之函數且儲存於上述查詢表中。然後，藉助D正反器104以0°時鐘相位來對該輸出進行採樣以產生輸出89。當0°樣本對應於D正反器86之輸出時，藉助D正反器96以180°來對DQ1 90進行採樣。DQ1晚於DQ0半個時鐘週期有效。此將DQ0及DQ1有效地重新定時成在相同間隔期間有效。同樣根據多工器選擇輸入mux_sel 101藉助多工器102來選擇180°樣本或0°樣本。使用D正反器106以0°時鐘相位來對所選之輸出進行採樣以產生輸出90。

所示實例包括另外一對正反器108、110以用於將輸出89、90重新定時至一RTL(暫存器傳送語言)時鐘輸入120之目的。該等總計時輸出指示於109、111處，其分別對應於輸入56之偶數位元及奇數位元。至此關於控制器-記憶體介面之位元0及1所述之整個電路針對該介面之每一位元重複。個人電腦之當前設計之一典型介面寬度為64位元，但其他應用具有不同之寬度。

電路122提供用於產生一個位元的初始化樣本之目的。該電路係由一對DQ0 88進行採樣之D正反器112構成。該電路係使用正反器114重新定時至0°時鐘。視需要，該電路藉助正反器116

重新定時至RTL時鐘。

為了實施對應於圖2B之第一實例70之功能性，此取決於根據該介面之哪一位元來實施電路122，以一不同之時鐘相位來對DQ₀進行採樣。於所示實例中，對於DQ₀及DQ₄，採樣發生在0°時鐘相位處。對於DQ₁及DQ₅，採樣發生在90°時鐘相位處。對於DQ₂及DQ₆，採樣發生在180°時鐘相位處。最後，對於DQ₃及DQ₇，採樣發生在270°時鐘相位處。由此，總結果係一八位元初始化樣本，其可與圖3之查詢表一起用來確定讀取延遲為多少。此亦用來確定針對正常操作何時啟用DQS_enable 80。或者，於一對應於其中對兩個位元各自進行四次採樣之圖2B之第二實例72之實施方案中，將只需要針對該介面之兩個位元來實施電路122，但將需要對電路122實施四次以便可以0°、90°、180°、270°時鐘相位中之每一者來對每一位元進行採樣。

應注意，在一替代電路實施方案中，可針對該介面中之每一位元來複製電路122以使邏輯對於所有位元均相同。

該初始化樣本輸出隨輸入而不斷地變化。該初始化樣本在初始READ命令後一預定時間「有效」。

另一實施例允許一更大範圍之等待時間。對於寫入至記憶體之初始化型樣需要一三位元格雷碼來覆蓋16個位元週期之延遲範圍。在每位元一個採樣鎖存器之情形下，不再可能在一單個位元組寬度介面中捕捉3個位元之所有四個採樣相位。需要一12位元寬之介面或可在單獨讀取操作中依序對個別格雷碼位元進行採樣。

現在參見圖5，圖中顯示一用於闡述本發明之此實施例之時序圖。藉助此實施例，採用一三位元格雷碼而非上述兩位元格雷碼。例如，以下可為寫入至記憶體中16個連續12位元位置中之連續位元組位置之格雷碼：

時間	位元號： 11 109876543210
t=0	000000000000
t=1	000000000000
t=2	000000001111
t=3	000000001111
t=4	000011111111
t=5	000011111111
t=6	000011110000
t=7	000011110000
t=8	111100000000
t=9	111100000000
t=10	111100001111
t=11	111100001111
t=12	111111111111
t=13	111111111111
t=14	111111110000
t=15	111111110000

為了讀出全部16個記憶體位置，實施兩個LB8(叢發長度為八)READ命令。此指示於其中存在一BL8 READ 201及一第二BL8 READ 203之命令序列200中。並非使用如同圖3之情形一樣使用專用硬體建構之格雷計數器，而是將格雷碼計數器建構於RTL(未顯示)中。在此種情況下，格雷碼計數器CK 202根據第一READ命令201在零處開始計數。所接收

之DQS顯示於204處。

對於通常指示於220處之最小延遲情形(RL=3)而言，DQS在時鐘計數=12時具有一第一上升緣。所接收之DQ位元之速記符號指示於206處，90度DQS時鐘在208處；DQS90之DQ0(在該上升緣上獲取之樣本)及DQ1(在該下降緣上獲取之樣本)分別指示於210、212處。對於所示實例而言，假定初始化樣本係在時鐘計數=40、41、42、43期間產生從而恰在此之後存在一如215處所示之有效初始化樣本。然後，將該有效初始化樣本與一查詢表一起用來確定讀取延遲為多少，並隨後確定何時啟用DQS_enable。

最大延遲情形通常指示於222處。在此種情況下，DQS90之上升緣不會出現直到可含納之最大讀取延遲後恰好時鐘計數=40之後為止。

圖6顯示該實例之查詢表。在此種情況下，該時序係對於格雷碼計數器202而言。

圖7係一顯示用於圖5之實施例的一輸入DQ電路之實例之電路圖。該電路與圖4之電路基本相同。在此種情況下，用於12個位元之採樣電路產生DQ₀、DQ₄、DQ₈之0°樣本，DQ₁、DQ₅、DQ₉之90°樣本，DQ₂、DQ₆、DQ₁₀之180°樣本，及DQ₃、DQ₇及DQ₁₁之270°樣本。結果係一12位元初始化樣本，其可用來在圖6之查詢表中查尋一適宜列。

更一般而言，可使用一N位元格雷碼。一N位元格雷碼具有 2^N 個碼字。在此種情況下，該記憶體控制器藉由將 2^N 個碼字中之每一者寫入至 2^{N+1} 個連續位址內的一對位址來將

一格雷碼初始化序列寫入至該記憶體之預定位置。此可涉及將 N 個位元寫入至 2^{N+1} 個位址中之每一者，在此種情況下，以四個時鐘相位來對該格雷碼之每一位元進行採樣。或者，此可涉及藉由將 g_1 、 g_1 、 g_1 、 g_1 、 $\dots$ 、 g_N 、 g_N 、 g_N 、 g_N 寫入至多個位址對來將一相應格雷碼碼字 g_1 、 g_2 、 $\dots$ 、 g_N 之位元作為 $4N$ 個位元寫入至 2^{N+1} 個位址中之每一者。在此種情況下，以四個時鐘相位對格雷碼之每一位元進行採樣涉及接收 $4N$ 個資料信號、及以一第一時鐘相位來對 N 個資料信號進行採樣、以一第二時鐘相位來對另外 N 個資料信號進行採樣、以一第三時鐘相位來對另外 N 個資料信號進行採樣；並以一第四時鐘相位來對另外 N 個資料信號進行採樣。

上述詳細說明著重於用於量測讀取延遲之機制。在確定延遲為多少後，圖1之DQS啟用電路32繼續根據如此確定之延遲來閘控DQS信號。現將參見圖8A來闡述DQS啟用電路32之一專用電路之實例。此處，假定跨越介面自記憶體接收DQS 158及標有DQS# 160之DQS之反轉形式二者。存在一電路180，其用於使圖8A之DQS啟用電路與其中僅存在一DQS信號且無DQS#之DDR記憶體設計(其在本文中稱作與具有兩個信號之DDR2記憶體不同之DDR1)反向相容。因此，在DDR1實施方案中，記憶體控制器需針對彼情形產生DQS#。電路180在DDR1與DDR2模式之間選擇。其餘電路182負責產生一閘控DQS#信號172(其標記為dqs_b_i)及一閘控DQS信號173(其標記為dqs_i)。若無需反向相容，則電路180不必要。

電路 182 具有一第一 D 正反器 144，該正反器用於自控制器接收一輸入 141，該輸入係在一對應於由初始化樣本確定之讀取路徑延遲之時間處確定，以指示何時啟用 DQS。該正反器亦在 140 處接收一稱作 CLK(N) 之時鐘輸入，其指示控制器能夠針對此輸入選擇一時鐘相位。正反器 144 產生輸出 dqs_enable_ff 148。同樣地，一第二 D 正反器 146 自控制器接收一輸入 143，該輸入指示何時禁用 DQS。此由一時鐘輸入 142 計時，時鐘輸入 142 與用於對第一正反器 144 進行計時之時鐘 140 異相 180° 。該 D 正反器 146 產生一 dqs_disable_ff 輸出 150。dqs_enable_ff 148 與 dqs_disable_ff 150 之反轉形式結合於 AND 閘 152 內，其輸出連接至 SR 正反器 154 之一 S(設定)輸入。dqs_disable_ff 150 之反轉形式亦連接至 SR 正反器 154 之 D 輸入。正反器 154 之 Q 輸出係一 dqs_enable_i 156 且其連接至第一多工器 170 及第二多工器 171 之多工器選擇輸入。輸入至多工器 170 的兩個輸入包括 DQS# 輸入 168、及 VDD 169。多工器 170 之輸出係 dqs_b_i 且其亦輸入至 SR 正反器 154 之時鐘輸入。輸入至多工器 171 的兩個輸入包括 DQS 輸入 166、及 VSS 177。多工器 171 之輸出係 dqs_i。

現將參見圖 8B 之時序圖來闡述圖 8A 之電路之操作。圖 8B 顯示 DQS 166、DQS# 168、dqs_enable_ff 148、dqs_disable_ff 150、dqs_enable_i 156 及 dqs_b_i 172 中之每一者之一繪圖。應注意，dqs_i 173 與 dqs_b_i 172 同步啟用。在傳輸一讀取命令後的某一時刻，在一由先前所量測讀取延遲所確定之時間處，D 正反器 144 之輸入 141 在記憶體控制器之控制下變為

高。此係藉助時鐘輸入140之上升緣計時。對於圖8B之實例而言，可看到dqs_enable_ff 178在270°時鐘相位上變為高。當其變為高時，AND閘152之輸出變為高且SR正反器154之設定輸入亦使dqs_enable_i躍遷為高。在圖8B中，可看到dqs_enable_i 156在270°時鐘相位稍後躍遷為高。一旦dqs_enable_i 156為高，即選擇多工器170之DQS#輸入168，且因此DQS#顯現於dqs_b_i 172上。當dqs_enable_ff 148在隨後的某一時間變為低時，SR正反器154之設定輸入變為低，但D輸入為高，因為其係dqs_disable_ff 150之反轉形式。因此，dqs_enable_i 156現在保持為高。dqs_enable_ff 148之上升緣與DQS 166之第一上升緣之間的時間大於四分之一時鐘週期。此代表DQS之時序與使用主控制器之時序之間的漂移公差。下文將闡述一種電路，其用於偵測何時出現一大於90°之漂移以便可重新調整dqs_enable之時序。

為了禁用DQS#，於稍後某一時間處，D正反器146之禁用輸入143在記憶體控制器之控制下變為高。此係藉助一時鐘來計時，該時鐘遲於用於計時D正反器144之啟用輸入之時鐘180°。此產生dqs_disable_ff輸出150，其反轉輸入連接至SR正反器154之D輸入。因此，在SR正反器154之時鐘輸入之下一上升緣(亦即DQS#之下一上升緣)上，dqs_enable_i變為低。此取消選擇多工器170之DQS#輸入168，且dqs_b_i 172躍遷至VDD。因此，在該時序圖中，可看到在dqs_disable_ff變為高後，dqs_enable_i不會變低直到dqs_b_i之下一上升緣為止。

上文已闡述了一種用於產生多工器選擇輸入156之專用電路(其在圖8A中通常稱作197)。更一般而言，可使用一選擇輸入產生器電路設定選擇輸入以在啟動資料選通啟用時選擇資料選通信號，並設定選擇輸入以在啟動資料選通禁用時及跟隨資料選通信號之下一上升緣取消選擇資料選通信號。

電路180僅提供一種用於為DDR1實施方案而自單個DQS輸入158產生DQS# 168及DQS 166之機制。對於DDR1實施方案，不存在DQS#輸入160。電路180由第一及第二多工器162、164構成。此等多工器各自經連接以接收DQS輸入158及DQS#輸入160。多工器162始終選擇DQS 158。當DDR2為低時，多工器164將DQS輸出168選擇為DQS#輸入160。否則，其產生自DQS 158之反轉形式。包括始終選擇DQS 158之多工器162確保DQS與DQS#上之負載相等。

DQS及DQS#根據一自記憶體控制器所接收之時鐘產生於記憶體中。然而，在將DQS接收回記憶體控制器處時，該時鐘已經由記憶體之電路自記憶體控制器傳輸至記憶體，並經由DQS輸出返回。其結果係記憶體控制器所接收之DQS及DQS#輸出與DQS啟用之時序且相應地圖8之dqs_enable_ff、dqs_disable_ff、dqs_enable_i及dqs_b_i之時序之間存在某一漂移。然而，更一般而言，在任一DDR SDRAM實施方案中，可預期DQS信號會相對於主時鐘稍微漂移。本發明之另一實施例提供一種用於偵測此漂移，特定而言用於偵測該漂移何時大於90°之機制。一旦漂移達到

90°，即可藉由更新DQS啟用及禁用信號來對此進行修正。

現在參見圖9A，圖中顯示一本發明一實施例提供之資料選通漂移偵測器之電路圖。圖中顯示一DQS輸入190正驅動兩個D正反器191、192之時鐘輸入。正反器191之D輸入自一主DLL接收一0°時鐘，而正反器192之D輸入接收主DLL之一90°相位。第一正反器191之輸出196稱作漂移<1>而第二正反器192之輸出198稱作漂移<0>，該等輸出統稱為「漂移輸出」。

現將參見圖9B之時序圖來闡述圖9A之電路之操作。圖中顯示一0°時鐘200、一90°時鐘202、DQS 190及漂移<1:0>196、198。當DQS 190自零躍遷至一(上升緣)時，0°及90°時鐘200、202之狀態被鎖存至漂移輸出196、198。可能鎖存之內容之四個實例顯示於圖9B中。在204處之第一實例中，漂移輸出196、198為「10」。於一稍後之採樣時刻206(DQS 190之下一上升緣)處，漂移樣本仍為「10」。於一稍後之採樣時刻208處，漂移輸出196、198現在為「11」。於一稍後之採樣時刻210處情形同樣如此。漂移輸出在採樣時刻208處自「10」改變至「11」之事實表示已發生大於90°之漂移之事實。然後，此資訊由記憶體控制器用來更新DQS啟用及禁用次數。

應注意，圖8A之DQS啟用電路可與任一機制一起用來確定讀取延遲。此外，圖9A之資料選通漂移偵測器可用於任一接收一正相對於主時鐘漂移之DQS信號之電路中。一特定應用係在採用上述讀取延遲確定方法及電路及/或上述

DQS啟用方案之電路中。

上文闡述了一非常具體之漂移偵測器。更一般而言，提供一第一電路，其與一輸入時鐘信號同步地鎖存一主時鐘之第一相位之第一值。於上述實例中，第一電路係一D正反器但亦可具有其他實施方案。存在一第二電路，其與輸入時鐘信號同步地鎖存主時鐘之第二相位之第二值。於上述實例中，第二電路係一D正反器但亦可具有其他實施方案。第一值或第二值之一變化指示輸入時鐘信號已相對於主時鐘源漂移了至少一預定量。對於所述之特定實例而言，第一時鐘相位係一基於主時鐘之 0° 時鐘，且第二時鐘相位係一基於主時鐘之 90° 時鐘，且預定量係四分之一時鐘週期，但可藉由適宜地選擇兩個時鐘之相位來偵測其他漂移。

上述具體實例係指DDR1及DDR2。更一般而言，本發明之實施例可適用於所有使用雙向資料選通之工業標準DDR DRAM(包括DDR、DDR2、DDR3)及各種形式之GDDR。更一般而言，本發明之實施例適用於一具有包括源同步計時之雙向讀取/寫入匯流排及雙向資料選通之記憶體。上述DQS係此種雙向資料選通之一具體實例。於更一般之上下文中，提供一用於啟用資料選通之資料選通啟用電路，DQS啟用電路係其一具體實例。

其亦可用於QDR及QDR2 SRAM中以藉由閘控資料時鐘來節省內部時鐘功率並用於建構時鐘域交叉。

此外，出於除啟用DQS以外之目，本文中所述之方法及電路可用來確定讀取延遲。一具體實例是在確定漂移並使

資料跨越時鐘邊界方面。

其亦可用於高速串行介面。於上述實施例中，為簡化起見，裝置元件及電路如圖式中所示彼此連接。在本發明關於半導體IC及DRAM裝置之特定應用中，元件、電路等可彼此直接連接。同樣，元件、電路等可經由半導體IC及DRAM裝置之運作必不可少之其他元件、電路等彼此間接連接。因此，在半導體IC及DRAM裝置之實際構造中，可電路元件及裝置可彼此耦接(彼此直接或間接連接)。

本發明之上述實施例旨在僅作為實例。熟習此項技術者可對該等具體實施例實施改動、修改及變動，而此並不背離本發明之範圍，本發明之範圍僅由隨附申請專利範圍界定。

【圖式簡單說明】

上文已參見附圖僅以舉例方式闡述了本發明之實施例，附圖中：

圖1係一本發明一實施例提供之具有讀取延遲確定之SDRAM裝置之方塊圖；

圖2A、2B及2C係讀取延遲確定之實例性時序圖；

圖3係一查詢表，其用於根據一對應於圖2A、2B及2C之實例之初始化樣本來確定讀取延遲；

圖4係一電路圖，其用於在一記憶體控制器中接收讀取資料並用於產生一對應於圖2A、2B及2C之實例之初始化樣本；

圖5係一讀取延遲確定方法之另一時序圖；

圖 6 係一對應於圖 5 之實例之查詢表；

圖 7 係一電路之電路圖，該電路用於接收讀取資料並產生一對應於圖 5 之實例之初始化樣本；

圖 8A 係一實例性電路之電路圖，一旦確定該讀取延遲該電路即啟用 DQS；

圖 8B 係一對應於圖 8A 之時序圖之實例；

圖 9A 係一用於偵測資料選通漂移之電路之電路圖；及

圖 9B 係一對應於圖 9A 之電路之時序圖之實例。

【主要元件符號說明】

20	記憶體控制器
22	DDR SDRAM
24	單向匯流排
26	雙向匯流排
28	入局 DQS 信號
30	讀取延遲確定電路
32	DQS 啟用電路
34	閘控 DQS 信號
40	0° 時鐘
42	位元
44	位元
46	位元
48	位元
50	位元
52	命令序列

54	命令序列
56	命令序列
58	命令序列、DQS90輸入
60	命令序列
62	命令序列
64	命令序列
66	讀取命令
68	前導碼
69	後置碼
70	第一實例
72	第二實例
80	DQS啟用
82	反轉之DQS90輸入
83	DQS TB1
84	正反器
85	電路
86	D正反器
88	DQ0
89	輸出
90	輸出
92	正反器
94	正反器
96	D正反器
100	多工器

101	多工器選擇輸入
102	多工器
104	D正反器
106	D正反器
108	正反器
109	總計時輸出
110	正反器
111	總計時輸出
112	D正反器
114	正反器
116	正反器
120	資料、RTL(暫存器傳送語言)時鐘輸入
122	電路
124	資料
126	資料
128	資料
130	資料
132	資料
134	資料
140	時鐘
141	輸入
142	時鐘輸入
143	禁用輸入
144	第一D正反器

146	第二D正反器
148	輸出
150	輸出
152	AND閘
154	SR正反器
156	多工器選擇輸入、Q輸出
158	DQS輸入
160	DQS#輸入
162	多工器
164	多工器
166	DQS輸入
168	DQS#輸入
169	VDD
170	第一多工器
171	第二多工器
172	閘控DQS#信號
173	閘控DQS信號
177	VSS
180	電路
182	電路
190	DQS輸入
191	第一正反器
192	第二正反器
196	漂移輸出

197	多工器選擇輸入
198	漂移輸出
201	BL8 READ
203	第二BL8 READ
204	所接收到之DQS
206	速記符號
208	90度DQS時鐘
210	DQ0
212	DQ1
215	有效初始化樣本
220	最小延遲情形
222	最大延遲情形

十、申請專利範圍：

1. 一種用於控制一同步記憶體之方法，其包括：

藉由以下作業來建立該記憶體與一記憶體控制器之間的一讀取資料路徑延遲：

該記憶體控制器將一初始化序列寫入至該記憶體之預定位置；

該記憶體控制器將一讀取命令發送至該記憶體以讀取該等預定位置並接收返回之資料信號；

在發送該讀取命令後之一預定時間，該記憶體控制器對該等返回資料信號進行採樣以產生一單一初始化樣本；

使用該初始化樣本來確定該記憶體與該記憶體控制器之間的該讀取資料路徑延遲。

2. 如請求項1之方法，其進一步包括：

於一正在進行之基礎上，藉由以下作業來執行自該記憶體之讀取：

發送一讀取命令；

響應於該讀取命令接收一資料信號並與該資料信號同步地接收一資料選通信號；

根據該讀取資料路徑延遲來啟用該讀取選通信號。

3. 如請求項1之方法，其中：

該初始化序列包含一格雷碼；及

對該返回之資料進行採樣包括以四個時鐘相位來對該格雷碼中之每一位元進行採樣。

4. 如請求項3之方法，其中：

該格雷碼係一具有 2^N 個碼字之N位元格雷碼；

該記憶體控制器將一格雷碼初始化序列寫入至該記憶體之預定位置包括將該等 2^N 個碼字中之每一者寫入至 2^{N+1} 個連續位址中之一位址對。

5. 如請求項4之方法，其中：

將該等 2^N 個碼字寫入至 2^{N+1} 個連續位址包括將N個位元寫入至該等 2^{N+1} 個位址中之每一者；

以四個時鐘相位來對該格雷碼中之每一位元進行採樣包括相對於該N位元格雷碼中曾以該等四個相位寫入的第一第n個位元對相應之讀取信號進行採樣，其中 $n=0、\dots、N-1$ 。

6. 如請求項4之方法，其中：

將該等 2^N 個碼字寫入至 2^{N+1} 個連續位址包括藉由將 $g_1、g_1、g_1、g_1、\dots、g_N、g_N、g_N、g_N$ 寫入至多個位址對來將一相應格雷碼碼字 $g_1、g_2、\dots、g_N$ 之位元作為 $4N$ 個位元寫入至該等 2^{N+1} 個位址中之每一者；

以四個時鐘相位來對該格雷碼中之每一位元進行採樣包括：

響應於該讀取命令，接收 $4N$ 個資料信號作為該等返回之資料信號；

以一第一時鐘相位來對N個資料信號進行採樣；

以一第二時鐘相位來對另外N個資料信號進行採樣；

以一第三時鐘相位來對另外N個資料信號進行採

樣；並

以一第四時鐘相位來對另外N個資料信號進行採樣。

7. 如請求項6之方法，其中 $N=2$ 。
8. 如請求項6之方法，其中 $N=3$ 。
9. 如請求項1之方法，其進一步包括：

針對複數個讀取延遲中之每一者，儲存一預期之初始化樣本；

其中：

使用該初始化序列來確定該記憶體與該記憶體控制器之間的該讀取延遲包括查找針對該初始化序列所儲存之讀取延遲。

10. 如請求項9之方法，其中針對複數個讀取延遲中之每一者，儲存一預期之初始化序列包括確定一計數器針對每一讀取延遲之一狀態，及儲存與該初始化序列相關聯之計數器狀態，該方法進一步包括：

在一正在進行之基礎上，針對每一讀取命令，在發送一讀取命令後開始該計數器，及在該碼計數器達到針對該確定之讀取延遲之計數器狀態時啟用該資料選通。

11. 如請求項10之方法，其中：

該計數器係一在四分之一時鐘相位上遞增之由硬體建構的格雷碼計數器。

12. 如請求項10之方法，其中該計數器係一在四分之一時鐘相位上遞增之RTL計數器。

13. 如請求項1之方法，其進一步包括：

在一正在進行之基礎上確定是否存在時鐘漂移，且若存在，則更新該讀取延遲。

14. 如請求項1之方法，其進一步包括：

禁用計及讀取叢發長度及連續讀取命令之資料選通信號。

15. 如請求項1之方法，其針對每一延遲進一步包括：

儲存一指示何時啟用該資料選通之啟用計數；

儲存一指示何時禁用該資料選通之禁用計數；及

儲存一針對資料恢復以0度還是以180度時鐘相位來進行採樣之指示。

16. 如請求項1之方法，其進一步包括將讀取資料信號重新定時至一RTL時鐘。

17. 一種包括一讀取延遲確定電路而用於實施一方法之記憶體控制器，該方法用於控制具有一包括源同步計時之雙向讀取/寫入匯流排及一雙向資料選通之一記憶體，該方法包括：

藉由以下作業來建立該記憶體與該記憶體控制器之間的一讀取資料路徑延遲：

該記憶體控制器將一初始化序列寫入至該記憶體之預定位置；

該記憶體控制器將一讀取命令發送至該記憶體以讀取該等預定位置並接收返回之資料信號；

在發送該讀取命令之後一預定時間，該讀取延遲確定電路對該等返回之資料信號進行採樣以產生一單一初

始化樣本；及

使用該初始化樣本來確定該記憶體與該記憶體控制器之間的該讀取資料路徑延遲。

18. 一種記憶體控制器，其用於控制一具有一包括源同步計時之雙向讀取/寫入匯流排及一雙向資料選通之記憶體，該控制器包括：

一讀取延遲確定電路及一資料選通啟用電路；

在初始化期間，該讀取延遲確定電路確定向該記憶體發送一讀取命令與接收返回之資料信號之間的一讀取資料路徑延遲，該讀取延遲確定電路包括一用於以一預定時間對該資料進行採樣以產生一單一初始化樣本之電路、及一針對該初始化樣本中之每一排列儲存一相應讀取延遲之查詢表；

該資料選通啟用電路適於根據該讀取延遲來開控一所接收之資料選通(DQS)。

19. 如請求項18之記憶體控制器，其進一步包括下述電路中之至少一者：

一用於在一 0° 樣本與一 180° 樣本之間進行選擇之電路；及

一用於將該等資料信號重新定時至一主時鐘之電路。

20. 如請求項18之記憶體控制器，其中該查詢表功能針對該初始化序列之每一排列儲存：

一資料選通啟用計數；

一資料選通禁用計數；

針對正常讀取操作以0度還是以180度來進行採樣。

21. 一種與一記憶體配合使用之資料選通啟用電路，該記憶體具有一包括源同步計時之雙向讀取/寫入匯流排及一雙向資料選通，該資料選通啟用電路包括：

- 一輸入，其用於接收一具有上升緣及下降緣之資料選通信號；

- 一輸出，其用於產生一閘控資料選通信號；

- 一多工器，其根據一選擇輸入來閘控該資料選通信號；

- 一選擇輸入產生器電路，其經連接以接收一資料選通啟用及資料選通禁用；其設定該選擇輸入以在啟動該資料選通啟用時選擇該資料選通信號，且其設定該選擇輸入以在啟動該資料選通禁用時並跟隨該資料選通信號之下一邊緣而取消選擇該資料選通信號。

22. 如請求項21之資料選通啟用電路，其中該選擇輸入產生器電路包括：

- 一第一D正反器，其接收該資料選通啟用；

- 一第二D正反器，其接收該資料選通禁用；

- 一AND閘，其組合該第一D正反器及該第二D正反器之輸出；

- 一SR正反器，其由該閘控資料選通信號計時，該SR正反器具有一用於接收該第二D正反器之該輸出之D輸入，且具有一用於接收該AND閘之一輸出之S輸入，並具有一Q輸出，其用作該選擇輸入以便當該啟用輸入變成現用時，該選擇輸入不同時地選擇該資料選通信號，且當該

資料選通禁用輸入變成現用時，該選擇輸入將此反映於該資料選通信號之下一上升緣上。

23. 如請求項21之資料選通啟用電路，該資料選通啟用電路進一步經組態以使用該選擇輸入來產生一閘控反轉資料選通信號。

24. 如請求項23之資料選通啟用電路，其進一步包括：

一電路，其用於在一其中接收一資料選通信號並產生一反轉資料選通信號之第一操作模式與一其中接收一資料選通信號及一反轉資料選通信號之第二操作模式之間進行選擇。

十一、圖式：

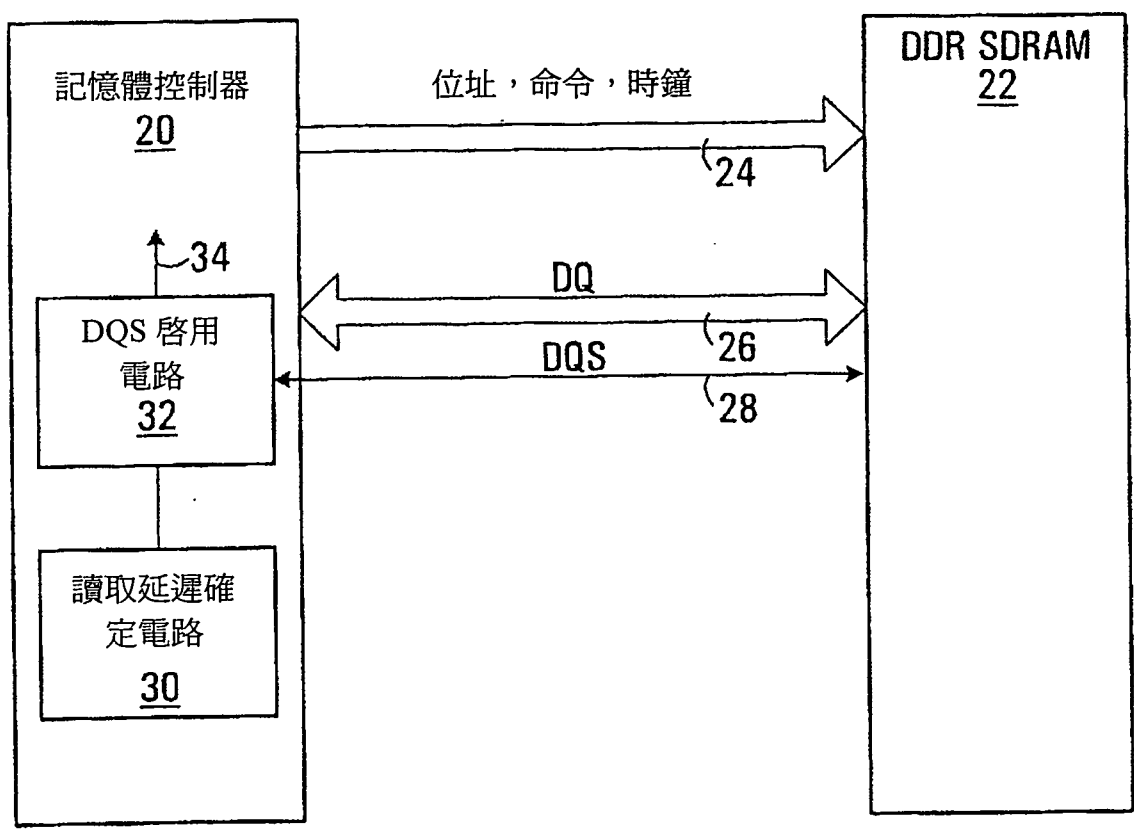


圖1

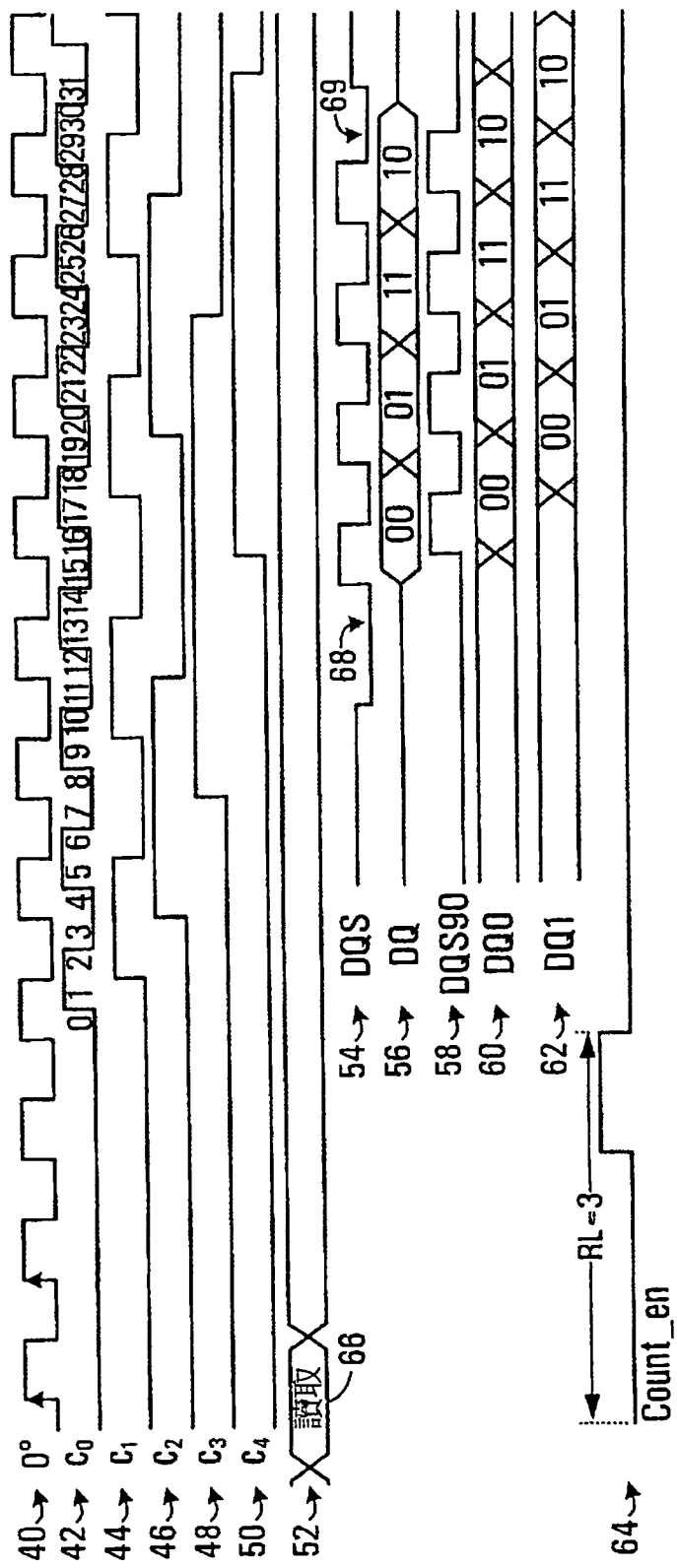


圖 2A



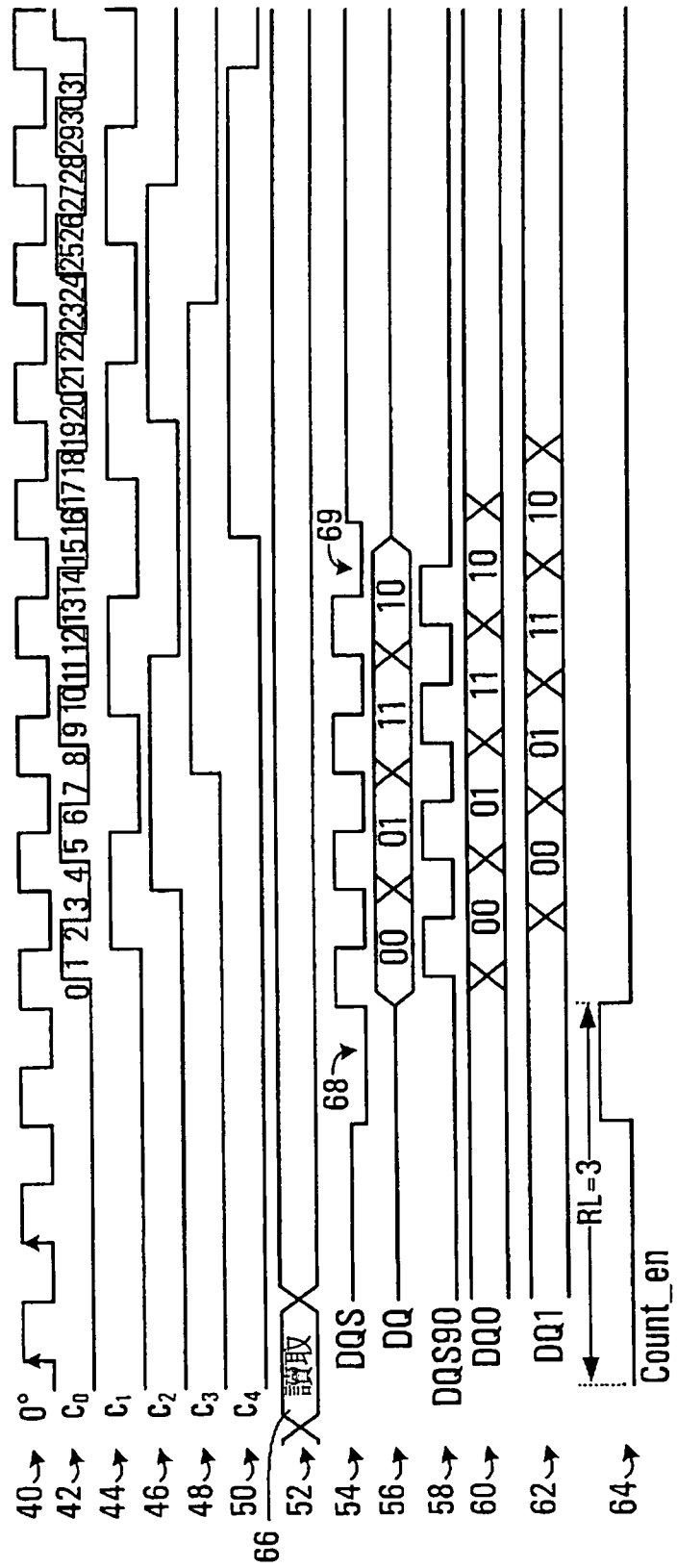


圖 2C

對 16、17、18 及 19 進行初始化採樣				正常操作 DQS90 採樣計數	DQS 啓用	DQS 禁用		DQ0 DQ1 採樣	
0°	90°	180°	270°			BL8	BL4	BL8	BL4
10	10	10	10	3	1	16	8	180°	0°
11	10	10	10	4	2	17	9	180°	0°
11	11	10	10	5	3	18	10	0°	180°
11	11	11	10	6	4	19	11	0°	180°
11	11	11	11	7	5	20	12	180°	0°
01	11	11	11	8	6	21	13	180°	0°
01	01	11	11	9	7	22	14	0°	180°
01	01	01	11	10	8	23	15	0°	180°
01	01	01	01	11	9	24	16	180°	0°
00	01	01	01	12	10	25	17	180°	0°
00	00	01	01	13	11	26	18	0°	180°
00	00	00	01	14	12	27	19	0°	180°
00	00	00	00	15	13	28	20	180°	0°

圖3

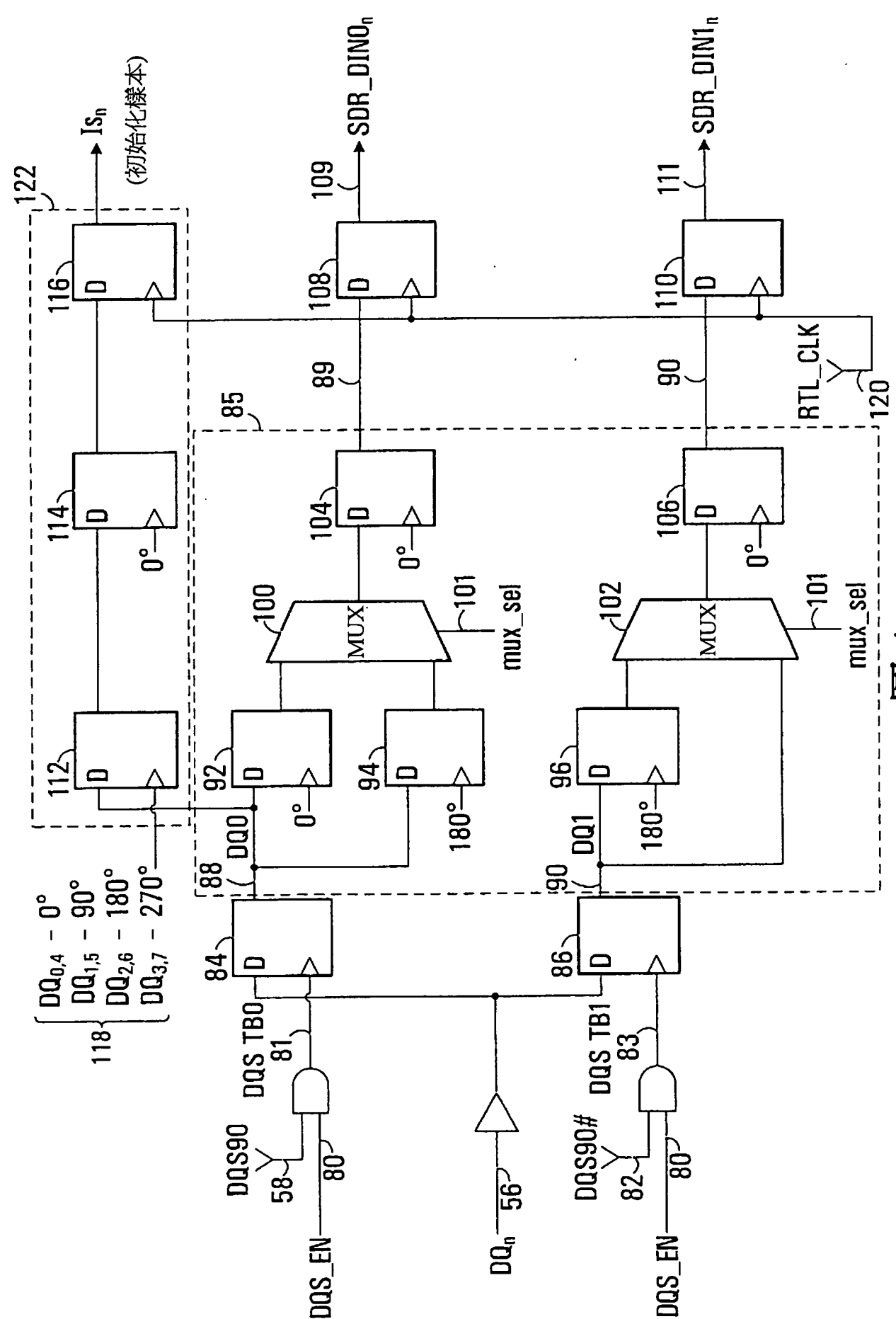


圖 4

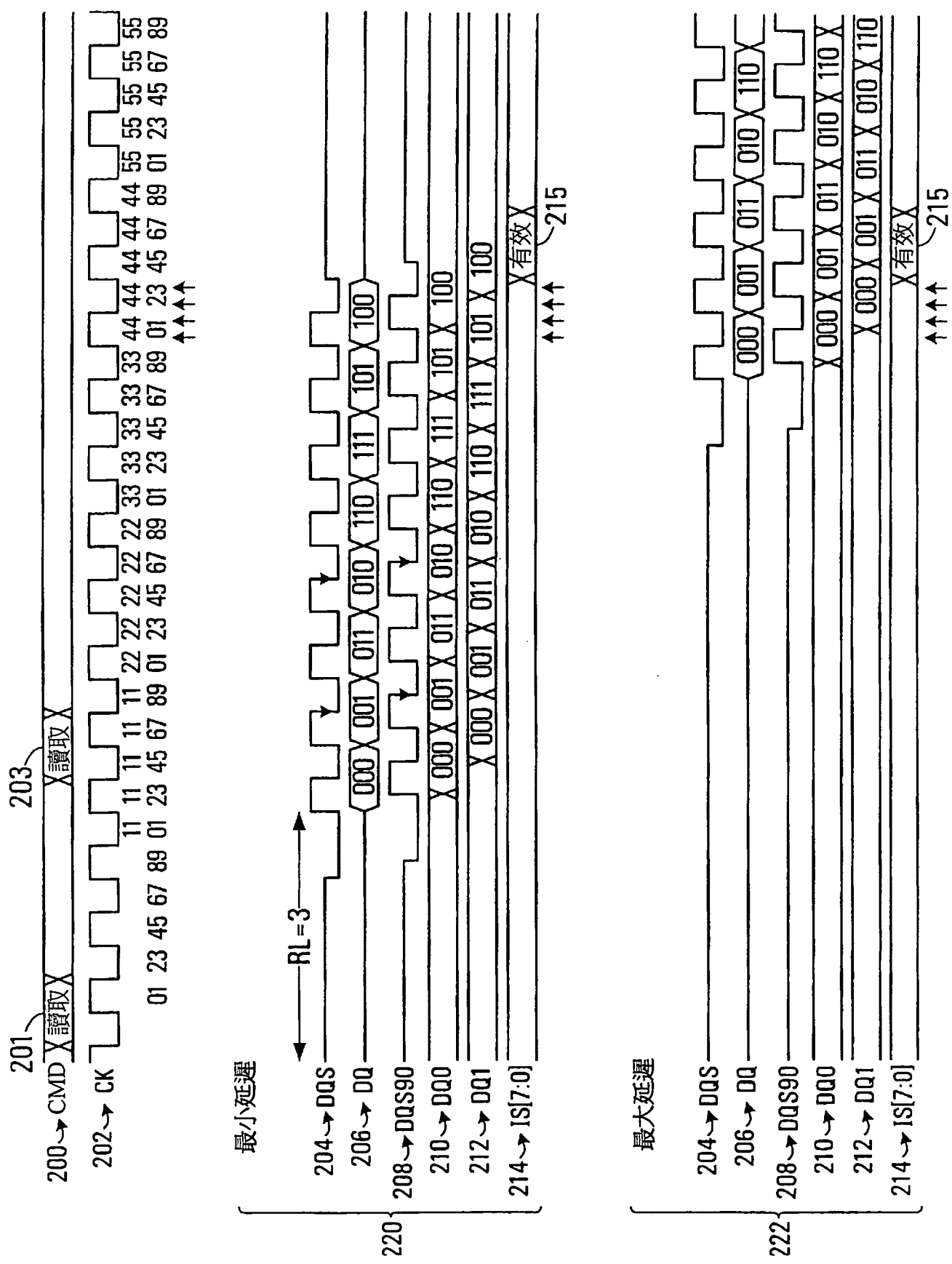


圖 5

IS[7:4], IS[3:0] 關於3個連續16位元叢發 之b ₂ , b ₁ , b ₀ 讀取										
0°	90°	180°	270°	DQS90 啓用	DQS90 BL4	禁用 BL8	DQ0 採樣	DQ1	DQS90 90°	樣本 180°
100	100	100	100	10	17	25	180°	0°	0	1
101	100	100	100	11	18	26	180°	0°	0	0
101	101	100	100	12	19	27	0°	180°	1	0
101	101	101	100	13	20	28	0°	180°	1	1
101	101	101	101	14	21	29	180°	0°	0	1
111	101	101	101	15	22	30	180°	0°	0	0
111	111	101	101	16	23	31	0°	180°	1	0
111	111	111	101	17	24	32	0°	180°	1	1
111	111	111	111	18	25	33	180°	0°	0	1
110	111	111	111	19	26	34	180°	0°	0	0
110	110	111	111	20	27	35	0°	180°	1	0
110	110	110	111	21	28	36	0°	180°	1	1
110	110	110	110	22	29	37	180°	0°	0	1
010	110	110	110	23	30	38	180°	0°	0	0
010	010	110	110	24	31	39	0°	180°	1	0
010	010	010	110	25	32	40	0°	180°	1	1
010	010	010	010	26	33	41	180°	0°	0	1
011	010	010	010	27	34	42	180°	0°	0	0
011	011	010	010	28	35	43	0°	180°	1	0
011	011	011	010	29	36	44	0°	180°	1	1
011	011	011	011	30	37	45	180°	0°	0	1
001	011	011	011	31	38	46	180°	0°	0	0
001	001	011	011	32	39	47	0°	180°	1	0
001	001	001	011	33	40	48	0°	180°	1	1
001	001	001	001	34	41	49	180°	0°	0	1
000	001	001	001	35	42	50	180°	0°	0	0
000	000	001	001	36	43	51	0°	180°	1	0
000	000	000	001	37	44	52	0°	180°	1	1
000	000	000	000	38	45	53	180°	0°	0	1

圖6



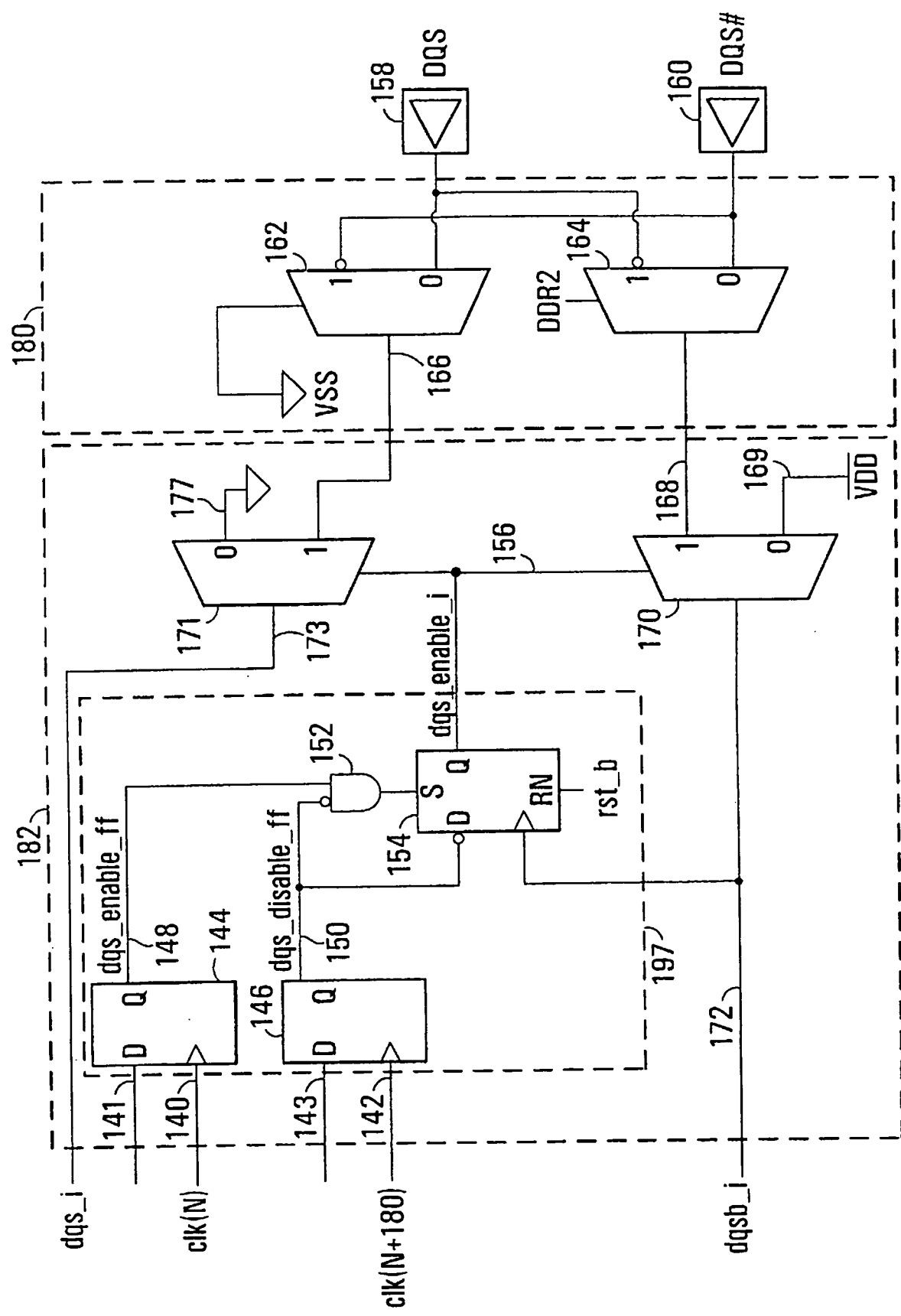


圖 8A

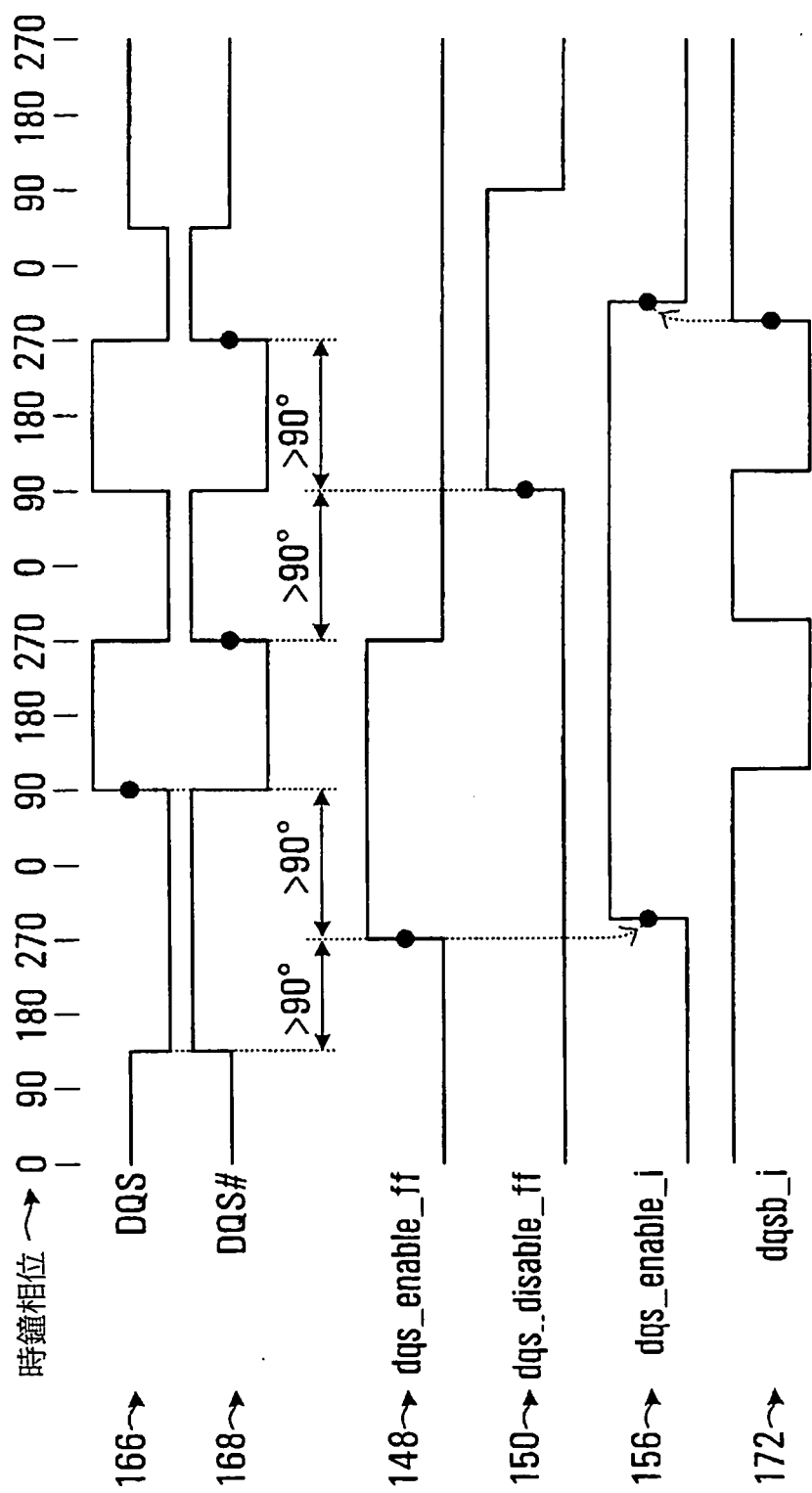


圖 8B

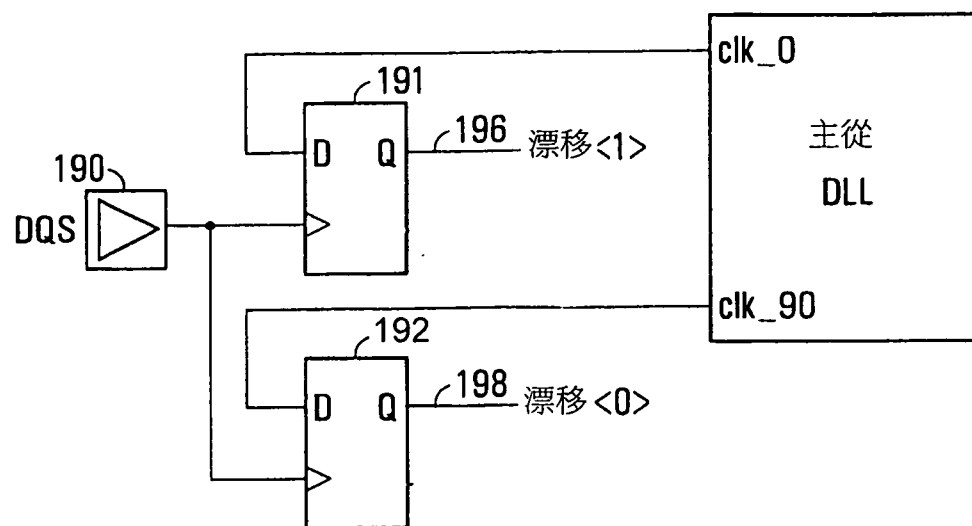


圖 9A

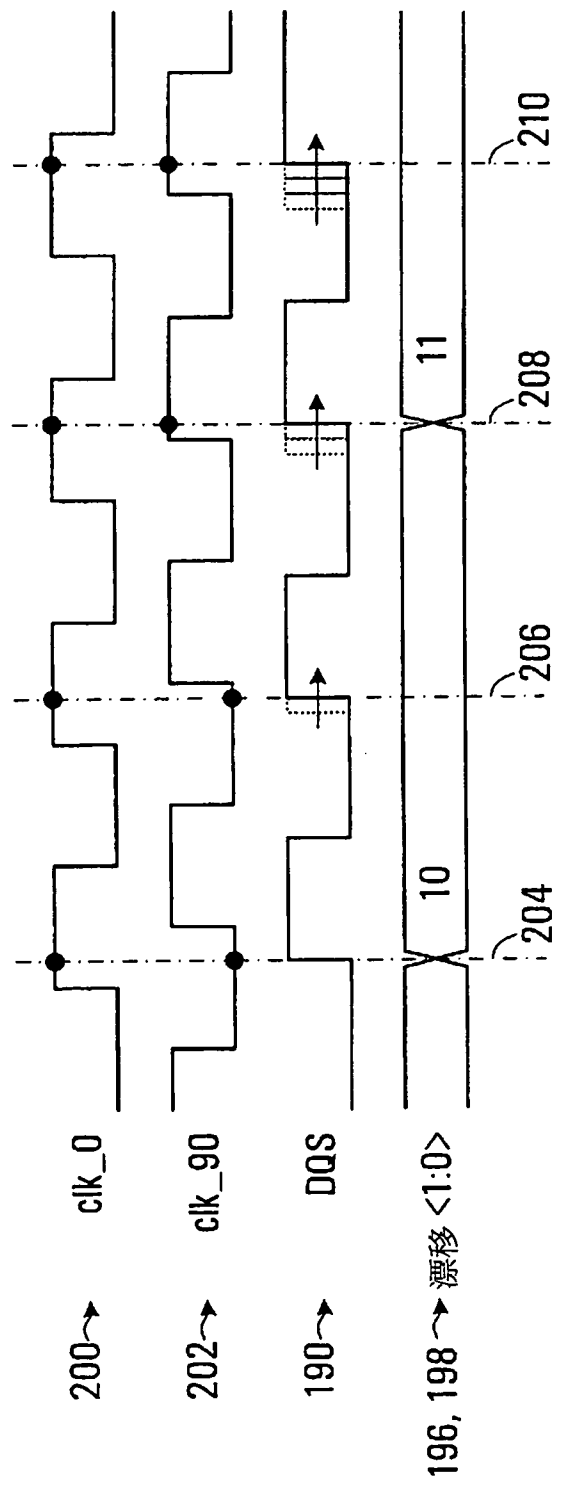


圖 9B