

1. 一种静态随机存取存储器 (SRAM) 的锁存器位单元, 所述锁存器位单元包括:
所述锁存器位单元的写入部分, 所述锁存器位单元的所述写入部分包括
传输门, 所述传输门耦合到输入节点并且在写入字线信号被断言时作出响应以将所述
输入节点上的数据供应到所述锁存器位单元的第一节点;
反相器, 所述反相器耦合到所述第一节点以供应反相数据;
保持器电路, 所述保持器电路耦合到所述反相器并且被配置为在所述写入字线信号被
解除断言时维持所述第一节点上的所述数据; 以及
所述锁存器位单元的读取部分, 所述锁存器位单元的所述读取部分经耦合以接收读取
字线信号并且响应于所述读取字线信号的断言而在所述锁存器位单元的所述读取部分的
输出节点上供应输出数据, 所述输出数据对应于所述第一节点上的所述数据。
2. 根据权利要求1所述的锁存器位单元, 其中所述锁存器位单元的所述读取部分由具
有第一阈值电压的第一晶体管形成, 并且所述锁存器位单元的所述写入部分由具有第二阈
值电压的第二晶体管形成, 所述第二阈值电压高于所述第一阈值电压。
3. 根据权利要求2所述的锁存器位单元, 所述锁存器位单元还包括虚拟晶体管, 所述虚
拟晶体管设置在所述锁存器位单元的所述读取部分与所述锁存器位单元的所述写入部分
之间, 以将具有所述第一阈值电压的所述第一晶体管与具有所述第二阈值电压的所述第
二晶体管隔离。
4. 根据权利要求1至3中任一项所述的锁存器位单元, 其中所述传输门还包括:
第一传输门晶体管, 所述第一传输门晶体管耦合在所述输入节点与所述第一节点之间
并且具有耦合到有效低写入字线信号的栅极节点;
第二传输门晶体管, 所述第二传输门晶体管耦合在所述输入节点与所述第一节点之间
并且具有耦合到写入字线信号的栅极节点; 并且
其中所述写入字线信号包括所述写入字线信号和所述有效低写入字线信号。
5. 根据权利要求1至3中任一项所述的锁存器位单元, 其中所述锁存器位单元的所述读
取部分还包括:
三态驱动电路, 所述三态驱动电路响应于所述读取字线信号被解除断言而在所述输出
节点上提供高阻抗。
6. 根据权利要求1至3中任一项所述的锁存器位单元, 其中所述保持器电路还包括:
第一对晶体管, 所述第一对晶体管包括耦合在相应漏极节点处并且经耦合以在所述第
一对晶体管的相应栅极处接收所述反相数据的第一保持器晶体管和所述第二保持器晶体
管, 所述第一保持器晶体管和所述第二保持器晶体管的所述相应漏极节点耦合到所述第
一节点;
第二对晶体管, 所述第二对晶体管包括第三保持器晶体管和第四保持器晶体管,
其中所述第三保持器晶体管耦合在第一功率源节点与所述第一保持器晶体管之间, 并
且所述第三保持器晶体管经耦合以在所述第三保持器晶体管的栅极处接收写入字线信号;
其中所述第四保持器晶体管耦合在第二功率源节点与所述第二保持器晶体管之间, 并
且所述第四保持器晶体管经耦合以在所述第四保持器晶体管的栅极处接收有效低写入字
线信号; 并且
其中所述写入字线信号包括所述写入字线信号和所述有效低写入字线信号。
7. 根据权利要求6所述的锁存器位单元, 其中所述第三保持器晶体管响应于所述有效

低写入字线信号被解除断言而接通,并且所述第四保持器晶体管响应于所述写入字线信号被解除断言而接通。

8. 根据权利要求1至3中任一项所述的锁存器位单元,其中所述锁存器位单元的所述读取部分还包括:

第一读取晶体管、第二读取晶体管、第三读取晶体管和第四读取晶体管;

其中所述第一读取晶体管耦合在第一功率源节点与所述第二读取晶体管之间,并且所述第一读取晶体管的栅极耦合到所述反相数据;

其中所述第二读取晶体管耦合在所述第一读取晶体管与所述输出节点之间;

其中所述第三读取晶体管耦合在所述输出节点与所述第四读取晶体管之间;并且

其中所述第四读取晶体管耦合在第二功率源节点与所述第三读取晶体管之间,并且所述第四读取晶体管的栅极耦合到所述反相数据。

9. 根据权利要求8所述的锁存器位单元,

其中所述第二读取晶体管的栅极经耦合以接收有效低读取字线信号,并且所述第二读取晶体管响应于所述有效低读取字线信号被解除断言而关断;

其中所述第三读取晶体管的栅极经耦合以接收所述读取字线信号,并且所述第三读取晶体管响应于所述读取字线信号被解除断言而关断;并且

其中所述读取字线包括所述读取字线信号和所述有效低读取字线信号。

10. 根据权利要求9所述的锁存器位单元,

其中所述第二读取晶体管 and 所述第三读取晶体管关断在所述输出节点上引起高阻抗。

11. 一种方法,所述方法包括:

响应于写入字线信号被断言而在SRAM的锁存器位单元上执行写入操作,所述写入操作包括

在传输门电路处接收要写入所述锁存器位单元的写入部分中的数据;

响应于所述写入字线信号被断言而通过所述传输门电路将所述数据供应到所述锁存器位单元中的第一节点;

在反相器中对所述第一节点上的所述数据进行反相并且提供反相数据;

将所述反相器数据供应到保持器电路;

当所述写入字线信号被解除断言时,使用所述保持器电路来维持所述第一节点上的所述数据;以及

响应于读取字线信号被断言而在所述锁存器位单元上执行读取操作,所述读取操作包括

在所述锁存器位单元的读取部分处接收所述读取字线信号,并且响应于所述读取字线信号的断言而将读取数据供应到所述读取部分的输出节点,所述读取数据对应于在所述第一节点上维持的所述数据。

12. 根据权利要求11所述的方法,所述方法还包括:

响应于所述读取字线信号被解除断言而在所述输出节点上提供高阻抗。

13. 根据权利要求11所述的方法,所述方法还包括:

使用具有第一阈值电压的晶体管来操作所述锁存器位单元的所述读取部分;以及

使用具有第二阈值电压的晶体管来操作所述锁存器位单元的所述写入部分,所述第二

阈值电压高于所述第一阈值电压。

14. 根据权利要求11至13中任一项所述的方法, 其中使用所述保持器电路来维持所述第一节点上的所述数据还包括:

在第一保持器晶体管和第二保持器晶体管的相应栅极处接收所述反相数据;

在耦合在第一功率源节点(VDD)与所述第一保持器晶体管之间的第三保持器晶体管的栅极处接收写入字线信号;

在耦合在第二功率源节点与所述第二保持器晶体管之间的第四保持器晶体管的栅极处接收有效低写入字线信号; 并且

其中所述写入字线信号包括所述写入字线信号和所述有效低写入字线信号。

15. 根据权利要求14所述的方法, 所述方法还包括:

响应于所述写入字线信号被解除断言而接通所述第三保持器晶体管, 从而响应于所述反相数据为低而通过所述第一保持器晶体管将所述第一功率源节点耦合到所述第一节点; 以及

响应于所述有效低写入字线信号被解除断言而接通所述第四保持器晶体管, 从而响应于所述反相数据为高而通过所述第二保持器晶体管将所述第二功率源节点耦合到所述第一节点。

16. 根据权利要求14所述的方法, 其中执行所述读取操作还包括:

在第一读取晶体管的栅极处接收所述反相数据;

在第二读取晶体管的栅极处接收有效低读取字线信号, 所述读取字线信号包括所述读取字线信号和所述有效低读取字线信号;

在第三读取晶体管的栅极处接收读取字线信号;

在第四读取晶体管的栅极处接收所述反相数据;

响应于所述反相数据为低并且所述有效低读取字线信号被断言, 通过所述第一读取晶体管和所述第二读取晶体管将所述输出节点耦合到第一功率源节点;

响应于所述反相数据为高并且所述读取字线信号被解除断言, 通过所述第三读取晶体管和所述第四读取晶体管将所述输出节点耦合到第二功率源节点; 以及

响应于所述读取字线信号被解除断言而关断所述第二读取晶体管和所述第三读取晶体管以在所述输出节点上引起高阻抗。

17. 一种静态随机存取存储器(SRAM), 所述SRAM包括:

第一锁存器位单元, 所述第一锁存器位单元具有写入部分和读取部分;

其中所述第一锁存器位单元的所述写入部分包括

传输门, 所述传输门耦合到输入节点并且在写入字线(WWL)信号和有效低写入字线(WWLX)信号被断言时作出响应以将所述输入节点上的数据供应到所述第一锁存器位单元的第一节点;

反相器, 所述反相器耦合到所述第一节点以供应反相数据;

保持器电路, 所述保持器电路耦合到所述反相器并且被配置为在所述WWL信号和所述WWLX信号被解除断言时维持所述第一节点上的所述数据, 并且所述保持器电路响应于所述WWL信号和所述WWLX信号被断言而被禁用;

其中所述第一锁存器位单元的所述读取部分耦合到所述反相数据并且经耦合以接收

读取字线 (RWL) 信号和有效低读取字线 (RWLX) 信号,并且响应于所述RWL信号和所述RWLX信号的断言而在所述读取部分的输出节点上供应输出数据;并且

其中所述第一锁存器位单元的所述读取部分响应于所述RWL信号和所述RWLX信号被解除断言而致使所述输出节点为高阻抗。

18. 根据权利要求17所述的SRAM,所述SRAM还包括:

耦合到所述输出节点的读取数据线;

除所述第一锁存器位单元之外的多个附加锁存器位单元,所述多个附加锁存器位单元具有耦合到所述读取数据线的相应输出节点;并且

其中当供应到所述第一锁存器位单元的所述RWL信号和所述RWLX信号被断言时,所述多个附加锁存器位单元将其输出节点设置为高阻抗。

19. 根据权利要求18所述的SRAM,所述SRAM还包括:

耦合到所述附加锁存器位单元中的相应附加锁存器位单元的多个附加RWL和RWLX信号对;并且

其中当所述RWL信号和所述RWLX信号被解除断言时,所述附加RWL和RWLX信号对中的一个但仅一个信号对保持被断言。

锁存器位单元

背景技术

[0001] 本申请涉及SRAM和SRAM位单元。SRAM传统上使用6T或8T位单元。因为SRAM通常包括大量位单元,所以确保SRAM位单元面积利用的效率对于减少SRAM在所利用的硅面积方面的成本而言是重要的。

[0002] 期望改进SRAM单元的密度以降低面积成本。

发明内容

[0003] 因此,在一个实施方案中,SRAM的位单元包括写入部分和读取部分。位单元的写入部分包括耦合到输入节点的传输门,并且传输门在写入字线信号被断言时将输入节点上的数据供应到位单元的第一节点。反相器耦合到该第一节点并且供应反相数据。保持器电路耦合到反相器并且在写入字线信号被解除断言时维持第一节点上的数据。位单元的读取部分接收读取字线信号并且响应于读取字线信号的断言而在位单元的读取部分的输出节点上供应输出数据,该输出数据对应于第一节点上的数据。

[0004] 在另一个实施方案中,一种方法包括响应于写入字线信号被断言而在SRAM的位单元上执行写入操作。写入操作包括在传输门电路处接收要写入位单元的写入部分中的数据。传输门响应于写入字线信号被断言而将数据供应到锁存器位单元中的第一节点。在反相器中对第一节点上的数据进行反相,该反相器提供反相数据。反相数据被供应到保持器电路。当写入字线信号被解除断言时,使用保持器电路来维持第一节点上的数据。该方法还包括响应于读取字线信号被断言而在位单元上执行读取操作。读取操作包括在位单元的读取部分处接收读取字线信号,并且响应于读取字线信号的断言而将读取数据供应到读取部分的输出节点,该读取数据对应于在第一节点上维持的数据。

[0005] 在另一个实施方案中,静态随机存取存储器(SRAM)包括具有写入部分和读取部分的第一单元。第一位单元的写入部分包括耦合到输入节点的传输门,该传输门在写入字线(WWL)信号和有效低写入字线(WWLX)信号被断言时作出响应以将输入节点上的数据供应到第一锁存器位单元的第一节点。反相器耦合到第一节点以供应反相数据。保持器电路耦合到反相数据并且被配置为在WWL信号和WWLX信号被解除断言时维持第一节点上的数据,并且保持器电路响应于WWL信号和WWLX信号被断言而被禁用。第一位单元的读取部分经耦合以接收反相数据并且经耦合以接收读取字线(RWL)信号和有效低读取字线(RWLX)信号,并且响应于RWL信号和RWLX信号的断言而在读取部分的输出节点上供应输出数据。第一位单元的读取部分响应于RWL信号RWLX信号被解除断言而致使输出节点为高阻抗。

附图说明

[0006] 通过参考附图,本发明可以被更好地理解,并且其许多对象、特征和优点对于本领域技术人员是显而易见的。

[0007] 图1示出了根据实施方案的锁存器位单元的实施方案。

[0008] 图2示出了锁存器位单元的示例性布局。

- [0009] 图3示出了可如何在锁存器位单元的读取部分和写入部分中使用不同的阈值电压。
- [0010] 图4示出了32个锁存器位单元的列。
- [0011] 图5示出了各自具有64行锁存器位单元的两列的高级框图。
- [0012] 图6示出了经写入掩码的锁存器位单元的实施方案。
- [0013] 图7示出了经写入掩码的锁存器位单元的布局。
- [0014] 图8示出了经写入掩码的锁存器位单元的另一个实施方案。
- [0015] 图9示出了生成WRZERO或WRONEX脉冲的脉冲发生器的实施方案。
- [0016] 图10示出了图8的经写入掩码的锁存器位单元的布局。
- [0017] 图11示出了由图1的锁存器位单元形成的列的实施方案。
- [0018] 图12A示出了每个晶体管指状物具有两个翅片的传统标准单元架构。
- [0019] 图12B示出了每个晶体管指状物具有两个翅片和每个晶体管指状物具有一个翅片的交替单元的混合标准单元架构。
- [0020] 图12C示出了每个晶体管指状物具有一个翅片和每个晶体管指状物具有两个翅片的翅片式场效应晶体管的高级框图。
- [0021] 图13示出了利用混合标准单元库的锁存器位单元阵列的实施方案。
- [0022] 图14示出了利用混合标准单元库的锁存器位单元阵列的实施方案,其提供比图13的实施方案更平衡的性能。
- [0023] 图15示出了锁存器位单元阵列的实施方案的高级框图。
- [0024] 图16示出了使用经掩码写入的位单元的锁存器位单元阵列的实施方案的高级框图。
- [0025] 在不同附图中使用相同的附图标记表示类似或相同的项目。

具体实施方式

[0026] 在较新的技术节点中,八晶体管(8T)静态随机存取存储器(SRAM)阵列在面积方面并未良好地缩放。然而,用标准单元设计规则构建的电路在较新的技术节点中继续相对良好地缩放。用标准单元设计规则构建SRAM阵列允许使用较小的面积,即使存在更多晶体管。图1示出了实现为具有单独的读取端口和写入端口的锁存器位单元100的SRAM位单元。需注意,与8T SRAM位单元的8个晶体管相比,锁存器位单元100每位使用12个晶体管,但在某些制造技术中由于使用标准单元设计规则而仍使用较少的面积。锁存器型位单元与经典6T/8T SRAM位单元之间的显著差异是锁存器位单元在写入期间禁用反馈。相比之下,在6T/8T位单元中,传输门必须对抗上拉以执行写入。锁存器位单元在写入期间不具有此类争用。

[0027] 使用标准单元设计规则实现的图1的方法意味着使用定制SRAM宏所要求的开销消失,从而减小面积。例如,使用标准单元布局规则允许0接触聚间距(CPP)(晶体管之间在水平方向上的距离)邻接到标准单元逻辑中。更传统的SRAM方法具有光刻目的所需的边界单元和边缘单元。由于标准单元设计规则良好地缩放,因此基于锁存器位单元100和标准单元设计规则来实现SRAM单元允许SRAM设计在未来与标准架构类似地在面积上缩放。

[0028] 图1中示出的锁存器位单元将通常存在于锁存器中的局部反相器分摊到更多单元上。图1中示出的锁存器位单元移除传统上将在到锁存器中的输入上使用的局部反相器,这

些输入包括写入位线 (WBL)、写入字线 (WWL)、有效低写入字线 (WWLX)、读取字线 (RWL) 和有效低读取字线 (RWLX)。在更传统的锁存器阵列中,在锁存器之间使用CMOS组合级。锁存器位单元100将三态输出用于RBL 101。锁存器位单元使用三态驱动器允许使用三态输出驱动器将若干单元 (例如,16个) 的输出 (读取位线) 组合在一起以避免输出数据的任何附加组合级 (诸如NOR/NANDing)。

[0029] 图2示出了在水平方向上示出7个晶体管的锁存器位单元100的条形布局。方框示出了晶体管的源极/漏极连接。晶体管的栅极区域被示出为垂直线,具有与图1中的晶体管相同的标记。长垂直线201指示共享栅极连接,例如,通过晶体管PFB0和NFB0以及晶体管PINV和NINV。在方框中存在空白的情况下,存在图1中未命名的节点,但任何未识别的源极/漏极连接以及栅极连接可在图1中容易地看到。该布局包括虚拟单元 (DUM) 晶体管。虚拟晶体管是形成但未连接的晶体管。使用虚拟晶体管提供了在其它晶体管之间提供隔离的有效方式。使用虚拟晶体管还提供了能够在阈值电压 (V_t) 方面改变所使用的晶体管的类型的优点。在实施方案中,锁存器的写入部分 (晶体管PPG、NPG、PINV、NINV、NFB1、NFB0、PFB0和PFB1) 不需要高性能,但锁存器的读取部分 (晶体管PRP1、PRP0、NRP0和NRP1) 需要高性能。需注意,晶体管名称的首字母是指晶体管的类型 (N或P),并且剩余的字母是指其功能 (PG:传输门、INV:反相器、FB:反馈、RP:读取端口)

[0030] 参考图3,其允许使用较低 V_t (诸如超低 V_t ($u1vt$)) 晶体管来实现包括晶体管PRP0、PRP1、NRP0和NRP1的锁存器位单元100的读取部分301,从而提供所要求的高性能,而用较高阈值电压晶体管 (诸如低 V_t ($1vt$) 晶体管) 来实现图3中的虚拟晶体管左侧上的锁存器位单元100的写入部分303。较高 V_t 晶体管提供较低性能,但也引起较少泄漏,并且仅在性能需要的情况下利用较低 V_t 晶体管。因此,布局选项允许在具有不同性能要求的读取端口和写入端口上利用不同的阈值电压,从而与必须使用所有器件中的较低 V_t 器件来满足位单元的仅一部分的性能要求相比,允许泄漏电流减小。读取端口和写入端口中的晶体管共享相邻单元之间的扩散,其中与未优化设计相比,xtor (晶体管) 负载可能减半。

[0031] 重新参考图1,现在将描述锁存器位单元100的操作。将要写入到写入位线WBL 102上的单元的数据 (本文中也称为写入数据 (WD)) 供应到由晶体管NPG和PPG形成的传输门103。栅极或那些晶体管分别耦合到写入字线 (WWL) 和写入字线X (WWLX),其中“X”表示信号为有效低。当WWL和WWLX被断言时,WBL上的数据作为数据“D”被传递到由晶体管PINV和NINV形成的反相器104中。当WWL和WWLX被断言时,晶体管NFB1和PFB1关断。位锁存器单元100的反馈部分中的NFB0和PFB0的栅极接收来自反相器的输出D_X (“D”的反相值)。锁存器的读取部分106中的PRP1和NRP1的栅极也接收D_X。当WWL和WWLX被解除断言时,传输门103关断并且晶体管NFB1和PFB1接通,从而允许D_X接通晶体管NFB0或PFB0中的一者以供应“D”作为反馈信号。晶体管NFB1、NFB0、PFB0和PFB1充当保持器电路108,并且连同由晶体管PINV和NINV形成的反相器一起确保当WWL和WWLX被解除断言时维持节点D上的数据。以此方式,D的值维持在锁存器位单元100的写入部分中并且在锁存器被读取时可用。在锁存器位单元100中,PMOS晶体管PINV、PFB1和PRP1在其源极处耦合到供应电压 (V_{DD})。NMOS晶体管NINV、NFB1和NRP1在其源极处耦合到第二供应电压 (接地)。

[0032] 为了读取锁存器位单元,读取字线 (RWL) 和RWLX断言分别接通NRP0和PRP0。记住,“X”指示有效低信号。RWL和RWLX的断言允许D_X的值确定输出信号读取位线 (RBL) 101的值,

其在本文中也称为读取数据(RD)。当RWL和RWLX被解除断言时,RBL被设定为高阻抗以允许其它SRAM单元在其它SRAM单元被选择读取时驱动RBL。

[0033] 图4示出了其中一组32个锁存器位单元形成在两组锁存器位单元(位<31:16>和位<15:0>)中的实施方案。每组锁存器位单元将位供应到多路复用器401,其从位<31:16>选择位或从位<15:0>选择位并且将所选择的位供应在rdData 403上。在图4的实施方案中,锁存器位单元的读取侧上的三态驱动器允许16位(一次仅一位有效)驱动供应到多路复用器401的相同RBL。因此,在每个分组[31:16]和[15:0]中一次接通仅一个RWL/RWLX,以确保多个锁存器位单元不同时驱动RBL,否则将引起高电流情况。另外重要的是确保RWL/RWLX信号中的一者为有效的,从而致使位单元中的一个位单元将高或低逻辑电平驱动到RBL上。所有RWL/RWLX对被解除断言将在RBL上导致浮动节点,这可在接收VDD与VSS之间的中间信号的下游CMOS栅极中引起高电流汲取。

[0034] 图5示出了具有64行位单元和两列,并且多路复用器501从64行和两列选择一个位的实施方案的框图。虽然为了便于说明而未在图5中示出,但图5所示的实施方案也需要写入列多路复用器功能。实现这一点的一种方式是将WWL/WWLX对供应到偶数物理列并且将另一WWL/WWLX对供应到奇数物理列。以此方式,每隔一个单元可以被写入。实现写入多路复用器功能的另一方式是使用如本文进一步描述的写入掩码。

[0035] 在写入操作期间,当特定字线的字线被断言时,字线中的所有位可改变状态。与改变字线中的所有位的状态不同,仅对字线的所选择的单元进行写入可以是有利的,这有助于使写入操作更有效。因此,在图6中示出的另一个实施方案中,锁存器位单元600包括写入掩码。写入掩码利用信号写入一X(WRONEX)和写入零(WRZERO),其中“X”表示信号为有效低。写入掩码电路由晶体管PWD 601和NWD 603形成,其中WD代表写入数据。当WRONEX被断言(有效低)时,通过晶体管PWD将写入数据(WD)节点拉高,并且当WRZERO被断言时,通过晶体管NWD将WD节点拉低。写入掩码允许断言用于一行单元的写入字线而不改变单元中的所有单元中的状态。例如,可通过断言字线并且使用写入掩码来确保仅那些所关注单元被写入,从而改变字线上的仅一个字节或几个位。除了用于确定WD的值的晶体管PWD和NWD之外,经写入掩码的锁存器位单元600还包括在保持器电路605中使用的晶体管NFB2和PFB2。那些晶体管用于确保保持器电路的反馈功能继续工作,因此即使在WWL和WWLX被断言时,锁存器位单元也维持状态。如果WWLX被断言,则NFB1关断,并且如果WWL被断言,则PFB1关断。晶体管NFB2和PFB2确保如果位具有实际上阻断锁存器位单元的写入的写入掩码,那么当WWL和WWLX被断言时,保持器电路保持以来自NFB0与PFB0之间的节点的正确值驱动“D”。需注意,当WRONEX和WRZERO被解除断言时,WD将浮动。通过将PWD和NWD晶体管结合到位单元本身中,中间节点WD上的电容保持足够低以避免当WWL/WWLX被断言时的单元稳定性问题。在图6中标记了保持器栈(KSTK)节点PKSTK 602和NKSTK 604。

[0036] 图7示出了图6所示的经写入掩码的锁存器位单元600的布局的简化图。需注意,与图2所示的布局相比,图6的解决方案将单元的尺寸增加了四个晶体管,并且包括额外的虚拟单元。因此,与图1所示的锁存器位单元100的图2的布局(7CPP)相比,经写入掩码的锁存器位单元600(图6)示出了3CPP增加到10CPP。

[0037] 图8示出了与图6的经写入掩码的锁存器位单元600相比,经写入掩码的锁存器位单元800的更有效的实施方案。需注意,耦合到经写入掩码的锁存器位单元600中的保持器

栈节点的额外晶体管NFB2和PFB2替换经写入掩码的锁存器位单元800中的NFB1和PFB1。当WWL和WWLX被断言时(见图1和图6),经写入掩码的锁存器位单元800不通过关断NFB1和PFB1来禁用保持器电路805,相反,经写入掩码的锁存器位单元800仅响应于WRONEX或WRZERO被断言而禁用保持器。这确保了在锁存器位单元800被掩码的情形下,锁存器位单元800保持状态。需注意,WWL和WWLX仅耦合到经写入掩码的锁存器位单元800中的传输门晶体管PPG和NPG。当WRONEX被断言(有效低)时,晶体管NFB2关断,并且当WRZERO被断言时,晶体管PFB2关断。假设WWLX和WWL被断言,当WRONEX被断言时,节点WD变高并且节点D变高,并且当WRZERO被断言(有效低)时,节点WD变低并且节点D变低。当相应掩码线(WRONEX和WRZERO)被解除断言时,NFB2和PFB2两者均接通并且保持器电路根据由晶体管PINV和NINV形成的反相器提供的D_X的值来维持节点D的值。D_X接通晶体管NFB0以维持节点D的低值或接通PFB0以维持节点D的高值。写入掩码电路由晶体管PWD 801和NWD 803形成,并且类似于图6所示的实施方案。由晶体管PRP1、PRP0、NRP0和NRP1形成的经写入掩码的锁存器位单元800的读取侧分别与图1和图6所示的先前锁存器位单元实施方案100和600中的相同。

[0038] 每当WRONEX或WRZERO被断言时,耦合到WRONEX和WRZERO的列中的每个位单元将使其保持器电路禁用,因为断言WRONEX关断NFB2,从而防止D_X通过NFB0和NFB2被拉到VSS,并且断言WRZERO关断PFB2,从而防止D_X通过PFB0和PFB2被拉到BDD。因此,节点D将响应于WRONEX或WRZERO的断言而浮动。如果WRONEX或WRZERO的断言足够长,那么沿着列的单元可改变状态,因为保持器电路的至少一部分由于NFB1或PFB1被WRONEX或WRZERO的断言禁用而断开。因此,WRONEX和WRZERO应当被断言为脉冲写入。因此,那些信号应当被断言为几个反相器延迟长(例如,50ps)的自定时脉冲。可使用例如9个反相器来生成脉冲。反相器的数量取决于所使用的技术。图9示出了脉冲电路901用于WRZERO和脉冲电路903用于WRONEX的实施方案。需注意,在图9所示的脉冲电路中的每个脉冲电路中使用奇数个反相器。在图9中,假设到逻辑门的输入(写入零和写入一)为有效高。为WRONEX和WRZERO提供合适的脉冲宽度的许多其它脉冲发生器电路是本领域技术人员已知的。脉冲应当足够长以写入一个单元,但又足够短以使得沿着列的其它单元不会由于节点D在脉冲期间浮动而丢失状态,并且因此与图6所示的经写入掩码的锁存器位单元相比,对于附加写入掩码能力存在相对小的面积损失。

[0039] 图10示出了图8的电路的示例性布局。需注意,锁存器位单元800需要仅一个虚拟晶体管。图10所示的锁存器位单元800的布局与图2所示的基线锁存器位单元100相比具有仅一个额外CPP。

[0040] 图11示出了形成在单个标准单元行中的图1所示的锁存器的锁存器阵列。需注意,术语“单个标准单元行”是指集成电路的物理行而不是SRAM的逻辑行。在具有非混合标准单元库规则的标准设计中,所有器件通常具有相同数量的翅片。在传统的标准单元架构中,所有行的器件具有相同的高度。在翅片式场效应晶体管的领域中,这通常也意味着每个指状物具有相同数量的翅片。图12A示出了每个指状物具有2个翅片的PFET和NFET的传统标准单元架构。每个标准单元在行中是一致的且具有P和N晶体管。

[0041] 混合标准单元架构利用交替的高性能标准单元行和高密度(但较低性能)标准单元行。例如,在一个实施方案中,这意味着高性能单元的每个晶体管指状物具有两个翅片,并且较低性能单元的每个晶体管指状物具有一个翅片。如图12B所示,这导致交替的较高和

较短单元行以及较短行。混合标准单元架构的优点是较小的面积和降低的功率,但是与较大的两翅片单元相比,较短的单元高度导致降低的性能。图12C示出了示例性的每个晶体管指状物器件1201一个翅片和每个晶体管指状物器件1203两个翅片。

[0042] 图13示出了从传统标准单元库转变到混合标准单元库方法以构建标准单元锁存器阵列可导致相邻位之间的不平衡性能。例如,列1301中的位单元由“快”标准单元形成,例如,每个指状物具有两个翅片。在例示的实施方案中,逻辑SRAM列1301处于混合行架构的物理快行中。列1303中的位单元为例如每个指状物具有一个翅片的“慢”单元。因此,从列1301中的位单元中的一个位单元读取Rddata[1]1302比从列1302读取Rddata[0]1304发生得更快。因此,相邻位以不同定时(一个快一个慢)被读取,这是不期望的。

[0043] 为了在快单元与慢单元之间提供更平衡的性能,图14所示的实施方案使用来自一列的一组位单元,例如列1401(快物理行)或1403(慢物理行)中的位单元,但使用来自另一行的多路复用器电路。例如,慢多路复用器1407从32个快位单元选择一个位。32个快位单元是快位单元1404(位<15:0>,仅示出其中之一)和快位单元1406(位<31:16>,仅示出其中之一)。快多路复用器1415从32个慢位单元选择一个位。32个慢位单元是慢位单元1409(位<15:0>,仅示出其中之一)和慢位单元1411(位<31:16>,仅示出其中之一)。相似地,快位单元1421和1423使用慢多路复用器1425,而慢位单元1427和1429使用快多路复用器1431。由快多路复用器1435供应的读取数据(Rddata[1])具有快多路复用器(2翅片)但具有慢位单元(1翅片),并且读取数据(Rddata[0])具有慢多路复用器(1翅片)但具有快位单元(2翅片)。因此,一个逻辑SRAM列具有快位单元和慢多路复用器级,而相邻的SRAM逻辑列具有慢位单元和快多路复用器级。与每隔一个位具有显著不同的定时:快和慢的阵列相比,这提供了改进的性能平衡。

[0044] 图15示出了位单元阵列的较高级框图。虽然图14示出了图1的锁存器位单元用作列1401和1403中的位单元,但在其它实施方案中,可使用其它位单元。图16示出了其中利用图6的经掩码写入的锁存器位单元600或图8的经掩码写入锁存器位单元800的实施方案。图16示出了分配到位单元的掩码信号WRONEX和WRZERO信号。

[0045] 因此,已描述密集SRAM位单元。本文所阐述的对本发明的描述是例示性的,并不旨在限制以下权利要求书中所阐述的本发明的范围。在不脱离以下权利要求书中所阐述的本发明的范围的情况下,可基于本文所阐述的描述对本文所公开的实施方案作出变型和修改。

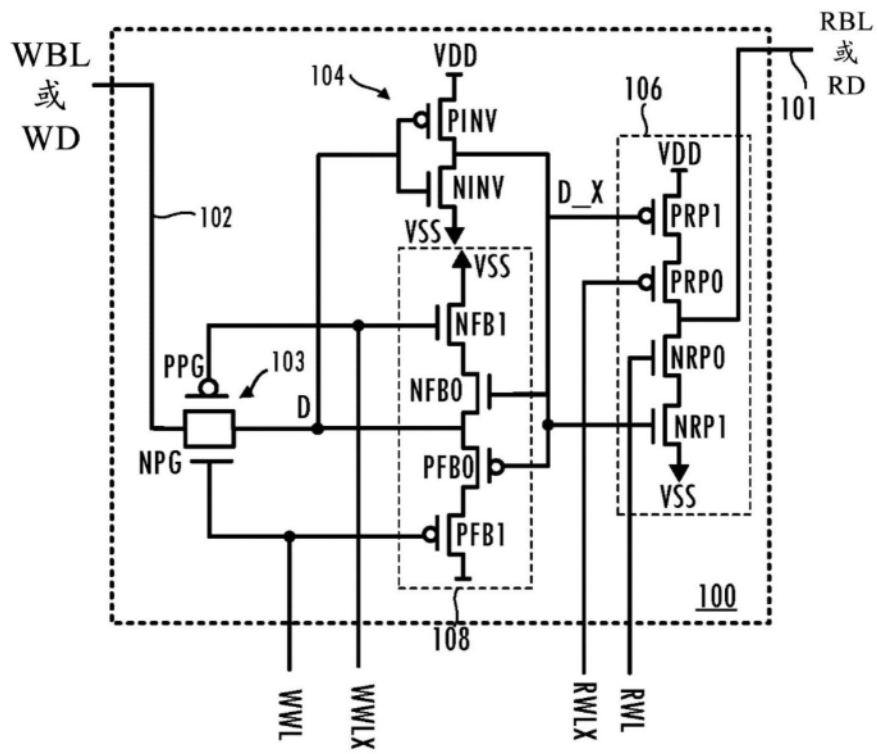


图1

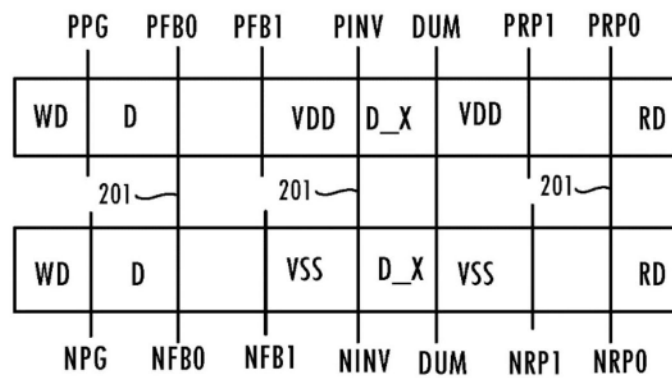


图2

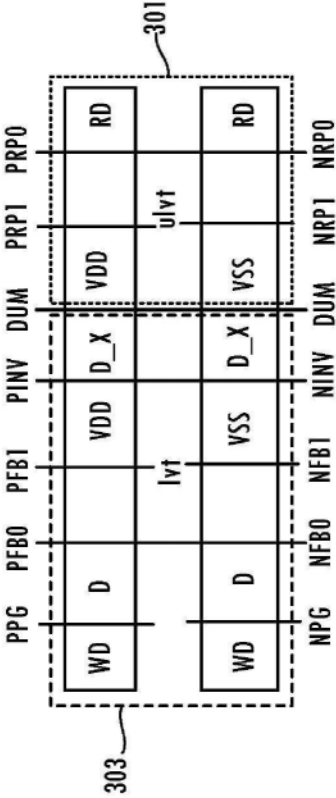


图3

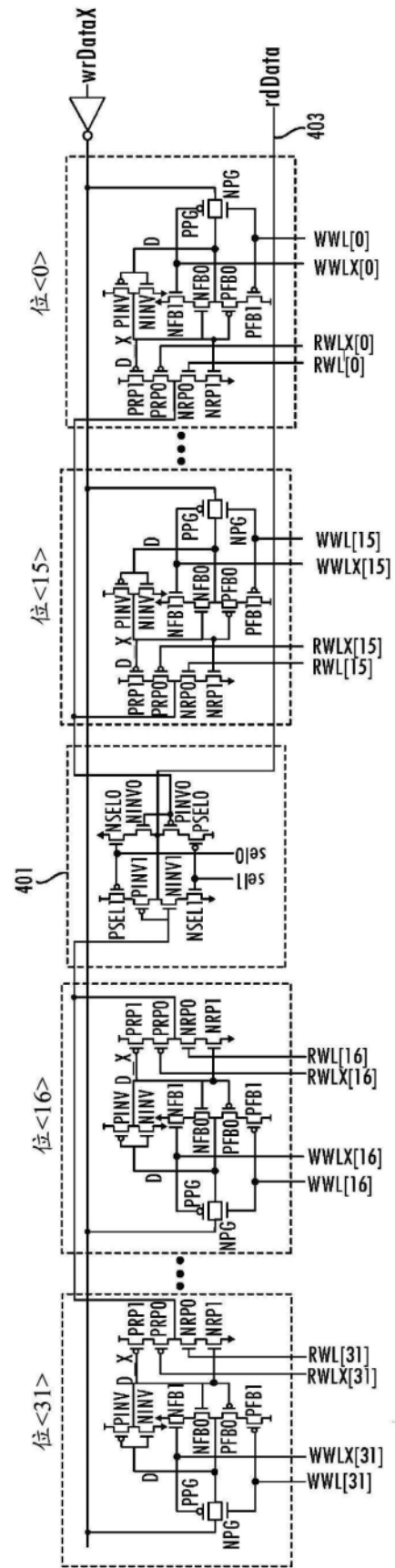


图4

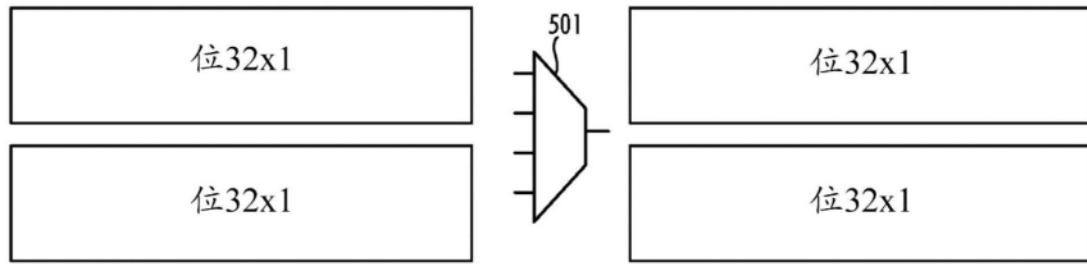


图5

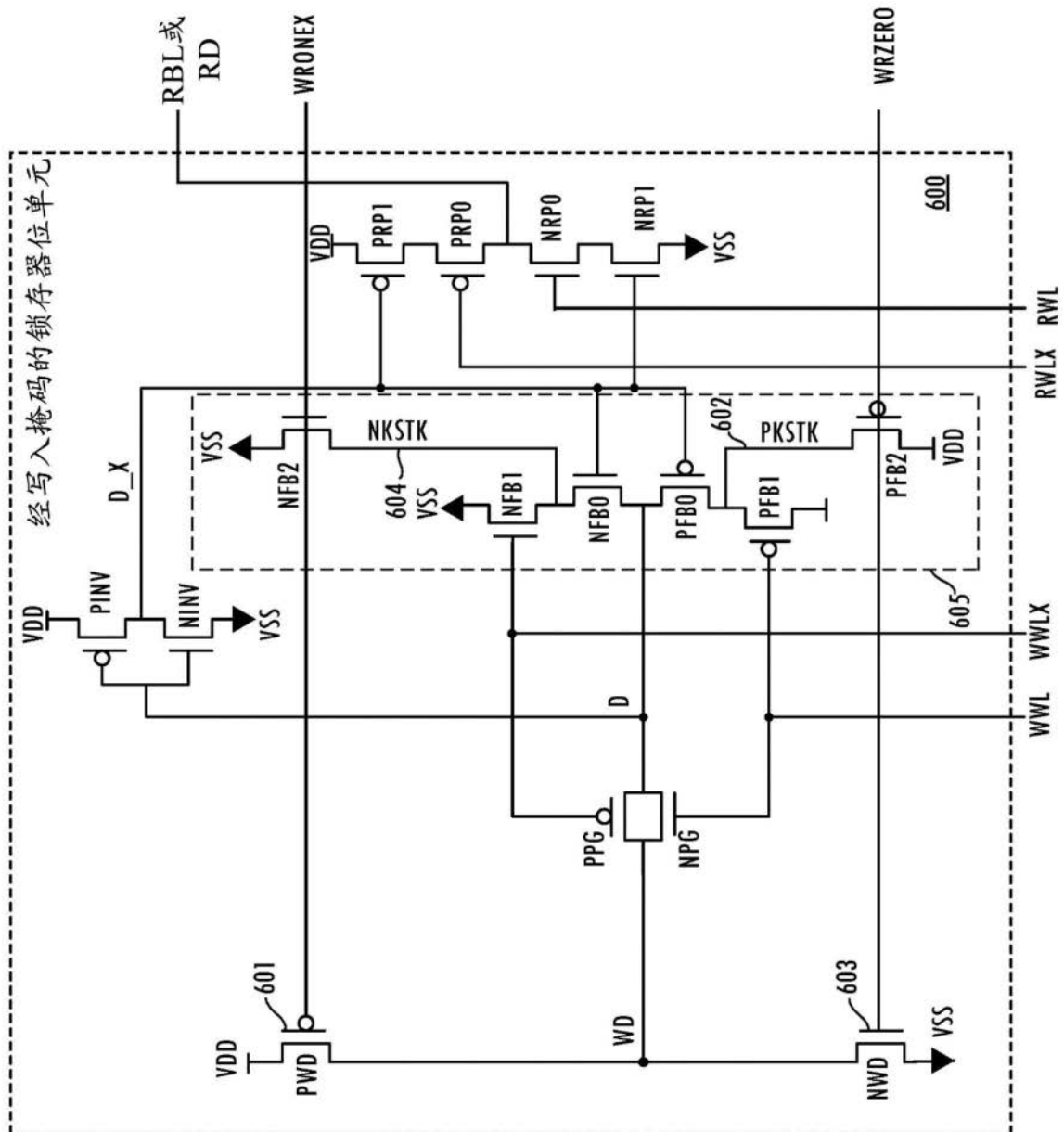


图6

DUM	PFB2	PWD	PPG	PFB0	PFB1	PINV	DUM	PRP1	PRP0
PKSTK	VDD	WD	D	PKSTK	VDD	D_X	VDD		RD
DUM	NFB2	NWD	NPG	NFB0	NFB1	NINV	DUM	NRP1	NRP0
NKSTK	VSS	WD	D	NKSTK	VSS	D_X	VSS		RD

图7

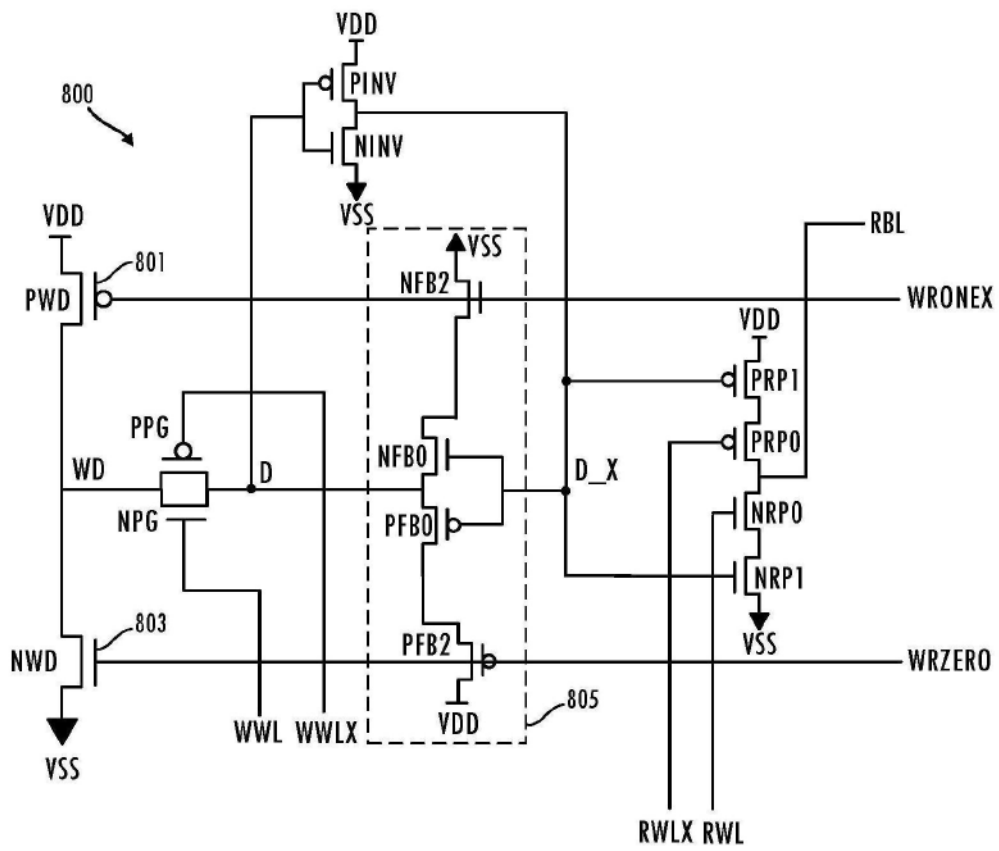


图8

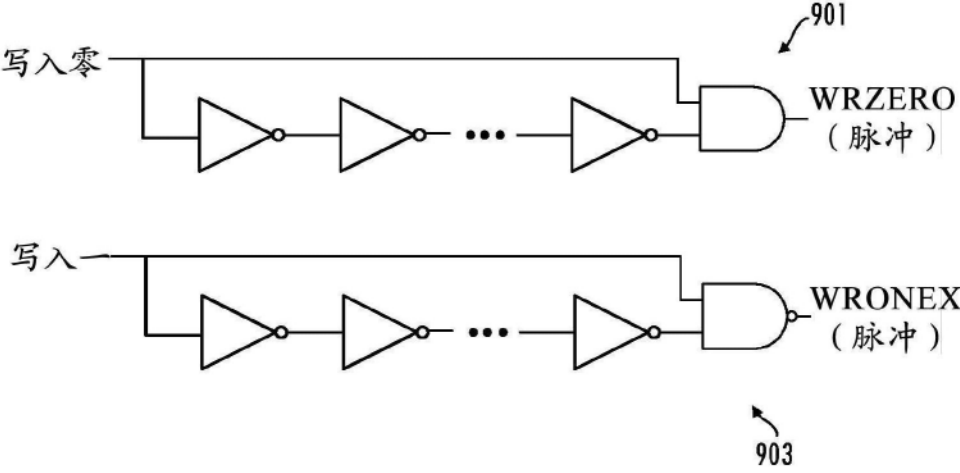


图9

PWD	PPG	PFBO	PFB1	PINV	DUM	PRP1	PRP0
VDD	WD	D		VDD	D_X	VDD	RD
VSS	WD	D		VSS	D_X	VSS	RD
NWD	NPG	NFBO	NFB1	NINV	DUM	NRP1	NRP0

图10

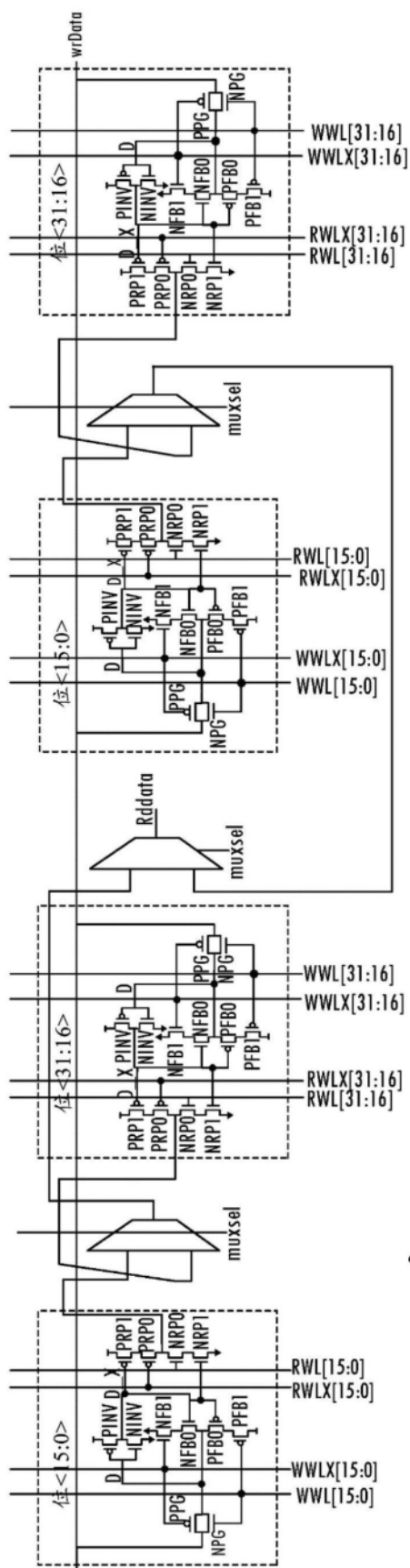


图 11

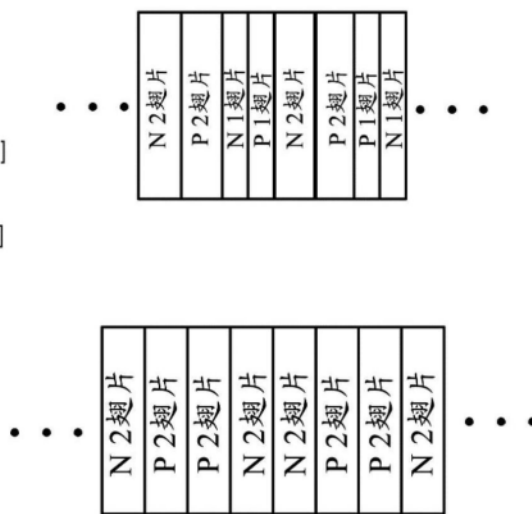


图 12A

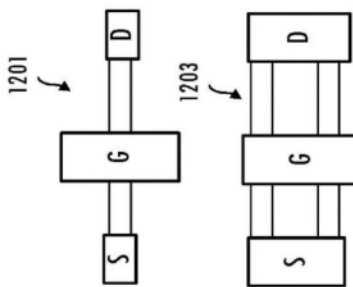


图 12B

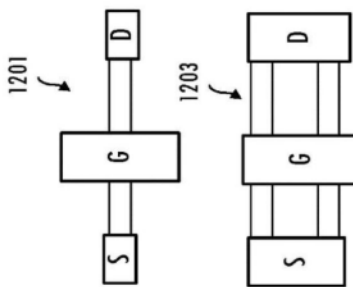


图 12C

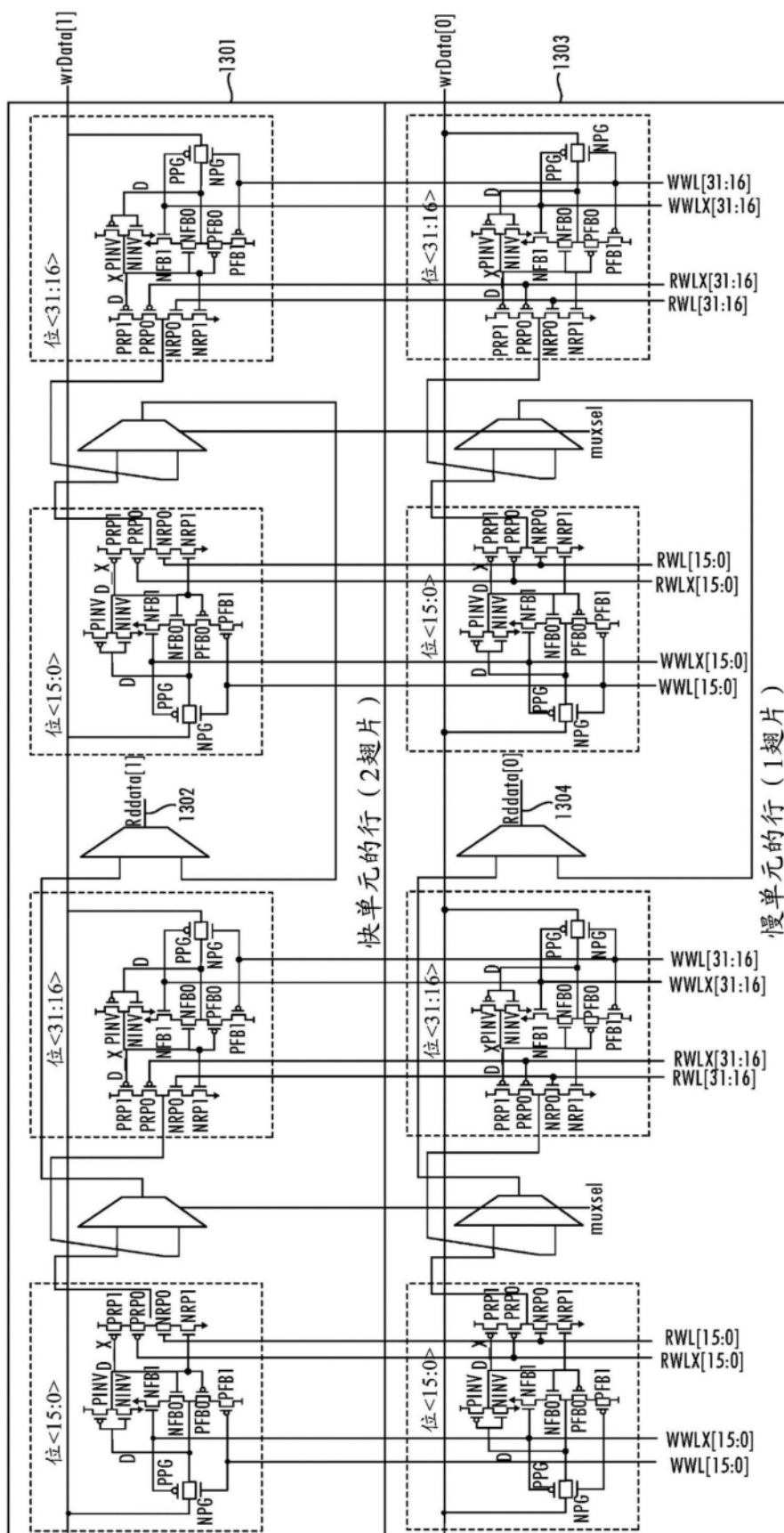


图13

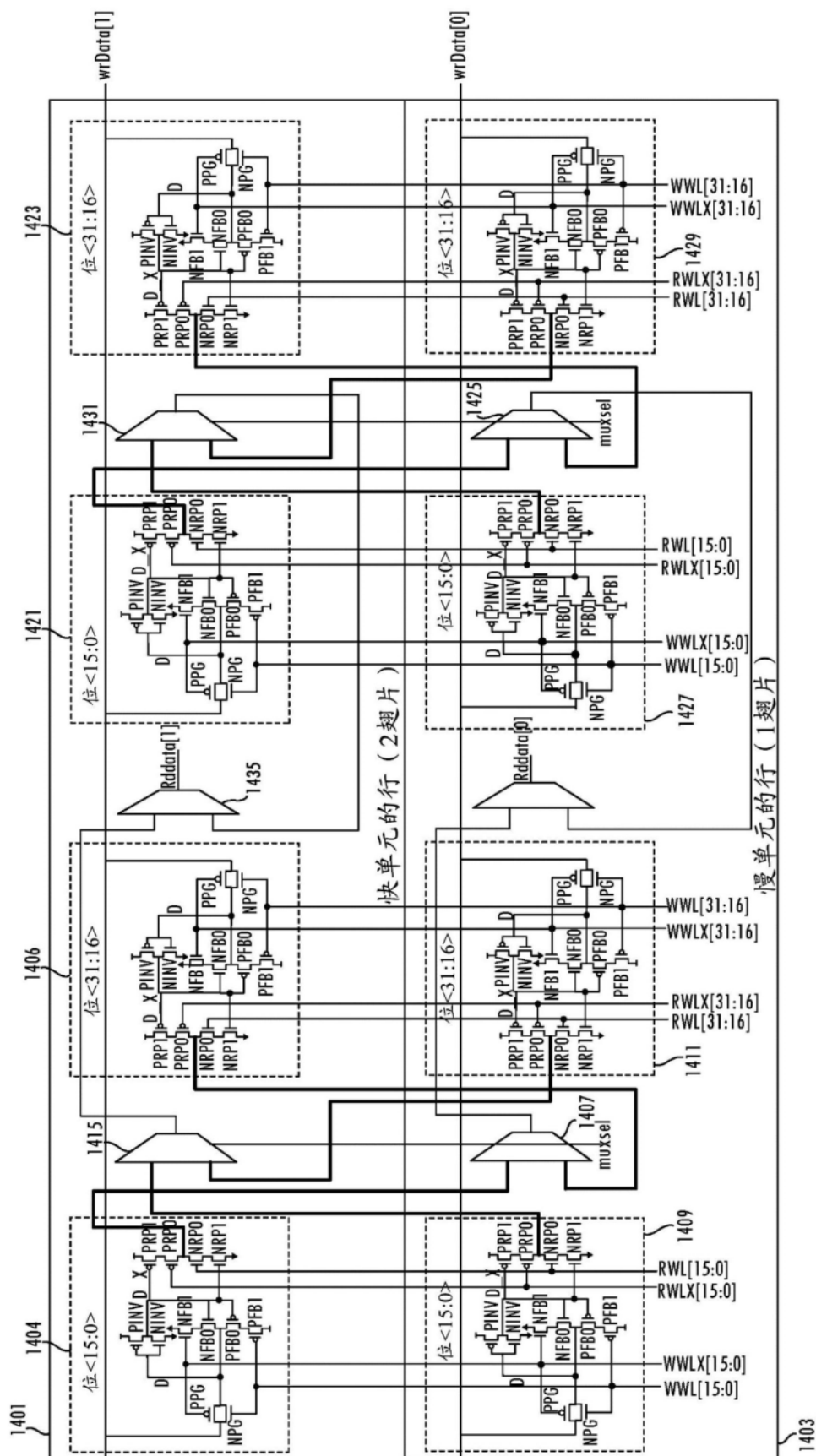


图14

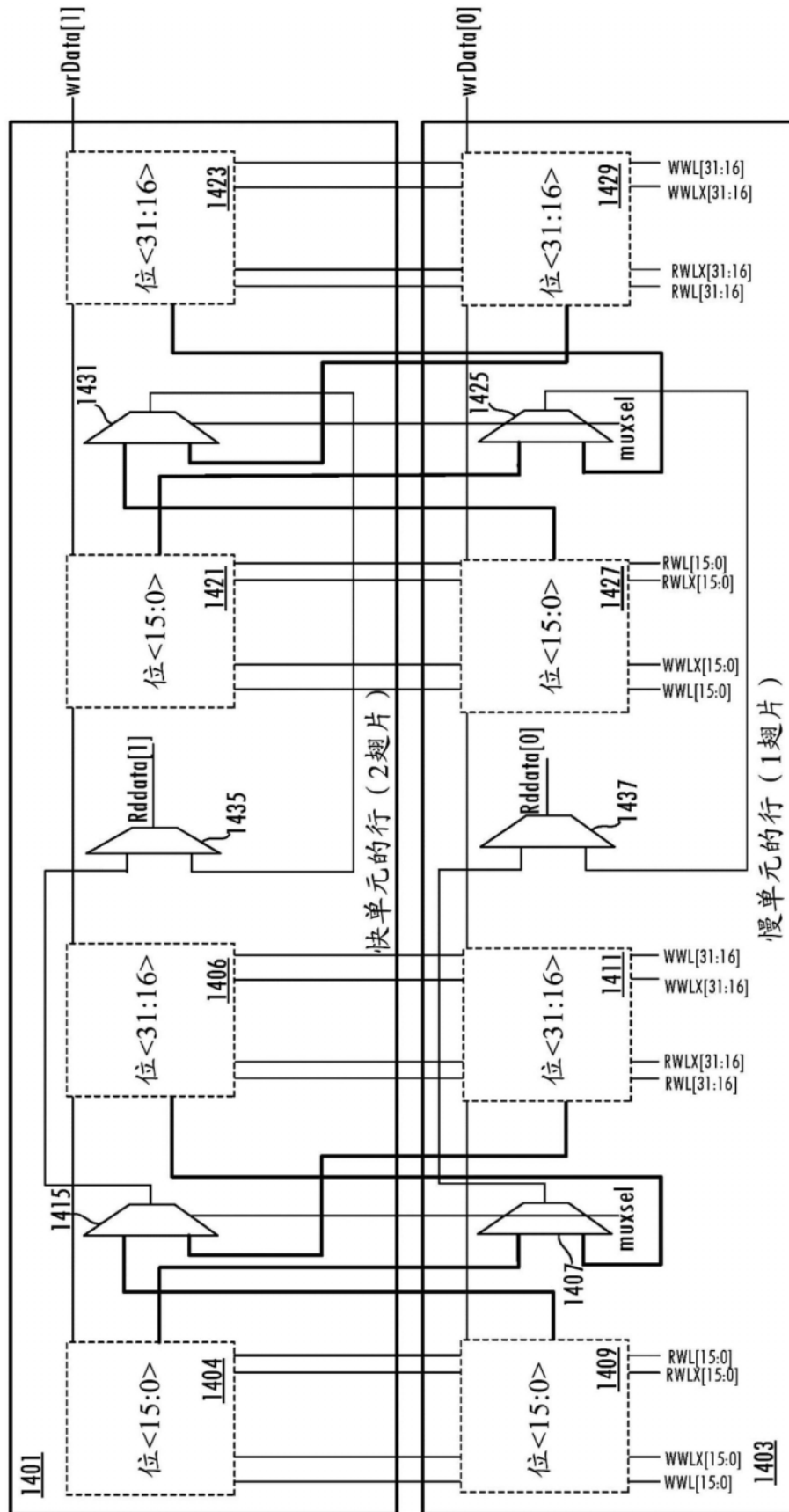


图15

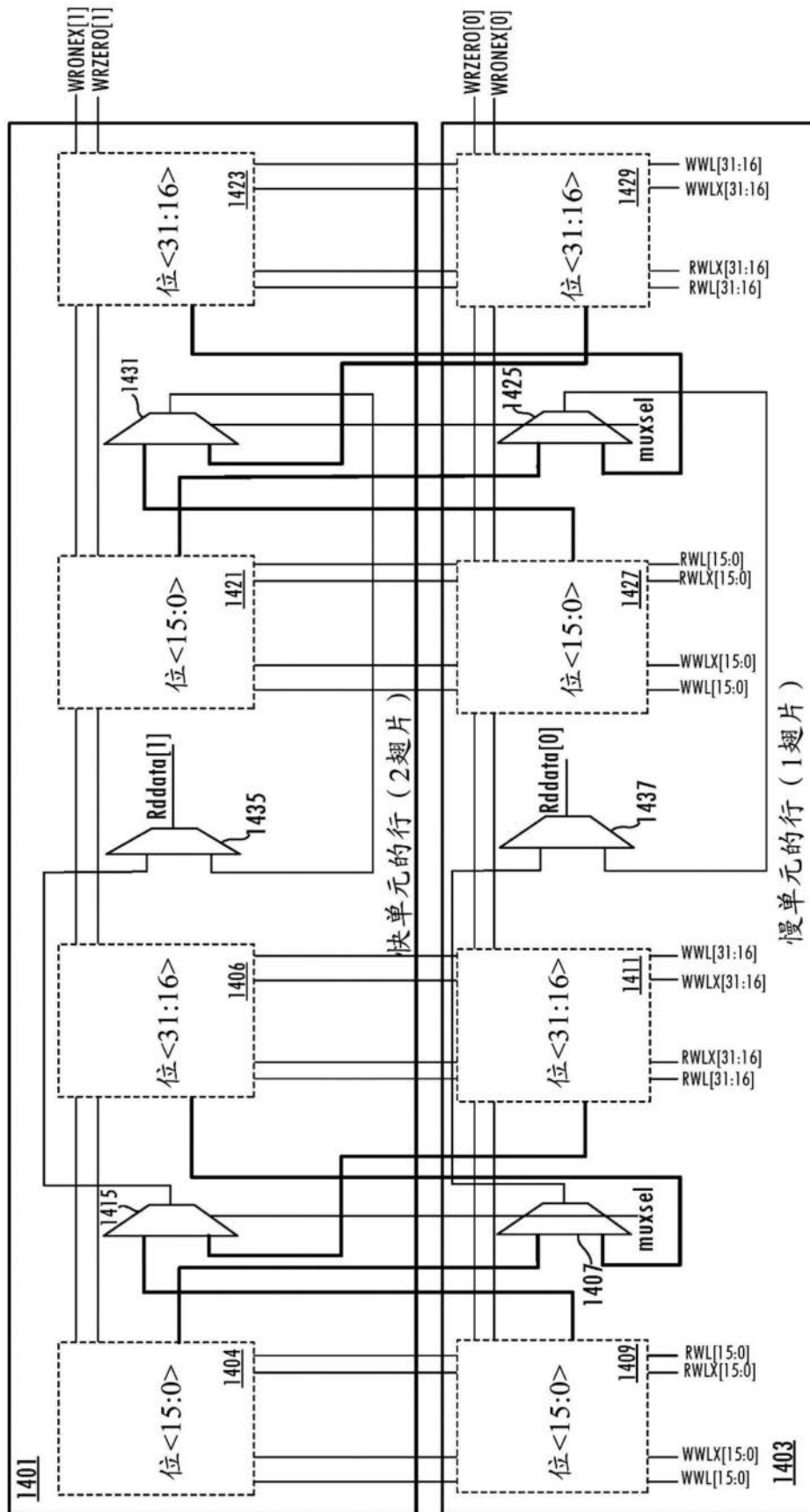


图16