

申請日期	90 4 12
案 號	90105688
類 別	G11C 9/00

A4
C4

504697

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	半 導 體 記 憶 體 配 置 用 之 備 用 多 工 器
	英 文	Redundance-Multiplexer for a Semiconductor-Memory Arrangement
二、發明 創作人	姓 名	奈 格 蘭 阿 爾 龍 Nygren, Aaron
	國 籍	德 國
	住、居所	德 國 慕 尼 黑 81667 瓦 爾 斯 街 10 號
三、申請人	姓 名 (名稱)	印 芬 龍 科 技 股 份 有 限 公 司 (Infineon Technologies AG)
	國 籍	德 國
	住、居所 (事務所)	德 國 慕 尼 黑 D-81669 聖 馬 丁 街 53 號
	代 表 人 姓 名	麥 可 勾 威 什 (Michael Gollwitzer) 荷 斯 特 卻 佛 (Dr. Horst Schäfer)

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

德 國 (地 區) 申 請 專 利 ， 申 請 日 期 ： 案 號 ： ， ☒ 有 ☐ 無 主 張 優 先 權

2000 年 3 月 13 日 100 12 104.7

有 關 微 生 物 已 寄 存 於 ： ， 寄 存 日 期 ： ， 寄 存 號 碼 ：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 ()

本發明涉及一種半導體記憶體配置用之備用多工器，其可使二條有缺陷之位元線由二條備用之位元線所取代，其中由儲存在熔絲(用來取代位元線)中之資訊而在解碼器中產生各控制信號或各切換信號，且二個具有備用位元線之備用區在中央匯流排之二側由該控制信號或切換信號所選取。

第 4 圖是傳統之備用多工器之構造，其用在半導體記憶體配置中。中央匯流排或中央區 1 之二側設有一種輸入／輸出單元(I/O)2，其中可輸入資訊，位元線有缺陷時須由備用之位元線所取代。當然這些由備用之位元線所取代之位元線之數目可以像已存在之全祁之備用位元線之數目一樣多。有缺陷之位元線上之資訊儲存在熔絲 3 中，因此形成一種已編碼之熔絲資訊 CFI，其指出：哪一條位元線是有缺陷的而必須由備用之位元線所取代。現在假設：此種已編碼之熔絲資訊 CFI 在中央匯流排 1 之每一側經由相對應之以點線表示之熔絲匯流排 4 經過一種緩衝器和解碼器 5(其提供該已解碼之熔絲資訊 FI)直接(或經由讀出或寫入時所用之控制單元 6，7 而)傳送至備用多工器(RMUX)8，9。

例如，第 4 圖中已編碼之熔絲資訊 CFI 由第 4 圖中央匯流排 1 右方之熔絲 3 經由緩衝器及解碼器 5(其由 CFI 產生一種已解碼器之熔絲資訊 FI)而發送至控制單元 6 且在所屬之備用位元線在一種位於讀出放大器(SSA)附近之區域 11 之後之記憶胞陣列 13 中受到控制之前，此種 CFI 由控制單元 6

五、發明說明 (2)

而分佈於備用多工器 9 之整個介面寬度上。

在檢測半導體記憶體配置時，通常由該測試人員來決定：燃燒或選取這些與目前有缺陷之位元線相對應之熔絲，以便由備用位元線來取代該有缺陷之位元線。

當然在下述情況下會發生重大之問題，即：在分配一條備用之位元線給第二條有缺陷之位元線時，已經由第一條備用位元線所取代之第一條有缺陷之位元線之位置須被考慮時。新次代之 eDRAMs 之備用多工器即屬此種情況。

本發明之目的是提供一種特別是用於 eDRAMs 之備用多工器，其中第一條有缺陷之位元線（其已由備用位元線所取代）之位置在分配第二條備用位元線（其應取代第二條有缺陷之位元線）時須被考慮。

依據本發明，此目的在上述形式之備用多工器中以下述方式來達成：藉由至此多工器之二個前後串聯之開關之控制信號或切換信號間之比較來決定：這些開關是否依據有缺陷之位元線之數目而正確地設定。

在本發明之備用多工器中，在二個串聯之開關之間因此設有比較器。這些比較器利用該控制信號或切換信號來對此種發送至每一開關之已解碼之位址（"1"或"0"）進行比較且需要時使這些位址互換，因此會更換有缺陷之位址，其較靠近中央備用區，其控制此開關，此開關較靠近記憶胞陣列。只有當此種條件滿足時，資料才不會由有缺陷之位元線中讀出。可藉由開關之間之比較器來

五、發明說明 (3)

更換位址而排除此種有缺陷之讀出。在具有本發明之備用多工器之半導體記憶體配置中若在第一條位元線中發生一種錯誤，則可利用本發明使第一組熔絲燒斷，以便修正此種錯誤，此時該有缺陷之位元線由備用位元線所取代。然後若已確定第二錯誤發生在另一條位元線中(此時存在第二條有缺陷之位元線)，則使第二組熔絲燒斷，這些在與第一次所測得之錯誤無關之情況下進行的。這表示：第一次測得之錯誤在第一組熔絲燒斷之後不必儲存在測試器中。因此可輕易地節省該測試器中之半導體空間。

在傳統之配置中，使錯誤可儲存在測試器中是需要的，這是因為在熔絲可被燒斷之前，須測得各取代之順序。在本發明中，此種順序是直接測得，因此在發生錯誤時可立刻使熔絲燒斷。

本發明以下將依據圖式來詳述。

圖式簡單說明：

第 1 圖 本發明之備用多工器之實施例，其具有正確之位址分配。

第 2 圖 第 1 圖之多工器，其位址之分配不正確。

第 3 圖 本發明用於半導體記憶體配置之備用多工器之圖解。

第 4 圖 現有之用於半導體記憶體配置之備用多工器之圖解。

第 4 圖已在本文開頭述及。這些圖式中相對應之組件以

五、發明說明 (4)

相同之參考符號表示。

備用多工器 8 或 9 由許多開關 14 (其可具有狀態 (0) 和 (1)) 所構成，如第 1, 2 圖所示，資料輸入至開關 14 之輸入端 15，這些資料進一步傳送至位元線 (其連接至多工器 9 之輸出端 16)。現在若確定一些有缺陷之位元線 "X"，則須由解碼器 5 (請參閱第 3, 4 圖) 所提供之控制信號或切換信號來控制此開關 14，使得第 1 圖中在該有缺陷之位元線 "X" 左方之這些位元線可接管其功能，此種功能之接管進一步移位至中央匯流排 1 之區域中之各備用之位元線。此時相對應之開關 14 具有狀態 (1)。

由第 1 圖可輕易得知：多工器 8, 9 之各別之接點 "a" ... "p" 以何種方式而互相對應以及這些接點 "j" 和 "i" 在備用區 11 或 12 中如何連至各備用之位元線，其可取代各有缺陷之位元線 "X"。

第 2 圖之配置對應於第 1 圖，其不同處是：在右半部之備用多工器 9 或多工器 8 之各接點 "i" 至 "p" 中此開關具有之狀態是 (1, 1, 1, 1, 0, 0, 0, 0; 1, 1, 1, 0, 0, 0, 0, 0) 以取代第 1 圖之 (1, 1, 1, 0, 0, 0, 0, 0; 1, 1, 1, 1, 0, 0, 0, 0)。換言之，在與多工器 8 之接點 "1" 相連之開關 14 中，在第 2 圖中各控制信號或切換信號處於多工器 8 和 9 所需之 "位址" (0) 和 (1)，而第 1 圖中這些切換信號或控制信號具有之值是 (1) 和 (0)。由於開關 14 中此種位址之互換，則在記憶胞陣列讀出時此多工器 8 會出現一條有缺陷之位元線 "X"。

此種不期望之結果在本發明中以下述方式來防止：各

五、發明說明 (5)

別之控制 - 或切換信號或位址 (1) 和 (0) 互相比較且需要時互換，使有缺陷之位址 (其較靠近中央之備用區 11，12，即，多工器 9 之接點 1 中之 "(1)") 總是控制此開關 (其較靠近記憶胞陣列)。

此種互換是以簡單之方式由比較器 17 來進行，其對此多工器 8，9 之各控制 - 或切換信號來進行一種比較 "CMP" 且需要時使位址互換 (第 3 圖)。

本發明以可靠之方式確保：在記憶胞陣列 13 讀出時不會出現有缺陷之位元線 "X"。

符號之說明

- 1.....中央匯流排
- 3.....熔絲
- 4.....控制 - 或切換信號
- 5.....解碼器
- 8,9.....備用多工器
- 11,12...備用區
- 13.....記憶胞陣列
- 14.....開關
- 17.....比較器

四、中文發明摘要 (發明之名稱： 半 導 體 記 憶 體 配 置 用 之 備 用 多 工 器)

本發明涉及一種備用多工器，其中藉由二個串聯之開關(14)之位址之間之比較且需要時互換位址，則可確保：有缺陷之位元線不會被讀出。

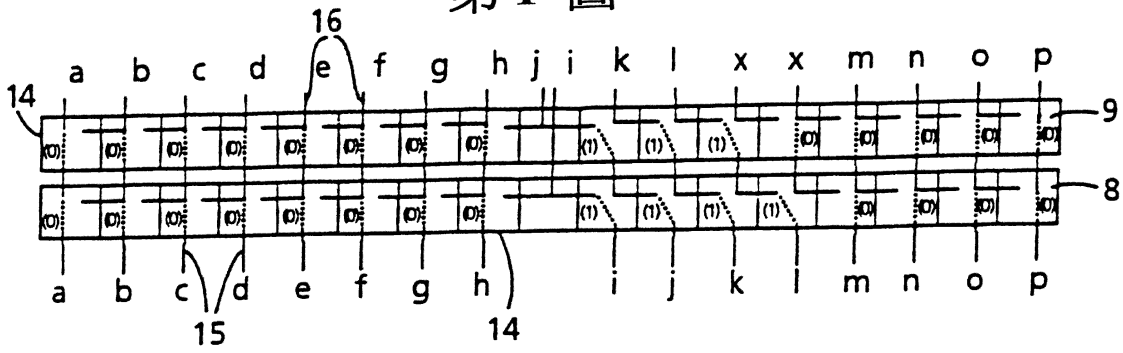
英文發明摘要 (發明之名稱： Redundance-Multiplexer for a Semiconductor-memory Arrangement)

This invention relates to a redundance-multi-plexer, in which through the comparison of the address of two switches (14) located in series and the interchange of the addresses (if necessary) it can be guaranteed that no defective bit-lines will be read out.

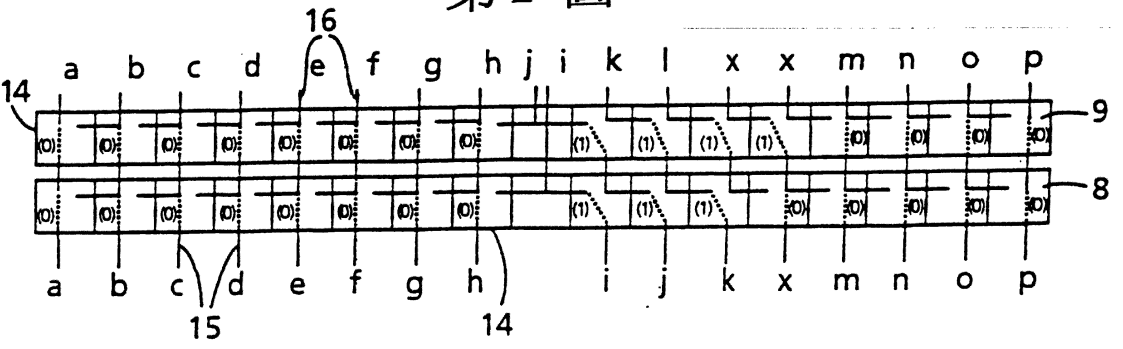
六、申請專利範圍

1. 一種半導體記憶體配置用之備用多工器，其可使二條有缺陷之位元線(X)由二條備用位元線所取代，由熔絲(3)(其用來取代位元線)中所儲存之資訊而在解碼器(5)中產生各控制-或切換信號(4)，二個具有備用位元線之備用區(11, 12)在中央匯流排(1)之二側可由該控制-或切換信號所選取，其特徵為：藉由此二個分別至此多工器(8, 9)之二個前後串聯之開關(14)之控制-或切換信號之間之比較可確定：各開關(14)是否依據有缺陷之位元線之數目而正確地設定。
2. 如申請專利範圍第1項之備用多工器，其中在此備用多工器之二個開關(14)之間設置一種比較器(17)。
3. 如申請專利範圍第1或第2項之備用多工器，其中須設定此開關(14)，使一種有缺陷之控制-或切換信號利用一種較靠近中央備用區之位址來控制此開關(14)，其較靠近此記憶胞陣列(13)。

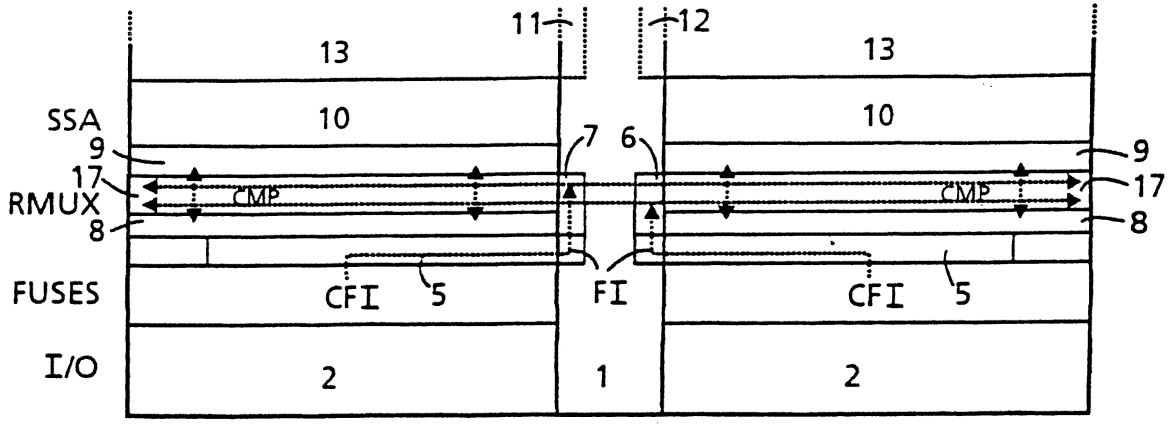
第 1 圖



第 2 圖



第 3 圖



第 4 圖

