



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202420401 A

(43)公開日：中華民國 113 (2024) 年 05 月 16 日

(21)申請案號：112121112

(22)申請日：中華民國 112 (2023) 年 06 月 06 日

(51)Int. Cl.：

H01L21/02 (2006.01)

H01L21/762 (2006.01)

H10N30/01 (2023.01)

H10N30/07 (2023.01)

H10N30/072 (2023.01)

H10N30/073 (2023.01)

(30)優先權：2022/07/07

法國

FR2206980

(71)申請人：法商索泰克公司 (法國) SOITEC (FR)

法國

(72)發明人：查爾阿佛列 塞德里克 CHARLES-ALFRED, CEDRIC (FR)；德朗 艾利克斯

DROUIN, ALEXIS (FR)；于耶 伊莎貝 HUYET, ISABELLE (FR)；巴吉 提爾

瑞 BARGE, THIERRY (FR)；提佛里 史第凡 THIEFFRY, STEPHANE (FR)；伯克

卡特 馬賽爾 BROEKAART, MARCEL (NL)

(74)代理人：陳絲倩；郭建中

申請實體審查：無 申請專利範圍項數：19 項 圖式數：11 共 29 頁

(54)名稱

用於製作半導體或壓電結構之方法

(57)摘要

本發明涉及一種用於製作一半導體或壓電結構之方法，其包括以下連續步驟：(a) 提供一供體底材(11)，使其包括一半導體或壓電層(5)，(b) 提供一受體底材(12)，(c) 處理該供體底材(11)的一自由表面(7)及/或該受體底材(12)的一自由表面(9)，(d) 將該供體底材(11)鍵合至該受體底材(12)，經處理之該自由表面(7, 9)當中至少一者在該供體底材(11)鍵合及該受體底材(12)之間的交界面處，及(e) 將該半導體或壓電層(5)的一部分(3)從該供體底材(11)移轉到該受體底材(12)，處理該供體底材(11)的自由表面(7)及/或該受體底材(12)的自由表面(9)包括以下連續步驟：(c1) 化學機械拋光，(c2) 移除被拋光的自由表面(7, 9)之外圍區的物質。

The invention relates to a process for fabricating a semiconductor or piezoelectric structure, comprising the following steps in succession:

(a) providing a donor substrate (11) comprising a semiconductor or piezoelectric layer (5), (b) providing a receiver substrate (12), (c) treating a free surface (7) of the donor substrate (11) and/or a free surface (9) of the receiver substrate (12), (d) bonding the donor substrate (11) to the receiver substrate (12), said at least one treated surface (7, 9) being at the interface between the donor substrate (11) and the receiver substrate (12), and (e) transferring a portion (3) of the semiconductor or piezoelectric layer (5) from the donor substrate (11) to the receiver substrate (12),

the treatment of the free surface (7) of the donor substrate (11) and/or of the free surface (9) of the receiver substrate (12) comprising the following steps in succession: (c1) chemical mechanical polishing, (c2) removal of matter in a peripheral region of the polished surface (7, 9).

指定代表圖：

符號簡單說明：

- 1:載體底材
- 2:電絕緣層
- 3:壓電層
- 4:操縱底材
- 5:半導體或壓電層
- 7,9:自由表面
- 11:供體底材
- 12:受體底材

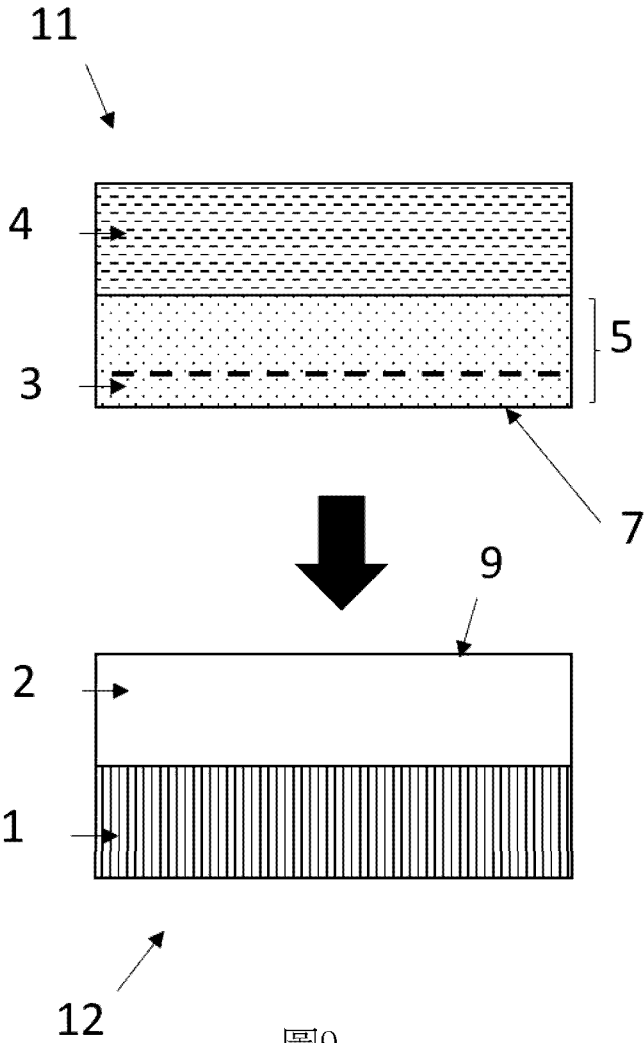


圖9

【發明摘要】

【中文發明名稱】 用於製作半導體或壓電結構之方法

【英文發明名稱】 PROCESS FOR FABRICATING A SEMICONDUCTOR

OR PIEZOELECTRIC STRUCTURE

【中文】本發明涉及一種用於製作一半導體或壓電結構之方法，其包括以下連續步驟：(a) 提供一供體底材(11)，使其包括一半導體或壓電層(5)，(b) 提供一受體底材(12)，(c) 處理該供體底材(11)的一自由表面(7)及/或該受體底材(12)的一自由表面(9)，(d) 將該供體底材(11)鍵合至該受體底材(12)，經處理之該自由表面(7, 9)當中至少一者在該供體底材(11)鍵合及該受體底材(12)之間的交界面處，及(e) 將該半導體或壓電層(5)的一部分(3)從該供體底材(11)移轉到該受體底材(12)，

處理該供體底材(11)的自由表面(7)及/或該受體底材(12)的自由表面(9)包括以下連續步驟：(c1) 化學機械拋光，(c2) 移除被拋光的自由表面(7, 9)之外圍區的物質。

【英文】The invention relates to a process for fabricating a semiconductor or piezoelectric structure, comprising the following steps in succession:

(a) providing a donor substrate (11) comprising a semiconductor or piezoelectric layer (5), (b) providing a receiver substrate (12), (c) treating a free surface (7) of the donor substrate (11) and/or a free surface (9) of the receiver substrate (12), (d) bonding the donor substrate (11) to the receiver substrate (12), said at least one

treated surface (7, 9) being at the interface between the donor substrate (11) and the receiver substrate (12), and (e) transferring a portion (3) of the semiconductor or piezoelectric layer (5) from the donor substrate (11) to the receiver substrate (12), the treatment of the free surface (7) of the donor substrate (11) and/or of the free surface (9) of the receiver substrate (12) comprising the following steps in succession: (c1) chemical mechanical polishing, (c2) removal of matter in a peripheral region of the polished surface (7, 9).

【指定代表圖】 第(9)圖

【代表圖之符號簡單說明】

- 1: 載體底材
- 2: 電絕緣層
- 3: 壓電層
- 4: 操縱底材
- 5: 半導體或壓電層
- 7, 9: 自由表面
- 11: 供體底材
- 12: 受體底材

【特徵化學式】

【發明說明書】

【中文發明名稱】 用於製作半導體或壓電結構之方法
【英文發明名稱】 PROCESS FOR FABRICATING A SEMICONDUCTOR
OR PIEZOELECTRIC STRUCTURE

【技術領域】

【0001】 本發明係有關一種用於製作半導體或壓電結構之方法。

【先前技術】

【0002】 將主動層(即旨在形成電子、光學或光電子裝置之元件的層)經由電絕緣層而移轉至載體底材，係廣泛地應用於微電子產業中。

【0003】 在一些情況下，主動層係藉由將供體底材薄化而獲得，該薄化藉由移除(諸如研磨)物質而進行。為了改善主動層在鍵合前的表面光潔度(surface finish)，通常需要進行化學機械拋光(CMP)。

【0004】 對於在底材上製作射頻(RF)元件(諸如諧振器或濾波器)來說尤其如此，此類底材包括從基底到表面依序包括一載體底材(通常由諸如矽的半導體材料製成)、一電絕緣層及一壓電層。

【0005】 壓電層通常藉由將壓電材料製之厚底材移轉至載體底材而獲得。

【0006】 壓電層的移轉需要將厚壓電底材與載體底材鍵合，接著使厚壓電底材薄化，以便在載體底材上僅留下薄壓電層，該薄壓電層具有製作RF元件所需之厚度。

【0007】 為了獲得壓電底材與載體底材的良好接合，通常會在兩個底材上分別形成一層氧化物(例如氧化矽)，且使兩個底材經由這些氧化層而鍵合。

【0008】 形成在載體底材表面上的氧化層可藉由熱氧化而形成。舉例而言，若其為矽底材，則可形成氧化矽層。然而，熱氧化有許多缺點。其可能與某些材料不相容，例如與多晶矽製的電荷捕捉層不相容。此外，熱氧化會產生氧化層，不利於諸如鋰或氫之擴散。

【0009】 因此，透過PECVD沉積氧化層通常比熱氧化受歡迎。氧化層之後可藉由諸如化學機械拋光而拋光。

【0010】 為了強化壓電底材與載體底材之間的氧化物-氧化物鍵合，已知作法為在鍵合後進行固化退火(consolidation annealing)。該固化退火通常在100°C至300°C之間的溫度下進行。

【0011】 然而，由於壓電材料及載體底材之材料具有非常不同的熱膨脹係數，因此實施此種退火可能導致接合件嚴重變形。

【0012】 為了克服此類問題，已知作法為使用供體底材(donor virtual substrate)，亦即一種異質結構(heterostructure)，在此結構中，壓電底材被鍵合至一操縱底材(handle substrate)。

【0013】 製作供體底材之方法通常包括數個步驟。因此，壓電材料製成之厚層係被鍵合至操縱底材。接下來，壓電材料製之層被薄化且視需要地被修整。最後，薄化後壓電材料層的自由表面在例如化學機械拋光(CMP)方法中被拋光，且視需要地以薄氧化層覆蓋，以便進行上述的氧化物-氧化物鍵合。

【0014】 在鍵合供體底材及載體底材之後，壓電底材被保持在操縱底材與載體底材之間。操縱底材及載體底材之材料及厚度的選擇，使其能夠確保熱膨脹係數的一定對稱性，從而使接合件在進行熱處理期間的變形最小化。

【0015】 然而，當實施此種絕緣體上壓電(piezoelectric-on-insulator)型結構之製作方法時，申請人觀察到供體底材與載體底材之間的鍵合出現空隙形式的缺陷，稱為「邊緣鍵合空隙(edge bonding voids)」，在這些空隙中底材外圍處沒有發生鍵合。

【發明內容】

【0016】 本發明之一目的為在絕緣體上主動層(active-layer-on-insulator)類型結構的製作期間，改善供體底材及受體底材之間的鍵合過程，在該鍵合之前，供體底材的待鍵合表面及/或受體底材的待鍵合表面已被拋光。

【0017】 為此目的，本發明提出了一種製作一半導體或壓電結構之方法，其包括以下連續步驟：

- (a) 提供一供體底材，使其包括一半導體或壓電層，
 - (b) 提供一受體底材，
 - (c) 處理該供體底材的一自由表面及/或該受體底材的一自由表面，
 - (d) 將該供體底材鍵合至該受體底材，經處理之自由表面當中至少一者位於該供體底材及該受體底材之間的鍵合交界面處，及
 - (e) 將該半導體或壓電層的一部分從該供體底材移轉到該受體底材，
- 處理該供體底材的自由表面及/或該受體底材的自由表面包括以下連續步驟：
- (c1) 化學機械拋光，
 - (c2) 移除被拋光表面之外圍區的物質。

【0018】 從已被拋光的底材之一的待鍵合表面外圍區移除物質，可在鍵合之前改善該表面的平坦度，從而改善鍵合品質。

【0019】 依照本發明之其他特徵，其等為選擇性的，且其等可單獨實施，或在技術上可行時組合實施：

在該供體底材及/或受體底材的化學機械拋光步驟(c1)結束後，被拋光的自由表面在該些底材的外圍處有一突起，因此在該自由表面之外圍區進行物質移除步驟(c2)以使該突起平坦化，

外圍區物質的移除係以一離子束聚焦在拋光後之該半導體或壓電層的外圍區而進行研磨，該離子束掃描整個外圍區，

外圍區物質的移除是在以輪廓測量法(profilometry)記錄被拋光自由表面的表面形貌之後進行，且外圍區物質移除後的修正後表面形貌只有一最大值，該最大值為最接近被拋光自由表面的修正後表面形貌之中心的點，

待移轉至該受體底材之該供體底材之半導體或壓電層的部分，係透過在該供體底材及該受體底材鍵合(d)之前形成一弱化區而界定，以使該部分移轉至該受體底材時包含沿着該弱化區分離該供體底材，

該供體底材中的弱化區係透過植入氫及/或氮而形成，

該供體底材包括一壓電層，該供體底材之待處理及待鍵合的表面為該壓電層之自由表面，且該供體底材被移轉的部分為該壓電層之該部分，

提供該供體底材包括以下連續步驟：

(a1) 將一厚壓電層鍵合至一操縱底材，

(a2) 從該厚壓電層與該操縱底材相對的那一側薄化該厚壓電層，

這樣，所述化學機械拋光(c1)就會在與該操縱底材相對的薄化後該壓電層的自

由表面上進行，

該厚壓電層的厚度在100 μm 及2 mm之間，較佳者在200 μm 及1 mm之間，且薄化及拋光後的該壓電層的厚度在1 μm 及100 μm 之間，較佳者在5 μm 及50 μm 之間，

提供該供體底材更包括，在該壓電層之自由表面的化學機械拋光(c1)之前，移除該供體底材之一外圍部分之步驟(a3)，

該供體底材包括一半導體層，該供體底材的待處理及待鍵合表面為該半導體層之自由表面，且該供體底材的被移轉部分為該半導體層的一部分，

該方法更包括在該半導體或壓電層的自由表面上形成一氧化層之步驟，以使該供體底材及該受體底材的鍵合(d)經由該氧化層而進行，

形成在被拋光之該半導體或壓電層之表面上的該氧化層具有10 nm及10 μm 之間的厚度，較佳者為30 nm及5 μm 之間的厚度，

步驟(c)包括該供體底材之半導體或壓電層之自由表面的處理，且在該自由表面上形成該氧化層係在處理步驟(c)之後及鍵合步驟(d)之前進行，

提供該受體底材之步驟(b)包括形成一電絕緣層，較佳者為一氧化層，該受體底材之待處理及待鍵合的表面為該電絕緣層之自由表面，

形成在該受體底材之表面上的該電絕緣層具有10 nm及10 μm 之間的厚度，較佳者為30 nm及5 μm 之間的厚度，

該電絕緣層係以電漿增強化學氣相沉積(PECVD)方式形成，

物質移除步驟(c2)是在該受體底材之拋光後的整個自由表面上進行，

在物質移除步驟期間，要從該電絕緣層之自由表面處移除的物質的量，係基於

以橢圓偏振法及/或反射測量法獲得之該電絕緣層的厚度測量值而決定。

【圖式簡單說明】

【0020】 本發明之其他特徵及優點將由以下詳細描述並參照所附圖式而更為彰顯，其中：圖1繪示依照本發明方法之實施例製作之絕緣體上壓電類型的多層結構的剖面圖，該方法包括將一供體底材鍵合至一受體底材，圖2繪示供體底材的剖面圖，圖3繪示供體底材製作步驟的剖面圖，其包括一厚壓電層及一操縱底材之鍵合，圖4繪示供體底材製作步驟的剖面圖，其包括薄化被鍵合至操縱底材的厚壓電層，圖5繪示在額外的化學機械拋光步驟之後，與操縱底材相對的薄化後壓電層表面上觀察到的外圍區突起，圖6繪示受體底材的剖面圖，圖7繪示受體底材製作步驟的剖面圖，其包括一電絕緣層及一載體底材之鍵合，圖8繪示在供體底材之薄化後壓電層中形成弱化區的剖面圖，圖9繪示供體底材及受體底材之鍵合的剖面圖，圖10繪示在供體底材之薄化後壓電層中形成弱化區的剖面圖，該供體底材更包括預先形成在薄化後壓電層之自由表面上的氧化層，其可視需要地被拋光及被平坦化，圖11繪示供體底材及受體底材之鍵合的剖面圖，其中該供體底材在操縱底材的相對側上更包括薄化後壓電層上的氧化層。

【0021】 為便於說明起見，圖式不一定按實際比例繪製。

【實施方式】

【0022】 本發明係有關一種用於製作多層元件之方法，其包括將主動層從一供體底材移轉至一受體底材(receiver substrate)。

【0023】為了在實施該移轉期間改善供體底材與受體底材之間的鍵合品質，可能有利的是，在該鍵合之前，若該表面太粗糙而無法促使良好的鍵合，則對形成鍵合交界面的兩個表面之至少一者進行化學機械拋光。例如在藉由研磨而使層薄化期間已形成鍵合表面其中一者時便是如此。儘管如此，由此方法產生的多層結構在其外圍處、鍵合交界面處有許多空隙，這些空隙不利於被移轉主動層與受體底材之間的鍵合品質。

【0024】發明人已發現，在此類多層結構之製作期間，當二底材被鍵合時，在鍵合波的傳播極限下，冷凝水微滴(microdroplets)被困在底材外圍處。發明人懷疑，這些冷凝微滴造成最終多層結構中出現的可見空隙。

【0025】發明人亦發現，已透過化學機械拋光而拋光的底材自由表面，在其外圍上具有呈超厚度(overthickness)形式的突起。發明人認為，就是此外圍區突起在鍵合期間將冷凝水困在底材外圍處，從而產生在最終多層結構中觀察到的空隙。

【0026】在此方面，本發明係有關一種用於製作多層結構之方法，其包括使主動層從一供體底材移轉至一受體底材，在兩個底材鍵合之前，兩個鍵合交界面之至少一者已被拋光，本發明之方法更包括在兩個被拋光的自由表面之至少一者上移除外圍區物質的步驟。

【0027】下文描述本發明之一特定實施例，其製備了圖1所示之絕緣體上壓電型多層結構10，該結構從後到前依序包括：一載體底材1，一電絕緣層2，最好為一氧化層，一壓電層3。

【0028】舉例而言，壓電層3由諸如鉭酸鋰(LiTaO_3)、鈮酸鋰(LiNbO_3)、鈦酸鋇(BaTiO_3)及/或銻鈦酸鉛(PZT)等材料製成。壓電層3具有50 nm及20 μm 之間的厚度，較佳者為100 nm及10 μm 之間的厚度。

【0029】電絕緣層2可包括氧化矽、氮化矽及/或碳化矽(SiO_x 、 SiO_xN_y 、 SiN_x 、 SiC_x 、 SiO_xC_y)，其中x及y為0與2之間的實數，及/或聚合物。電絕緣層具有10 nm及10 μm 之間的厚度，較佳者為30 nm及5 μm 之間的厚度。

【0030】最後，載體底材1為例如由矽(Si)、藍寶石、氧化鋁(Al_2O_3)、氮化鋁(AlN)、玻璃、石英、莫來石(mullite)、鉬(Mo)、鎢(W)、磷化銦(InP)、砷化鎵(GaAs)及/或碳化矽(SiC)製成的底材。載體底材1具有10 μm 及2 mm之間的厚度，較佳者為200 μm 及1 mm之間的厚度。

【0031】此類絕緣體上壓電(piezoelectric-on-insulator type)型結構10係用於射頻元件及濾波器領域。

【0032】在該特定實施例中，依照本發明之方法包括，提供包含待移轉壓電層3的供體底材11、提供包含載體底材1及電絕緣層2的受體底材12，以及使待移轉壓電層3從供體底材11移轉至受體底材12，電絕緣層2位於鍵合交界面處(參見圖9)。

【0033】依照本實施例，圖2所示之供體底材11為通常稱為虛擬供體底材的異質結構，其從背面到正面包括：一操縱底材4，一薄化後壓電層5，其中將界定出待移轉至受體底材12的壓電層3，視需要地，一電絕緣層6，較佳者為一氧化層。

【0034】壓電層3的壓電材料及載體底材1的材料具有非常不同的熱膨脹係數。若不使用操縱底材而在載體底材(其在交界面處具有電絕緣層)上沉積壓電

材料製的層，當進行熱退火時(例如為了強化壓電材料層與載體底材之間的鍵合界面)將使多層結構曝露於相當大的變形下。

【0035】 因此，操縱底材4由熱膨脹係數與壓電層3移轉目的地之載體底材1接近的材料製成。術語「接近」應理解為意指操縱底材4材料與載體底材1材料之間的熱膨脹係數差異小於或等於5%，較佳者為等於或接近0%。適用之材料為例如矽、藍寶石、多晶氮化鋁或砷化鎵。操縱底材4最好與載體底材1由相同材料製成。在本發明中，感興趣的是平行於底材主要表面之平面的熱膨脹係數。操縱底材4具有100 μm 及2 mm之間的厚度，較佳者為200 μm 及1 mm之間的厚度。操縱底材4的厚度最好與載體底材1的厚度接近，以使供體底材11與受體底材12鍵合之後所獲得的結構盡可能對稱，並在機械及熱行為方面盡可能平衡。分別與載體底材1之熱膨脹係數及厚度接近的操縱底材4之熱膨脹係數及厚度，可將多層結構上的應力及其在溫度波動效應下的變形最小化。

【0036】 電絕緣層6為例如氧化矽、氮化矽及/或碳化矽(SiO_x 、 SiO_xN_y 、 SiN_x 、 SiC_x 、 SiO_xC_y)層，x及y為0與2之間的實數，及/或聚合物。電絕緣層6具有10 nm及10 μm 之間的厚度，較佳者為30 nm及5 μm 之間的厚度。

【0037】 提供供體底材以及供體底材自由表面的視需要處理

【0038】 如圖3所示，供體底材11的形成包括厚壓電層8與操縱底材4的鍵合。

【0039】 厚壓電層8具有100 μm 及2 mm之間的厚度，較佳者為200 μm 及1 mm之間的厚度。厚壓電層8由壓電材料形成，該壓電材料構成最終的絕緣體上壓電結構10中的壓電層3。因此，厚壓電層8可包括 LiTaO_3 、 LiNbO_3 、 BaTiO_3 及/或PZT。

【0040】 厚壓電層8與操縱底材4的鍵合，舉例而言，可藉助預先沉積在操縱底材4或厚壓電層8之曝露面上的光聚合性黏合劑(photo-polymerizable adhesive)層而進行。光聚合性黏合劑層可有利地藉由旋塗法而沉積。藉由光聚合性黏合劑層鍵合的優點是其包含比分子鍵合更少的製作步驟。此外，聚合物(其最初為液體)將使平面缺陷變得平滑，且部分地補償因底材倒角(chamfering)所產生的較低邊緣。因此，相較於分子鍵合，藉由光聚合性黏合劑層鍵合可將底材鍵合得更接近其外圍。

【0041】 作為替代方案，厚壓電層8與操縱底材4的鍵合係藉由分子鍵合、在超高真空下藉由分子研磨(molecular milling)鍵合、或藉由熱壓的金屬/金屬鍵合而進行。

【0042】 在厚壓電層8與操縱底材4鍵合之後，將厚壓電層8從其與操縱底材相對那一側薄化，如圖4所示，以使薄化後的壓電層5具有1 μm及100 μm之間的厚度，較佳者為5 μm及50 μm之間的厚度。

【0043】 厚壓電層8的薄化係透過諸如粗研磨而進行，其可快速地減少供體底材11的厚度。接下來，可進行更精細的研磨，以繼續減少供體底材11的厚度，同時降低該供體底材11的表面粗糙度。

【0044】 最後，進行化學機械拋光(CMP)，以使薄化後的壓電層5與操縱底材4相對的自由表面7變得平滑，以便達到供體底材11與載體底材12鍵合所需之粗糙度，從而改善鍵合品質。

【0045】 在化學機械拋光之前，該方法可更包括壓電層8、5之修整(trimming)步驟。修整步驟可在壓電層8、5的薄化步驟之前、期間(例如在不同

精細程度的兩次研磨操作之間)或之後實施。修整包括移除至少壓電層8、5厚度上的外圍區物質。

【0046】 厚壓電層8在其各個主要表面上具有外圍倒角C (圖中未繪出)。修整步驟之目的在於，當薄化後壓電層5的厚度 e 比薄化後壓電層5之倒角C的厚度更小時，消除因供體底材11的薄化而在倒角處產生的銳角，並產生直角(或鈍角)。具體而言，此種銳角很可能在供體底材11的處理期間斷裂，導致剝落，且碎片污染了生產線。

【0047】 修整可借助繞著Y軸旋轉的研磨輪(例如金剛石輪)進行，供體底材11本身附接至繞著X軸旋轉的支撐件，其中Y軸可與X 軸平行或垂直。

【0048】 不論使用何種技術，修整可能產生缺陷，而化學機械拋光可部分地矯正該缺陷。

【0049】 化學機械拋光可獲得薄化後壓電層5之自由表面7，該自由表面7具有與受體底材12之鍵合相容的粗糙度。然而，在此化學機械拋光步驟結束時，發明人注意到，薄化後壓電層5之被拋光的自由表面7具有外圍區突起(peripheral relief)。圖5繪示自由表面7之輪廓測量法(profilometry)的分析。輪廓測量法分析借助一探針進行，在自由表面7掃描期間記錄探針的垂直運動，以此方式獲得沿著探針所採取路徑之自由表面的表面形貌(topographical profile)。因此，自由表面7之輪廓測量法可呈現出上述外圍區突起(圖5中的黑色正方形所示)。

【0050】 表面形貌越不平坦，則對鍵合的負面影響越大。因此，依照本發明之方法包括移除該自由表面之外圍區的物質。

【0051】 進行薄化後壓電層5之被拋光自由表面7之外圍區物質的移除步驟，以便使化學機械拋光步驟期間形成的外圍區突起平坦化。其目的為在鍵合

至受體底材12期間防止該突起困住冷凝水，及防止因鍵合波傳播效應而阻礙冷凝水的移除。

【0052】發明人已觀察到，外圍區突起可為幾微米厚及幾毫米寬，且該突起之尺寸取決於拋光參數(諸如研磨機及研磨板之旋轉速度、研磨機之下降速度及傾斜度)及化學機械拋光參數(諸如施加至板上的壓力分佈、所用膠體漿料之流體動力學、拋光頭及壓盤(platen)之相對旋轉速度)。事實上，很難將此等參數之每一項對所得外圍區突起之特徵的影響去關聯，從而識別出不會導致形成此類突起的參數值。依照本發明之外圍區物質的移除，提供了與薄化及拋光方法不相關的解決方案，其使得不論使用什麼研磨參數及化學機械拋光參數，皆有可能消除外圍區突起。

【0053】外圍區物質之移除可藉由以聚焦在被薄化且被拋光的壓電層5之自由表面7之外圍區域上的離子束研磨而進行，該離子束掃描整個外圍區。使用離子束研磨時，有可能設定許多參數，諸如光束寬度、入射角度、電流(對應於構成光束之離子流)、掃描速度(定義了位於光束下方之表面區域的時間)及研磨速度(對應於物質之移除速度)，以便非常精確地控制該外圍區物質的移除。事實上，有可能將研磨速度下調至非常低的值(約 $10^{-3} \text{ m}^3/\text{s}$)。研磨速度及掃描速度的組合控制，可將表面形貌的精確度實現在奈米等級以內。

【0054】離子束研磨(Ion-beam milling)為常規上用於調整壓電底材厚度以改善其性能的技術。本發明提出了使用該技術來矯正底材表面的形貌並改善其平坦度。離子束研磨的優點為可以足夠的精確度校正表面形貌，以防止移除過多的物質並形成凹陷(recess)。事實上，此類凹陷亦將影響供體底材與受體底材之間的鍵合品質，因凹陷會增加二底材未正確鍵合的外圍表面的寬度，該表面通常在兩個底材的鍵合期間形成，特別是由於兩個底材的倒角所致。

【0055】實務上，表面形貌首先以輪廓測量法記錄。接下來，確定待移除的厚度，以便使修正後的表面形貌僅具有一個最大值，即零偏差點(zero deviation point)，且該點為最接近底材中心的點(圖5中輪廓線最右側的點)。

【0056】最後，視需要地，形成圖2所示供體底材11更包括在薄化後壓電層5之自由表面7上、在與操縱底材4相對一側，形成電絕緣層6的步驟。在化學機械拋光之後移除該自由表面7之外圍部分的情況下，電絕緣層6最好在此等處理之後形成在薄化後壓電層5上，該壓電層5已被拋光及平坦化。

【0057】電絕緣層6最好透過電漿增強化學氣相沉積(PECVD)或物理氣相沉積(PVD)形成。

【0058】依照本文未詳述之一替代性實施例，供體底材包括一半導體層，待處理(化學機械拋光及外圍區物質移除)及待鍵合之供體底材表面，為該半導體層的自由表面，且該供體底材的被移轉部分為該半導體層的一部分。同時，在此實施例中，雷射光束研磨確保以極高精確度移除外圍區物質。

【0059】同時，依照此實施例，氧化層可形成在該半導體層的自由表面上，該層有可能已預先以化學機械拋光處理並移除外圍區物質。

【0060】依照此實施例，本發明之方法可藉由將該半導體層移轉到諸如底材 12的受體底材而獲得絕緣體上半導體(semiconductor-on-insulator)類型的多層結構。

【0061】提供受體底材以及受體底材之自由表面的視需要處理

【0062】依照本文詳述之實施例，圖6所示受體底材12從背面到正面依序包括：一載體底材，其在最終的絕緣體上壓電型結構10中形成載體底材1，一電絕緣層，其在最終的絕緣體上壓電型結構10中形成電絕緣層2。

【0063】因此，載體底材1由諸如矽(Si)、藍寶石、氧化鋁(Al_2O_3)、氮化鋁(AlN)、玻璃、石英、莫來石、鉬(Mo)、鎢(W)、磷化銦(InP)、砷化鎵(GaAs)

及/或碳化矽(SiC)等材料製成。載體底材1具有10 μm 及2 mm之間的厚度，較佳者為200 μm 及1 mm之間的厚度。

【0064】電絕緣層2包括例如氧化矽、氮化矽及/或碳化矽(SiO_x 、 SiO_xN_y 、 SiN_x 、 SiC_x 、 SiO_xC_y)，x及y為0與2之間的實數，及/或聚合物。受體底材的電絕緣層2具有10 nm及10 μm 之間的厚度，較佳者為30 nm及5 μm 之間的厚度。

【0065】提供受體底材12包括在載體底材1的自由表面上形成電絕緣層2，以便獲得受體底材12。電絕緣層2較佳者為藉由電漿增強化學氣相沉積(PECVD)而形成。此種沉積如圖7所示。PECVD法會產生明顯的不均勻及粗糙度，其與良好的鍵合品質不相容。此外，即使其他沉積方法可在均勻性及粗糙度方面提供更好的結果，但載體底材的自由表面也可能導致電絕緣層過度粗糙，例如當載體底材在其表面處包括未經平坦化的一層多晶矽時。

【0066】因此要進行與載體底材1相對的電絕緣層2之自由表面9的化學機械拋光。

【0067】同樣在此例中，發明人觀察到，在拋光結束時，電絕緣層2之自由表面9上形成外圍區突起，該突起高達幾百奈米厚及幾毫米寬。發明人進一步觀察到，此等尺寸的變化取決於實施化學機械拋光時所用參數，諸如所用膠體漿料的流體動力學、施加至板上的壓力分佈以及化學機械拋光頭與壓盤的相對旋轉速度。因此，除了化學機械拋光之外，依照本發明之方法亦包括移除外圍區域中的物質。

【0068】不論實施化學機械拋光時使用的參數為何，最好都進行該表面之外圍區物質的移除以使該突起平坦化。

【0069】正如上文所述，較佳者為透過聚焦在電絕緣層2之被拋光自由表面9之外圍區域上的離子束研磨進行外圍區物質的移除，該離子束掃描整個外圍區域。實務上，就已薄化及已拋光的壓電層5之自由表面7的平坦化而言，首

先以輪廓測量法記錄電絕緣層2之被拋光自由表面 9的表面形貌。接下來，確定待移除的厚度以使修正後的表面形貌僅具有一個最大值，即零偏差點，且該點為最接近底材中心的點。

【0070】 視需要地，移除步驟是在受體底材12之拋光後的整個自由表面9上進行，以便改善電絕緣層2的均勻性。在此情況下，在該自由表面9上之物質移除步驟期間，於電絕緣層2之自由表面9處待局部移除之物質的量，可藉由橢圓偏振法及/或反射測量法基於該電絕緣層2之局部厚度的測量值而決定。

【0071】 將供體底材之一部分移轉至受體底材

【0072】 接下來，將供體底材11之薄化後壓電層5的一部分 3移轉至受體底材12。

【0073】 舉例而言，該移轉可包括在薄化後的壓電層5中形成弱化區以便界定出待移轉的壓電層3、鍵合供體底材11與受體底材12，使待移轉壓電層3位於鍵合交界面處、及沿着弱化區分離供體底材11。

【0074】 依照圖8所示之較佳實施例，弱化區係藉由在薄化後壓電層5中植入原子物種而形成，該植入(圖8之箭頭)係穿過該層5之自由表面7而進行。原子物種被植入到預定深度，該深度決定了待移轉壓電層3的厚度。被植入的原子物種較佳者為氫及/或氮。

【0075】 接下來，如圖9所示，在已進行植入之薄化後壓電層5的自由表面7與受體底材12之電絕緣層2的自由表面9之間，進行供體底材11與受體底材12的鍵合，兩個鍵合自由表面7、9當中至少一者已預先進行上述表面處理，該處理包括化學機械拋光，隨後移除外圍區物質。

【0076】 供體底材11與受體底材12的鍵合，較佳者為藉由分子黏附而進行，因其可獲得在高於400°C溫度下在機械上堅固且穩定的鍵合。當依照Smart Cut™方法(其包括藉由植入原子物種而形成弱化區)將供體底材11之薄化後壓電

層5的部分 3移轉至受體底材12時，此類鍵合性質特別有利。具體而言，Smart Cut™方法在底材中產生缺陷，該等缺陷可藉由高溫熱退火而修復。此類鍵合性質無法藉由與聚合物鍵合或藉由金屬/金屬鍵合而達成。絕大多數聚合物在高於300°C時完全分解。至於金屬/金屬鍵合則會隨著溫度而改變(晶粒尺寸增加)，且在大多數情況下導致底材變形，更不用說金屬原子在層中的擴散破壞了起始堆疊的電性質。

【0077】 分子鍵合需要極平坦的表面，係因任何平坦度的缺乏皆會妨礙兩個底材之間的緊密接觸，從而造成鍵合缺陷，隨後導致移轉表面出現缺陷。因此，在本實施例中以及在優選以分子黏附進行供體底材與受體底材的鍵合的其他實施例中，本發明均提供了獨特的優勢。

【0078】 在本實施例中，在鍵合時，發明人未觀察到在鍵合波末端，即底材的外圍處，有水微滴形成。

【0079】 在鍵合之後，供體底材11沿著弱化區被分離。沿著弱化區的分離可藉由機械作用及/或熱能供應而觸發。

【0080】 如此便獲得圖1所示之最終的絕緣體上壓電型結構10，其從背面到正面包括載體底材1、電絕緣層2及被移轉的壓電層3。

【0081】 在氧化層6已形成在供體底材11表面處的情況下，圖10所示之原子物種植入係穿過氧化層6而進行，且圖11所示之鍵合係在該氧化層6的自由表面13與受體底材12之電絕緣層2的自由表面9之間進行，以使氧化層6與待移轉之壓電層3同時被移轉。在本實施例中，最終結構的電絕緣層包括在鍵合前形成在供體底材11上的氧化層6。

【0082】 因此，在供體底材11表面處形成電絕緣層6可有利地允許氧化物-氧化物鍵合。在藉由分子黏附進行鍵合的情況下，僅需使鍵合溫度高於200°C，即可輕鬆加強兩個氧化層之間的鍵合。此外，在具有一定濕度的大氣中，

氧化層可吸收其表面自然存在的水，這樣，當該鍵合在高於200℃進行退火時，可防止這些水在鍵合交界面處形成氣泡，從而增加鍵合強度。

【0083】 作為上述Smart Cut™方法之替代方案，層移轉可藉由薄化供體底材而達成，其係從供體底材與操縱底材鍵合側相對的一側進行薄化，直到獲得第一半導體層所需之厚度。然而，Smart Cut™方法較適用於移轉厚度小於一微米的層。

【0084】 雷射掃描故障檢測分析顯示，最終的絕緣體上壓電型結構10在其外圍處的壓電層2與電絕緣層3之間幾乎沒有空隙。尤其是當進行分子鍵合時，在鍵合交界面處的每個顆粒皆產生空隙。由於外圍對顆粒的存在更敏感，因此實施本發明之方法後在外圍處仍檢測到的少量空隙不能歸因於在兩個層鍵合時在鍵合波末端的水微滴(此外也沒有觀察到這些水微滴)，而應歸因於鍵合交界面處存在的顆粒。

【0085】 發明人認為，從經拋光後的鍵合表面上移除外圍區物質，可在鍵合該等表面之前，消除拋光期間邊緣處產生的突起，這樣，在鍵合波傳播期間，冷凝水便不會被困在底材外圍處，從而防止微滴產生。由於最終結構中的空隙數目大大減少，因此鍵合品質得到改善。

【0086】 因此，依照本發明之方法可在製程中改善兩個底材之間的鍵合品質，在該方法中，鍵合之前必須對兩個鍵合表面當中至少一者進行化學機械拋光。

【符號說明】

- 1: 載體底材
- 2, 6: 電絕緣層
- 3: 壓電層
- 4: 操縱底材
- 5: 半導體或壓電層
- 7, 9, 13: 自由表面
- 8: 厚壓電層
- 10: 絕緣體上壓電型結構
- 11: 供體底材
- 12: 受體底材

【生物材料寄存】

【發明申請專利範圍】

【請求項1】 一種用於製作一半導體或壓電結構(10)之方法，其包括以下連續步驟：

- (a) 提供一供體底材(11)，使其包括一半導體或壓電層(5)，
- (b) 提供一受體底材(12)，
- (c) 處理該供體底材(11)的一自由表面(7)及/或該受體底材(12)的一自由表面(9)，
- (d) 將該供體底材(11)鍵合至該受體底材(12)，經處理之該自由表面(7, 9)當中至少一者在該供體底材(11)鍵合及該受體底材(12)之間的交界面處，及
- (e) 將該半導體或壓電層(5)的一部分(3)從該供體底材(11)移轉到該受體底材(12)，

處理該供體底材(11)的自由表面(7)及/或該受體底材(12)的自由表面(9)包括以下連續步驟：

- (c1) 化學機械拋光，
- (c2) 移除被拋光的自由表面(7, 9)之外圍區的物質。

【請求項2】 如請求項1之方法，其中在該供體底材(11) 及/或受體底材(12)的化學機械拋光步驟(c1)結束後，被拋光的自由表面(7, 9)在該些底材(11, 12)的外圍處有一突起，因此在該自由表面(7, 9)之外圍區進行物質移除步驟(c2)以使該突起平坦化。

【請求項3】 如請求項1或2之方法，其中外圍區物質的移除係以一離子束聚焦在拋光後之該半導體或壓電層(5)的外圍區而進行研磨，該離子束掃描整個外圍區。

【請求項4】 如請求項1至3任一項之方法，其中外圍區物質的移除是在以輪廓測量法記錄被拋光自由表面(7, 9)的表面形貌之後進行，且外圍區物質移除後的修正後表面形貌只有一最大值，該最大值為最接近被拋光自由表面(7, 9)的修正後表面形貌之中心的點。

【請求項5】 如請求項1至4任一項之方法，其中待移轉至該受體底材(12)之該供體底材之半導體或壓電層(5)的部分(3)，係透過在該供體底材(11)及該受體底材(12)鍵合(d)之前形成一弱化區而界定，以使該部分(3)移轉至該受體底材(12)時包含沿着該弱化區分離該供體底材(11)。

【請求項6】 如請求項5之方法，其中該供體底材(11)中的弱化區係透過植入氫及/或氦而形成。

【請求項7】 如請求項1至6任一項之方法，其中該供體底材(11)包括一壓電層(5)，該供體底材之待處理及待鍵合的表面為該壓電層(5)之自由表面(7)，且該供體底材被移轉的部分為該壓電層(5)之該部分(3)。

【請求項8】 如請求項7之方法，其中提供該供體底材(11)包括以下連續步驟：

(a1) 將一厚壓電層(8)鍵合至一操縱底材(4)，

(a2) 從該厚壓電層(8)與該操縱底材(4)相對的那一側薄化該厚壓電層(8)，

這樣，所述化學機械拋光(c1)就會在與該操縱底材(4)相對的薄化後該壓電層(5)的自由表面(7)上進行。

【請求項9】 如請求項8之方法，其特徵在於該厚壓電層(8)的厚度在100 μm 及2 mm之間，較佳者在200 μm 及1 mm之間，且其特徵在於薄化及拋光後的該壓電層(5)的厚度在1 μm 及100 μm 之間，較佳者在5 μm 及50 μm 之間。

【請求項10】 如請求項8或9之方法，其中提供該供體底材(11)更包括，在該壓電層(5)之自由表面(7)的化學機械拋光(c1)之前，移除該供體底材(11)之一外圍部分之步驟(a3)。

【請求項11】 如請求項1至6任一項之方法，其中該供體底材(11)包括一半導體層，該供體底材的待處理及待鍵合表面為該半導體層之自由表面，且該供體底材的被移轉部分為該半導體層的一部分。

【請求項12】 如請求項7至11任一項之方法，其特徵在於其更包括在該半導體或壓電層(5)的自由表面上形成一電絕緣層(6)之步驟，以使該供體底材(11)及該受體底材(12)的鍵合(d)經由該電絕緣層(6)而進行。

【請求項13】 如請求項12之方法，其特徵在於形成在被拋光之該半導體或壓電層(5)之表面上的該電絕緣層(6)具有10 nm及10 μm 之間的厚度，較佳者為30 nm及5 μm 之間的厚度。

【請求項14】 如請求項12或13之方法，其中步驟(c)包括該供體底材(11)之半導體或壓電層(5)之自由表面(7)的處理，且其中在該自由表面(7)上形成該電絕緣層(6)係在處理步驟(c)之後及鍵合步驟(d)之前進行。

【請求項15】 如請求項1至14任一項之方法，其中提供該受體底材(12)之步驟(b)包括形成一電絕緣層(2)，較佳者為一氧化層，該受體底材(12)之待處理及待鍵合的表面為該電絕緣層(2)之自由表面(9)。

【請求項16】 如請求項15之方法，其特徵在於形成在該受體底材(12)之表面上的該電絕緣層(2)具有10 nm及10 μm 之間的厚度，較佳者為30 nm及5 μm 之間的厚度。

【請求項17】 如請求項15或16之方法，其中該電絕緣層(2)係以電漿增強化學氣相沉積(PECVD)方式形成。

【請求項18】 如請求項15至17任一項之方法，其中物質移除步驟(c2)是在該受體底材(12)之拋光後的整個自由表面(9)上進行。

【請求項19】 如請求項18之方法，其中在物質移除步驟期間，要從該電絕緣層(2)之自由表面(9)處移除的物質的量，係基於以橢圓偏振法及/或反射測量法獲得之該電絕緣層(2)的厚度測量值而決定。

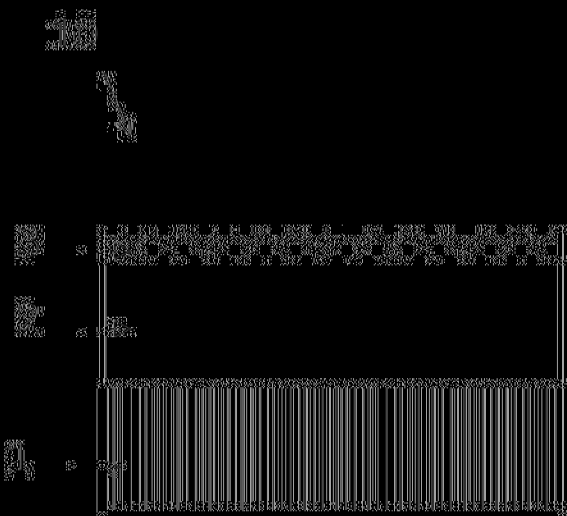


圖1

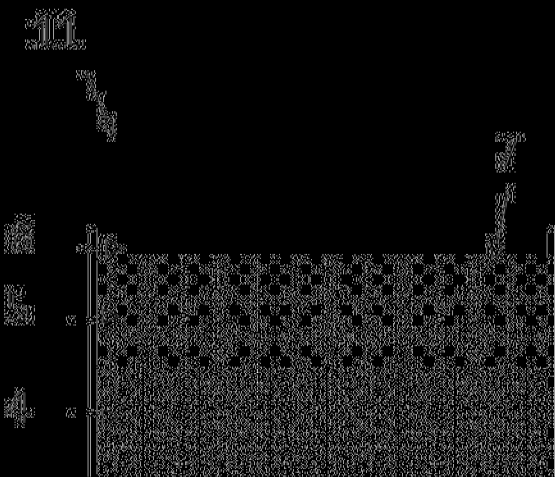


圖2

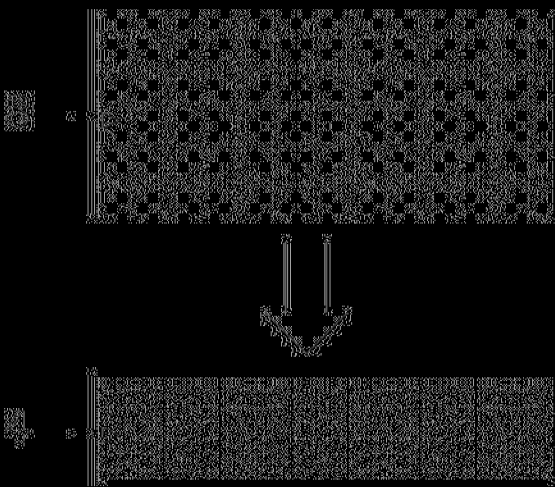


圖3

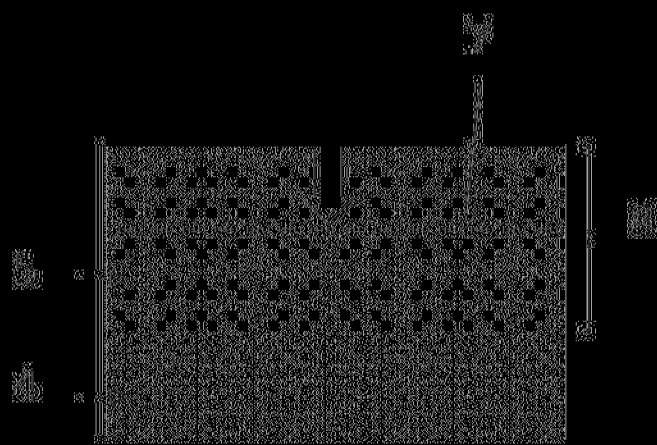


圖4

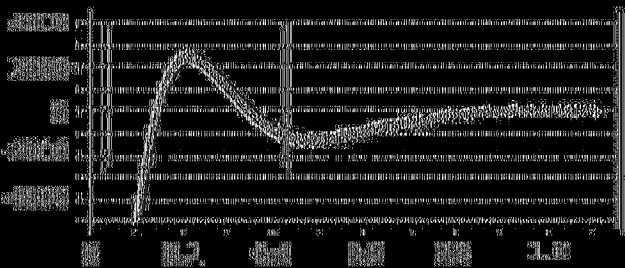


圖5

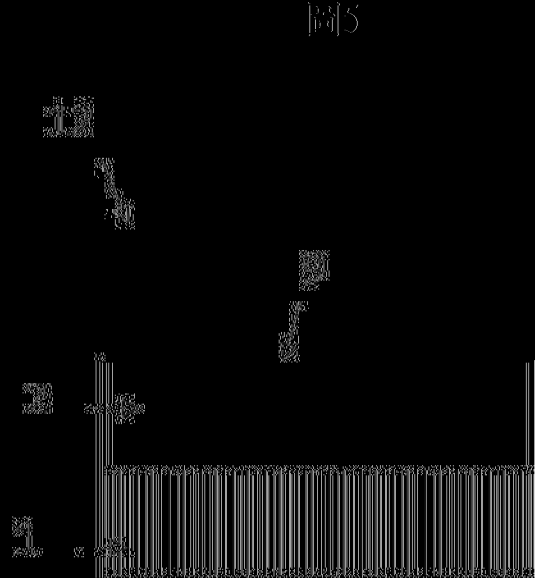


圖6

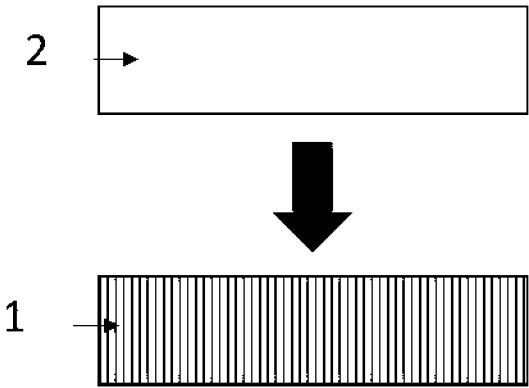


圖7

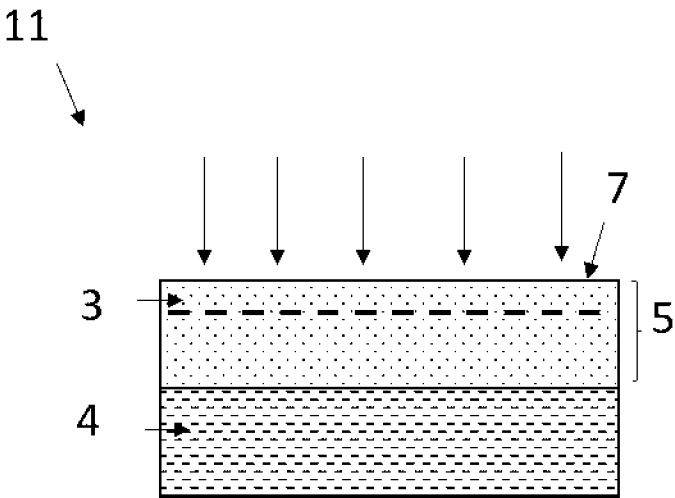


圖8

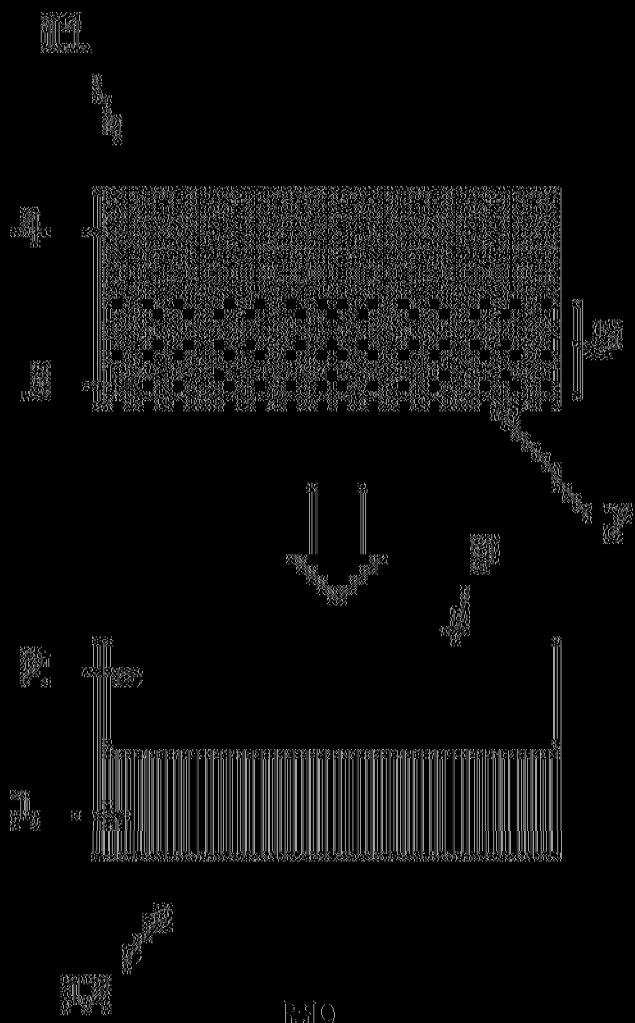


圖9

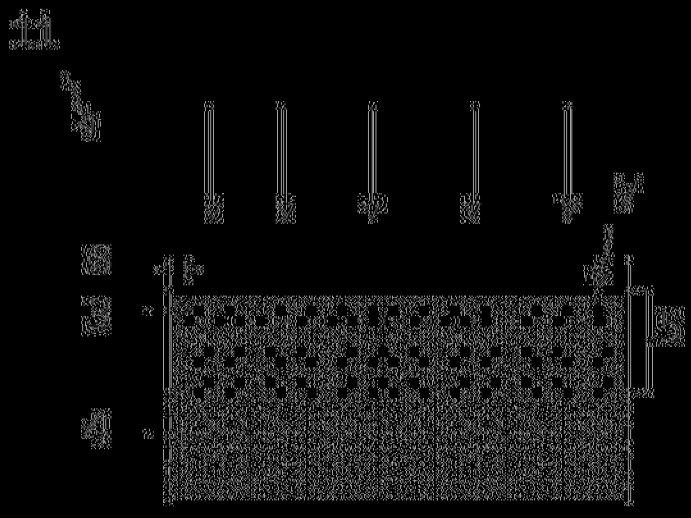


圖10



圖1