

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7323635号  
(P7323635)

(45)発行日 令和5年8月8日(2023.8.8)

(24)登録日 令和5年7月31日(2023.7.31)

(51)国際特許分類

F I

H 1 0 B	99/00	(2023.01)	H 1 0 B	99/00	4 9 5
H 1 0 B	43/27	(2023.01)	H 1 0 B	43/27	
H 1 0 B	10/00	(2023.01)	H 1 0 B	10/00	
H 1 0 B	43/40	(2023.01)	H 1 0 B	43/40	
H 0 1 L	27/00	(2006.01)	H 0 1 L	27/00	3 0 1 C

請求項の数 17 (全37頁) 最終頁に続く

(21)出願番号	特願2021-559121(P2021-559121)
(86)(22)出願日	令和1年5月17日(2019.5.17)
(65)公表番号	特表2022-528897(P2022-528897 A)
(43)公表日	令和4年6月16日(2022.6.16)
(86)国際出願番号	PCT/CN2019/087399
(87)国際公開番号	WO2020/232573
(87)国際公開日	令和2年11月26日(2020.11.26)
審査請求日	令和3年10月4日(2021.10.4)

(73)特許権者	519237948 長江存儲科技有限責任公司 Yangtze Memory Technologies Co., Ltd. 中華人民共和国湖北省武漢市東湖新技術 開發区未来三路88号 No. 88 Weilai 3rd Road, East Lake High-tech Development Zone, Wuhan, Hubei, China
(74)代理人	100109210 弁理士 新居 広守
(72)発明者	リ・ユエピン 中華人民共和国、フベイ 430074 最終頁に続く

(54)【発明の名称】 3次元メモリデバイス、3次元メモリデバイスを形成するための方法および3次元メモリデバイスを動作させるための方法

(57)【特許請求の範囲】

【請求項1】

3次元(3D)メモリデバイスであって、

周辺回路と、スタティックランダムアクセスメモリ(SRAM)セルのアレイと、複数の第1の接合接点を含む第1の接合層とを含む第1の半導体構造と、

3D NANDメモリストリングのアレイと、複数の第2の接合接点を含む第2の接合層とを含む第2の半導体構造と、

前記第1の接合層と前記第2の接合層との間の接合インターフェースであって、前記第1の接合接点は前記接合インターフェースで前記第2の接合接点と接触している、接合インターフェースと、を含み、

前記周辺回路および前記SRAMセルのアレイは、互いに積み重ねられる、3Dメモリデバイス。

【請求項2】

前記第1の半導体構造は、  
基板と、

前記基板上の前記周辺回路と、

前記基板上にあり、前記周辺回路と重ならない前記SRAMセルのアレイと、

前記周辺回路および前記SRAMセルのアレイの上の前記第1の接合層と、を含む、請求項1に記載の3Dメモリデバイス。

【請求項3】

前記第 2 の半導体構造は、  
 前記第 1 の接合層の上の前記第 2 の接合層と、  
 前記第 2 の接合層の上のメモリスタックと、  
 前記メモリスタックを通過して垂直に延在する前記 3 D NANDメモリストリングの  
 アレイと、  
 前記 3 D NANDメモリストリングのアレイの上であり、前記 3 D NANDメモリス  
 トリングのアレイと接触している半導体層と、を含む、請求項 2 に記載の 3 Dメモリデバ  
 イス。

【請求項 4】

前記半導体層の上にパッドアウト相互接続層をさらに含む、請求項 3 に記載の 3 Dメモ  
 リデバイス。 10

【請求項 5】

前記半導体層は、ポリシリコンまたは単結晶シリコンのうちの少なくとも 1 つを含む、  
 請求項 3 に記載の 3 Dメモリデバイス。

【請求項 6】

前記第 2 の半導体構造は、  
 基板と、  
 前記基板の上のメモリスタックと、  
 前記メモリスタックを通過して垂直に延在する前記 3 D NANDメモリストリングのア  
 レイと、  
 前記メモリスタックおよび前記 3 D NANDメモリストリングのアレイの上の前記第  
 2 の接合層と、を含む、請求項 1 に記載の 3 Dメモリデバイス。 20

【請求項 7】

前記第 1 の半導体構造は、  
 前記第 2 の接合層の上の前記第 1 の接合層と、  
 前記第 1 の接合層の上の前記周辺回路と、  
 前記第 1 の接合層の上であり、前記周辺回路と重ならない前記 S R A Mセルのアレイと、  
 前記周辺回路および前記 S R A Mセルのアレイの上であり、前記周辺回路および前記 S  
 R A Mセルのアレイと接触している半導体層と、を含む、請求項 6 に記載の 3 Dメモリデ  
 バイス。 30

【請求項 8】

前記半導体層の上にパッドアウト相互接続層をさらに含む、請求項 7 に記載の 3 Dメモ  
 リデバイス。

【請求項 9】

前記第 1 の半導体構造は、垂直方向で前記第 1 の接合層と前記 S R A Mセルのアレイと  
 の間に第 1 の相互接続層を含み、前記第 2 の半導体構造は、垂直方向で前記第 2 の接合層  
 と前記 3 D NANDメモリストリングのアレイとの間に第 2 の相互接続層を含む、請求  
 項 1 に記載の 3 Dメモリデバイス。

【請求項 10】

前記 3 Dメモリデバイスは、埋め込み型マルチメディアカード ( e M M C ) またはユニ  
 バーサルフラッシュストレージ ( U F S ) のうちの少なくとも 1 つにパッケージ化される  
 、請求項 1 に記載の 3 Dメモリデバイス。 40

【請求項 11】

3次元 ( 3 D )メモリデバイスを形成するための方法であって、  
 周辺回路と、スタティックランダムアクセスメモリ ( S R A M )セルのアレイと、複数の  
 の第 1 の接合接点を含む第 1 の接合層とを含む第 1 の半導体構造を形成することと、  
 3 D NANDメモリストリングのアレイと、複数の第 2 の接合接点を含む第 2 の接合  
 層とを含む第 2 の半導体構造を形成することと、  
 前記第 1 の接合接点が接合インターフェースで前記第 2 の接合接点と接触するように、  
 前記第 1 の半導体構造および前記第 2 の半導体構造を対面方式で接合することと、を含み、 50

前記周辺回路および前記 S R A Mセルのアレイは、互いに積み重ねられる、方法。

【請求項 1 2】

前記第 1 の半導体構造を形成することは、

前記周辺回路および前記 S R A Mセルのアレイを第 1 の基板上に形成することと、

前記周辺回路および前記 S R A Mセルのアレイの上に第 1 の相互接続層を形成することと、

前記第 1 の相互接続層の上に前記第 1 の接合層を形成することと、を含む、請求項 1 1 に記載の方法。

【請求項 1 3】

前記周辺回路および前記 S R A Mセルのアレイを形成することは、前記第 1 の基板上に複数のトランジスタを形成することを含む、請求項 1 2 に記載の方法。

【請求項 1 4】

前記第 2 の半導体構造を形成することは、

第 2 の基板の上にメモリストックを形成することと、

前記メモリストックを通して垂直に延在する前記 3 D N A N Dメモリストリングのアレイを形成することと、

前記 3 D N A N Dメモリストリングのアレイの上に第 2 の相互接続層を形成することと、

前記第 2 の相互接続層の上に前記第 2 の接合層を形成することと、を含む、請求項 1 1 に記載の方法。

【請求項 1 5】

前記第 2 の接合層の形成後に、前記第 2 の基板を薄くして半導体層を形成することと、

前記半導体層の上にパッドアウト相互接続層を形成することと、をさらに含む、

請求項 1 4 に記載の方法。

【請求項 1 6】

同じチップ内に、入力 / 出力回路と、オンダイスタティックランダムアクセスメモリ ( S R A M ) セルのアレイと、 3 D N A N Dメモリストリングのアレイとを含む 3 次元 ( 3 D ) メモリデバイスを動作させるための方法であって、前記オンダイ S R A Mセルは、前記入力 / 出力回路と同じ前記チップ上に形成される S R A Mセルであり、

前記方法は、

前記入力 / 出力回路を介して前記オンダイ S R A Mセルのアレイにデータを転送することと、

前記オンダイ S R A Mセルのアレイに前記データをバッファすることと、

前記オンダイ S R A Mセルのアレイから前記 3 D N A N Dメモリストリングのアレイに前記データをプログラムすることと、を含む、

前記オンダイ S R A Mセルのアレイに前記データをバッファすることと、前記 3 D N A N Dメモリストリングのアレイに前記データをプログラムすることとは同時に実行される、方法。

【請求項 1 7】

複数の接合接点を介して前記 3 D N A N Dメモリストリングのアレイと前記オンダイ S R A Mセルのアレイとの間で前記データを転送することをさらに含む、請求項 1 6 に記載の方法。

【発明の詳細な説明】

【背景技術】

【 0 0 0 1】

本開示の実施形態は、 3 次元 ( 3 D ) メモリデバイスおよびその製造方法に関する。

【 0 0 0 2】

プレーナメモリセルは、プロセス技術、回路設計、プログラミングアルゴリズム、および製造プロセスを改善することによって、より小さいサイズにスケールされる。しかしながら、メモリセルの形状サイズが下限に近づくにつれて、プレーナプロセスおよび製

10

20

30

40

50

造技術は難しくなり、費用がかかるようになる。その結果、プレーナメモリセルのメモリ密度は上限に近づく。

【0003】

3Dメモリアーキテクチャは、プレーナメモリセルにおける密度制限に対処することができる。3Dメモリアーキテクチャは、メモリアレイと、メモリアレイとの間の信号を制御するための周辺デバイスとを含む。

【発明の概要】

【0004】

スタティックランダムアクセスメモリ(SRAM)を有する3Dメモリデバイスの実施形態およびその製造方法が本明細書に開示される。

10

【0005】

一例では、3Dメモリデバイスは、周辺回路と、SRAMセルのアレイと、複数の第1の接合接点を有する第1の接合層とを有する第1の半導体構造を含む。3Dメモリデバイスはまた、3D NANDメモリストリングのアレイと、複数の第2の接合接点を有する第2の接合層とを有する第2の半導体構造と、第1の接合層と第2の接合層との間の接合インターフェースであって、第1の接合接点は、接合インターフェースで第2の接合接点と接触している、接合インターフェースとを含む。

【0006】

別の例では、3Dメモリデバイスを形成するための方法は、周辺回路と、SRAMセルのアレイと、複数の第1の接合接点を有する第1の接合層とを有する第1の半導体構造を形成することと、3D NANDメモリストリングのアレイと、複数の第2の接合接点を含む第2の接合層とを有する第2の半導体構造を形成することと、第1の接合接点が接合インターフェースで第2の接合接点と接触するように、第1の半導体構造および第2の半導体構造を対面方式で接合することとを含む。

20

【0007】

さらに別の例では、同じチップ内に入力/出力回路、SRAMセルのアレイ、および3D NANDメモリストリングのアレイを有する3Dメモリデバイスを動作させるための方法。本方法は、入力/出力回路を介してSRAMセルのアレイにデータを転送することと、SRAMセルのアレイにデータを記憶させることと、SRAMセルのアレイから3D NANDメモリストリングのアレイにデータをプログラムすることとを含むことができる。

30

【図面の簡単な説明】

【0008】

本明細書に組み込まれ、本明細書の一部を形成する添付の図面は、本開示の実施形態を示し、説明と共に、本開示の原理を説明し、当業者が本開示を作成および使用することを有効にするのにさらに役立つ。

【図1A】いくつかの実施形態による、SRAMを有する例示的な3Dメモリデバイスの断面の概略図を示す。

【図1B】いくつかの実施形態による、SRAMを有する別の例示的な3Dメモリデバイスの断面の概略図を示す。

【図2】いくつかの実施形態による、周辺回路およびSRAMを有する例示的な半導体構造の概略平面図を示す。

40

【図3】いくつかの実施形態による、SRAMを有する例示的な3Dメモリデバイスの断面図を示す。

【図4】いくつかの実施形態による、SRAMを有する別の例示的な3Dメモリデバイスの断面図を示す。

【図5A】いくつかの実施形態による、周辺回路およびSRAMを有する例示的な半導体構造を形成するための製造プロセスを示す。

【図5B】いくつかの実施形態による、周辺回路およびSRAMを有する例示的な半導体構造を形成するための製造プロセスを示す。

【図5C】いくつかの実施形態による、周辺回路およびSRAMを有する例示的な半導体

50

構造を形成するための製造プロセスを示す。

【図 6 A】いくつかの実施形態による、3D NANDメモリストリングを有する例示的な半導体構造を形成するための製造プロセスを示す。

【図 6 B】いくつかの実施形態による、3D NANDメモリストリングを有する例示的な半導体構造を形成するための製造プロセスを示す。

【図 7 A】いくつかの実施形態による、SRAMを有する例示的な3Dメモリデバイスを形成するための製造プロセスを示す。

【図 7 B】いくつかの実施形態による、SRAMを有する例示的な3Dメモリデバイスを形成するための製造プロセスを示す。

【図 8】いくつかの実施形態による、SRAMを有する3Dメモリデバイスを有する例示的なシステムの概略ブロック図を示す。 10

【図 9 A】いくつかの実施形態による、オンダイキャッシュとしてSRAMを使用する3Dメモリデバイスを有する例示的なシステムの概略ブロック図を示す。

【図 9 B】いくつかの実施形態による、オンダイデータバッファとしてSRAMを使用する3Dメモリデバイスを有する例示的なシステムの概略ブロック図を示す。

【図 10】いくつかの実施形態による、SRAMを有する3Dメモリデバイスを動作させるための例示的な方法のフローチャートである。

【図 11】いくつかの実施形態による、SRAMを有する3Dメモリデバイスを動作させるための別の例示的な方法のフローチャートである。

【図 12】いくつかの実施形態による、SRAMを有する3Dメモリデバイスを形成するための例示的な方法のフローチャートである。 20

【0009】

本開示の実施形態について、図面を参照しながら説明する。

【発明を実施するための形態】

【0010】

特定の構成および配置について説明するが、これは例示のみを目的として行われることを理解されたい。当業者は、本開示の精神および範囲から逸脱することなく、他の構成および配置を使用できることを認識するであろう。本開示が様々な他の用途にも使用できることは、当業者には明らかであろう。

【0011】

本明細書における「一実施形態 (one embodiment)」、「実施形態 (an embodiment)」、「例示的な実施形態 (an example embodiment)」、「いくつかの実施形態 (some embodiments)」などへの言及は、記載された実施形態が特定の特徴、構造、または特性を含み得ることを示すが、あらゆる実施形態が必ずしも特定の特徴、構造、または特性を含むとは限らないことに留意されたい。さらに、そのような語句は、必ずしも同じ実施形態を指すとは限らない。さらに、特定の特徴、構造、または特性が実施形態に関連して記載されている場合、明示的に記載されているか否かにかかわらず、他の実施形態に関連してそのような特徴、構造、または特性を達成することは、当業者の知識の範囲内である。 30

【0012】

一般に、用語は、文脈における使用から少なくとも部分的に理解され得る。例えば、本明細書で使用される「1つ以上」という用語は、文脈に少なくとも部分的に依存して、任意の特徴、構造、または特性を単数の意味で説明するために使用されてもよく、または特徴、構造、または特性の組み合わせを複数の意味で説明するために使用されてもよい。同様に、「1つの (a)」、「1つの (an)」、または「その (the)」などの用語は、文脈に少なくとも部分的に依存して、単数形の用法を伝えるか、または複数形の用法を伝えると理解されてもよい。さらに、「に基づく」という用語は、必ずしも排他的な要因のセットを伝達することを意図していないと理解されてもよく、代わりに、同じく文脈に少なくとも部分的に依存して、必ずしも明示的に説明されていない追加の要因の存在を可能にしてもよい。 40

## 【0013】

本開示における「上に (on)」、「上に (above)」、および「上方に (over)」の意味は、「上に (on)」が何かの「直接上に (directly on)」を意味するだけでなく、間に中間特徴部または層を有する何かの「上に (on)」の意味も含み、「上に (above)」または「上方に (over)」は何かの「上に (above)」または「上方に (over)」の意味を意味するだけでなく、間に中間特徴部または層を有さない何かの「上に (above)」または「上方に (over)」である(すなわち、何かの上に直接)という意味も含むことができるように、最も広く解釈されるべきであることは容易に理解されるべきである。

## 【0014】

さらに、「真下 (beneath)」、「下 (below)」、「下側 (lower)」、「上 (above)」、「上側 (upper)」などの空間的に相対的な用語は、本明細書では、図に示すように、1つの要素または特徴と別の要素または特徴との関係を説明するための説明を容易にするために使用され得る。空間的に相対的な用語は、図に示す向きに加えて、使用中または動作中のデバイスの異なる向きを包含することを意図している。装置は、他の方向に向けられてもよく(90度または他の向きに回転されてもよく)、本明細書で使用される空間的に相対的な記述子は、それに応じて同様に解釈されてもよい。

## 【0015】

本明細書で使用される場合、「基板」という用語は、後続の材料層がその上に追加される材料を指す。基板自体をパターンニングすることができる。基板の上に加えられる材料は、パターンニングされてもよく、またはパターンニングされないままであってもよい。さらに、基板は、シリコン、ゲルマニウム、ヒ化ガリウム、リン化インジウムなどの広範囲の半導体材料を含むことができる。あるいは、基板は、ガラス、プラスチック、またはサファイアウェハなどの非導電材料から作ることができる。

## 【0016】

本明細書で使用される場合、「層」という用語は、厚さを有する領域を含む材料部分を指す。層は、下もしくは上にある構造の全体にわたって延在することができ、または下もしくは上にある構造の範囲よりも小さい範囲を有することができる。さらに、層は、連続構造の厚さよりも小さい厚さを有する均一または不均一な連続構造の領域であり得る。例えば、層は、連続構造の上面と底面との間、または上面と底面における任意の対の水平面との間に位置することができる。層は、水平方向、垂直方向、および/またはテーパ面に沿って延在することができる。基板は、層とすることができ、その中に1つ以上の層を含むことができ、ならびに/またはその上方、その上、および/もしくはその下に1つ以上の層を有することができる。層は複数の層を含むことができる。例えば、相互接続層は、1つ以上の導体および接触層(子の中に相互接続線および/またはビア接点形成される)ならびに1つ以上の誘電体層を含むことができる。

## 【0017】

本明細書で使用される場合、「名目/名目上」という用語は、製品またはプロセスの設計段階中に設定される、構成要素またはプロセス動作の特性またはパラメータの所望のまたは目標の値を、所望の値より上および/または下の値の範囲と共に指す。値の範囲は、製造プロセスまたは公差のわずかな変動に起因し得る。本明細書で使用される場合、「約」という用語は、対象の半導体デバイスに関連する特定の技術ノードに基づいて変化し得る所与の量の値を示す。特定の技術ノードに基づいて、用語「約」は、例えば、値の10~30%(例えば、値の $\pm 10\%$ 、 $\pm 20\%$ 、または $\pm 30\%$ )の範囲内で変化する所与の量の値を示すことができる。

## 【0018】

本明細書で使用される場合、「3Dメモリデバイス」という用語は、メモリストリングが基板に対して垂直方向に延在するように、メモリセルトランジスタの垂直に配向されたストリング(本明細書ではNANDメモリストリングなどの「メモリストリング」と呼ば

10

20

30

40

50

れる)を横方向に配向された基板上に有する半導体デバイスを指す。本明細書で使用される場合、「垂直/垂直に」という用語は、基板の側面に対して名目上垂直であることを意味する。

【0019】

従来の3Dメモリデバイスでは、同じ平面上のメモリアレイデバイスの外側に形成された周辺回路は、デバイスチップの大部分を占める可能性があるため、アレイ効率が悪く、ダイサイズが大きく、コストが高い。また、メモリアレイデバイスの処理に関連するサーマルバジェットは、周辺回路の性能要件を制限し、3Dメモリデバイスの高い入出力(I/O)速度を達成することを困難にする。さらに、メモリ技術では、プログラムデータのキャッシングおよび/またはバッファリングに基づく動作は、しばしば追加のメモリ空間を必要とする。従来の3Dメモリアーキテクチャでは、追加のメモリ空間を実装する必要がある特定の動作が困難になっている。

10

【0020】

例えば、シーケンシャルプログラミングの性能(例えば、速度)を向上させるために、メモリデバイスのソリッドステートドライブでは、キャッシュプログラム動作が一般的に使用されている。キャッシュプログラム動作では、より高速なプログラミングを可能にするために、プログラムデータは、キャッシュにキャッシュ/バッファリングされながらメモリセルに順次書き込まれる。ボリュームおよびコストなどの考慮事項により、キャッシュ空間は、多くの場合、埋め込み型マルチメディアカード(eMMC)またはユニバーサルフラッシュストレージ(UFS)などのメモリパッケージ内に形成されない。このようなメモリパッケージでは、キャッシュプログラム動作が有効になっていないことがよくある。結果として、これらのメモリパッケージでの高速シーケンシャルプログラミングが制限される可能性がある。別の例では、メモリデバイスは、プログラムデータをバッファリングおよび送信するためにかなりの量のリソース(例えば、データバッファおよびデータバス)を使用する可能性がある。これにより、他の動作(例えば、他の動作のためのデータのバッファリングおよび/または送信)が遅くなる可能性がある。メモリデバイスの全体的な性能が制限される可能性がある。

20

【0021】

本開示による様々な実施形態は、I/O速度、スループット、およびメモリ密度が改善されたオンチップスタティックランダムアクセスメモリ(SRAM)を有する3Dメモリデバイスを提供する。オンダイSRAMセルは、3Dメモリデバイスの周辺回路と同じチップ上に形成される。SRAMセルは、周辺回路によって占有されていない領域(例えば、周辺回路に隣接する予備空間)内に位置することができ、したがって、余分な空間を形成する必要がない。オンダイSRAMは、3Dメモリデバイスのメモリセルでの高速読み出しおよび書き込み動作を可能にすることができる。一実施形態では、オンダイSRAMは、キャッシュプログラム動作のためのキャッシュとして使用される。別の実施形態では、オンダイSRAMは、メモリセルの粗いプログラミングおよび細かいプログラミングのためのデータバッファとして使用され、システムのメインバッファ内のバッファリング空間を解放する。したがって、オンダイSRAMは、3Dメモリデバイス内の高速シーケンシャルプログラミングを可能にし、他の動作のためにメインバッファ内により多くの空間を解放できるようにする。

30

40

【0022】

図1Aは、いくつかの実施形態による、SRAMを有する例示的な3Dメモリデバイス100の断面の概略図を示す。3Dメモリデバイス100は、非モノリシック3Dメモリデバイスの一例を表す。用語「非モノリシック」は、3Dメモリデバイス100の構成要素(例えば、周辺回路/SRAMおよび3DNANDメモリ)を異なる基板上に別々に形成してから接合して、3Dメモリデバイスを形成することができることを意味する。3Dメモリデバイス100は、周辺回路およびSRAMセルのアレイを含む第1の半導体構造102を含むことができる。周辺回路およびSRAMセルアレイの両方は、高速を達成するために高度な論理プロセス(例えば、90nm、80nm、65nm、55nm、4

50

5 nm、40 nm、32 nm、28 nm、22 nm、20 nm、16 nm、14 nm、10 nm、7 nm、5 nm、3 nmなどのテクノロジーノード)で実装することができる。いくつかの実施形態では、第1の半導体構造102内の周辺回路およびSRAMセルアレイは、相補型金属酸化膜半導体(CMOS)技術を使用する。

#### 【0023】

いくつかの実施形態では、周辺回路は、3Dメモリデバイス100の動作を容易にするために使用される任意の適切なデジタル、アナログ、および/または混合信号周辺回路を含む。例えば、周辺回路は、ページバッファ、デコーダ(例えば、行デコーダおよび列デコーダ)、センス増幅器、ドライバ、チャージポンプ、電流もしくは電圧基準、または回路の任意の能動もしくは受動構成要素(例えば、トランジスタ、ダイオード、抵抗器、またはコンデンサ)のうちの1つ以上を含むことができる。SRAMは、論理回路(周辺回路など)の同じダイに統合されているため、バスの幅が広がり、動作速度が速くなる。SRAMのメモリコントローラは、周辺回路の一部として組み込むことができる。いくつかの実施形態では、各SRAMセルは、負電荷の正としてデータのビットをストリングするための複数のトランジスタ、ならびにそれへのアクセスを制御する1つ以上のトランジスタを含む。一例では、各SRAMセルは、例えば、データのビットを記憶させるための4つのトランジスタと、データへのアクセスを制御するための2つのトランジスタとの、6つのトランジスタ(例えば、金属酸化物半導体電界効果トランジスタ(MOSFET))を有する。

#### 【0024】

3Dメモリデバイス100はまた、3D NANDメモリストリングのアレイを含む第2の半導体構造104を含むことができる。すなわち、第2の半導体構造104は、メモリセルがNANDメモリストリングのアレイの形態で設けられたNANDフラッシュメモリデバイスとすることができる。いくつかの実施形態では、NAND技術(例えば、メモリストック内のレベル/階層の数)に応じて、3D NANDメモリストリングは、通常、32から256個のNANDメモリセルからなる。3D NANDメモリストリングはページに編成することができ、次いでブロックに編成され、各3D NANDメモリストリングは、ビット線(BL)と呼ばれる別個の線に接続される。3D NANDメモリストリング内の同じ位置を有するすべてのセルは、ワード線(WL)によって制御ゲートを介して接続することができる。いくつかの実施形態では、平面は、同じビット線を介して接続された特定の数のブロックを含む。第2の半導体構造104は1つ以上の平面を含んでもよく、すべての読み出し/書き込み/消去動作を行うために必要な周辺回路は、第1の半導体構造102に含めることができる。

#### 【0025】

図1Aに示すように、3Dメモリデバイス100は、垂直方向で第1の半導体構造102と第2の半導体構造104との間に接合インターフェース106をさらに含む。以下で詳細に説明するように、第1の半導体構造102および第2の半導体構造104は、第1の半導体構造102および第2の半導体構造104の一方を製造するサーマルバジェットが、第1の半導体構造102および第2の半導体構造104の他方を製造するプロセスを限定しないように、別々に(いくつかの実施形態では並列に)製造することができる。さらに、回路基板上の長距離チップツーチップデータバスとは対照的に、第1の半導体構造102と第2の半導体構造104との間に直接的で短い電気接続を行うために、接合インターフェース106を介して多数の相互接続(例えば、ハイブリッド接合を介した接合接点)を形成することができ、それにより、チップインターフェース遅延が排除され、消費電力を抑えながら高速I/Oスループットを実現する。第2の半導体構造104内の3D NANDメモリストリングのアレイと、第1の半導体構造102内のSRAMセルのアレイとの間のデータ転送は、接合インターフェース106を介した相互接続(例えば、ハイブリッド接合を介した接合接点)を介して実行され得る。また、第1の半導体構造102および第2の半導体構造104とを垂直統合することで、チップサイズを小さくすることができ、メモリセル密度を高くすることができる。

10

20

30

40

50

## 【 0 0 2 6 】

積み重ねられた第1の半導体構造102および第2の半導体構造104の相対位置は限定されないことが理解される。図1Bは、いくつかの実施形態による、SRAMを有する別の例示的な3Dメモリデバイス101の断面の概略図を示す。3D NANDメモリストリングのアレイを含む第2の半導体構造104が周辺回路およびSRAMセルのアレイを含む第1の半導体構造102の上にある図1Aの3Dメモリデバイス100とは異なり、図1Bの3Dメモリデバイス100では、周辺回路およびSRAMセルのアレイを含む第1の半導体構造102は、3D NANDメモリストリングのアレイを含む第2の半導体構造104の上にある。それにもかかわらず、いくつかの実施形態によれば、接合インターフェース106は、垂直方向で3Dメモリデバイス101内の第1の半導体構造102および第2の半導体構造104との間に形成され、第1の半導体構造102および第2の半導体構造104は、接合（例えば、ハイブリッド接合）によって垂直方向に接合される。第2の半導体構造104内の3D NANDメモリストリングのアレイと、第1の半導体構造102内のSRAMセルのアレイとの間のデータ転送は、接合インターフェース106を介した相互接続（例えば、ハイブリッド接合を介した接合接点）を介して実行され得る。

10

## 【 0 0 2 7 】

図2は、いくつかの実施形態による、周辺回路およびSRAMを有する例示的な半導体構造200の概略平面図を示す。半導体構造200は、第1の半導体構造102の一例であってもよい。半導体構造200は、3D NANDメモリを制御および感知するための周辺回路を含むことができ、ワード線ドライバ202、ページバッファ204、および任意の他の適切な回路が含まれる。半導体構造200は、周辺回路と同じダイ上にSRAM206をさらに含むことができ、周辺回路と同じ論理プロセスを使用して製造される。図2は、周辺回路（例えば、ワード線ドライバ202、ページバッファ204）およびSRAM206の例示的なレイアウトを示し、周辺回路（例えば、ワード線ドライバ202、ページバッファ204）およびSRAM206は、同じ平面上の異なる領域に形成される。例えば、SRAM206は、周辺回路（例えば、ワード線ドライバ202、ページバッファ204）の外側に形成されてもよい。半導体構造200のレイアウトは、図2の例示的なレイアウトに限定されないことが理解される。いくつかの実施形態では、周辺回路（例えば、ワード線ドライバ202およびページバッファ204）およびSRAM206は、同じ平面の重複しない領域に形成される。いくつかの実施形態では、平面上で、SRAM206は、周辺回路の形成に使用されない空間内に形成される。いくつかの実施形態では、周辺回路（例えば、ワード線ドライバ202およびページバッファ204）およびSRAM206（例えば、SRAMセルのアレイ）は、互いに、すなわち異なる平面上に積み重ねられる。例えば、SRAM206（例えば、SRAMセルのアレイ）を周辺回路（例えば、ワード線ドライバ202、ページバッファ204）の上または下に形成して、チップサイズをさらに小さくしてもよい。

20

30

## 【 0 0 2 8 】

図3は、いくつかの実施形態による、SRAMを有する例示的な3Dメモリデバイス300の断面図を示す。図1Aに関して上述した3Dメモリデバイス100の一例として、3Dメモリデバイス300は、第1の半導体構造302と、第1の半導体構造302の上に積み重ねられた第2の半導体構造304とを含む非モノリシック3Dメモリデバイスである。第1の半導体構造302および第2の半導体構造304は、それらの間の接合インターフェース306で接合されている。図3に示すように、第1の半導体構造302は、シリコン（例えば、単結晶シリコン）、シリコンゲルマニウム（SiGe）、ヒ化ガリウム（GaAs）、ゲルマニウム（Ge）、シリコン・オン・インシュレータ（SOI）、または任意の他の適切な材料を含むことができる基板308を含むことができる。

40

## 【 0 0 2 9 】

3Dメモリデバイス300の第1の半導体構造302は、基板308の上にデバイス層310を含むことができる。3Dメモリデバイス300内の構成要素の空間的關係をさら

50

に示すために、 $x$ 軸および $y$ 軸が図3に追加されていることに留意されたい。基板308は、 $x$ 方向に横方向（横方向または幅方向）に延在する2つの側面（例えば、上面および底面）を含む。本明細書で使用される場合、1つの構成要素（例えば、層またはデバイス）が他の半導体デバイス（例えば、3Dメモリデバイス300）の「上に」、「上方に」、または「下に」あるかどうかは、基板が半導体デバイスの $y$ 方向の最下面に位置決めされるとき、半導体デバイスの基板（例えば、基板308）に対して $y$ 方向（垂直方向または厚さ方向）に判定される。空間的関係を説明するための同じ概念が、本開示全体にわたって適用される。

#### 【0030】

いくつかの実施形態では、デバイス層310は、基板308上の周辺回路312と、基板308上および周辺回路312の外側のSRAMセル314のアレイとを含む。いくつかの実施形態では、周辺回路312は、ページバッファ、デコーダ（例えば、行デコーダおよび列デコーダ）、センス増幅器、ドライバ、チャージポンプ、電流または電圧基準を含むがこれらに限定されない、3Dメモリデバイス300の動作を容易にするために使用される任意の適切なデジタル、アナログ、および/または混合信号周辺回路を形成する複数の周辺トランジスタ316を含む。周辺トランジスタ316は、基板308「上に」形成することができ、周辺トランジスタ316の全体または一部は、基板308内に（例えば、基板308の上面の下）および/または基板308上に直接形成される。分離領域（例えば、シャロー・トレンチ・アイソレーション（STI））およびドープ領域（例えば、周辺トランジスタ316のソース領域およびドレイン領域）は、基板308内にも形成

10

20

#### 【0031】

いくつかの実施形態では、各SRAMセル314は、複数のSRAMトランジスタ318（例えば、MOSFET）を含む。いくつかの実施形態では、SRAMセル314は、1ビットのデータを記憶させるための4つのMOSFETと、データへのアクセスを制御するための2つのMOSFETとからなる6Tセルである。SRAMセル314は、6つより多いまたは少ないトランジスタ（例えば、ビット当たりより多いまたはより少ないトランジスタ）などの任意の適切な構成のものであってもよいことが理解される。いくつかの実施形態では、SRAMトランジスタ318は基板308「上に」形成され、SRAMトランジスタ318の全体または一部は、基板308内に（例えば、基板308の上面の下）および/または基板308上に直接形成される。分離領域（例えば、シャロー・トレンチ・アイソレーション（STI））およびドープ領域（例えば、SRAMトランジスタ318のソース領域およびドレイン領域）は、基板308内にも形成することができる。図3に示すように、SRAMトランジスタ318および周辺トランジスタ316は、同じ平面、例えば基板308上の異なる領域に形成することができる。すなわち、SRAMトランジスタ318は、基板308上に周辺回路312が形成される領域の外側に形成することができる。いくつかの実施形態では、2つのアクセスMOSFET（例えば、データのアクセスを制御するMOSFET）はワード線によって制御され、4つのストレージMOSFET（例えば、データのビットを記憶させるMOSFET）はビット線に結合され、2つのアクセスMOSFETによって制御される。説明を容易にするために、図3は、限られた数のSRAMトランジスタ318と、SRAMトランジスタ318のビット線319への接続のみを示している。電極接点320は、MOSFETの電極および共通プレート321、例えば共通接地に接続することができる。図3の構成、例えば、SRAMトランジスタのレイアウトおよびSRAMトランジスタ318とビット線319との間の接続は、SRAMトランジスタと他の構成要素（例えば、ワード線、ビット線、および接地）との間の実際のレイアウトおよび電氣的接続を反映しないことが理解される。

30

40

#### 【0032】

いくつかの実施形態では、3Dメモリデバイス300の第1の半導体構造302は、周辺回路312およびSRAMセル314のアレイとの間で電気信号を転送するために、デバイス層310の上に相互接続層322をさらに含む。相互接続層322は、横方向相互

50

接続線および垂直相互接続アクセス（ビア）接点を含む複数の相互接続（本明細書では「接点」とも呼ばれる）を含むことができる。本明細書で使用される場合、「相互接続」という用語は、ミドルエンドオブライン（MEO L）相互接続およびバックエンドオブライン（BEO L）相互接続などの任意の適切なタイプの相互接続を広く含むことができる。相互接続層 3 2 2 は、その中に相互接続線およびビア接点を形成することができる 1 つ以上の層間誘電体（ILD）層（「金属間誘電体（IMD）層」としても知られる）をさらに含むことができる。すなわち、相互接続層 3 2 2 は、複数の ILD 層内に相互接続線およびビア接点を含むことができる。相互接続層 3 2 2 内の相互接続線およびビア接点は、タングステン（W）、コバルト（Co）、銅（Cu）、アルミニウム（Al）、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電材料を含むことができる。相互接続層 3 2 2 内の ILD 層は、酸化シリコン、窒化シリコン、酸窒化シリコン、低誘電率（low - k）誘電体、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。

10

#### 【0033】

図 3 に示すように、3 Dメモリデバイス 3 0 0 の第 1 の半導体構造 3 0 2 は、接合インターフェース 3 0 6 において、かつ相互接続層 3 2 2 およびデバイス層 3 1 0（周辺回路 3 1 2 および SRAMセル 3 1 4 のアレイを含む）の上に接合層 3 2 4 をさらに含むことができる。接合層 3 2 4 は、複数の接合接点 3 2 6 と、接合接点 3 2 6 を電氣的に絶縁する誘電体とを含むことができる。接合接点 3 2 6 は、W、Co、Cu、Al、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電材料を含むことができる。接合層 3 2 4 の残りの領域は、酸化シリコン、窒化シリコン、酸窒化シリコン、低 k 誘電体、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体で形成することができる。接合層 3 2 4 内の接合接点 3 2 6 および周囲の誘電体は、ハイブリッド接合に使用することができる。

20

#### 【0034】

同様に、図 3 に示すように、3 Dメモリデバイス 3 0 0 の第 2 の半導体構造 3 0 4 はまた、接合インターフェース 3 0 6 において、かつ第 1 の半導体構造 3 0 2 の接合層 3 2 4 の上に接合層 3 2 8 を含むことができる。接合層 3 2 8 は、複数の接合接点 3 3 0 と、接合接点 3 3 0 を電氣的に絶縁する誘電体とを含むことができる。接合接点 3 3 0 は、W、Co、Cu、Al、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電材料を含むことができる。接合層 3 2 8 の残りの領域は、酸化シリコン、窒化シリコン、酸窒化シリコン、低 k 誘電体、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体で形成することができる。接合層 3 2 8 内の接合接点 3 3 0 および周囲の誘電体は、ハイブリッド接合に使用することができる。

30

#### 【0035】

上述したように、第 2 の半導体構造 3 0 4 は、接合インターフェース 3 0 6 において第 1 の半導体構造 3 0 2 の上に対面方式で接合することができる。いくつかの実施形態では、接合インターフェース 3 0 6 は、直接接合技術（例えば、はんだまたは接着剤などの中間層を使用せずに表面間の接合を形成する）であり、金属 - 金属接合および誘電体 - 誘電体接合を同時に得ることができるハイブリッド接合（「金属 / 誘電体ハイブリッド接合」としても知られる）の結果として、接合層 3 2 4 と 3 2 8 との間に配置される。いくつかの実施形態では、接合インターフェース 3 0 6 は、接合層 3 2 4 および 3 2 8 が出会って接合される場所である。実際には、接合インターフェース 3 0 6 は、第 1 の半導体構造 3 0 2 の接合層 3 2 4 の上面および第 2 の半導体構造 3 0 4 の接合層 3 2 8 の底面を含む特定の厚さを有する層とすることができる。

40

#### 【0036】

いくつかの実施形態では、3 Dメモリデバイス 3 0 0 の第 2 の半導体構造 3 0 4 は、電気信号を転送するために接合層 3 2 8 の上に相互接続層 3 3 2 をさらに含む。相互接続層 3 3 2 は、MEO L 相互接続および BEO L 相互接続などの複数の相互接続を含むことができる。相互接続層 3 3 2 は、相互接続線およびビア接点が形成され得る 1 つ以上の IL

50

D層をさらに含むことができる。相互接続層332内の相互接続線およびビア接点は、W、Co、Cu、Al、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電材料を含むことができる。相互接続層332内のILD層は、酸化シリコン、窒化シリコン、酸窒化シリコン、低k誘電体、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。

#### 【0037】

いくつかの実施形態では、3Dメモリデバイス300の第2の半導体構造304は、メモリセルが相互接続層332および接合層328の上に3D NANDメモリストリング338のレイの形態で提供されるNANDフラッシュメモリデバイスを含む。いくつかの実施形態によれば、各3D NANDメモリストリング338は、それぞれが導体層334および誘電体層336を含む複数の対を通して垂直に延在する。積み重ねられ交互配置された導体層334および誘電体層336は、本明細書ではメモリストック333とも呼ばれる。いくつかの実施形態によれば、メモリストック333内の交互配置された導体層334および誘電体層336は、垂直方向に交互になる。言い換えれば、メモリストック333の上部または底部のものを除いて、各導体層334は両側で2つの誘電体層336によって隣接されることができ、各誘電体層336は両側で2つの導体層334によって隣接されることができる。導体層334は、それぞれ同じ厚さまたは異なる厚さを有することができる。同様に、誘電体層336は、それぞれ同じ厚さまたは異なる厚さを有することができる。導体層334は、W、Co、Cu、Al、ドーピングシリコン、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電材料を含むことができる。誘電体層336は、酸化シリコン、窒化シリコン、酸窒化シリコン、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。

#### 【0038】

いくつかの実施形態では、各3D NANDメモリストリング338は、半導体チャンネル342およびメモリ膜340を含む「チャージトラップ」タイプのNANDメモリストリングである。いくつかの実施形態では、半導体チャンネル342は、アモルファスシリコン、ポリシリコン、または単結晶シリコンなどのシリコンを含む。いくつかの実施形態では、メモリ膜340は、トンネル層、蓄積層（「チャージトラップ/蓄積層」としても知られる）、およびブロッキング層を含む複合誘電体層である。各3D NANDメモリストリング338は、円筒形状（例えば、ピラー形状）を有することができる。いくつかの実施形態によれば、メモリ膜340の半導体チャンネル342、トンネル層、蓄積層、およびブロッキング層は、この順序でピラーの中心から外面に向かう方向に沿って配置される。トンネル層は、酸化シリコン、酸窒化シリコン、またはそれらの任意の組み合わせを含むことができる。蓄積層は、窒化シリコン、酸窒化シリコン、シリコン、またはそれらの任意の組み合わせを含むことができる。ブロッキング層は、酸化シリコン、酸窒化シリコン、高誘電率（高k）誘電体、またはそれらの任意の組み合わせを含むことができる。一例では、ブロッキング層は、酸化シリコン/酸窒化シリコン/酸化シリコン（ONO）の複合層を含むことができる。別の例では、ブロッキング層は、酸化アルミニウム（Al<sub>2</sub>O<sub>3</sub>）層、酸化ハフニウム（HfO<sub>2</sub>）層、酸化タンタル（TA<sub>2</sub>O<sub>5</sub>）層などの高k誘電体層を含むことができる。

#### 【0039】

いくつかの実施形態では、3D NANDメモリストリング338は、複数の制御ゲート（各々がワード線の一部である）をさらに含む。メモリストック333内の各導体層334は、3D NANDメモリストリング338の各メモリセルの制御ゲートとして機能することができる。いくつかの実施形態では、各3D NANDメモリストリング338は、垂直方向のそれぞれの端部に2つのプラグ344および346を含む。プラグ344は、半導体層348からエピタキシャル成長された単結晶シリコンなどの半導体材料を含むことができる。プラグ344は、3D NANDメモリストリング338のソース選択ゲートによって制御されるチャンネルとして機能することができる。プラグ344は、3D NANDメモリストリング338の上端にあり、半導体チャンネル342と接触することが

できる。本明細書で使用される場合、構成要素（例えば、3D NANDメモリストリング338）の「上端」は、y方向において基板308からより遠い端部であり、構成要素（例えば、3D NANDメモリストリング338）の「下端」は、基板308が3Dメモリデバイス300の最も低い平面に配置されているとき、y方向において基板308により近い端部である。別のプラグ346は、半導体材料（例えば、ポリシリコン）または導電材料（例えば、金属）を含むことができる。いくつかの実施形態では、プラグ346は、チタン/窒化チタン（バリア層としてのTi/TiN）およびタングステン（導体として）で充填された開口部を含む。3Dメモリデバイス300の製造中に3D NANDメモリストリング338の上端を覆うことによって、プラグ346は、酸化シリコンおよび窒化シリコンなどの3D NANDメモリストリング338に充填された誘電体のエッチングを防止するエッチング停止層として機能することができる。いくつかの実施形態では、プラグ346は、3D NANDメモリストリング338のドレインとして機能する。

10

#### 【0040】

いくつかの実施形態では、第1の半導体構造302は、メモリスタック333および3D NANDメモリストリング338の上に配置された半導体層348をさらに含む。半導体層348は、その上にメモリスタック333および3D NANDメモリストリング338が形成される薄くされた基板とすることができる。いくつかの実施形態では、半導体層348は、プラグ344をエピタキシャル成長させることができる単結晶シリコンを含む。いくつかの実施形態では、半導体層348は、ポリシリコン、アモルファスシリコン、SiGe、GaAs、Ge、または任意の他の適切な材料を含むことができる。半導体層348はまた、分離領域およびドープ領域（例えば、3D NANDメモリストリング338のアレイ共通ソースとして機能する、図示せず）を含むことができる。分離領域（図示せず）は、ドープ領域を電氣的に分離するために半導体層348の厚さ全体または厚さの一部にわたって延在することができる。いくつかの実施形態では、酸化シリコンを含むパッド酸化物層が、メモリスタック333と半導体層348との間に配置される。

20

#### 【0041】

3D NANDメモリストリング338は、「チャージトラップ」タイプの3D NANDメモリストリングに限定されず、他の実施形態では「フローティングゲート」タイプの3D NANDメモリストリングであってもよいことが理解される。半導体層348は、「フローティングゲート」タイプの3D NANDメモリストリングのソースプレートとしてポリシリコンを含むことができる。

30

#### 【0042】

図3に示すように、3Dメモリデバイス300の第2の半導体構造304は、半導体層348の上にパッドアウト相互接続層350をさらに含むことができる。パッドアウト相互接続層350は、1つ以上のILD層内に相互接続、例えば接点パッド352を含む。パッドアウト相互接続層350および相互接続層332は、半導体層348の両側に形成することができる。いくつかの実施形態では、パッドアウト相互接続層350内の相互接続は、例えばパッドアウト目的のために、3Dメモリデバイス300と外部回路との間で電気信号を転送することができる。

#### 【0043】

いくつかの実施形態では、第2の半導体構造304は、パッドアウト相互接続層350と相互接続層332および322とを電氣的に接続するために、半導体層348を通して延在する1つ以上の接点354をさらに含む。結果として、SRAMセル314のアレイは、相互接続層322および332ならびに接合接点326および330を介して、3D NANDメモリストリング338のアレイに電氣的に接続することができる。さらに、周辺回路312、SRAMセル314のアレイ、および3D NANDメモリストリング338のアレイは、接点354およびパッドアウト相互接続層350を介して外部回路に電氣的に接続することができる。

40

#### 【0044】

図4は、いくつかの実施形態による、SRAMを有する別の例示的な3Dメモリデバイ

50

ス400の断面図を示す。図3で上述した3Dメモリデバイス300と同様に、3Dメモリデバイス400は、3D NANDメモリストリングを含む第1の半導体構造402と、周辺回路およびSRAMセルを含む第2の半導体構造404とが別々に形成され、接合インターフェース406で対面方式で接合される非モノリシック3Dメモリデバイスの一例を表す。周辺回路およびSRAMセルを含む第1の半導体構造302が3D NANDメモリストリングを含む第2の半導体構造304の下にある、図3で上述した3Dメモリデバイス300とは異なり、図4の3Dメモリデバイス400は、3D NANDメモリストリングを含む第1の半導体構造402の上に配置された、周辺回路およびSRAMセルを含む第2の半導体構造404を含む。3Dメモリデバイス300および400の両方における同様の構造（例えば、材料、製造プロセス、機能など）の詳細は、以下では繰り返されないことが理解される。

10

#### 【0045】

3Dメモリデバイス400の第1の半導体構造402は、基板408と、基板408の上の交互配置された導体層412および誘電体層414を含むメモリスタック410とを含むことができる。いくつかの実施形態では、3D NANDメモリストリング416のレイはそれぞれ、基板408の上のメモリスタック410内の交互配置された導体層412および誘電体層414を通過して垂直に延在する。各3D NANDメモリストリング416は、半導体チャネル420およびメモリ膜418を含むことができる。各3D NANDメモリストリング416は、それぞれその下端および上端に、2つのプラグ422および424をさらに含む。3D NANDメモリストリング416は、「チャージトラップ」タイプの3D NANDメモリストリングまたは「フローティングゲート」タイプの3D NANDメモリストリングとすることができる。いくつかの実施形態では、酸化シリコンを含むパッド酸化層が、メモリスタック410と基板408との間に配置される。

20

#### 【0046】

いくつかの実施形態では、3Dメモリデバイス400の第1の半導体構造402はまた、3D NANDメモリストリング416との間で電気信号を転送するために、メモリスタック410および3D NANDメモリストリング416の上に相互接続層426を含む。相互接続層426は、相互接続線およびビア接点を含む複数の相互接続を含むことができる。いくつかの実施形態では、相互接続層426内の相互接続はまた、ビット線接点およびワード線接点などのローカル相互接続を含む。いくつかの実施形態では、3Dメモリデバイス400の第1の半導体構造402は、接合インターフェース406において、かつ相互接続層426およびメモリスタック410の上に接合層428をさらに含む。接合層428は、複数の接合接点430と、接合接点430を取り囲み、これを電氣的に絶縁する誘電体とを含むことができる。

30

#### 【0047】

図4に示すように、3Dメモリデバイス400の第2の半導体構造404は、接合インターフェース406において、かつ接合層428の上に別の接合層432を含む。接合層432は、複数の接合接点434と、接合接点434を取り囲み、これを電氣的に絶縁する誘電体とを含むことができる。いくつかの実施形態では、3Dメモリデバイス400の第2の半導体構造404はまた、電気信号を転送するために、接合層432の上に相互接続層436を含む。相互接続層436は、相互接続線およびビア接点を含む複数の相互接続を含むことができる。

40

#### 【0048】

3Dメモリデバイス400の第2の半導体構造404は、相互接続層436および接合層432の上にデバイス層438をさらに含むことができる。いくつかの実施形態では、デバイス層438は、相互接続層436および接合層432の上の周辺回路442と、相互接続層436および接合層432の上かつ周辺回路442の外側のSRAMセル444のレイとを含む。いくつかの実施形態では、周辺回路442は、ページバッファ、デコーダ（例えば、行デコーダおよび列デコーダ）、センス増幅器、ドライバ、チャージポン

50

ブ、電流または電圧基準を含むがこれらに限定されない、3Dメモリデバイス400の動作を容易にするために使用される任意の適切なデジタル、アナログ、および/または混合信号周辺回路を形成する複数の周辺トランジスタ446を含む。周辺トランジスタ446は、半導体層440「上」に形成することができ、周辺トランジスタ446の全体または一部は、半導体層440内に、および/または半導体層440のすぐ上に形成される。分離領域（例えば、シャロー・トレンチ・アイソレーション（STI））およびドープ領域（例えば、周辺トランジスタ446のソース領域およびドレイン領域）は、半導体層440内にも形成することができる。

#### 【0049】

いくつかの実施形態では、各SRAMセル444は、複数のSRAMトランジスタ448（例えば、MOSFET）を含む。いくつかの実施形態では、SRAMセル444は、1ビットのデータを記憶させるための4つのMOSFETと、データへのアクセスを制御するための2つのMOSFETとからなる6Tセルである。SRAMセル444は、6つより多いまたは少ないトランジスタ（例えば、ビット当たりより多いまたはより少ないトランジスタ）などの任意の適切な構成のものであってもよいことが理解される。いくつかの実施形態では、SRAMトランジスタ448は、半導体層440「上」に形成され、SRAMトランジスタ448の全体または一部は、半導体層440内に、および/または半導体層440のすぐ上に形成される。分離領域（例えば、シャロー・トレンチ・アイソレーション（STI））およびドープ領域（例えば、SRAMトランジスタ448のソース領域およびドレイン領域）は、半導体層440内にも形成することができる。図4に示すように、SRAMトランジスタ448および周辺トランジスタ446は、同じ平面、例えば半導体層440上の異なる領域に形成することができる。すなわち、SRAMトランジスタ448は、半導体層440上の周辺回路442が形成される領域の外側に形成することができる。いくつかの実施形態では、2つのアクセスMOSFET（例えば、データのアクセスを制御するMOSFET）はワード線によって制御され、4つのストレージMOSFET（例えば、データのビットを記憶させるMOSFET）はビット線に結合され、2つのアクセスMOSFETによって制御される。説明を容易にするために、図4は、限られた数のSRAMトランジスタ448と、SRAMトランジスタ448のビット線449への接続のみを示している。電極接点450は、MOSFETの電極および共通プレート451、例えば共通接地に接続することができる。図4の構成、例えば、SRAMトランジスタのレイアウトおよびSRAMトランジスタ448とビット線449との間の接続は、SRAMトランジスタと他の構成要素（例えば、ワード線、ビット線、および接地）との間の実際のレイアウトおよび電気的接続を反映しないことが理解される。

#### 【0050】

いくつかの実施形態では、第2の半導体構造404は、デバイス層438の上に配置された半導体層440をさらに含む。半導体層440は、その上に周辺トランジスタ446およびSRAMトランジスタ448が形成される薄くされた基板とすることができる。いくつかの実施形態では、半導体層440は単結晶シリコンを含む。いくつかの実施形態では、半導体層440は、ポリシリコン、アモルファスシリコン、SiGe、GaAs、Ge、または任意の他の適切な材料を含むことができる。半導体層440はまた、分離領域およびドープ領域を含むことができる。

#### 【0051】

図4に示すように、3Dメモリデバイス400の第2の半導体構造404は、半導体層440の上にパッドアウト相互接続層452をさらに含むことができる。パッドアウト相互接続層452は、1つ以上のILD層内に相互接続、例えば接点パッド454を含む。いくつかの実施形態では、パッドアウト相互接続層452内の相互接続は、例えばパッドアウト目的のために、3Dメモリデバイス400と外部回路との間で電気信号を転送することができる。いくつかの実施形態では、第2の半導体構造404は、パッドアウト相互接続層452と相互接続層436および426とを電気的に接続するために、半導体層440を通過して延在する1つ以上の接点456をさらに含む。結果として、SRAMセル4

10

20

30

40

50

4 4 のアレイは、相互接続層 4 2 6 および 4 3 6 ならびに接合接点 4 3 0 および 4 3 4 を介して、3 D NAND メモリストリング 4 1 6 のアレイに電氣的に接続することができる。さらに、周辺回路 4 4 2、S R A M セル 4 4 4 のアレイ、および 3 D NAND メモリストリング 4 1 6 のアレイは、接点 4 5 6 およびパッドアウト相互接続層 4 5 2 を介して外部回路に電氣的に接続することができる。

#### 【 0 0 5 2 】

図 5 A ~ 図 5 C は、いくつかの実施形態による、周辺回路および S R A M を有する例示的な半導体構造を形成するための製造プロセスを示す。図 6 A ~ 図 6 C は、いくつかの実施形態による、3 D NAND メモリストリングを有する例示的な半導体構造を形成するための製造プロセスを示す。図 7 A および図 7 B は、いくつかの実施形態による、S R A M を有する例示的な 3 D メモリデバイスを形成するための製造プロセスを示す。図 1 2 は、いくつかの実施形態による、S R A M を有する 3 D メモリデバイスを形成するための例示的な方法 1 2 0 0 のフローチャートである。図 5 ~ 図 7 および図 1 2 に示す 3 D メモリデバイスの例は、図 3 に示す 3 D メモリデバイス 3 0 0 および図 4 に示す 3 D メモリデバイス 4 0 0 を含む。図 5 ~ 図 7 および図 1 2 を、一緒に説明する。方法 1 2 0 0 に示される動作は網羅的ではなく、図示された動作のいずれかの前、後、または間に他の動作も実行できることが理解される。さらに、動作のいくつかは、同時に実行されてもよいし、図 1 2 に示されている順序とは異なる順序で実行されてもよい。

#### 【 0 0 5 3 】

図 5 A ~ 図 5 C に示すように、周辺回路と、S R A M セルのアレイと、複数の第 1 の接合接点を含む第 1 の接合層とを含む第 1 の半導体構造が形成される。図 6 A および図 6 B に示すように、3 D NAND メモリストリングのアレイと、複数の第 2 の接合接点を含む第 2 の接合層とを含む第 2 の半導体構造が形成される。図 7 A および図 7 B に示すように、第 1 の半導体構造および第 2 の半導体構造は、第 1 の接合接点が接合インターフェースにおいて第 2 の接合接点と接触するように、対面方式で接合される。

#### 【 0 0 5 4 】

図 1 2 を参照すると、方法 1 2 0 0 は動作 1 2 0 2 で開始し、ここでは周辺回路および S R A M セルのアレイが第 1 の基板上に形成される。第 1 の基板はシリコン基板とすることができる。いくつかの実施形態では、周辺回路および S R A M セルのアレイを形成するために、複数のトランジスタが第 1 の基板上に形成される。図 5 A に示すように、複数のトランジスタ（例えば、周辺トランジスタ 5 0 4 および S R A M トランジスタ 5 0 6）がシリコン基板 5 0 2 上に形成される。トランジスタ 5 0 4 および 5 0 6 は、フォトリソグラフィ、ドライ/ウェットエッチング、薄膜堆積、熱成長、注入、化学機械研磨（CMP）、および任意の他の適切なプロセスを含むがこれらに限定されない複数のプロセスによって形成することができる。いくつかの実施形態では、ドープ領域は、例えばトランジスタ 5 0 4 および 5 0 6 のソース領域および/またはドレイン領域として機能するイオン注入および/または熱拡散によってシリコン基板 5 0 2 内に形成される。いくつかの実施形態では、分離領域（例えば、S T I）もまた、ウェット/ドライエッチングおよび薄膜堆積によってシリコン基板 5 0 2 内に形成される。

#### 【 0 0 5 5 】

図 5 B に示すように、ビット線 5 0 7 および共通プレート 5 0 9 もまた、S R A M トランジスタ 5 0 6 を接続するために形成される。これにより、（周辺トランジスタ 5 0 4 を有する）周辺回路および（各々が複数の S R A M トランジスタ 5 0 6 を有する）S R A M セルのアレイを含むデバイス層 5 1 0 が形成される。

#### 【 0 0 5 6 】

方法 1 2 0 0 は、図 1 2 に示すように、動作 1 2 0 4 に進み、ここでは、第 1 の相互接続層が、周辺回路および S R A M セルのアレイの上に形成される。第 1 の相互接続層は、1 つ以上の I L D 層内に第 1 の複数の相互接続を含むことができる。図 5 C に示すように、（周辺トランジスタ 5 0 4 を有する）周辺回路および（各々が S R A M トランジスタ 5 0 6 を有する）S R A M セルのアレイを含むデバイス層 5 1 0 の上に相互接続層 5 1 2 を

10

20

30

40

50

形成することができる。相互接続層 5 1 2 は、デバイス層 5 1 0 との電氣的接続を行うために、複数の I L D 層内に M E O L および / または B E O L の相互接続を含むことができる。いくつかの実施形態では、相互接続層 5 1 2 は、複数のプロセスで形成された複数の I L D 層およびその中の相互接続を含む。例えば、相互接続層 5 1 2 内の相互接続は、C V D、P V D、A L D、電気めっき、無電解めっき、またはそれらの任意の組み合わせを含むがこれらに限定されない 1 つ以上の薄膜堆積プロセスによって堆積された導電材料を含むことができる。相互接続を形成するための製造プロセスはまた、フォトリソグラフィ、C M P、ウェット / ドライエッチング、または任意の他の適切なプロセスを含むことができる。I L D 層は、C V D、P V D、A L D、またはそれらの任意の組み合わせを含むがこれらに限定されない 1 つまたは複数の薄膜堆積プロセスによって堆積された誘電体材料を含むことができる。図 5 C に示す I L D 層および相互接続は、集合的に相互接続層 5 1 2 と呼ぶことができる。

10

#### 【 0 0 5 7 】

方法 1 2 0 0 は、図 1 2 に示すように、動作 1 2 0 6 に進み、ここでは、第 1 の接合層が第 1 の相互接続層の上に形成される。第 1 の接合層は、複数の第 1 の接合点を含むことができる。図 5 C に示すように、接合層 5 1 4 が相互接続層 5 1 2 の上に形成される。接合層 5 1 4 は、誘電体によって囲まれた複数の接合点 5 1 6 を含むことができる。いくつかの実施形態では、C V D、P V D、A L D、またはそれらの任意の組み合わせを含むがこれらに限定されない 1 つまたは複数の薄膜堆積プロセスによって、相互接続層 5 1 2 の上面に誘電体層が堆積される。次に、パターニングプロセス（例えば、誘電体層内の誘電体材料のフォトリソグラフィおよびドライ / ウェットエッチング）を使用して誘電体層を貫通する接点ホールを最初にパターニングすることによって、誘電体層を貫通して相互接続層 5 1 2 内の相互接続に接触する接合点 5 1 6 を形成することができる。接点ホールには、導体（例えば、銅）を充填することができる。いくつかの実施形態では、接点ホールを充填することは、導体を堆積する前にバリア層、接合層、および / またはシード層を堆積することを含む。

20

#### 【 0 0 5 8 】

方法 1 2 0 0 は、図 1 2 に示すように、動作 1 2 0 8 に進み、ここではメモリスタックが第 2 の基板の上に形成される。第 2 の基板は、シリコン基板とすることができる。図 6 A に示すように、交互配置された犠牲層（図示せず）および誘電体層 6 0 8 が、シリコン基板 6 0 2 の上に形成される。交互配置された犠牲層および誘電体層 6 0 8 は、誘電体スタック（図示せず）を形成することができる。いくつかの実施形態では、各犠牲層は窒化シリコンの層を含み、各誘電体層 6 0 8 は酸化シリコンの層を含む。交互配置された犠牲層および誘電体層 6 0 8 は、C V D、P V D、A L D、またはそれらの任意の組み合わせを含むがこれらに限定されない 1 つ以上の薄膜堆積プロセスによって形成することができる。いくつかの実施形態では、メモリスタック 6 0 4 は、ゲート置換プロセス、例えば、誘電体層 6 0 8 に対して選択的な犠牲層のウェット / ドライエッチングを使用して犠牲層を導体層 6 0 6 で置き換え、得られた凹部を導体層 6 0 6 で充填することによって形成することができる。結果として、メモリスタック 6 0 4 は、交互配置された導体層 6 0 6 および誘電体層 6 0 8 を含むことができる。いくつかの実施形態では、各導体層 6 0 6 は、タングステンの層などの金属層を含む。メモリスタック 6 0 4 は、他の実施形態では、ゲート置換プロセスなしで導体層（例えば、ドーブされたポリシリコン層）および誘電体層（例えば、酸化シリコン層）を交互に堆積することによって形成されてもよいことが理解される。いくつかの実施形態では、酸化シリコンを含むパッド酸化層が、メモリスタック 6 0 4 とシリコン基板 6 0 2 との間に形成される。

30

40

#### 【 0 0 5 9 】

方法 1 2 0 0 は、図 1 2 に示すように、動作 1 2 1 0 に進み、ここでは、メモリスタックを通して垂直に延在する 3 D N A N D メモリスタックのアレイが形成される。図 6 A に示すように、3 D N A N D メモリスタック 6 1 0 がシリコン基板 6 0 2 の上に形成され、その各々は、メモリスタック 6 0 4 の交互配置された導体層 6 0 6 および誘電体

50

層 608 を通って垂直に延在する。いくつかの実施形態では、3D NAND メモリストリング 610 を形成するための製造プロセスは、深反応性イオンエッチング (DRIE) などの、ドライエッチング / およびまたはウェットエッチングを使用して、メモリスタック 604 を貫通してシリコン基板 602 内にチャネルホールを形成することと、その後、シリコン基板 602 からチャネルホールの下部にプラグ 612 をエピタキシャル成長させることとを含む。いくつかの実施形態では、3D NAND メモリストリング 610 を形成するための製造プロセスはまた、その後、ALD、CVD、PVD、またはそれらの任意の組み合わせなどの薄膜堆積プロセスを使用して、メモリ膜 614 (例えば、トンネル層、蓄積層、およびブロッキング層) ならびに半導体層 616 などの複数の層でチャネルホールを充填することを含む。いくつかの実施形態では、3D NAND メモリストリング 610 を形成するための製造プロセスは、3D NAND メモリストリング 610 の上端の凹部をエッチングすることによってチャネルホールの上部に別のプラグ 618 を形成することと、その後、ALD、CVD、PVD、またはそれらの任意の組み合わせなどの薄膜堆積プロセスを使用して、凹部を半導体材料で充填することとをさらに含む。

10

#### 【0060】

方法 1200 は、図 12 に示すように、動作 1212 に進み、ここでは、第 2 の相互接続層が 3D NAND メモリストリングのアレイの上に形成される。第 2 の相互接続層は、1 つ以上の ILD 層内に第 2 の複数の相互接続を含むことができる。図 6B に示すように、相互接続層 620 は、メモリスタック 604 および 3D NAND メモリストリング 610 のアレイの上に形成することができる。相互接続層 620 は、3D NAND メモリストリング 610 との電気的接続を行うために、複数の ILD 層内に MEOL および / または BEOL の相互接続を含むことができる。いくつかの実施形態では、相互接続層 620 は、複数の ILD 層およびその中に複数のプロセスで形成された相互接続を含む。例えば、相互接続層 620 内の相互接続は、CVD、PVD、ALD、電気めっき、無電解めっき、またはそれらの任意の組み合わせを含むがこれらに限定されない 1 つ以上の薄膜堆積プロセスによって堆積された導電材料を含むことができる。相互接続を形成するための製造プロセスはまた、フォトリソグラフィ、CMP、ウェット / ドライエッチング、または任意の他の適切なプロセスを含むことができる。ILD 層は、CVD、PVD、ALD、またはそれらの任意の組み合わせを含むがこれらに限定されない 1 つまたは複数の薄膜堆積プロセスによって堆積された誘電体材料を含むことができる。図 6B に示す ILD

20

30

#### 【0061】

方法 1200 は、図 12 に示すように、動作 1214 に進み、ここでは、第 2 の接合層が第 2 の相互接続層の上に形成される。第 2 の接合層は、複数の第 2 の接合点を含むことができる。図 6B に示すように、接合層 622 が相互接続層 620 の上に形成される。接合層 622 は、誘電体によって囲まれた複数の接合点 624 を含むことができる。いくつかの実施形態では、CVD、PVD、ALD、またはそれらの任意の組み合わせを含むがこれらに限定されない 1 つ以上の薄膜堆積プロセスによって、相互接続層 620 の上面に誘電体層が堆積される。次に、パターニングプロセス (例えば、誘電体層内の誘電体材料のフォトリソグラフィおよびドライ / ウェットエッチング) を使用して誘電体層を貫通する接点ホールを最初にパターニングすることによって、誘電体層を貫通して相互接続層 620 内の相互接続に接触する接合点 624 を形成することができる。接点ホールには、導体 (例えば、銅) を充填することができる。いくつかの実施形態では、接点ホールを充填することは、導体を堆積する前にバリア層、接合層、および / またはシード層を堆積することを含む。

40

#### 【0062】

方法 1200 は、図 12 に示すように、動作 1216 に進み、ここでは、第 1 の接合点が接合インターフェースにおいて第 2 の接合点と接するように、第 1 の基板および第 2 の基板が対面方式で接合される。接合はハイブリッド接合とすることができる。いくつかの実施形態では、周辺回路および SRAM セルが形成される第 1 の基板 (例えば、第 1

50

の半導体構造)は、接合後に3D NANDメモリストリングが形成される第2の基板(例えば、第2の半導体構造)の上に配置される。いくつかの実施形態では、3D NANDメモリストリングが形成される第2の基板(例えば、第2の半導体構造)は、接合後に周辺回路およびSRAMセルが形成される第1の基板(例えば、第1の半導体構造)の上に配置される。

#### 【0063】

図7Aに示すように、シリコン基板602およびその上に形成された構成要素(例えば、3D NANDメモリストリング610)を上下反転させる。下向きの接合層622は、上向きの接合層514と、すなわち対面式に接合され、それによって(図7Bに示すように)接合インターフェース702を形成する。いくつかの実施形態では、処理プロセス、例えばプラズマ処理、湿式処理、および/または熱処理が、接合の前に接合面に適用される。図7Aには示されていないが、シリコン基板502およびその上に形成された構成要素(例えば、デバイス層510)は、上下反転させることができ、下向きの接合層514は、上向きの接合層622と、すなわち対面式に接合され、それによって接合インターフェース702を形成することができる。接合後、接合層622内の接合接点624および接合層514内の接合接点516は、互いに接触して整列され、それによって、デバイス層510(例えば、周辺回路およびその中のSRAMセル)を3D NANDメモリストリング610に電氣的に接続することができる。接合されたデバイスでは、3D NANDメモリストリング610は、デバイス層510(例えば、周辺回路およびその中のSRAMセル)の上または下のいずれにあってもよいことが理解される。それにもかかわらず、図7Bに示すように、接合後、3D NANDメモリストリング610とデバイス層510(例えば、周辺回路およびその中のSRAMセル)との間に接合インターフェース702を形成することができる。

#### 【0064】

方法1200は、図12に示すように、動作1218に進み、ここでは、第1の基板または第2の基板を薄くして半導体層を形成する。いくつかの実施形態では、接合後に第2の半導体構造の第2の基板の上にある第1の半導体構造の第1の基板は、半導体層を形成するために薄くされる。いくつかの実施形態では、接合後に第1の半導体構造の第1の基板の上にある第2の半導体構造の第2の基板は、半導体層を形成するために薄くされる。

#### 【0065】

図7Bに示すように、接合された3Dメモリデバイス(例えば、図7Aに示すシリコン基板402)の上部の基板は薄くされ、その結果、薄くされた上部基板は、半導体層704、例えば単結晶シリコン層として機能することができる。薄くされた基板の厚さは、約200nm~約5 $\mu$ m、例えば200nm~5 $\mu$ m、または約150nm~約50 $\mu$ m、例えば150nm~50 $\mu$ mであり得る。シリコン基板402は、ウエハ研削、ドライエッチング、ウェットエッチング、CMP、任意の他の適切なプロセス、またはそれらの任意の組み合わせを含むがこれらに限定されないプロセスによって薄くすることができる。シリコン基板502が接合された3Dメモリデバイスの上部上の基板である場合、シリコン基板502を薄くすることによって別の半導体層を形成できることが理解される。

#### 【0066】

方法1200は、図12に示すように、動作1220に進み、ここでは、パッドアウト相互接続層が半導体層の上に形成される。図7Bに示すように、パッドアウト相互接続層706は、半導体層704(薄くされた上部基板)の上に形成される。パッドアウト相互接続層706は、1つ以上のILD層内に形成されたパッド接点708などの相互接続を含むことができる。パッド接点708は、W、Co、Cu、Al、ドーブシリコン、ケイ化物、またはそれらの任意の組み合わせを含むがこれらに限定されない導電材料を含むことができる。ILD層は、酸化シリコン、窒化シリコン、酸窒化シリコン、低k誘電体、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。いくつかの実施形態では、接合および薄化の後、例えばウェット/ドライエッチングとそれに続く導電材料の堆積によって、半導体層704を貫通して垂直に延在する接

10

20

30

40

50

点 7 1 0 が形成される。接点 7 1 0 は、パッドアウト相互接続層 7 0 6 内の相互接続と接触することができる。

#### 【 0 0 6 7 】

図 8 は、いくつかの実施形態による、オンダイ S R A M を有する 3 D メモリデバイスを含む例示的なシステム 8 5 0 の概略ブロック図を示す。図 9 A は、いくつかの実施形態による、オンダイ S R A M をキャッシュとして有する 3 D メモリデバイスを含むシステム 9 2 0 の概略ブロック図を示す。図 9 B は、いくつかの実施形態による、データバッファとしてオンダイ S R A M を有する 3 D メモリデバイスを含むシステム 9 3 0 の概略ブロック図を示す。図 1 0 は、いくつかの実施形態による、オンダイ S R A M をキャッシュとして有する 3 D メモリデバイスを動作させるための例示的な方法 1 0 0 0 のフローチャートである。図 1 1 は、いくつかの実施形態による、データバッファとしてオンダイ S R A M を有する 3 D メモリデバイスを動作させるための例示的な方法 1 1 0 0 のフローチャートである。図 9 A および図 9 B に示すシステムの例を、それぞれ図 1 0 および図 1 1 と共に説明する。方法 1 0 0 0 および 1 1 0 0 に示される動作は網羅的ではなく、図示された動作のいずれかの前、後、または間に他の動作も実行できることが理解される。さらに、動作のいくつかは、同時に実行されてもよいし、図 1 0 および図 1 1 に示されている順序とは異なる順序で実行されてもよい。

10

#### 【 0 0 6 8 】

図 8 は、いくつかの実施形態による、キャッシュまたはデータバッファとして使用される S R A M を有するシステム 8 5 0 を示す。システム 8 5 0 は、ホスト 8 1 0、I / O 8 0 2、S R A M 8 0 4、ページバッファ 8 0 6、および 3 D N A N D メモリ 8 0 8 を有することができる。いくつかの実施形態では、S R A M 8 0 4 は、詳細に上述したように、ページバッファ 8 0 6 および 3 D N A N D メモリ 8 0 8 と同じチップ上に形成される。いくつかの実施形態では、S R A M 8 0 4、ページバッファ 8 0 6、および 3 D N A N D メモリ 8 0 8 は、3 D メモリデバイス 8 0 0 を形成する。S R A M 8 0 4 は、オンダイ S R A M またはオン N A N D S R A M と呼ぶことができる。データ、例えばプログラムデータおよび制御命令は、ホスト 8 1 0 と I / O 8 0 2 との間、I / O 8 0 2 と S R A M 8 0 4 との間、S R A M 8 0 4 とページバッファ 8 0 6 との間、および 3 D N A N D メモリ 8 0 8 とページバッファ 8 0 6 との間で双方向に送信されてもよい。ホスト 8 1 0 とページバッファ 8 0 6 との間のデータ送信 8 1 2 は、S R A M 8 0 4 の機能に応じて有効または無効にすることができる。例えば、S R A M 8 0 4 が 3 D メモリデバイス 8 0 0 内のキャッシュとして機能する場合、データ送信 8 1 2 は、ホスト 8 1 0 とページバッファ 8 0 6 との間の双方向データ送信とすることができ、S R A M 8 0 4 が 3 D メモリデバイス 8 0 0 内のデータバッファとして機能する場合、データ送信 8 1 2 は無効にすることができる。すなわち、S R A M 8 0 4 がキャッシュとして機能する場合、データ送信 8 1 2 は、3 D メモリデバイス 8 0 0 がホスト 8 1 0 からのプログラムデータを使用して 3 D N A N D メモリ 8 0 8 をプログラムし、同時にホスト 8 1 0 がページバッファ 8 0 6 からプログラムデータを抽出することを可能にし、S R A M 8 0 4 がデータバッファとして機能する場合、3 D メモリデバイス 8 0 0 は、ホスト 8 1 0 からのプログラムデータを S R A M 8 0 4 に順次バッファリングし、バッファリングされたプログラムデータを 3 D N A N D メモリ 8 0 8 にプログラムする。

20

30

40

#### 【 0 0 6 9 】

ホスト 8 1 0 は、1 つ以上のプロセッサなど、データを生成する任意の適切なデバイスとすることができる。いくつかの実施形態では、ホスト 8 1 0 は、中央処理装置 ( C P U )、グラフィックプロセッサ (例えば、グラフィックス処理装置 ( G P U ) )、アプリケーションプロセッサ ( A P )、汎用プロセッサ (例えば、A P U (加速処理ユニット)、G P G P U ( G P U 上の汎用コンピューティング) )、または任意の他の適切なプロセッサを含む。入力 / 出力回路 8 0 2 は、周辺回路の一部として高速で高スループットの入力 / 出力回路とすることができる。いくつかの実施形態では、ホスト 8 1 0 は、システムコントローラ (例えば、システム 8 5 0 の様々な動作を制御するコントローラ) および / ま

50

たはメモリコントローラ（例えば、3Dメモリデバイス800の様々な動作を制御するコントローラ）を含む。ホスト810によって生成された任意の適切なタイプのデータは、I/O802を介して3Dメモリデバイス800のSRAM804に転送される。ホスト810および3Dメモリデバイス800は、任意の適切な装置、例えば、仮想現実（VR）/拡張現実（AR）デバイス（例えば、VRヘッドセットなど）、ハンドヘルドデバイス（例えば、スマートフォンまたはスマートフォン、タブレットなど）、ウェアラブルデバイス（例えば、眼鏡、腕時計など）、自動車制御ステーション、ゲームコンソール、テレビセット、ラップトップコンピュータ、デスクトップコンピュータ、ネットブックコンピュータ、メディアセンタ、セットトップボックス、全地球測位システム（GPS）、プリンタ、または任意の他の適切なデバイスの一部とすることができる。

10

#### 【0070】

いくつかの実施形態では、SRAM804は、アレイまたは任意のパターンに配置された複数のSRAMセルを含む。SRAMセルの詳細は、図3～図5Cの説明に見出すことができ、したがって、ここでは繰り返さない。SRAM804は、3D NANDメモリ808内のそれぞれのページに接続された複数のバッファリングセクションを含むページバッファ806に接続することができる。

#### 【0071】

SRAM804は、シーケンシャルプログラミングを改善するために、3Dメモリデバイス800の高速オンダイキャッシュとして使用することができる。図9Aは、SRAM804が高速オンダイキャッシュとして機能するシステム920を示す。図示を容易にするために、図9AではI/O802が省略されている。いくつかの実施形態では、データはページ単位で3D NANDメモリ808にプログラムされ、SRAM804は、各々が3D NANDメモリ808内のページをプログラムするためのプログラムデータをキャッシュするように構成された複数のキャッシュユニット904（すなわち、904-1、. . .、904-K）として示されている。3D NANDメモリ808は、各々がワード線および交差するメモリストリングによって形成されたメモリセルを表す複数の平面908（すなわち、908-1、. . .、908-M）として示すことができる。平面908は、メモリセルの複数のページを含むことができる。KおよびMはそれぞれ正の整数であってもよく、互いに同じであってもなくてもよい。動作中、複数のキャッシュユニット904は、同じバッチのプログラムデータを同時にページバッファ806にキャッシュすることができる。キャッシュユニット904はさらに、キャッシュされたプログラムデータをページバッファ806に入力し、次いで、キャッシュされたプログラムデータを平面908内のそれぞれのページに入力する。いくつかの実施形態では、ホスト810は、プログラムデータのバッチ、例えば、(N-3)番目、(N-2)番目、(N-1)番目、N番目、(N+1)番目、および(N+2)番目を、SRAM804および/またはページバッファ806に順次（例えば、あるバッチの直後に別のバッチ）送信する。

20

30

#### 【0072】

図10を参照すると、方法1000は動作1002で開始し、ここでは、3Dメモリデバイス800は、ホスト810から、キャッシュプログラム動作のために3Dメモリデバイス800を条件付けるための制御命令を受信する。いくつかの実施形態では、3Dメモリデバイス800は、制御命令に従って、SRAM804のSRAMセルを初期化する、例えば、SRAMセル内のデータを消去する/SRAMセルを空にするので、SRAM804はプログラムデータを受信する準備が整う。

40

#### 【0073】

動作1004において、3Dメモリデバイス800は、プログラムデータの(N-1)番目のバッチをそれぞれのページにプログラムする。同時に、3Dメモリデバイス800は、プログラムデータのN番目のバッチをSRAM804内のそれぞれの空間（例えば、キャッシュユニット）にキャッシュし、プログラムデータの(N-2)番目のバッチのステータスをチェックする。SRAM804は、プログラムデータの複数のバッチをキャッシュすることができる。いくつかの実施形態では、SRAMは、例えば、図9Aに示すプ

50

プログラムデータの(N-2)番目、(N-1)番目、およびN番目のバッチとして、最大で3つのプログラムデータのバッチをキャッシュする。プログラムデータの各バッチ(例えば、(N-2)番目のバッチ、(N-1)番目のバッチ、およびN番目のバッチ)は、それぞれの平面内に1つ以上のページのプログラムデータを含むことができる。例えば、プログラムデータの各バッチはKページのプログラムデータを含むことができ、各ページのプログラムデータはそれぞれのキャッシュユニット(例えば、904-1、...、904-K)にキャッシュすることができる。プログラムデータのキャッシュされたバッチは、それぞれのプログラムデータのバックアップコピーであってもよく、例えば、3D NANDメモリ808へのそれぞれのプログラムデータのプログラムが失敗した場合など、必要に応じて3D NANDメモリ808にプログラムすることができる。詳細は後述する。

10

#### 【0074】

いくつかの実施形態では、プログラムデータの(N-2)番目のバッチのステータスのチェック、プログラムデータの(N-1)番目のバッチのプログラミング、およびプログラムデータのN番目のバッチのキャッシュは、同時にまたは期間に実行される。例えば、これらの動作は、ほぼ同時に開始および完了してもよく、または重複する動作時間を有してもよい。いくつかの実施形態では、3Dメモリデバイス800がページバッファ806から3D NANDメモリ808にプログラムデータの(N-1)番目のバッチをプログラムしているとき、3Dメモリデバイス800は、ホスト810からプログラムデータのN番目のバッチをキャッシュし、プログラムデータの(N-2)番目のバッチのステータスをチェックしている。3Dメモリデバイス800は、プログラムデータの(N-1)番目のバッチのコピーをページバッファ806から送信することによって、プログラムデータの(N-1)番目のバッチをプログラムすることができる。プログラムデータの(N-1)番目のバッチのコピーは、プログラムデータの(N-1)番目のバッチを(例えば、プログラムデータのN番目のバッチのキャッシュの前に)ホスト810からバッファすることによって、またはプログラムデータの(N-1)番目のバッチのバックアップコピーをSRAM804からバッファすることによって形成されてもよい。いくつかの実施形態では、3Dメモリデバイス800は、プログラムデータのN番目のバッチをホスト810からSRAM804にキャッシュするときに、プログラムデータの(N-1)番目のバッチのコピーをページバッファ806から3D NANDメモリ808にロードすることによって、プログラムデータの(N-1)番目のバッチをプログラムする。プログラムデータの(N-1)番目のバッチのコピーは、例えば、プログラムが開始する前に、プログラムデータの(N-1)番目のバッチをホスト810からのデータ送信812を介してバッファすることによって形成されてもよい。いくつかの実施形態では、プログラムデータの(N-1)番目のバッチのバックアップコピーは、3Dメモリデバイス800がプログラムデータの(N-3)番目のバッチのステータスをチェックしているときにSRAM804にキャッシュされる。いくつかの実施形態では、プログラムデータの(N-2)番目のバッチが3D NANDメモリ808内のそれぞれのページにプログラムされているとき、プログラムデータの(N-1)番目のバッチは、ホスト810からSRAM804にキャッシュされて、プログラムデータの(N-1)番目のバッチのバックアップコピーを形成する。

20

30

40

#### 【0075】

いくつかの実施形態では、プログラムデータの(N-2)番目のバッチのステータスのチェックは、プログラムデータの(N-2)番目のバッチのプログラミングが成功したかどうかを決定することを含む。いくつかの実施形態では、プログラムデータの(N-2)番目のバッチのプログラミングが失敗した場合、3Dメモリデバイス800は、SRAM804からプログラムデータの(N-2)番目のバッチのバックアップコピーを取得し、プログラムデータの(N-2)番目のバッチのバックアップコピーをページバッファ806にバッファリングし、プログラムデータの(N-2)番目のバッチのバックアップコピーを3D NANDメモリ808内のそれぞれのページにプログラムする。いくつかの実

50

施形態では、SRAM804は、プログラムデータの(N-2)番目のバッチのプログラミングのステータスをチェックするとき、プログラムデータの(N-2)番目のバッチのバックアップコピーを維持し、プログラムの(N-2)番目のバッチのプログラミングが成功したときに、プログラムデータの(N-2)番目のバッチのバックアップコピーを削除する。次いで、SRAM804は、プログラムデータの別のバッチ(例えば、プログラムデータの(N+1)番目のバッチ)をキャッシュするための空間を有することができる。

**【0076】**

プログラムデータのN番目のバッチは、プログラムデータの(N-1)番目のバッチが3D NANDメモリ808にプログラムされているときに、プログラムデータのN番目のバッチのバックアップコピーを形成するためにSRAM804にキャッシュすることができる。SRAM804内のプログラムデータのN番目のバッチのバックアップコピーは、プログラムデータのN番目のバッチの3D NANDメモリ808へのプログラミングが成功したと決定されるまで維持されてもよい。いくつかの実施形態では、ホスト810は、例えば、プログラムデータのN番目のバッチがSRAM804から削除される前に、さらなる処理および/または記憶のために、プログラムデータのN番目のバッチをSRAM804から読み出す。例えば、ホスト810は、読み出されたプログラムデータのN番目のバッチを、別の場所に記憶させることができる。いくつかの実施形態では、ホスト810は、プログラムデータのN番目のバッチがSRAM804にキャッシュされた後に、プログラムデータのN番目のバッチのコピーをホストから削除する。いくつかの実施形態では、3Dメモリデバイス800は、プログラムデータのN番目のバッチが3D NANDメモリ808内のそれぞれのページにプログラムされているときに、プログラムデータの(N-1)番目のバッチのステータスをチェックする。一方、3Dメモリデバイス800は、プログラムデータの(N+1)番目のバッチを、SRAM804内の各空間にキャッシュしてもよい。いくつかの実施形態では、ホスト810は、さらなる処理のためにページバッファ806からプログラムデータを読み出す。

**【0077】**

いくつかの実施形態では、3Dメモリデバイス800は、プログラムデータの後続のバッチに対して動作1004を順次繰り返す。動作1006において、3Dメモリデバイス800は、プログラムデータのN番目のバッチをそれぞれのページにプログラムする。この動作時に、3Dメモリデバイス800は、プログラムデータの(N+1)番目のバッチもSRAM804内のそれぞれの空間にキャッシュし、プログラムデータの(N-1)番目のバッチのステータスをチェックする。動作1008において、3Dメモリデバイス800は、プログラムデータの(N+1)番目のバッチをそれぞれのページにプログラムする。この動作時に、3Dメモリデバイス800は、プログラムデータの(N+2)番目のバッチもSRAM804内のそれぞれの空間にキャッシュし、プログラムデータのN番目のバッチのステータスをチェックする。

**【0078】**

いくつかの実施形態では、3Dメモリデバイス800は、プログラムデータの複数のバッチを順次キャッシュし、キャッシュされたプログラムデータを3D NANDメモリ808にプログラムすることができる。例えば、3Dメモリデバイス800は、プログラムデータの(N-2)番目のバッチのバックアップコピー、プログラムデータの(N-1)番目のバッチのバックアップコピー、およびプログラムデータのN番目のバッチのバックアップコピーをSRAM804に順次キャッシュすることができる。次いで、3Dメモリデバイス800は、プログラムデータの(N-2)番目のバッチ、プログラムデータの(N-1)番目のバッチ、およびプログラムデータのN番目のバッチのバックアップコピーを、ページバッファ806を介して3D NANDメモリ808のそれぞれのページに順次プログラムすることができる。いくつかの実施形態では、3Dメモリデバイス800は、プログラムされた後にプログラムデータの(N-2)番目のバッチのステータスをチェックする。プログラミングが成功した場合、3Dメモリデバイス800は、プログラムデ

10

20

30

40

50

ータの ( N - 2 ) 番目のバッチのバックアップコピーを S R A M 8 0 4 から削除することができ、プログラミングが失敗した場合、3 Dメモリデバイス 8 0 0 は、ステータスが成功するまで、プログラムデータの ( N - 2 ) 番目のバッチのバックアップコピーを使用して、3 D N A N Dメモリ 8 0 8 を (例えば、必要に応じて繰り返し) 再プログラムすることができる。次に、S R A M 8 0 4 は、プログラムデータの次のバッチ (例えば、プログラムデータの ( N + 1 ) 番目のバッチ) をキャッシュするための空間を有することができる。いくつかの実施形態では、ホスト 8 1 0 は、プログラムデータのこれらのバッチが S R A M 8 0 4 にキャッシュされた後、プログラムデータの ( N - 2 ) 番目のバッチ、プログラムデータの ( N - 1 ) 番目のバッチ、およびプログラムデータの N 番目のバッチのコピーを削除する。

10

## 【 0 0 7 9 】

3 D N A N Dメモリ 8 0 8 は、マルチレベルセル ( M L C ) N A N Dメモリデバイスを含むことができ、複数のページの数は、メモリセルに記憶されたビットの数に対応する。いくつかの実施形態では、3 D N A N Dメモリ 8 0 8 は、e M M C または U F S などの R A M レスアプリケーション環境にバックされたトリプルレベルセル ( T L C ) N A N Dメモリデバイスを含む。一例では、4つの平面を有する T L C N A N Dメモリデバイスのためのプログラムデータの3つのバッチをキャッシュするために、S R A M 8 0 4 は少なくとも 6 4 8 k B の記憶空間を有する。

## 【 0 0 8 0 】

S R A M 8 0 4 はまた、3 Dメモリデバイス 8 0 0 のオンダイデータバッファとして使用されてもよい。図 9 B は、S R A M 8 0 4 がオンダイデータバッファとして機能するシステム 9 3 0 を示す。図示を容易にするために、図 9 B では I / O 8 0 2 が省略されている。いくつかの実施形態では、プログラムデータは、ページ単位で 3 D N A N Dメモリ 8 0 8 にプログラムされ、S R A M 8 0 4 は、複数のデータバッファユニット 9 1 4 (すなわち、9 1 4 - 1、. . .、9 1 4 - L) として示されており、各々が 3 D N A N Dメモリ 8 0 8 内のページをプログラムするためのプログラムデータをバッファするように構成されている。3 D N A N Dメモリ 8 0 8 は、複数の平面 9 0 8 (すなわち、9 0 8 - 1、. . .、9 0 8 - M) として示すことができる。M および L はそれぞれ正の整数であってもよく、互いに同じであってもなくてもよい。動作中、複数のデータバッファユニット 9 1 4 は、プログラムデータがページバッファ 8 0 6 に送信される前に、プログラムデータをバッファするための記憶空間を提供することができる。これにより、ホスト 8 1 0 に記憶され、3 D N A N Dメモリ 8 0 8 にプログラムされるプログラムデータは、3 Dメモリデバイス 8 0 0 と同じチップに記憶され、このプログラムデータを記憶させるためのホスト 8 1 0 のメインキャッシュ/バッファが解放される。S R A M 8 0 4 はまた、プログラム動作中にこのプログラムデータを送信するためのデータバス (例えば、3 Dメモリデバイス 8 0 0 とホスト 8 1 0 との間) における帯域幅を低減する。代わりに、データ送信および処理は、3 Dメモリデバイス 8 0 0 で実行することができる。プログラムデータを記憶、処理、および送信するために使用されるホスト 8 1 0 内のリソースは、他の目的/動作のために使用することができる。図 9 B に示すように、3 Dメモリデバイス 8 0 0 は、ホスト 8 1 0 から異なるワード線に対応するプログラムデータを受信する。ワード線に対応するプログラムデータは、W L 0、. . .、W L P として示されている。プログラムデータは、ページバッファ 8 0 6 にバッファリングされる前に、順次、グループ単位で、または任意のパターンで、ホスト 8 1 0 から S R A M 8 0 4 に送信することができる。各データバッファユニット 9 1 4 における 9 B 内のプログラムデータ W L 0、. . .、W L P の図示は、ページをプログラムするためのプログラムデータを単に例示するためのものであり、プログラムデータの順次の動作を示すものではない。

20

30

40

## 【 0 0 8 1 】

図 1 1 を参照すると、方法 1 1 0 0 は動作 1 1 0 2 で開始し、ここでは、3 Dメモリデバイス 8 0 0 は、ホスト 8 1 0 から、3 D N A N Dメモリ 8 0 8 内のページのメモリセル上の第 1 のパスプログラムおよび第 2 のパスプログラムのための 3 Dメモリデバイス 8

50

00を条件付けるための制御命令を受信する。いくつかの実施形態では、3Dメモリデバイス800は、制御命令に従って、SRAM804のSRAMセルを初期化する、例えば、SRAMセル内のデータを消去する/SRAMセルを空にするので、SRAM804はプログラムデータを受信する準備が整う。

#### 【0082】

動作1104において、3Dメモリデバイス800は、第1のパスプログラムのための第1のプログラムデータおよび第2のパスプログラムのための第2のプログラムデータをSRAM804にバッファする。いくつかの実施形態では、ワード線は、ワード線および交差メモリストリングによって形成されるメモリセルをプログラムするための第1のプログラムデータおよび第2のプログラムデータを含むそれぞれのプログラムデータに対応する。すなわち、例えば、WL0は、WL0（すなわち、ワード線0および交差するメモリセル）によって形成されるメモリセルをプログラムするための第1のプログラムデータおよび第2のプログラムデータを指す。いくつかの実施形態では、SRAM804にバッファされるプログラムデータの量は、SRAM804の記憶容量に基づいて決定される。したがって、WL0、...、WLPに対応するプログラムデータは、3DNANDメモリ808にプログラムされるプログラムデータの一部または全体を表すことができる。いくつかの実施形態では、第1のパスプログラムは粗いプログラムであり、第2のパスプログラムは細かいプログラムである。

#### 【0083】

1つ以上のワード線によって形成されるメモリセルをプログラムするための第1のプログラムデータおよび第2のプログラムデータは、プログラミングのためにページバッファ806にロードされる前に、任意の適切な順序でSRAM804にバッファすることができる。例えば、第1のワード線および第2のワード線によって形成されるメモリセルをプログラムするための第1のプログラムデータおよび第2のプログラムデータは、同時に（例えば、第1のプログラムデータを用いて第1のパスプログラムを実行する前に）ホスト810からバッファすることができ、または別々にバッファすることができる（例えば、第2のプログラムデータは、第1のパスプログラムが完了した後にバッファすることができる）。本開示の様々な実施形態において、第1および第2のプログラムデータはそれぞれ、ページバッファ806に送信される前にSRAM804にバッファされる。いくつかの実施形態では、3DNANDメモリ808のすべての平面内のメモリセルをプログラムするための第1および第2のプログラムデータは、ページバッファ806にロードされる前にバッファされてSRAM804に記憶される。

#### 【0084】

動作1106において、3Dメモリデバイス800は、第1のワード線および第2のワード線によって形成されるメモリセル上で、第1のプログラムデータを使用して第1のパスプログラムを順次実行する。3Dメモリデバイス800は、バッファされた第1のプログラムデータをSRAM804から取得し、それを3DNANDメモリ808内のそれぞれのメモリセルにプログラムされる前にページバッファ806に送信することができる。本開示で説明するように、ワード線によって形成されるか、またはワード線に対応するメモリセルは、ワード線とワード線と交差するメモリストリングとによって形成されるメモリセルを指す。いくつかの実施形態では、メモリセルはページ単位でプログラムされ、例えば、第1のパスプログラムは、メモリストリングおよび第2のワード線によって形成されるメモリセル上で実行される前に、メモリストリングおよび第1のワード線によって形成されるすべてのメモリセル上で実行されてもよい。

#### 【0085】

プログラムされているメモリセルはMLCであってもよい。例えば、プログラムされている各メモリセルは、 $2^4$ ビットのデータを記憶させるための4つの閾値電圧状態（例えば、下位ページデータ（LP）、中間ページデータ（MP）、上位ページデータ（UP）、追加ページデータ（XP））を有するクアドレレベルセル（QLC）であってもよい。各メモリセルをプログラムするための第1のプログラムデータおよび第2のプログラムデ

10

20

30

40

50

ータは、メモリセルを所望の閾値電圧状態にプログラムするように構成されてもよい。表 1 は、プログラムされるページ内の Q L C の例示的なページマップを示す。表 1 は、第 1 のパスポログラムおよび第 2 のパスポログラムにおけるメモリセルのプログラム順序を示している。表 1 において、ストリング 0 ~ ストリング 5 は、「W L #」を使用して表される、ワード線と交差する 6 つのメモリストリングを指す。

【 0 0 8 6 】

【表 1】

W L #	ストリング 0			ストリング 1			ストリング 2			ストリング 3			ストリング 4			ストリング 5								
	L P	M P	U P	L P	M P	U P	L P	M P	U P	L P	M P	U P	L P	M P	U P	L P	M P	U P						
0	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
1	2	4	5	2	8	9	3	3	3	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
2	4	8	4	9	5	5	5	6	5	5	8	9	6	6	6	6	7	8	9	10	11	12	13	14
3	7	2	7	3	6	7	7	8	8	8	2	3	4	5	6	7	8	9	10	11	12	13	14	15

10

20

30

40

【 0 0 8 7 】

いくつかの実施形態では、表 1 は、パスポログラム（例えば、第 1 または第 2 のパスポログラム）が実行される順序を示す。例えば、3 Dメモリデバイス 8 0 0 は、4 つの閾値

50

電圧状態（すなわち、LP、MP、UP、およびXP）を各メモリセルに順次プログラムし、メモリストリング0からメモリストリング5およびワード線（例えば、ワード線0、1、2、または3）によって形成されるメモリセルを順次プログラムすることができる。メモリストリングおよび1つのワード線によって形成される各ページ内のメモリセルがプログラムされた後、3Dメモリデバイス800は、メモリストリングおよび次のワード線によって形成されるメモリセルのプログラムに進む。この動作では、第1のパスプログラムは、表1に提供される順序に従って、第1および第2のワード線（例えば、WL0およびWL1）を用いてストリング0～ストリング0によって形成されるメモリセル上で順次実行される。

**【0088】**

動作1108において、3Dメモリデバイス800は、SRAM804から第2のプログラムデータを取得し、第1のパスプログラムが完了すると、第2のプログラムデータを使用して、第1のワード線によって形成されるメモリセル上で第2のパスプログラムを実行する。いくつかの実施形態では、第1および第2のワード線ならびにすべてのメモリストリング（例えば、ストリング0～ストリング5）によって形成されるメモリセル上で実行される第1のパスプログラムが完了すると、3Dメモリデバイス800は、例えばホスト810からの許可を受信することなく、第2のパスプログラムの実行を自動的に開始する。表2は、ページ内の例示的な順序のメモリセルが第1のパスプログラム（例えば、表2で「第1」として示されている粗いプログラム）および第2のパスプログラム（例えば、表2で「第2」として示されている細かいプログラム）でプログラムされることを示している。

**【0089】**

10

20

30

40

50

【表 2】

WL #	ストリング0		ストリング1		ストリング2		ストリング3		ストリング4		ストリング5	
	第1	第2	第1	第2	第1	第2	第1	第2	第1	第2	第1	第2
0	0	1 2	1	1 3	2	1 4	3	1 5	4	1 6	5	1 7
1	6	2 4	7	2 5	8	2 6	9	2 7	1 0	2 8	1 1	2 9
2	1 8	3 6	1 9	3 7	2 0	3 8	2 1	3 9	2 2	4 0	2 3	4 1
3	3 0	4 8	3 1	4 9	3 2	5 0	3 3	5 1	3 4	5 2	3 5	5 3

10

20

30

## 【0090】

表 2 に示すように、3 Dメモリデバイス 8 0 0 は、第 1 のワード線を用いてストリング 0 からストリング 5 によって形成されるメモリセル上で第 2 のパスプログラムを順次実行する前に、第 1 および第 2 のワード線（例えば、動作 1 1 0 6 で説明したように、WL 0 および WL 1）を用いてストリング 0 からストリング 5 によって形成されるメモリセル上で第 1 のパスプログラムを順次実行することができる。いくつかの実施形態では、第 1 のおよび第 2 のパスプログラムを実行するためのデータ（例えば、プログラムデータおよび/または制御命令）は、ホスト 8 1 0 内およびホスト 8 1 0 と 3 Dメモリデバイス 8 0 0 との間のデータバスを占有することなく、3 Dメモリデバイス 8 0 0 内で送信される。いくつかの実施形態では、表 2 に示す順序は、第 1 および第 2 のパスプログラムが実行される前に予め決定されている。3 Dメモリデバイス 8 0 0 は、メモリセルのプログラミングが完了するまで、他のワード線によって形成されるメモリセル、例えば WL 2 および WL 3 に対応するメモリセルについて上述した動作を繰り返すことができる。

40

## 【0091】

50

3D NANDメモリ808は、マルチレベルセル(MLC) NANDメモリデバイスを含むことができ、複数のページの数は、メモリセルに記憶されたビットの数に対応する。一例では、4つの平面を有するQLC NANDメモリデバイス内の2つのワード線によって形成されるメモリセルの第1および第2のプログラムデータをバッファするために、SRAM804は少なくとも3.4MBの記憶空間を有する。

【0092】

いくつかの実施形態では、3Dメモリデバイスは、周辺回路を有する第1の半導体構造と、SRAMセルのアレイと、複数の第1の接合接点を有する第1の接合層とを含む。3Dメモリデバイスはまた、3D NANDメモリストリングのアレイと、複数の第2の接合接点を有する第2の接合層とを有する第2の半導体構造と、第1の接合層と第2の接合層との間の接合インターフェースであって、第1の接合接点は、接合インターフェースで第2の接合接点と接触している、接合インターフェースとを含む。

10

【0093】

いくつかの実施形態では、第1の半導体構造は、基板と、基板上的周辺回路と、基板上にあり、周辺回路と重ならないSRAMセルのアレイと、周辺回路およびSRAMセルのアレイの上の第1の接合層とを含む。

【0094】

いくつかの実施形態では、第2の半導体構造は、第1の接合層の上の第2の接合層と、第2の接合層の上のメモリスティックと、メモリスティックを通して垂直に延在する3D NANDメモリストリングのアレイと、3D NANDメモリストリングのアレイの上であり、3D NANDメモリストリングのアレイと接触している半導体層とを含む。

20

【0095】

いくつかの実施形態では、3Dメモリデバイスは、半導体層の上にパッドアウト相互接続層をさらに含む。

【0096】

いくつかの実施形態では、半導体層は、ポリシリコンまたは単結晶シリコンのうちの少なくとも1つを含む。

【0097】

いくつかの実施形態では、第2の半導体構造は、基板と、基板の上方のメモリスティックと、メモリスティックを通して垂直に延在する3D NANDメモリストリングのアレイと、メモリスティックおよび3D NANDメモリストリングのアレイの上の第2の接合層とを含む。

30

【0098】

いくつかの実施形態では、第1の半導体構造は、第2の接合層の上の第1の接合層と、第1の接合層の上の周辺回路と、第1の接合層の上であり、周辺回路と重ならないSRAMセルのアレイと、周辺回路およびSRAMセルのアレイの上であり、周辺回路およびSRAMセルのアレイと接触している半導体層とを含む。

【0099】

いくつかの実施形態では、3Dメモリデバイスは、半導体層の上にパッドアウト相互接続層をさらに含む。

40

【0100】

いくつかの実施形態では、周辺回路およびSRAMセルのアレイは、互いに積み重ねられる。

【0101】

いくつかの実施形態では、各SRAMセルは複数のトランジスタを含む。

【0102】

いくつかの実施形態では、第1の半導体構造は、垂直方向で第1の接合層とSRAMセルのアレイとの間に第1の相互接続層を含み、第2の半導体構造は、垂直方向で第2の接合層と3D NANDメモリストリングのアレイとの間に第2の相互接続層を含む。

【0103】

50

いくつかの実施形態では、SRAMセルのアレイは、第1および第2の相互接続層ならびに第1および第2の接合接点を介して、3D NANDメモリストリングのアレイに電氣的に接続される。

【0104】

いくつかの実施形態では、3Dメモリデバイスは、eMMCまたはUFSのうちの少なくとも1つにパッケージ化される。

【0105】

いくつかの実施形態では、3Dメモリデバイスを形成するための方法は、周辺回路と、SRAMセルのアレイと、複数の第1の接合接点を有する第1の接合層とを有する第1の半導体構造を形成することと、3D NANDメモリストリングのアレイと複数の第2の接合接点を含む第2の接合層とを有する第2の半導体構造を形成することと、第1の接合接点が接合インターフェースで第2の接合接点と接触するように、第1の半導体構造および第2の半導体構造を対面方式で接合することを含む。

10

【0106】

いくつかの実施形態では、第1の半導体構造を形成することは、第1の基板上に周辺回路およびSRAMセルのアレイを形成することと、周辺回路およびSRAMセルのアレイの上に第1の相互接続層を形成することと、第1の相互接続層の上に第1の接合層を形成することを含む。

【0107】

いくつかの実施形態では、周辺回路およびSRAMセルのアレイを形成することは、第1の基板上に複数のトランジスタを形成することを含む。

20

【0108】

いくつかの実施形態では、第2の半導体構造を形成することは、第2の基板の上にメモリストックを形成することと、メモリストックを通して垂直に延在する3D NANDメモリストリングのアレイを形成することと、3D NANDメモリストリングのアレイの上に第2の相互接続層を形成することと、第2の相互接続層の上に第2の接合層を形成することを含む。

【0109】

いくつかの実施形態では、第2の半導体構造は、接合後に第1の半導体構造の上にある。

【0110】

いくつかの実施形態では、方法は、接合後に半導体層を形成するために第2の基板を薄くすることと、半導体層の上にパッドアウト相互接続層を形成することとをさらに含む。

30

【0111】

いくつかの実施形態では、第1の半導体構造は、接合後に第2の半導体構造の上にある。

【0112】

いくつかの実施形態では、方法は、接合後に半導体層を形成するために第1の基板を薄くすることと、半導体層の上にパッドアウト相互接続層を形成することとをさらに含む。

【0113】

いくつかの実施形態では、接合はハイブリッド接合を含む。

【0114】

いくつかの実施形態では、入力/出力回路、オンダイSRAMセルのアレイ、および3D NANDメモリストリングのアレイを同じチップ内に有する3Dメモリデバイスを動作させるための方法。方法は、入力/出力回路を介してオンダイSRAMセルのアレイにデータを転送することと、オンダイSRAMセルのアレイにデータを記憶させることと、オンダイSRAMセルのアレイから3D NANDメモリストリングのアレイにデータをプログラムすることとを含むことができる。

40

【0115】

いくつかの実施形態では、方法は、複数の接合接点を介して、3D NANDメモリストリングのアレイとオンダイSRAMセルのアレイとの間でデータを転送することとをさらに含む。

50

## 【0116】

いくつかの実施形態では、方法は、入力/出力回路を介してオンダイSRAMセルのアレイからデータを転送することをさらに含む。

## 【0117】

いくつかの実施形態では、オンダイSRAMセルのアレイにデータを記憶させることと、3D NANDメモリストリングのアレイにデータをプログラムすることは、同時に実行される。

## 【0118】

いくつかの実施形態では、オンダイSRAMセルのアレイにデータを記憶させることと、3D NANDメモリストリングのアレイにデータをプログラムすることは、順次実行される。

10

## 【0119】

特定の実施形態の前述の説明は、本開示の一般的な性質を明らかにするので、他者は、当業者の技術の範囲内で知識を適用することによって、本開示の一般的な概念から逸脱することなく、過度の実験を行うことなく、そのような特定の実施形態を様々な用途に容易に修正および/または適合させることができる。したがって、そのような適合および修正は、本明細書に提示された教示およびガイダンスに基づいて、開示された実施形態の均等物の意味および範囲内にあることが意図されている。本明細書の表現または用語は、本明細書の用語または表現が教示およびガイダンスに照らして当業者によって解釈されるように、限定ではなく説明を目的とするものであることを理解されたい。

20

## 【0120】

本開示の実施形態は、指定された機能およびその関係の実装を示す機能的構成要素を用いて上述されている。これらの機能的構成要素の境界は、説明の便宜上、本明細書では任意に定義されている。指定された機能およびそれらの関係が適切に実行される限り、代替の境界を定義することができる。

## 【0121】

発明の概要および要約のセクションは、発明者によって企図される本開示のすべてではないが1つ以上の例示的な実施形態を記載することができ、したがって、本開示および添付の特許請求の範囲を限定することを意図するものでは決してない。

## 【0122】

本開示の幅および範囲は、上述の例示的な実施形態のいずれによっても限定されるべきではなく、以下の特許請求の範囲およびそれらの均等物によってのみ定義されるべきである。

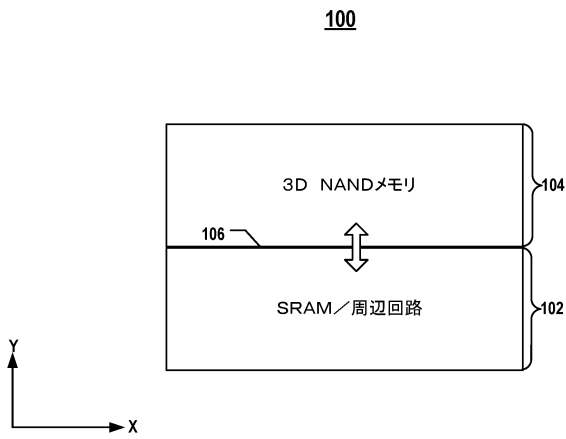
30

40

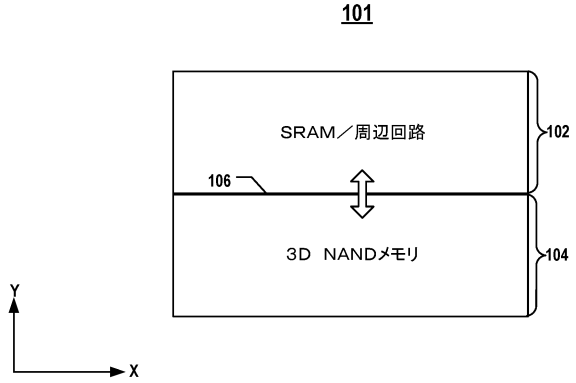
50

【図面】

【図 1 A】

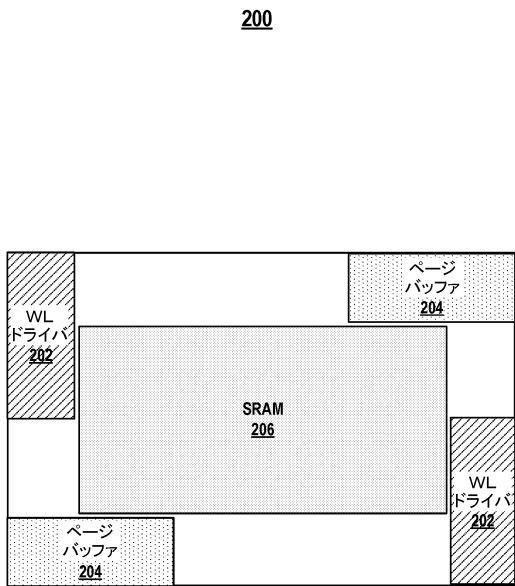


【図 1 B】

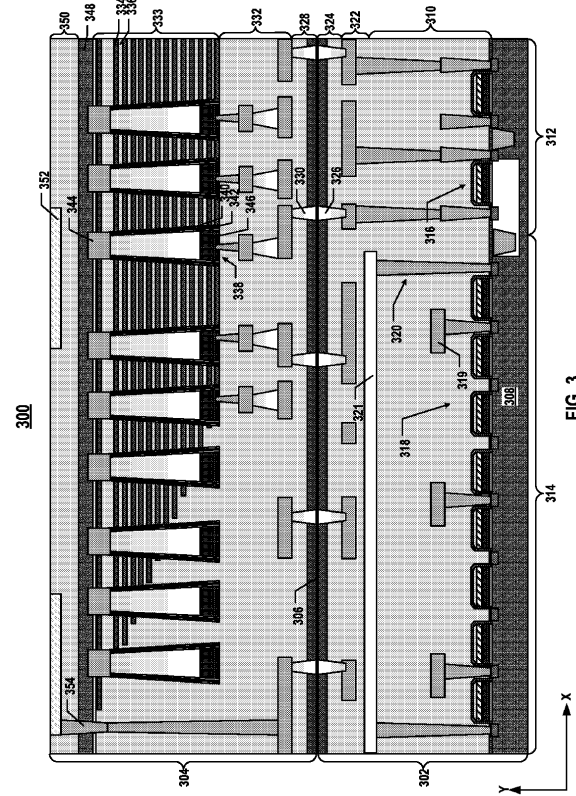


10

【図 2】



【図 3】



20

30

40

50

【 4 】

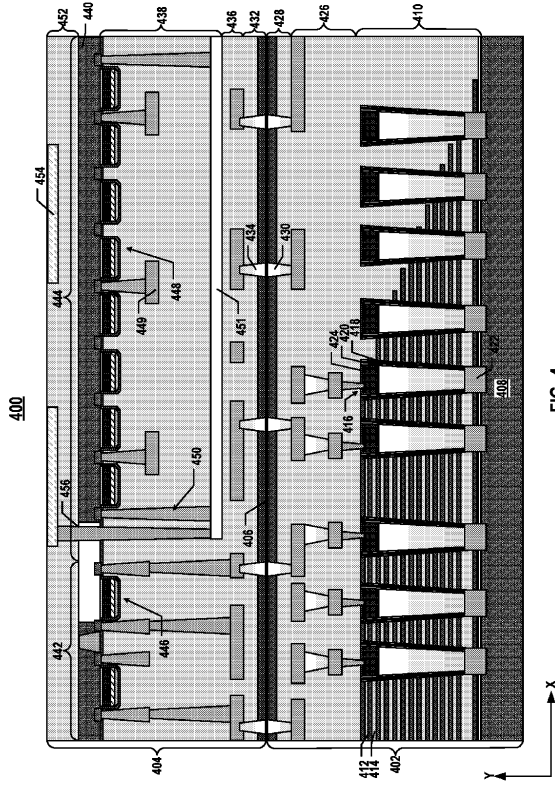


FIG. 4

【 5 A 】

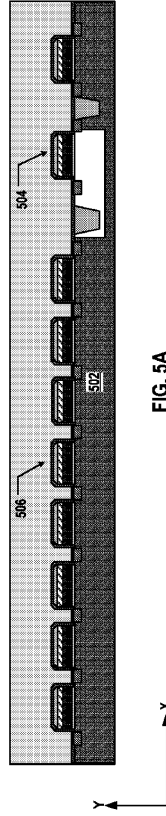


FIG. 5A

【 5 B 】

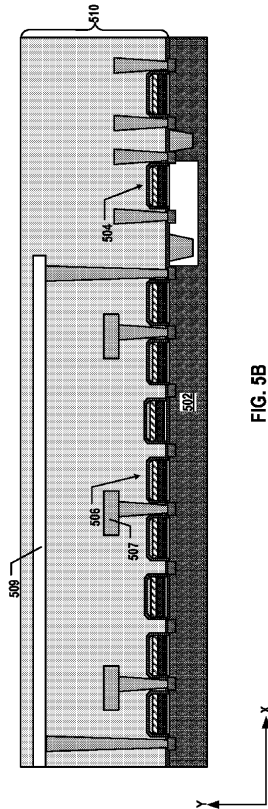


FIG. 5B

【 5 C 】

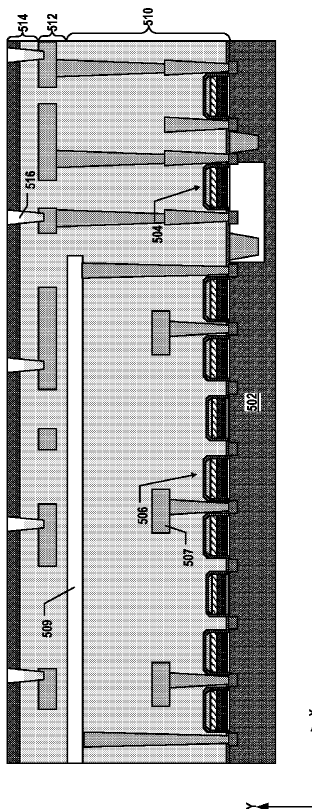


FIG. 5C

10

20

30

40

50

【 6 A 】

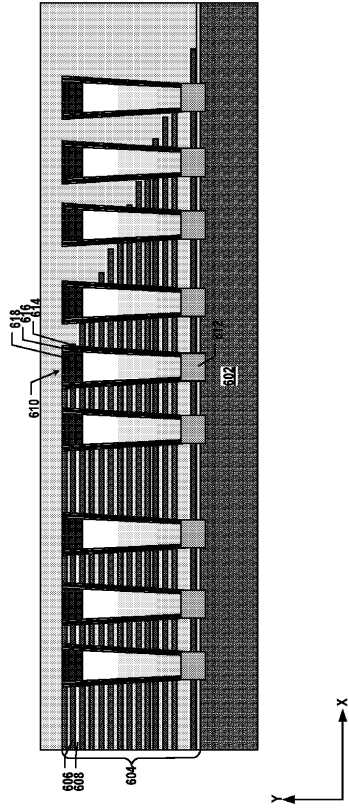


FIG. 6A

【 6 B 】

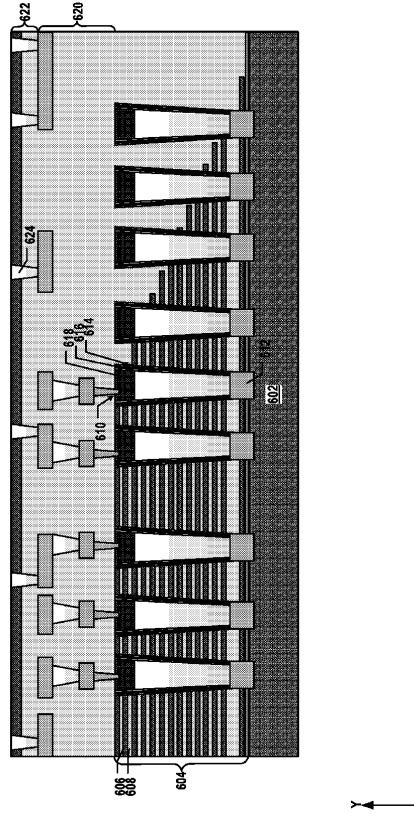


FIG. 6B

【 7 A 】

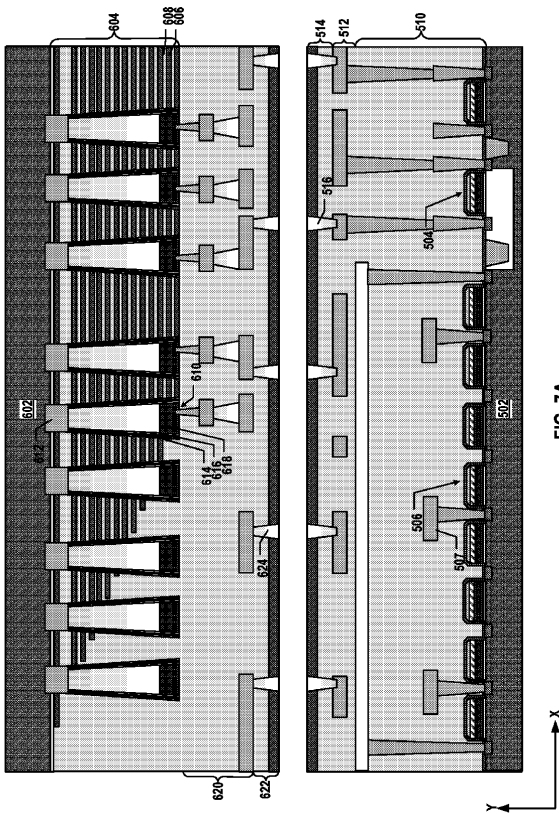


FIG. 7A

【 7 B 】

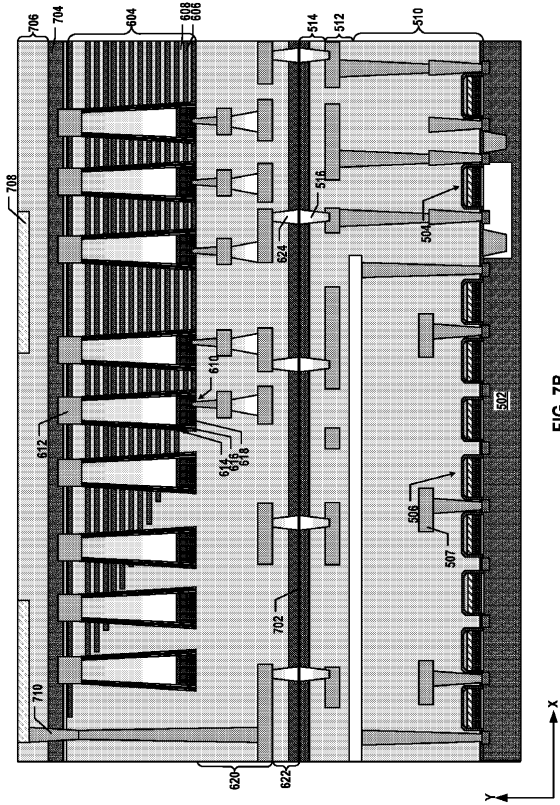


FIG. 7B

10

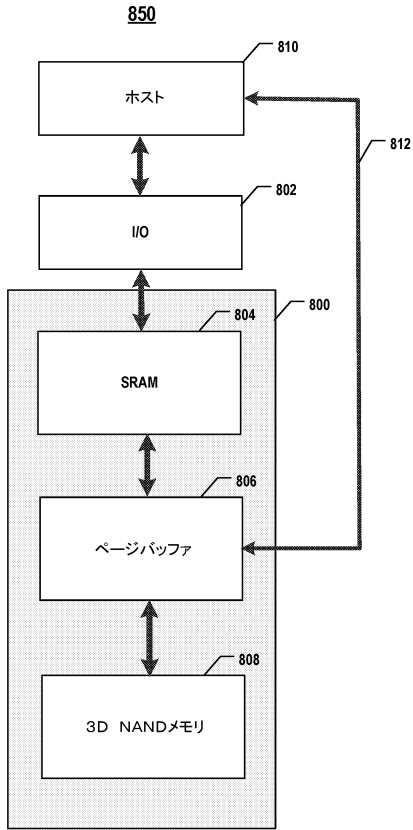
20

30

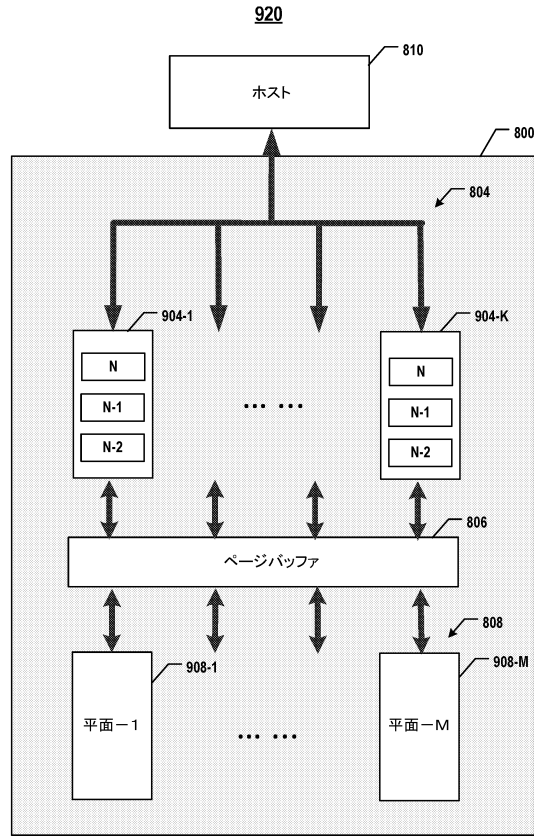
40

50

【図 8】



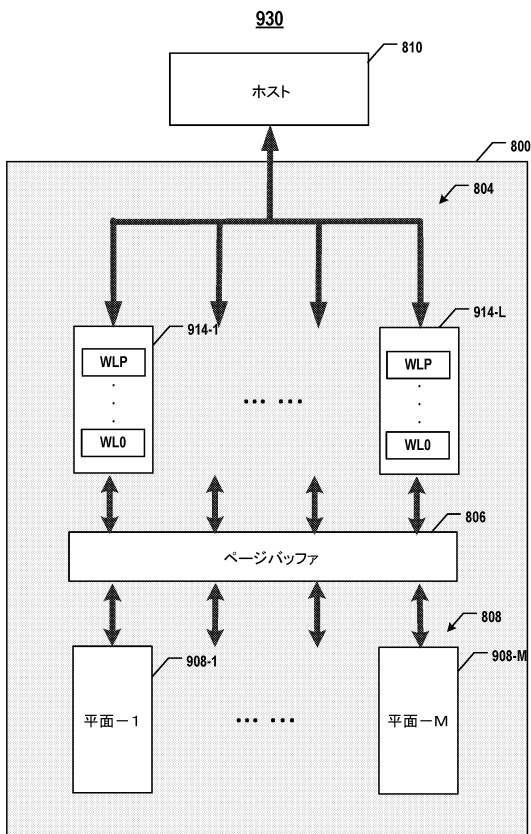
【図 9 A】



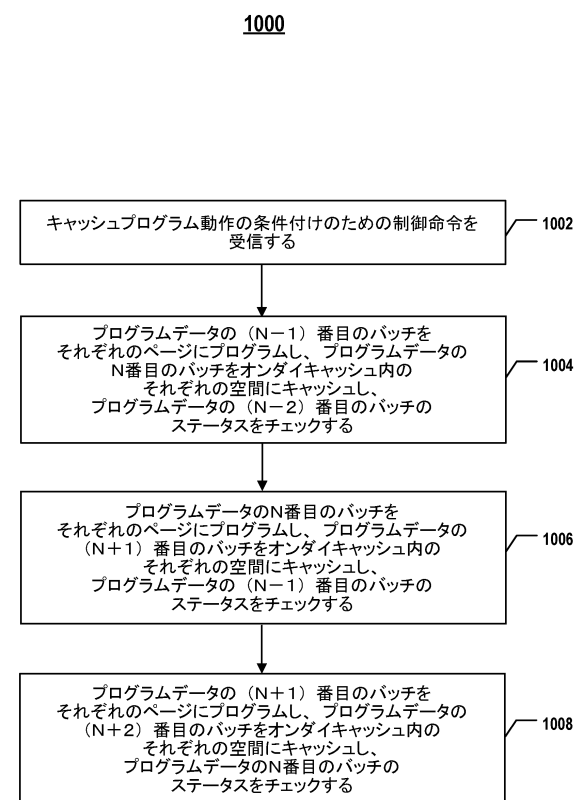
10

20

【図 9 B】



【図 10】

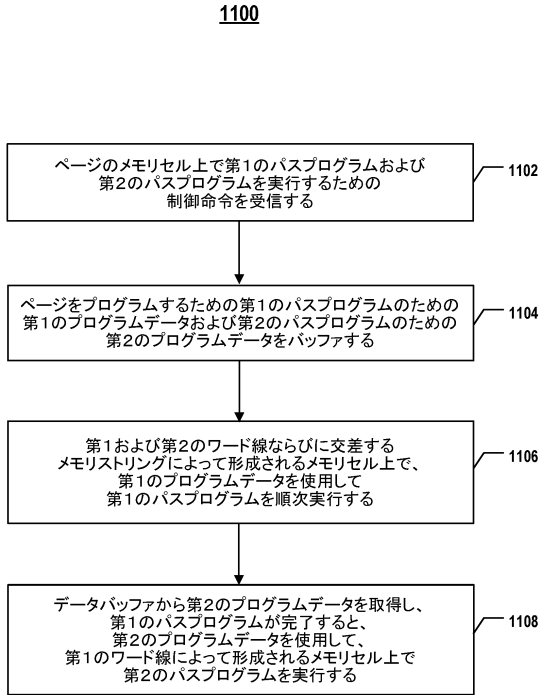


30

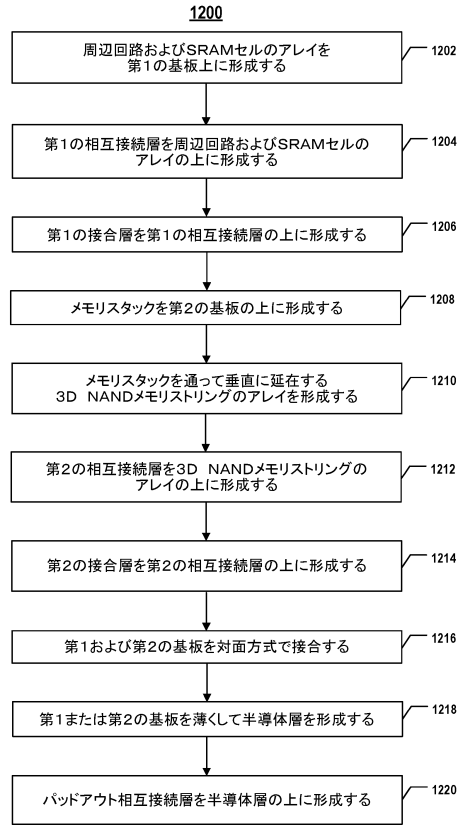
40

50

【 図 1 1 】



【 図 1 2 】



10

20

30

40

50

## フロントページの続き

## (51)国際特許分類

F I

<i>H 0 1 L</i>	<i>21/8234(2006.01)</i>	<i>H 0 1 L</i>	<i>27/088</i>	<i>E</i>
<i>H 0 1 L</i>	<i>27/088(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i>	<i>3 7 1</i>
<i>H 0 1 L</i>	<i>21/336(2006.01)</i>	<i>H 1 0 B</i>	<i>41/27</i>	
<i>H 0 1 L</i>	<i>29/788(2006.01)</i>	<i>H 1 0 B</i>	<i>41/40</i>	
<i>H 0 1 L</i>	<i>29/792(2006.01)</i>			
<i>H 1 0 B</i>	<i>41/27 (2023.01)</i>			
<i>H 1 0 B</i>	<i>41/40 (2023.01)</i>			

、ウーハン、イースト レイク ハイ - テク デベロップメント ゾーン、グアンドン サイエンス  
 アンド テクノロジー インダストリアル パーク、フアグアン ロード、ナンバー 18、ルーム  
 7018

## (72)発明者 ホウ・チュン ユアン

中華人民共和国、フベイ 430074、ウーハン、イースト レイク ハイ - テク デベロップメ  
 ント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、フアグ  
 アン ロード、ナンバー 18、ルーム 7018

審査官 柴山 将隆

## (56)参考文献

米国特許出願公開第 2019/0081069 (US, A1)  
 米国特許出願公開第 2015/0340366 (US, A1)  
 米国特許出願公開第 2016/0307910 (US, A1)  
 特開 2016 - 062901 (JP, A)  
 特開 2012 - 128924 (JP, A)

## (58)調査した分野 (Int.Cl., DB名)

*H 1 0 B* 99 / 00  
*H 1 0 B* 43 / 27  
*H 1 0 B* 10 / 00  
*H 1 0 B* 43 / 40  
*H 0 1 L* 27 / 00  
*H 0 1 L* 21 / 8234  
*H 0 1 L* 21 / 336  
*H 1 0 B* 41 / 27  
*H 1 0 B* 41 / 40