



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월29일
(11) 등록번호 10-0966502
(24) 등록일자 2010년06월21일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)

G09G 3/20 (2006.01) H05B 33/12 (2006.01)

(21) 출원번호 10-2008-0022701

(22) 출원일자 2008년03월12일

심사청구일자 2008년03월12일

(65) 공개번호 10-2008-0083598

(43) 공개일자 2008년09월18일

(30) 우선권주장

JP-P-2007-00061871 2007년03월12일 일본(JP)

(56) 선행기술조사문헌

KR1020060115577 A

KR1020060044787 A

KR1020050057388 A

전체 청구항 수 : 총 11 항

(73) 특허권자

캐논 가부시끼가이샤

일본 도쿄도 오오따꾸 시모마루코 3조메 30방 2고

(72) 발명자

시미즈 히사에

일본국 도쿄도 오오따꾸 시모마루코 3조메 30방
2고 캐논가부시끼가이샤 나이

아베 카츠미

일본국 도쿄도 오오따꾸 시모마루코 3조메 30방
2고 캐논가부시끼가이샤 나이

(74) 대리인

권태복

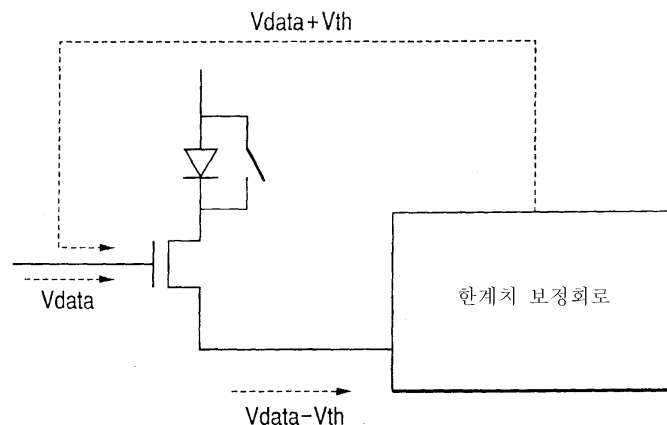
심사관 : 조기덕

(54) 발광 표시장치의 구동회로 및 구동방법

(57) 요약

공급되는 전류로 휘도가 결정된 광을 방출하는 발광소자와, 상기 발광소자에 전류를 공급하는 구동 트랜지스터를 갖는 화소회로를 구비한 발광 표시장치의 구동회로는, 데이터 전압을 포함한 제1신호를 상기 구동 트랜지스터의 제어 전극에 입력할 때에 상기 구동 트랜지스터로부터 출력된, 상기 구동 트랜지스터의 한계치전압과 상기 데이터 전압을 포함한 제2신호를, 극성이 반전한 상기 한계치전압과, 상기 데이터 전압 또는 상기 데이터 전압에 대응하는 전압을 포함한 제3신호로 변환해서 상기 화소회로에 출력하는 한계치 보정회로를 구비한다. 상기 화소회로는, 상기 제3신호를 상기 구동 트랜지스터의 상기 제어 전극에 공급하는 스위치를 구비한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

공급되는 전류로 휘도가 결정되는 광을 방출하는 발광소자와, 상기 발광소자에 전류를 공급하는 구동 트랜지스터를 포함한 화소회로를 구비한 발광 표시장치의 구동회로로서,

데이터 전압을 포함한 제1신호를 상기 구동 트랜지스터의 제어 전극에 입력할 때에 상기 구동 트랜지스터로부터 출력된, 상기 구동 트랜지스터의 한계치전압과 상기 데이터 전압을 포함한 제2신호를, 극성이 반전한 상기 한계치전압과, 상기 데이터 전압 또는 상기 데이터 전압에 대응하는 전압을 포함한 제3신호로 변환해서 상기 화소회로에 출력하는 한계치 보정회로를 구비하고,

상기 구동 트랜지스터의 드레인 단자는 상기 발광소자에 접속되고, 상기 구동 트랜지스터의 소스 단자는 상기 한계치 보정회로에 접속되며,

상기 화소회로는, 상기 제1신호와 제3신호중 어느 하나를 상기 구동 트랜지스터의 상기 제어 전극에 공급하는 스위치를 구비하며,

상기 구동회로는, 상기 스위치 동작에 따라 상기 제2신호를 상기 제3신호로 변환하는 한계치 프로그램 시간 및 상기 발광소자를 상기 제3신호에 따라 구동하는 발광소자 구동기간의 모드에서 동작하는 것을 특징으로 하는 발광 표시장치의 구동회로.

청구항 2

제 1 항에 있어서,

상기 화소회로는 2차원으로 배열되고, 상기 제1신호는 화소회로 열마다 설치된 데이터 선에 의해 입력되고, 상기 한계치 보정회로는 상기 화소회로 열마다 설치되는 것을 특징으로 하는 발광 표시장치의 구동회로.

청구항 3

공급되는 전류로 휘도가 결정되는 광을 방출하는 발광소자, 상기 발광소자에 전류를 공급하는 구동 트랜지스터, 제1 내지 제5 스위치, 및 용량소자를 포함한 화소회로와, 상기 화소회로의 상기 구동 트랜지스터의 한계치를 보정하기 위한 한계치 보정회로를 구비한 발광 표시장치의 구동회로로서,

상기 한계치 보정회로는, 제1 및 제2 연산 증폭기와, 제1 및 제2 저항소자를 구비하고, 상기 제1 연산 증폭기는, 출력 단자가 상기 제1 저항소자를 거쳐서 상기 제2 연산 증폭기의 반전 입력 단자와 접속되고, 비반전 입력 단자가 상기 구동 트랜지스터의 소스 단자와 상기 제1 스위치를 거쳐서 접속되고, 또 반전 입력 단자가 해당 제1 연산 증폭기의 출력 단자와 접속되며,

상기 제2 연산 증폭기는, 출력 단자가 상기 제2 저항소자를 거쳐서 해당 제2 연산 증폭기의 반전 입력 단자와 접속되고, 비반전 입력 단자가 기준 전압에 접속되며,

상기 용량소자는, 상기 제2 연산 증폭기의 출력 단자와 상기 제2 스위치를 거쳐서 접속되고,

상기 제3 스위치는, 상기 구동 트랜지스터의 소스 단자와 접지와 사이에 접속되고,

상기 제4 스위치 및 제5 스위치는, 한쪽의 단자가 상기 구동 트랜지스터의 게이트 단자에 접속되고, 상기 제4 스위치의 다른 쪽의 단자는, 상기 용량소자와 제2 스위치와의 접속 점에 접속되고, 상기 제5 스위치의 다른 쪽의 단자는, 데이터 드라이버로부터의 신호 선과 접속된 것을 특징으로 하는 발광 표시장치의 구동회로.

청구항 4

공급되는 전류로 휘도가 결정되는 광을 방출하는 발광소자, 상기 발광소자에 전류를 공급하는 구동 트랜지스터, 제1 내지 제4 스위치, 및 용량소자를 포함한 화소회로와, 상기 화소회로의 상기 구동 트랜지스터의 한계치를 보정하기 위한 한계치 보정회로를 구비한 발광 표시장치의 구동회로로서,

상기 한계치 보정회로는 제1 및 제2 연산 증폭기와, 제1 및 제2 저항소자를 구비하고,

상기 제1 연산 증폭기는, 출력 단자가 상기 제1 저항소자를 거쳐서 상기 제2 연산 증폭기의 반전 입력 단자와 접속되고, 비반전 입력 단자가 상기 구동 트랜지스터의 소스 단자와 상기 제1 스위치를 거쳐서 접속되고, 또 반전 입력 단자가 해당 제1 연산 증폭기의 출력 단자와 접속되고,

상기 제2 연산 증폭기는, 출력 단자가 상기 제2 스위치를 거쳐서 상기 용량소자와 접속되고, 비반전 입력 단자가 기준 전압에 접속되며,

상기 제3 스위치는, 상기 구동 트랜지스터의 소스 단자와 접지와 사이에 접속되고, 상기 용량소자 및 상기 제2 스위치와의 접속 점은, 상기 구동 트랜지스터의 게이트 단자와 접속되고, 상기 접속 점은 상기 제4 스위치를 거쳐서 데이터 드라이버로부터의 신호 선과 접속된 것을 특징으로 하는 발광 표시장치의 구동회로.

청구항 5

제 3 항에 있어서,

상기 화소회로는 2차원으로 배열되고, 상기 신호 선은 화소회로 열마다 설치되고, 상기 한계치 보정회로는, 상기 화소회로 열마다 설치되고, 또 복수의 상기 화소회로가 배치된 화소영역의 주변영역에 배치되는 것을 특징으로 하는 발광 표시장치의 구동회로.

청구항 6

제 3 항에 있어서,

상기 구동 트랜지스터의 소스 단자에 접속되어 있는 제1 스위치와, 상기 제1 연산 증폭기의 비반전 입력 단자 사이의 접속 점에 접속된 전류원 회로를 더 구비한 것을 특징으로 하는 발광 표시장치의 구동회로.

청구항 7

제 6 항에 있어서,

상기 발광소자의 양쪽단자에 병렬로 접속되는 제6 스위치를 더 구비한 것을 특징으로 하는 발광 표시장치의 구동회로.

청구항 8

제 1 항에 있어서,

상기 발광소자가 유기EL소자인 것을 특징으로 하는 발광 표시장치의 구동회로.

청구항 9

공급되는 전류로 휘도가 결정되는 광을 방출하는 발광소자와, 상기 발광소자에 전류를 공급하는 구동 트랜지스터와를 포함한 화소회로를 구비한 발광 표시장치의 구동방법으로서,

데이터 전압을 포함한 제1신호를 상기 구동 트랜지스터의 제어 전극에 입력하고, 상기 구동 트랜지스터로부터 출력된 상기 구동 트랜지스터의 한계치전압과 상기 데이터 전압을 포함한 제2신호를, 극성이 반전한 상기 한계치전압과, 상기 데이터 전압 또는 상기 데이터 전압에 대응하는 전압을 포함한 제3신호로 변환하여, 용량소자에 저장하는 제1 기간과,

상기 용량소자에 저장된 상기 제3신호를 상기 구동 트랜지스터의 상기 제어 전극에 공급하고, 상기 발광소자를 발광하는 제2 기간을 포함한 것을 특징으로 하는 발광 표시장치의 구동방법.

청구항 10

제 9 항에 있어서,

상기 제1 기간에 있어서, 구동 트랜지스터가 소스 폴로워 회로로서 기능하는 것을 특징으로 하는 발광 표시장치의 구동방법.

청구항 11

청구항 1에 기재된 구동회로를 구비한 발광 표시장치와,

피사체를 촬상하는 촬영부와,

상기 촬영부에서 촬상된 신호를 처리하는 영상신호처리부를 구비하고,

상기 영상신호처리부에서 신호 처리된 영상신호를 상기 발광 표시장치로 표시하여 된 것을 특징으로 하는 카메라.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은, 발광 표시 소자, 특히 유기 일렉트로루미네센스(이하, 간략히 E L 이라고 함) 소자를 사용한 발광 표시장치의 구동회로 및 구동방법에 관한 것이다.

배경 기술

[0002] 최근, 액정표시장치와 플라즈마 표시장치에 계속되는 차세대의 대화면, 박형표시장치로서, 무기 E L 소자, 유기 E L 소자, 발광 다이오드 등, 자발광 소자를 사용한 디스플레이의 개발이 활발하게 행해지고 있다.

[0003] 특히, 유기 E L 소자는, 유리 기판이나 필름 등의 플렉시블 기판 위에 층들을 적층하여 형성될 수 있기 때문에, 최근의 발광 효율이나 신뢰성향상에 따라, 본격적인 실용화가 기대되고 있다.

[0004] 유기 E L 소자의 구동은, 액정 디스플레이에서 증명되고, 폴리실리콘, 아모르포스(amorphous) 반도체 등을 사용한 박막트랜지스터(이하, T F T)로 실현된 액티브 매트릭스 구동방식으로 주로 수행된다.

[0005] 이 중에서도, 아모르포스 반도체는, 필름 기판상의 저온 프로세스 로 형성이 가능하여서, 대형 및 박형 디스플레이 용도에 기술적인 이점을 갖는다.

[0006] 액티브 매트릭스(이하, A M 이라고 함)형 유기 E L 표시장치는, 구동 트랜지스터에 인가되는 전압 또는 전류신호에 따라서, 유기 E L 소자에 공급하는 전압 및 전류를 제어함으로써 휘도를 조절하고, 계조표시를 행한다(도 15 참조). 미국 특허 6,809,706호에는, 이러한 A M 형태 유기 E L 표시장치의, 구동 트랜지스터를 포함한 화소회로의 일례가 개시되어 있다.

발명의 내용

해결 하고자하는 과제

[0007] 그렇지만, 실제로는, 구동 트랜지스터로 유기 E L 소자의 휘도를 제어할 때 이하의 실제 문제가 있다.

[0008] 즉, 구동 트랜지스터의 전기 특성은, 제조 프로세스의 변동으로 화소마다 종종 분산된다. 또한, 구동 트랜지스터의 전기 특성은, 환경이나 통전 시간에 의존해서 변화될 경우가 있다. 그리고, 전기 특성이 변화될 경우, 특히 한계치의 변화가 현저하다.

[0009] 이 때문에, 같은 데이터 신호를 인가하고 있어도, 구동 트랜지스터에 흐르는 전류가 다르다. 그 전류의 변화는, 화소마다 또 시간마다 발광소자의 휘도의 차이를 보이는 원인이 되므로, 표시 화면 전체에 미치고 있는 표시 얼룩을 초래하게 된다.

[0010] 한편, 발광소자에 인가되는 전압과, 데이터 신호와를, 차동증폭기를 사용한 부귀환 루프에 의해, 동전위가 되도록 동작함으로써, 구동 트랜지스터의 전기 특성의 분산을 제거하는 것이 제안되어 있다(예를 들면, 미국 특허 6,809,706호 참조). 이 경우, 발광소자에의 휘도의 제어는 전압으로 행해지게 된다.

[0011] 그렇지만, 유기 E L 소자의 휘도를 전압으로 제어하면, 이 소자의 휘도-전압특성이 선형성을 갖지 않기 때문에, 이 소자의 제조제어가 보다 복잡해진다.

[0012] 또한, 휘도-전압특성이 경시적으로 변화되기 때문에, 상기 제어의 방법도 해당 특성의 경시 변화에 따라 변화시킬 필요가 있다.

[0013] 이상의 이유로, 휘도는 전압이 아니고, 전류로 제어하는 것이 바람직하다.

[0014] 따라서, 본 발명의 목적은, 발광 표시장치에 있어서, 발광소자에 안정한 전류를 공급할 때에, 구동 트랜지스터의 한계치가 변동하거나, 경시 변화된 경우에도, 양호한 화질을 실현하는 구동회로를 제공하는데 있다. 다시 말해, 본 발명의 범위에 따른 발광 표시장치의 구동회로 및 구동방법은, 구동 트랜지스터의 한계치를 보정함으로써, 발광소자를 원하는 휘도계조로 발광 동작시킬 때, 양호한 화질을 실현할 수 있다.

과제 해결수단

[0015] 본 발명은 상기의 과제를 해결하기 위해서, 본 발명자들이 예의 검토를 행하여 완성한 것이다.

[0016] 공급되는 전류로 휘도가 결정되는 광을 방출하는 발광소자와, 상기 발광소자에 전류를 공급하는 구동 트랜지스터를 포함한 화소회로를 구비한 본 발명의 발광 표시장치의 구동회로는, 스위치 동작에 따라 데이터 전압을 포함한 제1신호를 상기 구동 트랜지스터의 제어 전극에 입력할 때에 상기 구동 트랜지스터로부터 출력된, 상기 구동 트랜지스터의 한계치전압과 상기 데이터 전압을 포함한 제2신호를, 극성이 반전한 상기 한계치전압과, 상기 데이터 전압 또는 상기 데이터 전압에 대응하는 전압을 포함한 제3신호로 변환해서 상기 화소회로에 출력하는 한계치 보정회로를 구비하고, 상기 구동 트랜지스터의 드레인 단자는 상기 발광소자에 접속되고, 상기 구동 트랜지스터의 소스 단자는 상기 한계치 보정회로에 접속하며, 상기 화소회로는, 상기 제1신호와 제3신호중 어느 하나를 상기 구동 트랜지스터의 상기 제어 전극에 공급하는 스위치를 구비한다.

[0017] 또한, 본 발명의 발광 표시장치의 구동회로는, 공급되는 전류로 휘도가 결정되는 광을 방출하는 발광소자, 상기 발광소자에 전류를 공급하는 구동 트랜지스터, 제1 내지 제5 스위치, 및 용량소자를 포함한 화소회로와, 상기 화소회로의 상기 구동 트랜지스터의 한계치를 보정하기 위한 한계치 보정회로를 구비한 발광 표시장치의 구동회로로서, 상기 한계치 보정회로는 제1 및 제2 연산 증폭기와, 제1 및 제2 저항소자를 구비하고, 상기 제1 연산 증폭기는, 출력 단자가 상기 제1 저항소자를 거쳐서 상기 제2 연산 증폭기의 반전입력(네가티브 입력이라고도 함) 단자와 접속되고, 비반전 입력(포지티브 입력이라고도 함) 단자가 상기 구동 트랜지스터의 소스 단자와 상기 제1 스위치를 거쳐서 접속되고, 또 반전 입력 단자가 해당 제1 연산 증폭기의 출력 단자와 접속되며, 상기 제2 연산 증폭기는, 해당 제2 연산 증폭기의 출력 단자와 반전 입력 단자가 상기 제2 저항소자를 거쳐서 접속되고, 상기 용량소자는, 상기 제2 연산 증폭기의 출력 단자와 상기 제2 스위치를 거쳐서 접속되고, 상기 제3 스위치는, 상기 구동 트랜지스터의 소스 단자와 접지와의 사이에 접속되고, 상기 제4 스위치 및 제5 스위치는, 한쪽의 단자가 상기 구동 트랜지스터의 게이트 단자에 접속되고, 상기 제4 스위치의 다른 쪽의 단자는, 상기 용량소자와 제2 스위치와의 접속 점에 접속되고, 상기 제5 스위치의 다른 쪽의 단자는, 데이터 드라이버로부터의 신호 선과 접속된다.

[0018] 또한, 본 발명의 발광 표시장치의 구동회로는, 공급되는 전류로 휘도가 결정되는 광을 방출하는 발광소자, 상기 발광소자에 전류를 공급하는 구동 트랜지스터, 제1 내지 제4 스위치, 및 용량소자를 포함한 화소회로와, 상기 화소회로의 상기 구동 트랜지스터의 한계치를 보정하기 위한 한계치 보정회로를 구비한 발광 표시장치의 구동회로로서, 상기 한계치 보정회로는 제1 및 제2 연산 증폭기와, 제1 및 제2 저항소자를 구비하고, 상기 제1 연산 증폭기는, 출력 단자가 상기 제1 저항소자를 거쳐서 상기 제2 연산 증폭기의 반전 입력 단자와 접속되고, 비반전 입력 단자가 상기 구동 트랜지스터의 소스 단자와 상기 제1 스위치를 거쳐서 접속되고, 또 반전 입력 단자가 해당 제1 연산 증폭기의 출력 단자와 접속되고, 상기 제2 연산 증폭기는, 출력 단자가 상기 제2 스위치를 거쳐서 상기 용량소자와 접속되고, 제3 스위치는, 상기 구동 트랜지스터의 소스 단자와 접지와의 사이에 접속되고, 상기 용량소자 및 상기 제2 스위치와의 접속 점은, 상기 구동 트랜지스터의 게이트 단자와 접속되고, 상기 접속 점은, 상기 제4 스위치를 거쳐서, 데이터 드라이버로부터의 신호 선과 접속된다.

[0019] 본 발명의 발광 표시장치의 구동방법은, 공급되는 전류로 휘도가 결정되는 광을 방출하는 발광소자와,

상기 발광소자에 전류를 공급하는 구동 트랜지스터와를 포함한 화소회로를 구비한 발광 표시장치의 구동방법으로서, 데이터 전압을 포함한 제1신호를 상기 구동 트랜지스터의 제어 전극에 입력하고, 상기 구동 트랜지스터로부터 출력된 상기 구동 트랜지스터의 한계치전압과 상기 데이터 전압을 포함한 제2신호를, 극성이 반전한 상기 한계치전압과, 상기 데이터 전압 또는 상기 데이터 전압에 대응하는 전압을 포함한 제3신호로 변환하여, 용량소자에 저장하는 제1 기간과, 상기 용량소자에 저장된 상기 제3신호를 상기 구동 트랜지스터의 상기 제어 전극에 공급하고, 상기 발광소자를 발광하는 제2 기간을 포함한다.

[0020] 본 발명의 카메라는, 상기 본 발명의 발광 표시장치의 구동회로 중 어느 하나를 사용한 것이다.

효 과

[0021] 본 발명에 의하면, 제조 프로세스, 환경조건이나 통전 시간으로 인해 구동 트랜지스터의 한계치 변동이 있어도, 화질의 얼룩 등의 문제가 생기지 않는 고품위 발광 표시장치를 안정적으로 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

[0022] 다음에, 본 발명의 예시적 실시예들을 첨부된 도면을 참조해서 설명한다.

[0023] 본 발명에 사용될 수 있는 구동 트랜지스터들은, 전기 광학특성에 관한 파라미터 중 한계치의 변동, 또는, 전기적 스트레스에 의한 전기 광학특성의 변화로서 한계치 쉬프트를 갖는 것들이다.

[0024] 본 발명은, 구동용 트랜지스터의 한계치전압의 변동을 보정하여, 상기 구동용 트랜지스터의 한계치전압의 억제된 영향으로 안정한 발광 강도의 발광소자를 얻는다. 발광소자로서는, 공급되는 전류로 휘도가 결정되는 광을 방출하는 발광소자는, 예를 들면 AM형 유기EL소자를 사용할 수 있다.

[0025] 이하, 도면을 사용해서 본 발명의 구동회로의 예시적 실시예의 구성 및 그 동작에 관하여 설명한다. 도 1에 나타나 있는 바와 같이, 구동 트랜지스터의 드레인 단자는 발광소자에 접속되고, 구동 트랜지스터의 소스 단자는 구동 트랜지스터의 한계치를 보정하는 한계치 보정회로에 접속된다. 구동 트랜지스터의 제어 전극이 되는 게이트에는, 데이터 전압 Vdata와, 한계치 보정회로로부터의 출력 중 어느 하나가 입력된다. 발광소자의 발광소자 구동기간의 전기간에 있어서 스위치를 온으로 하여서, 구동 트랜지스터의 게이트에 상기 데이터 전압 Vdata를 입력한다. (Vdata-Vth)(Vth는 한계치전압)의 전압이 한계치 보정회로에 입력되고, 한계치 보정회로에서 한계치전압 Vth의 극성(정 또는 부)을 반전시켜서 전압(Vdata+Vth)을 구동 트랜지스터의 게이트에 출력한다.

[0026] 여기서는 게이트-소스간 전압을 Vgs로 나타내는 경우, 구동 트랜지스터의 드레인 전류 Ids는, $I_{ds} \propto (V_{gs} - V_{th})^2$ 로 표현된다. $V_{gs} = V_{data} + V_{th}$ 의 관계이므로, 드레인 전류 Ids는 $I_{ds} \propto (V_{data} + V_{th})^2$ 이 된다.

[0027] 상기 한계치전압 Vth의 극성(정 및 부)의 반전에 대해서 한층 더 설명한다. "Vth의 극성을 반전시키는"이란 상기 식 Vdata-Vth에 포함된 Vth의 극성을 반전시키는 것을 의미한다. 즉, Vth의 극성을 반전시킨 값을 Vth'이라고 하면, Vth'=-Vth가 된다. 따라서, 극성 반전후의 신호는 Vdata-(Vth')=Vdata-(-Vth)=Vdata+Vth가 된다.

[0028] 이것에 의해, 발광소자 구동기간(발광 기간)에 있어서 구동 트랜지스터에 의해 발광소자에 공급되는 전류는, 구동 트랜지스터의 한계치 Vth와 독립적인 값이 되고, 한계치 전압 Vth의 값이나 그 변화의 영향을 거의 받지 않는다.

[0029] 또한, 한계치 보정회로에 필요한 것만은, 한계치전압Vth의 극성(정 또는 부)을 반전시키는 기능을 가져야 하고, 한계치 보정회로는 반드시 전압(Vdata+Vth)을 출력할 필요는 없다. 한계치 보정회로는, 예를 들면, 후술하는 제2 예시적 실시 예에서 설명한 바와 같이, 전압(2V1-Vdata+Vth)을 출력해도 좋다. V1은 임의의 DC 전압을 나타내고, (2V1-Vdata)는 데이터 전압 Vdata에 대응하는 신호를 나타낸다. V1=Vdata일 경우에는, 한계치 보정회로의 출력은 전압(Vdata+Vth)이 된다.

[0030] 본 예시적 실시 예에 있어서, 한계치 보정회로는, 구동 트랜지스터를 포함한 화소회로마다 설치하고, 한계치 보정회로와 화소회로로 화소를 구성하기도 한다. 그러나, 도 2에 나타나 있는 바와 같이, 한계치 보정회로(31)를, 복수의 화소회로(11)가 배열된 화소회로 열마다 설치해도 된다. 후술하는 예시적 실시 예에서는 도 2에 나타내는 구성을 설명한다. 화소회로의 구성은, 후술하는 예시적 실시 예에 있어서 설명을 행하지만, 해당 예시적 실시 예에 따른 구성에 한정되지 않는다.

[0031] 또한, 본 명세서에서는, 구동용 전계효과트랜지스터를 구동 트랜지스터로서, 설명한다.

[0032] [제1 예시적 실시 예]

[0033] 도 3은 본 발명의 구동회로의 제1 예시적 실시 예가 되는, AM형 유기EL표시장치의 화소회로와 한계치 보정회로의 구성을 도시한 도면이고, 도 4는 화소회로의 동작을 나타내는 타이밍 차트다. 도 5는 AM형 유기EL표시장치의 전체의 개략적 구성을 도시한 도면이다. 도 6은 데이터 드라이버와 한계치 보정회로를 도시한 도면이다. 도 7은 D/A변환회로, 한계치 보정회로부 및 화소회로 열을 도시한 도면이다. 또한, 도 5에 있어서, 간략화를 위해 한계치 보정회로는 도시되지 않고 있다. 본 예시적 실시 예에서는 공급된 전류로 휘도가 결정되는 광을 방출하는 발광소자로서 AM형 유기EL소자를 사용하고 있다.

[0034] 도 5에 나타나 있는 바와 같이, AM형 유기EL표시장치는, 2차원의 평면 모양으로 배열된 화소회로(11)로 이루어진 화소영역(41), 데이터 드라이버(42), 주사 드라이버(43)로 구성된다. 데이터 드라이버(42)는, 데이터 선DL1~DLn을 거쳐서 데이터 신호를 각 화소회로(11)에 보낸다. 주사 드라이버(43)는, 주사선SL1~SLn을 거쳐서 주사 신호를 보내 화소회로마다 주사를 행한다. 도 6에 나타나 있는 바와 같이, 데이터 드라이버(42)는, 시프트 레지스터, 데이터 레지스터, 데이터 래치회로, D/A변환회로를 구비한다. 도 6 및 도 7에 나타나 있는 바와 같이, 한계치 보정회로(31)는, 화소회로 열마다 배치되고, 또 복수의 한계치 보정회로(31)는 한계치 보정회로부를 구성하도록 배치되고, 한계치 보정회로부는 D/A변환회로와 화소영역(41)과의 사이에 배치된다. 즉, 한계치 보정회로(31)는, 복수의 화소회로(11)가 배치된 화소영역(41)의 주변영역에 배치된다.

[0035] 도 3에 나타나 있는 바와 같이, 각 화소회로(11)는, 유기EL소자(9), 각각 제1스위치 내지 제6스위치인 스위치 SW1~SW6, 구동 트랜지스터Tr10, 및 용량소자(19)를 구비한다. 한계치 보정회로(31) 각각은, (전류원 회로인) 전류원(12), 연산 증폭기 AMP7, AMP8, 및 저항소자 R14, R15를 구비한다.

[0036] 화소회로(11) 내에서, 유기EL소자(9)의 캐소드가 N형의 구동 트랜지스터Tr10의 드레인 단자와 접속되어 있다. 데이터 전압Vdata는 제5스위치SW5를 통해 구동 트랜지스터Tr10의 게이트 전극이 되는 게이트에 입력된다. 한편, 한계치 보정회로(31)로부터의 출력은 제2스위치SW2를 통해 용량소자(19)에 축적된다. 유기EL소자(9)를 발광시키는 기간에 있어서, 제5스위치SW5를 오프, 제4스위치SW4를 온으로서 구동 트랜지스터Tr10의 게이트에 한계치 보정회로(31)로부터의 신호를 출력한다.

[0037] 제1 연산 증폭기인 연산 증폭기AMP7은, 출력 단자가 제1 저항소자인 저항소자R14를 통하여, 제2 연산 증폭기인 연산 증폭기AMP8의 반전 입력 단자와 접속된다. 연산 증폭기AMP7의 비반전 입력 단자가 구동 트랜지스터Tr10의 소스 단자와 제1스위치SW1를 통해서 접속되고, 연산 증폭기AMP7의 반전 입력 단자가 자신의 출력 단자와 접속된다. 연산 증폭기AMP8은, 출력 단자와 반전 입력 단자가 저항소자R15를 통해서 접속된다. 용량소자(19)는, 연산 증폭기AMP8의 출력 단자와 제2스위치SW2를 통해서 접속된다. 제3스위치SW3은, 구동 트랜지스터Tr10의 소스 단자와 접지와 사이에 접속된다. 제4스위치SW4 및 제5스위치SW5는, 한쪽의 단자가 구동 트랜지스터Tr10의 게이트 단자에 접속된다. 제4스위치SW4의 다른 쪽의 단자는, 용량소자(19)와 제2스위치SW2와의 접속 점과 접속된다. 제5스위치SW5의 다른 쪽의 단자는, 데이터 드라이버(42)로부터의 신호 선과 접속되어 있다. 제6스위치SW6은 유기EL소자(9)에 병렬로 유기EL소자(9)의 양쪽단자에 접속된다.

[0038] 화소회로(11) 내의 트랜지스터와 용량소자는, 아모르포스 반도체 프로세스로 형성되고, 한계치 보정회로(31) 내의 전류원(12), 저항소자R14,R15, 연산 증폭기AMP7,AMP8은 결정Si 프로세스로 제작된다. 마찬가지로, 데이터 드라이버부도 결정Si 프로세스로 제작된다.

[0039] 본 예시적 실시예의 회로 구성은, 제1스위치SW1 내지 제6스위치SW6을 사용하고, 화상표시시에 적어도 "한계치 프로그램 기간" 및 "발광소자 구동기간"의 2가지의 모드를 실현하는 회로 구성으로 된다. 그 때의 각스위치의 타이밍 차트를 도 4에 나타낸다.

[0040] 도 4에 있어서, P1이 제1스위치SW1, 제2스위치SW2, 제6스위치SW6의 제어신호들의 타이밍을 나타내고, P2가 제5스위치SW5의 제어신호의 타이밍을 나타내고, P3이 제3스위치SW3의 제어신호의 타이밍을 나타내며, P4가 제4스위치SW4의 제어신호의 타이밍을 나타낸다.

[0041] (한계치 프로그램 기간)

[0042] 도 8은 한계치 프로그램 기간에서의 화소회로부와 한계치 보정회로(31)의 회로 구성을 도시한 도면이다.

[0043] 도 8에 나타나 있는 바와 같이, 한계치 프로그램 기간에서는, 제1스위치SW1, 제2스위치SW2, 제5스

위치 SW5 및 제6스위치 SW6이 동시에 온상태, 또한 제3스위치 SW3 및 제4스위치 SW4가 동시에 오프상태가 되는 기간이 존재하도록 제1스위치 SW1~제6스위치 SW6이 개폐하고 있다.

[0044] (발광소자 구동기간)

[0045] 도 9는 발광소자 구동기간에서의 발광소자와 접속하고 있는 영역의 회로 구성을 도시한 도면이다. 도 9에 나타나 있는 바와 같이, 제3스위치 SW3 및 제4스위치 SW4가 동시에 온상태, 또한 제1스위치 SW1, 제2스위치 SW2, 제5스위치 SW5, 및 제6스위치 SW6이 동시에 오프상태가 되는 기간이 존재하도록 SW1~SW6이 개폐하고 있다.

[0046] 이하에서는 회로 동작을 설명한다.

[0047] 한계치 프로그램 기간에 있어서는, 도 5에 나타내는 데이터 드라이버(42)의 D/A변환회로로부터의 신호 Vdata를, 도 8에 나타나 있는 바와 같이, 한계치Vth를 가지는 구동 트랜지스터 Tr 10의 게이트, 및 연산 증폭기 AMP8의 기준전원Vref13에 입력한다.

[0048] 이 때의 구동 트랜지스터 Tr 10의 드레인은 전원에 접속되고, 그 소스는 전류원(12)에 접속되어 있다. 구동 트랜지스터 Tr10 및 전류원(12)으로 소스 폴로워 회로가 되고, 소스 전압이, 전압 폴로워인 연산 증폭기 AMP7을 통하여, 게인 1배의 반전 증폭기가 되는 연산 증폭기 AMP8의 반전 입력 단자에 입력된다. 저항소자 R14 및 R15는, 동일한 저항치를 갖도록 설정된다.

[0049] 여기에서 도 8에 있어서, 소스 폴로워의 출력을 노드16, 전압 폴로워 앰프의 출력을 노드17이라고 하면, 노드16의 전위는 Vdata-Vth이고, 노드17의 전위는 Vdata-Vth이다. 연산 증폭기(오피앰프라고도 함) AMP8에 있어서, 반전 입력 단자의 입력이 전압Vin이라고 하면, 기준전위Vref13에 대하여, 노드18의 출력전압Vout는,

[0050]
$$(V_{in}+V_{out})/2=V_{ref}$$

[0051]
$$V_{out}=2V_{ref}-V_{in}.$$

[0052]
$$V_{in}=V_{data}-V_{th} \text{ 및 } V_{ref}=V_{data} \text{인 경우,}$$

[0053]
$$V_{out}=V_{data}+V_{th} \cdots (1) \text{이 된다.}$$

[0054] 이러한 전위가, 용량소자(19)에 유지된다. 또한, 이 기간에, 유기 EL소자(9)는 발광하지 않고 있다.

[0055] 다음에, 발광소자 구동기간에 있어서는, 도 9에 나타나 있는 바와 같이, 구동 트랜지스터 Tr 10의 게이트 단자는, 데이터 드라이버(42)로부터의 신호 선과는 절연되고, 대신에 용량소자(19)와 접속되어 있다.

[0056] 구동 트랜지스터 Tr 10의 드레인 단자는, 유기 EL소자의 캐소드에 접속되고, 그의 소스 단자는 접지에 접속되어 있다.

[0057] 여기에서 구동 트랜지스터 Tr 10의 드레인 전류Ids는, 게이트-소스간 전압을 Vgs라고 하면,

[0058]
$$I_{ds} \propto (V_{gs}-V_{th})^2.$$

[0059] 여기에서, 이전의 한계치 프로그램 기간의 동작으로 인해 Vgs=Vdata+Vth가 되므로, 드레인전류Ids는,

[0060]
$$I_{ds} \propto (V_{data})^2 \cdots (2) \text{로 나타낼 수 있다.}$$

[0061] 이것에 의해, 구동 트랜지스터 Tr 10로부터 유기 EL소자(9)에 공급된 전류는, 구동 트랜지스터의 한계치Vth와 독립적인 값이 되고, 한계치Vth의 값과 그 값의 변화의 영향을 거의 받지 않는다.

[0062] 또한, 전술한 예시적 실시 예에서는, 구동 트랜지스터를 N형으로 한 경우로 서술했지만, P형 구동 트랜지스터를 사용하는 경우라도 동일한 이점을 기대할 수 있다.

[0063] 또한, 유기 EL소자를 사용하는 발광 표시장치에 대해서 서술했지만, 본 발명은, 공급된 전류에 의해 발광하는 발광 표시장치와, 공급된 전류에 의해 임의의 기능을 나타내는 일반적인 전류부하를 사용하는 전류부하 디바이스에도 적용할 수 있다.

[0064] [제2 예시적 실시 예]

[0065] 본 발명의 제2 예시적 실시 예의 구성은, 제1 예시적 실시 예와 거의 마찬가지로, 도 3, 도 4, 도 8 및

도 9에 도시된다. 그러나, 제2 예시적 실시 예의 구성에서는, 도 3에 도시된 제6스위치 SW6이 없는 구성으로 한다. 이에 따라, 상기 제1 예시적 실시 예의 구성과 비교해서 화소영역에서의 스위치 소자를 하나 저감할 수 있다.

[0066] 이 경우에, 한계치 프로그램 기간에서는, 유기 E L 소자(9)는, $I_{ds} \propto (V_{data} - V_{th})^2$ 과 같이, 구동 트랜지스터 Tr10의 한계치전압 V_{th} 를 파라미터로 하는 공급 전류에 의거하여 발광하게 된다. 그러나, 한계치 프로그램 기간이 정규의 발광소자 구동기간에 비교해 충분히 짧은 기간이기 때문에, 그 기간에서의 휘도의 영향은 프레임 기간 전체로부터 본다면 무시할 수 있다.

[0067] [제3 예시적 실시 예]

[0068] 본 발명의 제3 예시적 실시 예의 구성은, 상기 제1 예시적 실시 예와 거의 마찬가지로, 도 3, 도 4, 도 8 및 도 9에 도시된다. 그러나, 제3 예시적 실시 예의 구성에서는, 제1 예시적 실시 예의 전류원(12)이 없는 구성으로 한다.

[0069] 이 경우, 한계치 프로그램 기간에 있어서, 노드 16이, 거의 $(V_{data} - V_{th})$ 의 전위 레벨이 되므로, 상기 제1 예시적 실시 예와 같은 동작으로 거의 같은 이점을 얻을 수 있다.

[0070] [제4 예시적 실시 예]

[0071] 본 발명의 제4 예시적 실시 예의 구성은, 상기 제1 예시적 실시 예와 마찬가지로, 도 3, 도 4, 도 8 및 도 9에 도시된다. 그러나, 반전 증폭기로 기능하는 연산 증폭기 AMP8의 기준전원(13)은, 데이터 드라이버(42)로부터의 신호가 아니고, 다른 전위 레벨을 가지는 DC 전원이다.

[0072] 이 경우, 상술한 한계치 프로그램 기간에 있어서, 연산 증폭기 AMP8에 있어서의 출력은,

[0073]
$$(V_{in} + V_{out}) / 2 = V_{ref}$$

[0074]
$$V_{out} = 2V_{ref} - V_{in}$$

[0075] 여기에서, $V_{in} = V_{data} - V_{th}$ 및 $V_{ref} = V_1$ (V_1 은 임의의 DC 전압을 나타냄), 따라서,

[0076]
$$V_{out} = 2V_1 - V_{data} + V_{th} \dots (3).$$

[0077] 한편, 발광소자 구동기간 동안 구동 트랜지스터 Tr10을 통해 흐르는 전류는,

[0078]
$$I_{ds} \propto (V_{gs} - V_{th})^2,$$

[0079]
$$V_{gs} = 2V_1 - V_{data} + V_{th}$$
가 되므로,

[0080]
$$I_{ds} \propto (2V_1 - V_{data})^2 \dots (4)$$
이 된다.

[0081] 그 후, 유기 E L 소자(9)에의 공급 전류는, 상기 제1 예시적 실시 예와 마찬가지로 한계치전압 V_{th} 의 값과 그 값의 변화의 영향을 거의 받지 않는다.

[0082] [제5 예시적 실시 예]

[0083] 본 발명의 발광 표시장치의 구동회로의 제5 예시적 실시 예는 도 10에 도시되어 있다. 도 3의 구성과 다른 것은, 용량소자(20)가 설치되는 것, 스위치 SW5이 삭제되어 있는 것, 데이터 신호 V_{data} 가 제4스위치 SW4를 통해 구동 트랜지스터 Tr10의 제어 전극이 되는 게이트에 입력되는 것이다. 여기에서 용량소자(20)는, 데이터 드라이버(42)로부터, 화소내의 제2스위치 SW2까지의 배선 및 거기에 접속되어 있는 스위치 트랜지스터의 기생 용량 성분을 충전한다.

[0084] 본 예시적 실시예의 회로 구성은, 제1 예시적 실시 예와 마찬가지로, 화상표시시에, 적어도 "한계치 프로그램 기간" 및 "발광소자구동기간"의 2가지의 모드를 실현하기 위한 회로 구성으로 된다. 그 때의 각 스위치의 타이밍 차트를 도 11에 나타낸다.

[0085] (한계치 프로그램 기간)

[0086] 도 12는 한계치 프로그램 기간에서의 화소회로부와 한계치 보정회로(31)와의 회로 구성을 도시한 도면이다. 도 12에 나타나 있는 바와 같이, 제1스위치 SW1, 제4스위치 SW4 및 제6스위치 SW6이 동시에 온상태, 또한 스위치 제2스위치 SW2 및 제3스위치 SW3이 동시에 오프상태가 되는 기간이 존재하도록 스위치가 개폐하

고 있다.

[0087] (발광소자 구동기간)

[0088] 도 13에 나타나 있는 바와 같이, 제1스위치 SW1, 제4스위치 SW4 및 제6스위치 SW6을 오프상태로 하고, 제2스위치 SW2을 온상태로 한다. 이에 따라서, 용량소자 20의 전하를 용량소자 19로 이동한다. 다음에, 제2스위치 SW2을 오프상태로 하고, 제3스위치 SW3을 온상태로 한다. 구동 트랜지스터 Tr 10의 게이트 단자에는 용량소자(19)가 접속되고, 구동 트랜지스터 Tr 10의 드레인 단자에는 유기발광소자(9)가 접속되고, 또 구동 트랜지스터 Tr 10의 소스 단자에는 접지가 접속되어 있다.

[0089] 이하에 그 회로의 동작을 설명한다.

[0090] 한계치 프로그램 기간에 있어서는, 상기 제1 예시적 실시 예와 거의 같은 동작이 된다. 그러나, 도 12에 나타나 있는 바와 같이, 노드18의 전위는, 용량소자(20)에 축적된다. 이 기간에, 유기 EL 소자(9)는 발광하지 않고 있다.

[0091] 다음에, 발광소자 구동기간에 있어서는, 우선 도 13에 나타나 있는 바와 같이, 스위치 SW2을 온상태, 스위치 SW4을 오프상태로 함으로써, 용량소자 19의 단자가, 데이터 드라이버(42)로부터의 신호 선과는 절연되고, 대신에 용량소자 20과 접속되어 있다.

[0092] 다음에, 스위치 SW2이 오프상태가 되고, 용량소자 20의 전하를 용량소자(19)로 이동한다.

[0093] 구동 트랜지스터 Tr 10의 게이트 단자는, 용량소자(19)에 의해, 전압(Vdata+Vth)에 유지된다. 동시에, 트랜지스터 Tr 10의 드레인 단자는, 유기 EL 소자(9)의 캐소드에, 그 소스 단자는 접지에 접속되어 있다.

[0094] 여기에서 트랜지스터 Tr 10의 드레인 전류 Ids는, 상기 제1 예시적 실시 예와 마찬가지로,

[0095]
$$I_{ds} \propto (V_{data})^2 \cdot \dots (2)$$
로 나타낸다.

[0096] 이것에 의해, 구동 트랜지스터 Tr 10로부터 유기 EL 소자(9)에 공급되는 전류는, 구동 트랜지스터 Tr 10의 한계치 Vth와 독립적인 값이 되고, 한계치 전압 Vth의 값의 변화의 영향을 거의 받지 않는다.

[0097] 본 예시적 실시예에서는, 화소내의 스위치의 수를, 상기 제1 예시적 실시 예의 6개의 경우와 비교하여, 하나 삭감할 수 있다.

[0098] 더욱이, 상기 제2 예시적 실시 예 2와 마찬가지로 제6스위치 SW6도 삭감하는 경우, 본 예시적 실시예는 화소내의 스위치 4개로 동작이 가능하게 된다.

[0099] 전술한 각 예시적 실시 예들 각각의 AM형 유기 EL 표시장치는, 정보표시장치를 구성하기도 한다. 이 정보표시장치는, 휴대전화, 휴대 컴퓨터, 스틸 카메라 및 비디오카메라 등의 카메라, 및 그것들의 복수의 기능을 실현하는 장치에 사용된다.

[0100] 이하, 본 발명의 적합한 예시적 실시 예로서, 전술한 제1 예시적 실시 예에 기재된 AM형 유기 EL 표시장치를 사용한 디지털 카메라에 관하여 설명한다.

[0101] 도 14는 디지털 스틸 카메라의 일례의 블록도다. 도면 중, 전체 시스템(129)은, 피사체를 촬상하는 촬영부(123), 영상신호처리회로(영상신호처리부임)(124), 표시 패널(125), 메모리(126), CPU(127), 조작부(128)를 구비한다. 촬영부(123)로 촬영한 영상 또는, 메모리(126)에 기록된 영상을, 영상신호처리회로(124)로 신호처리하여, 표시 패널(125)에서 그 영상을 볼수 있다. CPU(127)에서는, 조작부(128)로부터의 입력에 의해, 촬영부(123), 메모리(126), 영상신호처리회로(124)를 제어하고, 상황에 적합한 촬영, 기록, 재생 및 표시를 행한다.

[0102] 본 발명을 예시적 실시예들을 참조하여 설명하였지만, 본 발명이 상기 개시된 예시적 실시예들에 한정되지 않는다는 것을 알 수 있다. 이하의 청구범위는, 모든 변경 및 동등한 구조 및 기능을 포함하도록 가장 넓게 해석되어야 한다.

도면의 간단한 설명

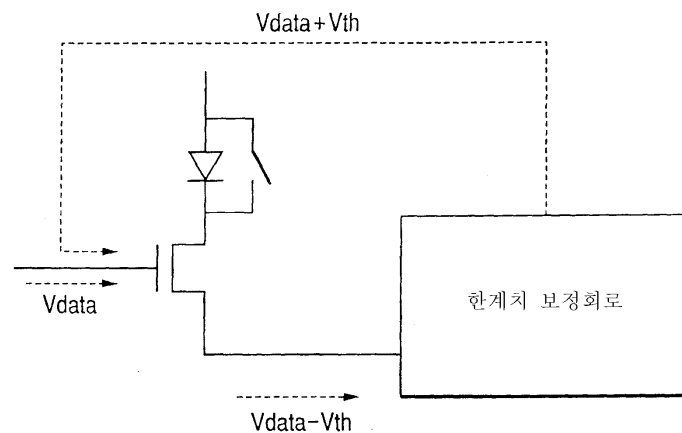
[0103] 도 1은 본 발명의 구동회로의 예시적 실시예의 구성 및 동작을 도시한 도면이다.

[0104] 도 2는 한계치 보정회로를 화소회로 열마다 설치한 구성을 도시한 도면이다.

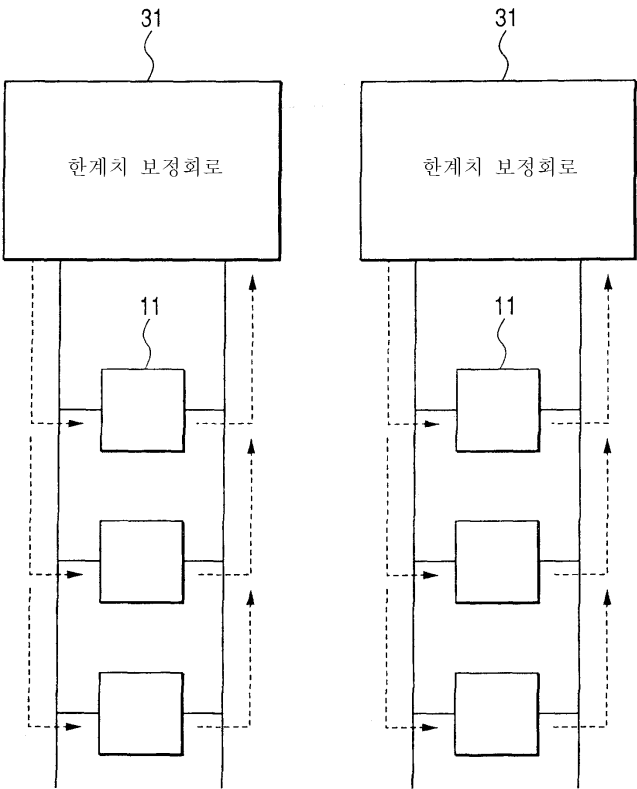
- [0105] 도 3은 본 발명의 구동회로의 제1 예시적 실시 예인, AM형 유기EL표시장치의 화소회로와 한계치 보정회로의 구성을 도시한 도면이다.
- [0106] 도 4는 상기 제1 예시적 실시 예의 화소회로의 동작을 나타내는 타이밍 차트다.
- [0107] 도 5는 상기 제1 예시적 실시 예의 AM형 유기EL표시장치의 전체의 개략적 구성을 도시한 도면이다.
- [0108] 도 6은 데이터 드라이버와 한계치 보정회로부를 도시한 도면이다.
- [0109] 도 7은 D/A변환회로, 한계치 보정회로부 및 화소회로 열을 도시한 도면이다.
- [0110] 도 8은 한계치 프로그램 기간에서의 화소회로부와 한계치 보정회로(보상회로라고도 함)의 회로 구성을 도시한 도면이다.
- [0111] 도 9는 발광소자와 접속하고 있는 영역의 회로 구성을 도시한 도면이다.
- [0112] 도 10은 본 발명의 발광 표시장치의 구동회로의 제5 예시적 실시 예를 도시한 도면이다.
- [0113] 도 11은 제5 예시적 실시 예의 타이밍 차트를 도시한 도면이다.
- [0114] 도 12는 한계치 프로그램 기간에서의 화소회로부와 한계치 보정회로와의 회로 구성을 도시한 도면이다.
- [0115] 도 13은 발광소자 구동기간에서의 화소회로부와 한계치 보정회로와의 회로 구성을 도시한 도면이다.
- [0116] 도 14는 디지털 스틸 카메라의 일례의 블록도다.
- [0117] 도 15는 액티브 매트릭스형 유기EL표시장치의 화소회로의 배치를 도시한 도면이다.

도면

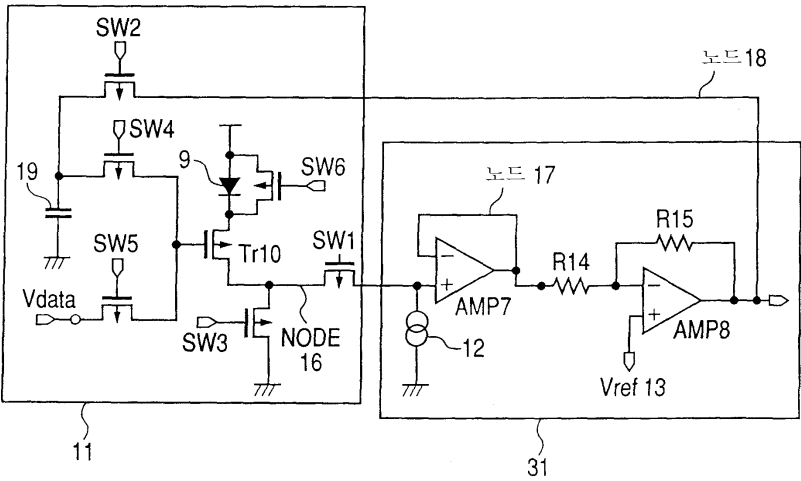
도면1



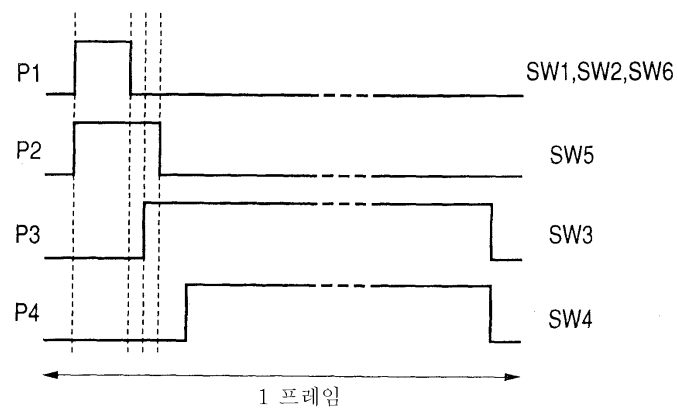
도면2



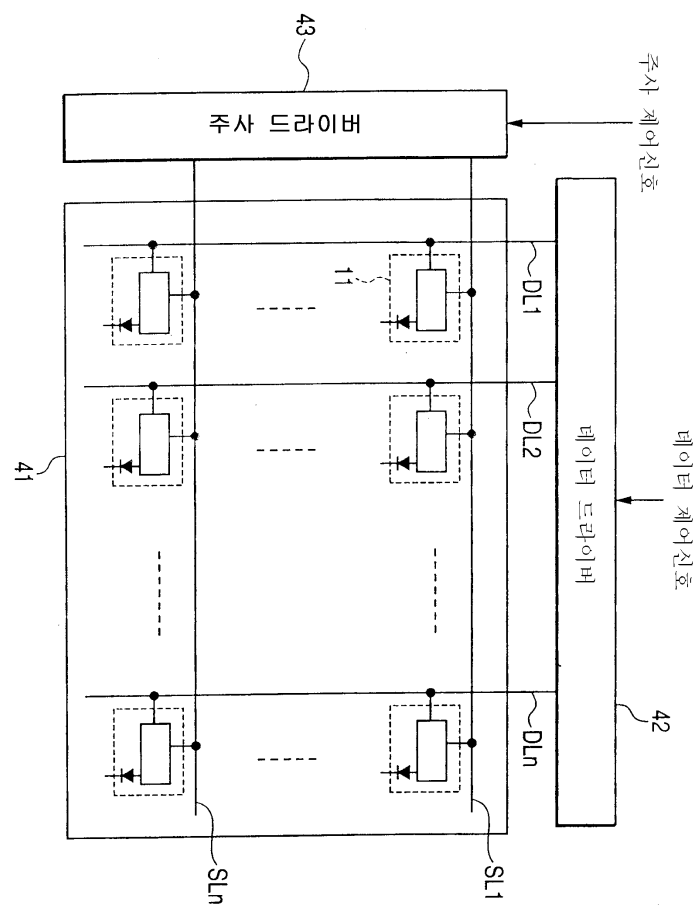
도면3



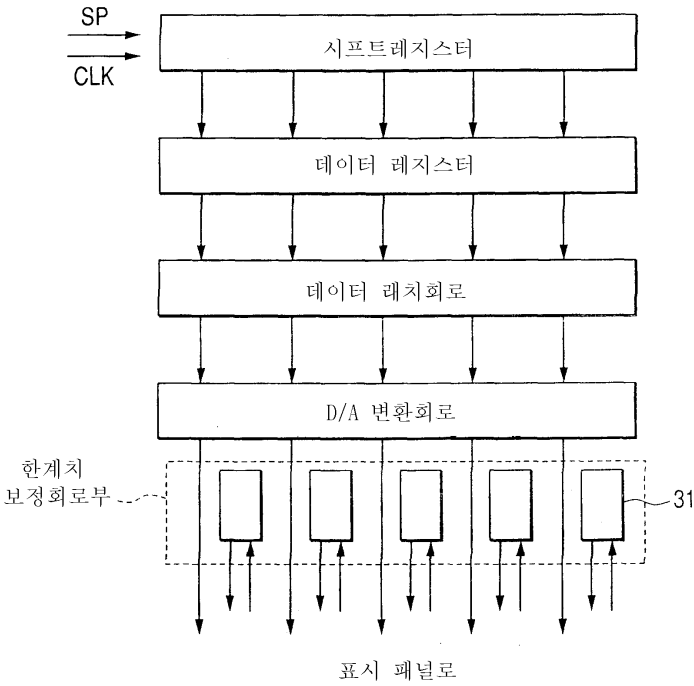
도면4



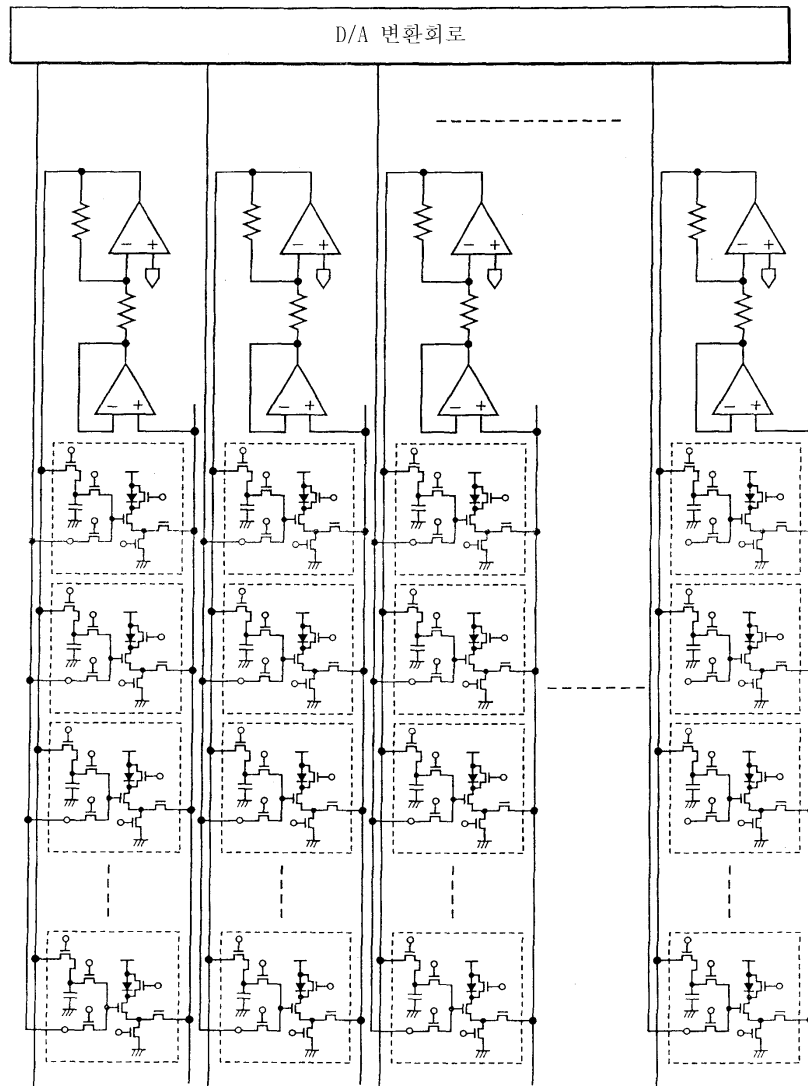
도면5



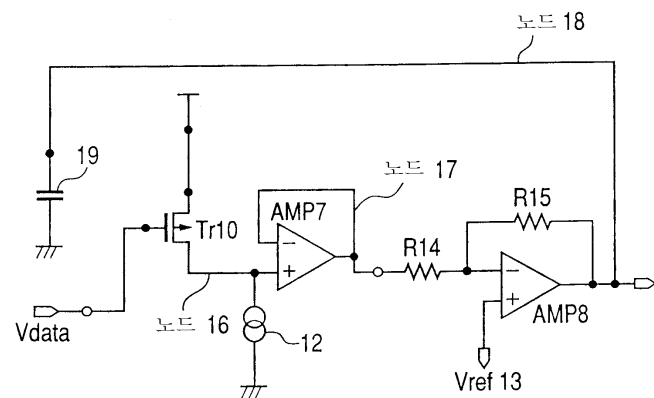
도면6



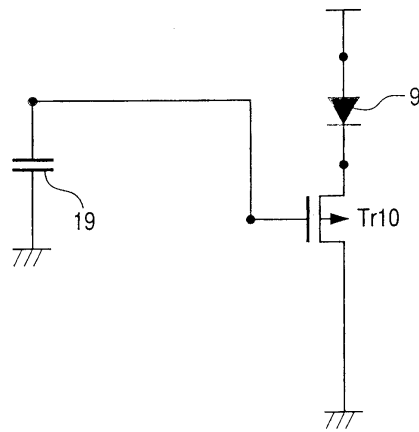
도면7



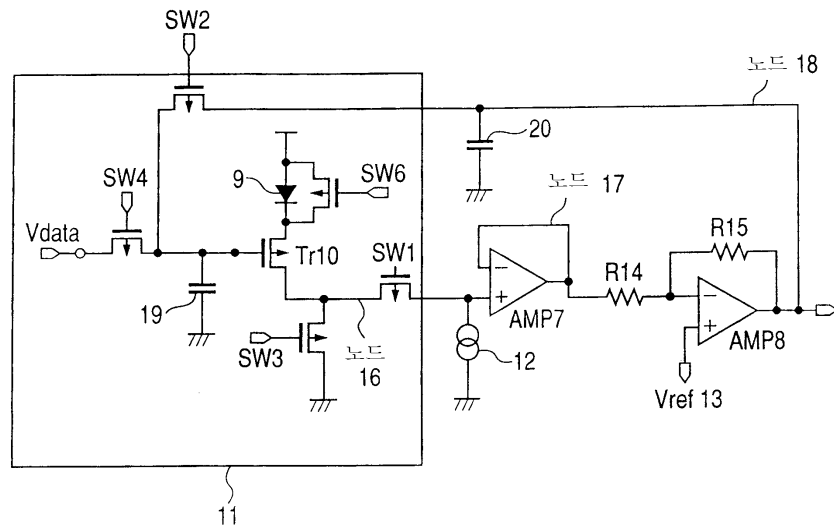
도면8



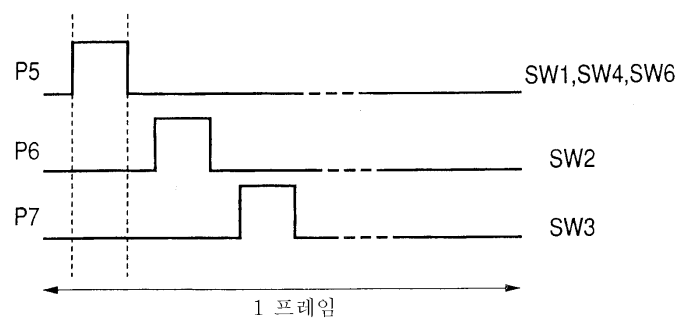
도면9



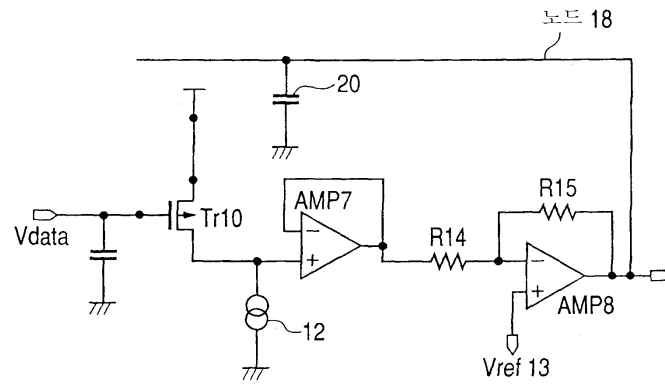
도면10



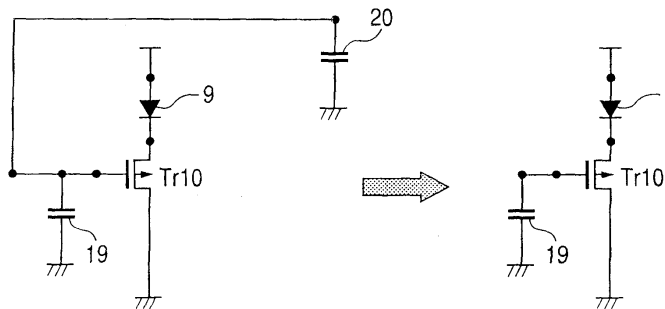
도면11



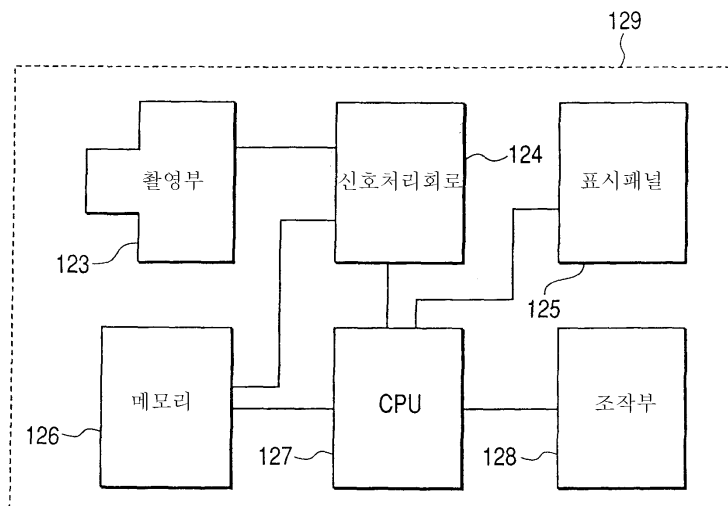
도면12



도면13



도면14



도면15

