

(19)



SUOMI - FINLAND

(FI)

**PATENTTI- JA REKISTERIHALLITUS
PATENT- OCH REGISTERSTYRELSEN
FINNISH PATENT AND REGISTRATION OFFICE**

(10) FI 963256 A7

**(12) JULKISEKSI TULLUT PATENTTIHAKEMUS
PATENTANSÖKAN SOM BLIVIT OFFENTLIG
PATENT APPLICATION MADE AVAILABLE TO THE
PUBLIC**

(21) Patenttihakemus - Patentansökan - Patent application **963256**

(51) Kansainvälinen patenttiluokitus - Internationell patentklassifikation -
International patent classification
**H03K 5/08
H03K 3/45
G05F 3/26**

(22) Tekemispäivä - Ingivningsdag - Filing date **16.02.1995**

(23) Saapumispäivä - Ankomstdag - Reception date **20.08.1996**

(41) Tullut julkiseksi - Blivit offentlig - Available to the public **20.08.1996**

(43) Julkaisupäivä - Publiceringsdag - Publication date **13.06.2019**

(86) Kansainvälinen hakemus - **16.02.1995 PCT/SE1995/000165**
Internationell ansökan - International
application

(32) (33) (31) Etuoikeus - Prioritet - Priority

21.02.1994 SE 9400593

(71) Hakija - Sökande - Applicant

1 • Telefonaktiebolaget L M Ericsson, 126 25 Stockholm, SVERIGE, (SE)

(72) Keksijä - Uppfinnare - Inventor

1 • Hedberg, Mats Olof Joakim, Haninge, SVERIGE, (SE)

(74) Asiamies - Ombud - Agent

Kolster Oy Ab, Salmisaarenaukio 1, 00180 Helsinki

(54) Keksinnön nimitys - Uppfinningens benämning - Title of the invention

Signaalinvastaanotto- ja signaalinkäsittely-yksikkö

Signalmottagnings- och signalbehandlingsenhet

Signaalinvastaanotto- ja signaalinkäsittely-yksikkö

Tekniikan alue

5 Esillä oleva keksintö liittyy signaalinvastaanotto- ja signaalinkäsittely-yksikköön, joka käsittää signaalinvastaanottopiirin ja signaalinkäsittelypiirin.

Keksintö liittyy tarkemmin signaalinvastaanottopiiriin ja signaalinkäsittelypiiriin sellaisille signaaleille, jotka ovat pulssimuotoisia jännitevaihteluita, joilla
10 on valittu toistotaajuus, joka on suuruusluokaltaan suurempi kuin megabitti sekunnissa (1 Mb/s), edullisesti suurempi kuin 100 Mb/s.

Jännitevaihteluita säädetään lähetyspiirillä esittämään digitaalista informaatiota kuljettava signaali,
15 jolla on sisäinen rakenne. Tätä digitaalista signaalia vääristää mm. signaalia siirtävä johdin, ja vastaanottopiirin on tarkoitus kyetä ilmaisemaan ja vastaanottamaan näin vääristynyt digitaalinen signaali.

Tämäntyyppisiä yksiköitä käytetään sovittamaan vastaanotetut (vääristyneet) signaalit lähetetyiksi signaaleiksi, joilla on sisäinen signaalirakenne. Menetelmä perustuu sellaisen vastaanoton signaaliin, joka esittää jonkin verran virheellisen jännitetason ja/tai joka ei ole sovitettu tietylle yhteismuoto (CM) -alueelle, signaalinkäsittely-yksiköllä sisäiseen signaalirakenteeseen, joka
25 on sopivampi signaalien vaihdossa tarvittavien vaatimusten suhteen.

Tällaiset signaalinvastaanotto- ja signaalinkäsittely-yksiköt ovat kytketyt johtimeen, joka on sovitettu
30 lähettämään informaatiota kuljettavia signaaleja pulssien muodossa. Johdin on kytketty signaalinvastaanottopiiriin kuuluvaan transistoriin tuottamaan virta käyttäen jännitepulssien vaihteluita ja pulssin jännitearvoa. Virta on pulssien muodossa, jotka kulkevat transistorin läpi, ja
35 virta synnytetään jännitepulssivaihteluilla ja jänniteta-

solla. Signaalinkäsittely-yksikkö antaa virran signaalisovitetussa informaatiota kuljettavassa muodossa, joka on paremmin sovitettu piirin sisäisten informaatiota kuljetavien signaalien tiettyyn muotoon kuin mitä vastaanotetun signaalin muoto oli.

Tämäntyyppiset signaalinvastaanotto- ja signaalinkäsittely-yksiköt ovat olleet käyttökelpoisia arvioitaessa informaatioisisältöä jännitepulsseissa, joiden pulssitaajuus on aina 200 Mb/s ulottuvalla alueella.

10 Aikaisemmin tunnetun tekniikan tason kuvaus

Tämäntyyppiset signaalinvastaanotto- ja signaalinkäsittely-yksiköt ovat olleet sovitettuja ilmaisemaan pulssimuotoiset jännitevaihtelut, jotka esiintyvät yksittäisellä johtimella (yksipäinen signaali), tai ilmaise-
15 maan pulssimuotoiset jännitevaihtelut, jotka ilmenevät kahdella johtimella tai niiden välillä (differentiaalinen signaali).

Yksinkertaisuuden vuoksi seuraava selitys on rajoitettu vain differentiaaliiseen signaaliin, mutta keksintö tuottaa signaalinvastaanotto- ja signaalinkäsittely-yksiköt molemmille signaaliinjärjestelmille.

Alan ammattilainen tulee tunnistamaan toimenpiteet, jotka vaaditaan yhden johtimen jännitepotentiaalinen pitämiseksi vakiotasolla, mitä vaaditaan yksipäistä signaaliin varten. Tätä ei tulla kuitenkaan kuvaamaan alla.

On myös tunnettua käyttää erilaisia tekniikoita näiden signaalinvastaanotto- ja signaalinkäsittely-yksiköiden valmistamiseksi, niin että tällä tavoin saavutetaan erilaisia toimintaehtoja yksiköille.

30 On tunnettua käyttää sekä CMOS-teknologiaa että bipolaaritekniologiaa yllä selitetyn tyyppisten signaalinvastaanottoyksiköiden ja signaalinkäsittely-yksiköiden valmistamiseen. Yksinkertaisuuden vuoksi seuraavassa selityksessä kuvataan pääasiallisesti CMOS-teknologian käyttöä.

Toiminnalliset erot, jotka saavutetaan bipolaari-
teknologiaa käyttäen, ovat merkitykseltään vähäisiä ja ne
olevat ilmeisiä alan ammattilaiselle.

Myöskin muutokset, jotka vaaditaan CMOS-teknologian
5 ja/tai bipolaaritekniikan sovittamiseksi muihin tunnet-
tuihin teknologioihin, olisivat ilmeisiä alan ammattilai-
selle.

Tämäntyyppisten yksiköiden valmistuksessa ovat kak-
si kriteeriä merkittäviä, mm.:

10 1) Signaalinvastaanottopiirin ja signaalinkäsitte-
lypiirin CM-alue (differentiaalisessa signalointijärjes-
telmässä CM-alue on jännitealue, jonka sisällä vastaan-
otettujen jännitepulssien täytyy olla signaalinvastaanot-
topiirillä tapahtuvaa ilmaisu varten); ja

15 2) johtimilla esiintyvien yksittäisten jännitevaiht-
teluiden toistotaajuuden rajoitusarvo, joka voidaan il-
maista ja erottaa signaalinkäsittelypiirillä ja tämän jäl-
keen käsitellä signaalinkäsittelypiirillä.

On tunnettua kytkeä kukin johtimilla esiintyvistä
20 informaatiota kuljettavista signaaleista vastaavaan hila-
napaan, näiden hilanapojen kuullessa vastaaville PMOS-
transistoreille. CM-alue olisi tällöin jännitealue josta-
kin hieman suuremmasta kuin puolet käyttöjännitteestä
(Vcc) alas nollapotentiaaliin (katso kuvio 3).

25 PMOS-transistorin ja sen peräänkytketyn virtapeili-
piirin, sellaisen kuten peräänkytketty kaskoripiiri tai
vastaava (joka selitetään alla), käyttö tuottaa CM-alueen,
jota laajennetaan alaspäin hieman pienemmäksi kuin nolla-
potentiaali (suurinpiirtein -0,7 volttia).

30 On myös tunnettua, että PMOS-transistorit tuottavat
alemman toistotaajuuden raja-arvon (200 Mb/s saakka) kuin
NMOS-transistorilla tuotetaan.

Voidaan myös huomata, että PMOS-transistoreiden
vaihtaminen NMOS-transistoreiksi (katso kuviot 3 ja 4)
35 tuottaisivat CM-alueen, joka ulottuu käyttöjännitteestä

alaspäin hieman pienemmäksi kuin puolet käyttöjännitteestä. Tämä ei ole hyväksyttävää, koska käytännönsovellutuksissa CM-alueen täytyy olla ainakin sillä alueella, jonka PMOS-transistorit ja sen peräänkytketty virtapeili, esim.

5 kaskodipiiri, tuottavat.

Voidaan myös mainita, että kun rakennetaan tämän-
tyyppisiä signaalinvastaanotto- ja signaalinkäsittely-yk-
siköitä, on tunnettua käyttää ja koodinoida kahta transis-
toria signaalinkäsittelypiirissä (kuvio 3), niin että en-
10 simmäisen transistorin läpi kulkeva virta peilataan ole-
maan sama kuin toisen transistorin läpi kulkeva virta.
Näin luodaan olosuhteet, jotka sallivat toisen transisto-
rin nielu-lähde-jännitteen vaihdella suhteellisen paljon
suhteessa ensimmäisen transistorin läpi esiintyvään virta-
15 vaihteluun.

Tällainen signaalia käsittelevä virtapeilipiiri se-
litetään yksityiskohtaisemmin alla viitaten kuvioon 1.

Tämän tunnetun tekniikan kuvauksen täydentämiseksi
ja sellaisen piirin mainitsemiseksi, joka joissakin ta-
20 pauksissa voi olla sopiva esillä olevaa keksintöä varten,
pitäisi mainita, että toisen transistorin läpi kulkeva
virta voidaan tehdä riippumattomaksi nielu-lähde-jännit-
teestä käyttämällä kaskodipiiriä (suuri-impedanssista vir-
tageneraattoria).

25 Tällainen kaskodipiiri, jossa on neljä transisto-
ria, on selitetty yksityiskohtaisemmin alla viitaten ku-
vioon 2.

Myös muita virtapeilipiirejä tunnetaan, sellaisia
kuten kolmea transistoria käyttävä piiri, kuten Wilson-
30 virtapeili.

Ilmaisu "virtapeilipiiri" tullaan seuraavassa seli-
tyksessä ja patenttivaatimuksissa ymmärtämään niin, että
se kattaa kaikentyyppiset virtapeilit, riippumatta käyte-
täänkö kahta, kolmea tai useampaa transistoria.

Wilson-virtapeili ja kaskodipiiri ovat virtapeili-
piirejä, jotka tuottavat parhaat ominaisuudet, kun ne kyt-
ketään virtageneraattoreiksi.

5 Julkaisu "CMOS analog circuit design", P.E. Allen
(ISBN 0-03-006587-9), ja saksalainen patenttidokumentti
nro DE-3 525 522 auttavat ymmärtämään tunnettua tekniikkaa
enemmän ja yksityiskohtaisemmin.

CMOS-teknologia käyttää PMOS-transistoreita ja
NMOS-transistoreita ja seuraavassa jokainen valittu tran-
10 sistori tullaan kuvaamaan käyttäen symbolia "N" tai "P"
ennen vastaavaa viitenumeroa ilmaisemassa onko transistori
NMOS- vai PMOS-transistori.

Seuraava selitys mainitsee ainoastaan NMOS-transis-
torit, mutta tämän ilmaisuuden on tarkoitus sisältää myös
15 NPN-bipolaaritransistorit ja ekvivalenttiset muiden tekno-
logioiden transistorit.

Samalla tavoin PNP-bipolaaritransistoreiden ja vas-
taavien ymmärretään sisältyvän ilmaisuun "PMOS-transisto-
rit".

20 **Esillä olevan keksinnön julkaiseminen**
Tekniset ongelmat

Kun tarkastellaan yllä kuvattua tunnettua tekniik-
kaa ja tämän tekniikan alueen suuntauksia, on teknisenä
ongelmana aikaansaada signaalinvastaanottoyksikkö, joka
25 voi ainakin esittää CM-alueen, joka vastaa aluetta, joka
voidaan saavuttaa kuvion 4 suoritusmuodon PMOS-transisto-
reilla peräänkytkettyinä virtapeilipiireinä, ja joka voi
kasvattaa toistotaajuuden kohti sitä rajaa, joka on saata-
vissa nopeilla transistoreilla, sellaisilla kuten NMOS-
30 transistoreilla, NPN-bipolaaritransistoreilla ja vastaa-
villa.

Teknisenä ongelmana on aikaansaada signaalinvas-
taanottopiirissä NMOS-transistoreiden tietty kytkentä niin,
että saavutetaan CM-alue, joka käsittää jopa nollatason
35 alapuolella olevia jännitevaihteluja.

Teknisenä ongelmana on myöskin toteuttaa käytännössä ne edut, jotka saavutetaan kytkemällä pareittain toisiinsa liittyvät NMOS-transistorit signaalinvastaanotto-
piirissä virtapeilipiiriksi.

5 Teknisenä ongelmana on edelleen toteuttaa käytännössä ne edut, jotka tulevat siitä, että annetaan ainakin kahden näistä pareittain kytketyistä NMOS-transistoreista
olla kytkettynä yhdessä ainakin yhteen johtimeen, niin että jännitepulssit esiintyvät niiden lähdenavoissa (tai
10 niiden nielunavoissa).

Teknisenä ongelmana on toteuttaa käytännössä, että
yllä kuvattujen NMOS-transistoreiden kytkennässä nämä kaksi
kytkettyä NMOS-transistoria ovat kytketyt toinen toisi-
siinsa ja referenssipotentiaaliin hilanavoistaan.

15 On myös teknisenä ongelmana kompensoida yksinkertaisella tavalla siitä erosta riippuvat aikavaihtelut, joka
voi esiintyä siirtojärjestelmissä, joissa virta-arvo, joka
kuuluu yhdelle johtimelle, peilataan valitun määrän kertoja
(esim. n) signaalinkäsittelypiirissä, samalla kun
20 toinen virta-arvo, joka kuuluu toiselle johtimelle, peila-
taan toisen valitun määrän kertoja (esim. $n+1$) ennen kuin
nämä kaksi virta-arvoa aktivoivat invertterin ja/tai vahvistimen
tai vastaavan.

Teknisenä ongelmana on myös luoda NMOS-transistoreista
25 signaalinkäsittely-yksikkö, joka ei ainoastaan tuota suurta
CM-aluetta, jostakin nollatason (esim. $-0,7$ voltia) ylös hieman
suurempaan kuin puolet valitusta käyttöjännitteestä jännitepulsseina
informaatiota kuljettaville vastaanotetuille signaaleille, vaan
myöskin muuntaa vastaanotetun jännityspulssin halutuksi sisäiseksi
30 signaalirakenteeksi, sellaiseksi kuten sovitus CMOS-signaaleiksi
tai emitterikytketyn logiikan (ECL) signaaleiksi.

Tekninen ongelma on myöskin luoda signaalinvastaanotto-
35 ottoyksikkö, joka kykenee ilmaisemaan signaalit, joka kul-

jettaa informaatiota jännitepulssien muodossa hyvin suurella bittinopeudella, gigabittiä sekunnissa (Gb/s) alueella, ainoastaan antamalla signaalinvastaanottopiirin sisältää NMOS-transistoreita, jotka muodostavat tietyn
5 piirin.

Tekninen ongelma on myöskin tajuta kuinka tärkeää on antaa tällaisten NMOS-transistoreiden olla kytkettyinä ensimmäiseen johtimeen ja antamalla kahden tai usean muun NMOS-transistorin olla kytkettynä toiseen johtimeen, niin
10 että kyetään samanaikaisesti vastaanottamaan jännitepulssseja (jännitearvoja), jotka esiintyvät johtimilla, ja muuntamaan nämä vastaaviksi virta-arvoiksi.

Tekninen ongelma on myöskin tajuta kuinka tärkeää on sallia kahden pareittain toisiinsa liittyvän NMOS-transistorin olla kytkettyinä yhteen ja samaan johtimeen ja
15 tällä tavoin tajuta, että johdin on oltava kytketty suoraan transistoreiden lähde- tai nielunapoihin, jos käytetään CMOS-teknologiaa, tai transistoreiden emitterinapoihin, jos käytetään bipolaaritekniologiaa.

On myöskin tekninen ongelma tajuta kuinka tärkeää on antaa kahden NMOS-transistorin tai bipolaaritransistorin olla keskenään kytketty johtimeen ja edelleen olla kytketty joukkoon peräänkytkettyjä virtapeilipiirejä.
20

On myöskin tekninen ongelma ymmärtää kuinka tärkeää on, että valittu määrä pareittain toisiinsa liittyviä transistoreita, molempia näitä kahta johdinta varten, on koordinoitu virtapeilipiireiksi.
25

On myös tekninen ongelma käyttää parittaisten transistoreiden, yksi pari kummastakin johtimesta, kytkentöjä niin, että nämä palvelevat kelluvina kaksoisvirtapeilipiireinä.
30

On edelleen teknisenä ongelmana tajuta kuinka tärkeää on antaa näiden pareittain toisiinsa liittyvien NMOS-transistoreiden olla yhdessä syötetty virralla kaskodipieristä tai vastaavasta.
35

On edelleen tekninen ongelma ymmärtää kuinka tärkeää on antaa transistorin tai transistoreiden olla peräänkytkettyjä pareittain toisiinsa liittyvillä virtapeiliipiireillä, jotka kuuluvat signaalinkäsittelypiiriin.

5 On edelleen teknisenä ongelma ymmärtää kuinka tärkeää on antaa yksikön, joka kuuluu signaalinkäsittely-yksikköön, joka on sovitettu arvioimaan virtaeroja, käsittää peräänsäkytkettynä invertterin, joka synnyttää ulostulosignaalin.

10 Pitäisi myöskin pitää teknisenä ongelmana, että tajutaan kuinka tärkeää on antaa yhden tai useamman virtapeilin piirin olla kaskodikytkettyjä tai vastaavia.

Ratkaisu

Tarkoituksena on ratkaista yksi tai useampi näistä
15 teknisistä ongelmista, jotka ovat yleisiä "yksipäisille" ja "differentiaalisille" signalointijärjestelmille ja/tai jos CMOS-teknologia tai bipolaaritekhnologia tai vastaava käytetään, hakijan keksintö aikaansaa signaalinvastaanotto- ja signaalinkäsittely-yksikön, joka on sovitettu yksipäiseen signalointijärjestelmään ja joka voidaan yksinkertaisin keinoin muuntaa differentiaalityypiksi tai päinvastoin. Yksikkö on kytketty yhteen tai useampaan johtimeen, jotka on sovitettu siirtämään informaatiota kuljet-
20 tavia signaaleja jännitepulssina. Kukin johdin on kytketty transistorille signaalinvastaanottopiirissä, niin että aikaansaadaan virta jännitepulssien vaihteluiden ja puls-
25 sijännitearvon mukaan. Tämä virta on pulssien muodossa, jotka kulkevat transistorien läpi, ja virta synnytetään jännitepulssivaihteluilla ja jännitetasolla. Virralle annetaan signaalisovitettu informaatiota kuljettava muoto.

30 Keksinnön erään piirteen mukaisesti transistori tällaisessa signaalinvastaanotto- ja signaalinkäsittely-yksikössä on NMOS-transistori, NPN-bipolaaritransistori tai ekvivalenttinen transistori, joka on kytketty vastaan-
35 ottamaan johtimella esiintyvät jännitepulssit. Transistori

on kytketty toiseen NMOS-transistoriin, NPN-bipolaaritransistoriin tai ekvivalenttiseen transistoriin, niin että ne yhdessä muodostavat virtapeilipiirin, jolla on yksi tai useampia virtapeilitoimintoja tai vastaavia.

5 Ensijaisessa suoritusmuodossa nämä kaksi tai useampia NMOS-transistoria tai vastaavaa ovat kytketyt johtimeen lähde- tai nielunavoistaan.

 Nämä kaksi tai useampi kytketty NMOS-transistoria tai vastaavaa ovat myös kytketyt toinen toisiinsa ja referenssipotentiaaliin hilanavoistaan (kantanavoistaan, jos ne ovat bipolaaritransistoreita).

 Myöskin näitä kahta tai useampaa NMOS-transistoria tai vastaavaa syötetään virralla virtapeilipiireistä ja/ tai kaskodipiireistä tai vastaavista.

15 Ensimmäinen virta, joka ajetaan kahden tai useamman NMOS-transistorin tai vastaavan läpi, siirretään virtapeilipiirijoukon läpi ja peilataan valitun määrän kertoja (n), ja toinen virta siirretään virtapeilipiirien joukon läpi ja peilataan toisen valitun määrän kertoja ($n+1$).

20 Peilipiirien valittujen määrien välinen ero voi olla niin pieni kuin mahdollista, käytännössä yksi.

 Näiden kahden piiriradan hetkellisten arvojen välinen ero kytketään signaalivahvistimelle, joka käsittää NMOS-transistorin ja PMOS-transistorin, jotka on kytketty toinen toisiinsa sarjaan. Näillä kahdella transistorilla on erilaiset ominaisuudet, jotka valitaan niin, että transistorit kompensoivat aikapoikkeamat, jotka johtuvat erosta virtapeilipiirien valituissa lukumäärissä.

25 Myöskin keksinnön mukaisesti yksi NMOS-transistori voi olla kytketty ensimmäiseen johtimeen ja toinen NMOS-transistori voi olla kytketty toiseen johtimeen, ja kaksi tai useampi NMOS-transistoria voivat olla kytketyt rinnakkain yhteen ja samaan johtimeen.

30

Lisäksi kaksi tai useampia NMOS-transistoreiden paria, kunkin parin ollessa koordinoitu virtapeilipiiriksi, voi olla kytketty ensimmäiseen ja/tai toiseen johtimeen.

5 Jos käytetään NMOS-transistoreita, NMOS-transistoreiden lähtenavat tai nielunavat voivat olla kytketyt johtimeen, koska NMOS-transistorit ovat melko symmetrisiä tässä suhteessa.

10 Hakijan keksinnön mukaisesti kaksi NMOS-transistoria ovat kytketyt johtimeen ja koordinoitu virtapeilipiiriksi.

Myöskin kummankin johtimen jokainen transistoripari on koordinoitu virtapeilipiiriksi.

15 Kun käytetään kahta johdinta, jotka on sovitettu differentiaalisille informaatiota kuljettaville signaaleille ja niillä esiintyvien jännitepulssien synkronista arvioinnista, signaalinkäsittelypiirin vastaanottama virtaero voi olla syötetty ulos pulssitettuna ulostulosignaalinä.

20 Koordinoitujen transistoreiden parit, jotka liittyvät näihin kahteen johtimeen, palvelevat kelluvina kaksoisvirtapeilipiireinä.

Yksi koordinoitujen NMOS-transistoreiden pari voi olla syötetty virralla, ei ainoastaan virtapeilipiiristä vaan myös kaskodipiiristä tai vastaavasta.

25 Molemmat NMOS-transistorit signaalinvastaanottopiirin sisällä käsittävät peräänkytkettyinä, toinen parillisen määrän ja toinen parittoman määrän virtapeilipiirejä signaalinkäsittelypiirissä.

30 Signaalinkäsittely-yksikössä olevan yksikön, joka on sovitettu arvioimaan virtaeroja, perään on kytketty invertterit, joka synnyttää jännitteestä riippuvan ulostulosignaalin.

35 Hakijan keksinnön mukaisesti virtapeilipiirit, jotka on kytketty transistoreiden eteen, voivat olla kaskodipiirejä tai vastaavia.

Edut

Edut hakijan signaalinvastaanotto- ja signaalinkäsittely-yksikössä, joka on kytketty yhteen tai useampaan johtimeen, jotka on sovitettu siirtämään informaatiota kuljettavia signaaleja jännitepulssien muodossa, ovat ne, että signaalinkäsittelypiiri, joka käsittää NMOS-transistorit (tai bipolaaritransistorit), voivat hyväksyä suuren lähetysnopeuden tai toistotaajuuden informaatiota kuljet-
 5 taville signaaleille ja voi tarvittaessa tuottaa hyväksyt-
 10 tävän CM-alueen, joka on jostakin nollapotentiaalin alapuolelta johonkin käyttöjännitteen puolikkaan yläpuolelle. Signaalinkäsittelypiiri voi myöskin sovittaa vastaanotetut signaalit sisäiseen signaalirakenteeseen, riippuen siitä, onko se CMOS-signaali vai bipolaarinen ECL-signaali.

15 Keksinnön mukaisen signaalinvastaanotto- ja signaalinkäsittelypiirin ensisijaiset ominaispiirteet ovat esitetyt patenttivaatimuksen 1 tunnusmerkkiosassa.

Piirrosten lyhyt selitys

Muutamia esillä olevan keksinnön ymmärtämiselle merkityksellisiä peruspiirejä ja joitakin tunnettujen signaalinvastaanotto- ja signaalinkäsittely-yksiköiden sekä
 20 muutamien hakijan keksinnön mukaisen signaalinvastaanotto- ja signaalinkäsittely-yksikön ensisijaisten suoritusmuotojen muutamia piirejä tullaan nyt selittämään yksityiskoh-
 25 taisemmin viitaten oheisiin piirroksiin, joissa

 kuvio 1 havainnollistaa johdatuskaavion tunnetulle virtapeilipiirille, joka on käyttökelpoinen hakijan keksinnön yhteydessä;

 kuviot 1A ja 1B ovat kuvaajia, jotka liittyvät ku-
 30 vion 1 piiriin;

 kuvio 2 havainnollistaa tunnettua kaskodipiiriä, jolla on neljä transistoria ja joka on käyttökelpoinen keksinnön yhteydessä, jolloin transistorin läpikulkeva virta voi olla enemmän tai vähemmän riippumaton transisto-
 35 rinapojen yli olevasta jännitteestä;

kuvio 2A on kuvaaja, joka liittyy kuvion 2 piiriin;

kuvio 3 esittää langoituskaavion tunnetulle signaalinvastaanotto- ja signaalinkäsittely-yksikölle, jossa on PMOS-transistorit signaalinvastaanottopiirissä ja niiden
5 perään kytkettyinä virtapeilipiirit, jossa on kaksi transistoria;

kuvio 4 esittää langoituskaavion tunnetulle signaalinvastaanotto- ja signaalinkäsittely-yksikölle, jossa on PMOS-transistorit signaalinvastaanottopiirissä ja niiden
10 peräänkytkettyinä kaskodipiirit, jossa on neljä transistoria;

kuvio 5 esittää differentiaalista signaalilähetystä varten signaalinvastaanotto- ja signaalinkäsittely-yksikön, jossa on signaalinvastaanottoyksikössä neljä NMOS-transistoria kytkettyinä näihin kahteen informaatiota kuljettavien signaalien johtimiin;

kuvio 5a esittää kuvion 5 mukaisen vaihtoehdoisen (yksinkertaistetun) signaalinvastaanottopiirin yksipäistä signaalilähetystä varten;

20 kuvio 6 esittää signaalinvastaanotto- ja signaalinkäsittely-yksikön vaihtoehdoisen suoritusmuodon kuvion 5 mukaista differentiaalista signaalinsiirtoa varten;

kuvio 7 esittää differentiaalista signaalinsiirtoa varten signaalinvastaanotto- ja signaalinkäsittely-yksikön, joka on pääosin konstruoitu bipolaaritransistoreista, jotka on kytketty näihin kahteen informaatiota kuljettavien signaalien johtimeen;

kuvio 7a esittää kuvion 7 mukaisen signaalinvastaanottopiirin (yksinkertaistetun) vaihtoehdon yksipäistä signaalinsiirtoa varten;

30 kuvio 8 esittää langoitetun kaavion, jossa on bipolaaritransistorit signaalinvastaanottopiirissä ja PMOS-transistorit signaalinkäsittelypiirissä, niin että synnytetään CMOS-sovitettu signaali kuvion 5 mukaisesti; ja

kuvio 9 esittää kompensointipiirin yksipäistä signaalointia varten.

Ensisijaisen suoritusmuodon selitys

5 Kuvio 1 esittää langoituskaavion ja kuviot 1A, 1B ovat kaksi kuvaajaa keksinnön käyttämälle piirille, jossa on tehty kytkentä kahden transistorin välille sellaisella tavalla, että ne palvelevat virtapeilipiirinä.

Pitäisi huomata, että virtapeilipiiri voidaan tehdä PMOS-transistoreista ja/tai bipolaariteknologiasta vaikka
10 suoritusmuoto havainnollistetaan käyttäen NMOS-transistoreita.

Kuvio 1 esittää kaksi NMOS-transistoria NT1, NT2, jolloin ohjaavan virran I1 oletetaan kulkevan transistorin NT1 läpi ja peilatun virran I2 oletetaan kulkevan transistorin NT2 läpi.
15

Kullakin transistorilla on lähdenapa S, nielunapa N ja hilanapa G.

Kuvion 1A kuvaajan A on tarkoitus havainnollistaa suhdetta, joka on virran I1 arvon virtavaihteluiden ja lähdehilajännitteen vaihteluiden välillä. Kuvio 1A esittää, että virran kasvusta seuraa jännitteen kasvu.
20

Kuvaaja B kuviossa 1B havainnollistaa transistorin NT2 nielu-lähde-jännitteen vaihteluita.

Kuvio 1B esittää, että virran I2 virtavaihtelut voivat olla hyvin pieniä suhteessa jännitevaihteluihin U_{DS} , jotka ovat ennalta määrätty kynnyksjännitteen, noin 1,0 voltia (V), yläpuolella.
25

Tämäntyyppisellä virtageneraattorilla tulisi olla suhteellisen korkea ulostulojen pedanssi, niin että virtavaihtelut ovat suhteellisen pieniä jännitteen muuttuessa.
30

Hakijan keksintö voi käyttää tunnettua piiriä, kuviossa 2 esitettyä ja kuvattua, niin kutsuttua kaskodipiiriä, tämän haitan eliminoimiseksi.

Kuvio 2 havainnollistaa kahden ylimmääräisen NMOS-transistorin NT3, NT4 käyttöä, mistä on seurauksena, että
35

I2:n virtavaihtelut ovat jopa vähemmän riippuvaisia näiden kahden transistorin NT2, NT4 nielu-lähde-jännitteestä, kun jännite on ennalta määrätyn arvon yläpuolella. Tätä on havainnollistettu kuviossa 2A esitetyssä kuvaajassa C.

5 Tässä voidaan mainita, että transistoria NT4 kutsutaan kaskoditransistoriksi ja transistoria NT2 kutsutaan virtatransistoriksi.

10 Pitäisi olla selvää, että kuvion 1 mukainen virtapeilipiiri voidaan hyvin helposti muuttaa kuvion 2 mukaiseksi kaskodipiiriksi sellaisia sovelluksia varten, joissa esiintyy pieniä virtavaihteluita (I_2) seurauksena suurista jännitevaihteluista (U_{DS}) kaskoditransistorin NT4 ja virtatransistorin NT2 yli. Kaskodipiiri aikaansaa virtageneraattorin, jolla on merkittävästi suurempi ulostuloimpedanssi.

15 Jos kaksi muuta transistoria, transistoreiden NT3 ja NT4 lisäksi muodostavat kaskoditransistoreiden lisäkerroksen, tuloksena on vieläkin suurempi ulostuloimpedanssi.

20 Kuvion 2A on tarkoitus havainnollistaa, jatkuvalla viivalla ja katkoviivalla, virtavaihtelua " dI ", joka on seurauksena I1:n vaihtelusta ja kun tätä vaihtelua käytetään hakijan keksinnön mukaisesti.

Signaalinvastaanotto- ja signaalinkäsittelypiirien aikaisemmin tunnettujen piirikytkentöjen selitys

25 Signaalinvastaanotto- ja signaalinkäsittely-yksikön 1 langoituskaavio on esitetty kuviossa 3, jossa differentiaalisten jännitepulssien muodossa olevat informaatiota kuljettavat signaalit esiintyvät johtimilla L1, L2. Yksikkö 1 käsittää signaalinvastaanottopiirin 2, johon sisältyy
30 kaksi PMOS-transistoria PT1 ja PT2, sekä tämän perään kytketyn signaalinkäsittelypiirin 3. Informaatiota kuljettavilla signaaleilla on tavallisesti rakenne, joka poikkeaa sisäisestä signaalirakenteesta. Signaalinkäsittelypiiri 3 on tarkoitettu synnyttämään johtimelle L3 pulssitettu jän-

nitteeseen suhteutettu ulostulosignaali, joka paremmin on sisäisen signaalirakenteen mukainen.

Tässä havainnollistettu piiri sisältää virtageneraattorin S1 piirin 2 syöttämiseksi sekä NMOS-transistorit NT5, NT6 vastaanotettujen jännitepulssien alkukäsittelyä varten. Transistorit NT5, NT6 ovat sovitettut virtavaihteluihin (I1 ja I2), jolloin transistori NT5 on virtapeili, joka on kytketty virtaa I1 varten olevaan NMOS-transistoriin NT10, ja transistori NT6 on virtapeili, joka on kytketty virtaa I2 varten olevaan NMOS-transistoriin NT9.

Virtaa I2 peilataan vielä yhden kerran lisää virtapeilipiirillä, joka käsittää PMOS-transistorit PT7, PT8. Kuviossa 3 esitetty langoituskaavio siten ainoastaan sisältää virtapeilipiirit, jotka käsittävät kuvion 1 mukaiset kaksi transistoria.

Vahvistin F1 vahvistaa jännitteen, joka on peräisin hetkellisistä virtaeroista I1-I2, niin että kasvavasta jännitteestä vahvistimen sisääntulossa on seurauksena pienenevä jännite vahvistimen ulostulossa F3. Vahvistin F1 käsittää kaksi transistoria, PMOS-transistorin PT11 ja NMOS-transistorin NT12, aikaisemmin tunnetulla tavalla.

Sisääntulojännitteen ja ulostulojännitteen välinen suhde voi hetkellisesti muuttaa transistoreiden PT11, NT12 mitoitus esitetyn kuvaajan D mukaisesti, ja tämä signaali on CMOS-sovitettu.

Kuviossa 3 esitetyn piirin voidaan olettaa omaavan CM-alueen, joka on nollan ja syöttöjännitteen (Vcc) puolikkaan välillä, ja piiri voi vastaanottaa ja ilmaista johtimilla L1, L2 signaalipulssit, joilla on korkea toistotaajuus, esimerkiksi 100 MHz saakka.

Kuvio 4 esittää vaihtoehtoisen signaalinvastaanotto- ja signaalinkäsittely-yksikön, jossa on signaalinvastaanottopiiri 2 ja signaalinkäsittelypiiri 3, jolloin viimeksi mainittu käsittää kaksi virtapeilipiiriä kahden kas-

koidipiirin K2, K3 muodossa ja toisen virtapeilipiirin, joka käsittää transistorit PT14, PT15.

Kuviossa 4 signaalinvastaanottopiiri käyttää PMOS-transistoreita PT1, PT2, jotka on kytketty samalla tavoin
5 kuin kuviossa 3, yksi kutakin johdinta L1, L2 varten.

Kuviossa 4 havainnollistettu rakenne käyttää lisäkaskodipiiriä K1, joka on tehty PMOS-transistoreista, syöttämään transistoreita PT1, PT2 summavirralla $I_T = I_1 + I_2$ (joka myöhemmin ilmenee vahvistimelle F1 virtaeroina),
10 samalla tavoin kuin havainnollistettiin kuviossa 3.

Virta I_1 on kytketty kaskodipiirille K2 kaskoditransistorin NT16 ja virtatransistorin NT17 kautta, kun taas virta I_2 on kytketty kaskodipiirille K3 kaskoditransistorin NT18 ja virtatransistorin NT19 kautta. (Tässä on
15 havainnollistettu ainoastaan puolet kaskodipiiristä).

Ainoastaan virta I_1 peilataan esitetyn virtapiirin kautta, joka käsittää transistorit PT14, PT15.

Differentiaalisen signaalin siirron ja tämän piirin yhteydessä CM-alue voi sisältää alueen, joka ulottuu jostakin nollatason alapuolelta, esim. $-0,7$ V, ylös johonkin isommaksi kuin puolet käyttöjännitteestä V_{cc} . Tämä piiri
20 voi vastaanottaa ja ilmaista signaalipulssit, joiden toistotaajuus on aina suurinpiirtein 100 MHz asti.

Nyt ensisijaisina pidettyjen suoritusmuotojen selitys
25

Kuvio 5 esittää hakijan keksinnön mukaisen signaalinvastaanotto- ja signaalinkäsittely-yksikön 1 langoituskaavion, jossa signaalinvastaanottopiiri 2 käsittää neljä NMOS-transistoria NT20, NT21, NT22, NT23, jotka on tarkoi-
30 tettu differentiaalista signaalin siirtoa varten.

Transistoreille NT20, NT21 syötetään virta virran kautta, joka on peräisin kaskodipiiriltä K4, joka käsittää PMOS-transistorit, niin että synnytetään kokonaisvirta I_T niiden virtojen I_1 , I_2 summasta, jotka kulkevat transistoreiden NT20, NT21 kautta. Virran I_1 oletetaan kulkevan
35

transistorin NT20 kautta ja virran I2 oletetaan kulkevan transistorin NT21 kautta johtimilla L1, L2 esiintyvistä hetkellisistä jännite-eroista riippuvaisesti.

Suhde $I_1 + I_2$:n ja I_T :n välillä on aina vakio.

5 Johtimilla L1, L2 esiintyvät jännitteet ovat normaalisti jakautuneet siten, että joko virta I1 tai I2 pääsee lävitse ja ainoastaan kytkentähetken aikana virta kulkee molempien transistoreiden NT20, NT21 kautta.

10 Kun jännitepulssit esiintyvät johtimilla L1, L2, hetkellinen jännitesuhde, joka vastaanotetaan signaalin vastaanottopiirillä 2, joka ilmaistaan sen transistoreilla NT20, NT21 ja joka synnyttää vastaavat muutokset hetkellisissä virroissa I1 ja I2, muuttuu.

15 Kuvio 5 on tarkoitettu havainnollistamaan, että virta I1 on keksinnön mukaisesti virtapeilikytketty transistorin NT22 kautta ja virta I2 on virtapeilikytketty transistorin NT23 kautta.

20 Langoituskaavio havainnollistaa, että virta I1 on peilattu lisävirtapeilipiirissä, joka on tehty transistoreista PT26 ja PT27, ennen kuin I1 vaikuttaa vahvistimeen F1. Virta I2 peilataan sekä virtapeilipiirissä, joka muodostuu transistoreista PT28 ja PT29, sekä virtapeilipiirissä, joka muodostuu transistoreista NT24 ja NT25, ennen kuin sillä on vaikutusta vahvistimeen F1.

25 Hetkellinen virtaero I1-I2 vaikuttaa hetkelliseen jännitteeseen vahvistimen F1 sisääntulonavassa samalla tavoin kuin selitettiin kuvion 3 yhteydessä.

30 Differentiaalisen signaalisiiirron tapauksessa tämä piiri tuottaa CM-alueen, joka vastaa sitä aluetta, joka on määriteltä kuviossa 4, ja toistotaajuuden raja-arvo on kasvanut Gb/s- tai GHz-alueelle johtuen NMOS-transistoreiden ja virtapeilipiirien käytöstä ainakin signaalin vastaanottopiirissä 2.

Pitäisi huomata, että NMOS-transistoreita käytetään kuvatus langoituskaavion yläosassa ja NMOS-transistoreita alaosassa.

Päätelmänä voidaan sanoa, että lyhyen reaktioajan omaavien transistoreiden, kuten NMOS-transistoreiden käyttö vastaanottopiiristä 2 on tarpeen, jotta kyetään ilmaisemaan siirtymä kahden informaatiota kuljettavan digitaalisen jännitepulssin välillä, mutta sen sijaan ei ole tarvetta sellaisille nopeille piireille myöhempää signaalinkäsittelyä varten, sen jälkeen kun siirtymä on ilmaista.

Kuviossa 5 havainnollistettu differentiaalinen signaalinsiirto voidaan edelleen muuntaa yksinkertaisella tavalla yhdestä päästä tapahtuvaksi siirroksi lukitsemalla johtimen L2 potentiaali jännitemäisesti tai käyttämällä kuviossa 5 esitettyä yksinkertaistettua langoituskaaviota.

Kuviossa 5 havainnollistettu suoritusmuoto osoittaa, että ensimmäinen transistori NT20 on kytketty ensimmäiseen johtimeen L1 ja toinen transistori NT21 on kytketty toiseen johtimeen L2.

Edelleen on osoitettu, että kaksi transistoria NT20, NT22 ja kaksi transistoria NT21, NT23, tai useita transistoreita, on vastaavasti kytketty yhteen ja samaan johtimeen L1, L2.

Tällä tarkoitetaan, että yksi transistori, kuten NT20, voi käsittää yhden transistorin tai useita transistoreita, jotka on kytketty rinnakkain, ja että kaksi tai useampia transistoreita, jotka kuuluvat virtapeilipiiriin, voivat tässä suhteessa erota toinen toisistaan.

Transistori NT23 voisi täten käsittää kaksi tai useita rinnakkainkytkettyjä transistoreita, samalla kun transistori NT21 voisi käsittää yhden transistorin, jolloin niiden väliin olisi sijoitettu vahvistinpiiri.

Tämä mahdollistaa kokonaisvirran IT ja virtojen I1 ja I2 summan välisten virtasuhteiden "skaalauksen" ja tällä tavoin säästää tehoa.

Kuvio 5 havainnollistaa edelleen, että parittaiset transistorit NT20, NT22 ja NT21, NT23 vastaavasti johtimia L1, L2 varten ovat kytketyt toinen toisiinsa kukin virtapeilipiirinä.

5 Tällöin esiintyvä ja vastaanotettu virtaero signaalinkäsittelypiirissä 3 voidaan syöttää ulos johtimelle L3 pulssitettuna jännitteeseen verrannollisena ulostulosignaalinä, jolla on sisäinen valittu signaalirakenne. Parittaiset transistorit NT20, NT22 ja NT21, NT23 vastaavilta johtimilta L1, L2 voidaan nähdä siten, että ne palvelevat
10 kelluvina kaksoisvirtapeilipiireinä.

Ei ole olemassa mitään, mikä estäisi jotakin tai jokaista virtapeilipiiriä, kuten transistoreita NT24, NT25, PT28, PT29 sekä transistoreita PT26, PT27, luomasta
15 olosuhteita kaskodipiirille tai vastaavalle ja tällä tavalla parantamasta edelleen johtimella L3 esiintyvän ulostulosignaalin sisäistä signaalirakennetta.

Yllä selitetyissä suoritusmuodoissa virran I1 sallitaan olla aktivoitu yhdellä virtapeilipiirillä (transistorit PT26, PT27), kun taas virran I2 sallitaan olevan aktivoitu kahdella virtapeilipiirillä (transistorit PT28, PT29 ja transistorit NT24, NT25). Periaatteessa tämä tuottaa aikaviiveen virtapulsseille I2:sta vahvistimelle F1 ja kytkentäajan vääristymän vahvistetulle ja invertoidulle
20 signaalille johtimella L3.

Tämä vääristymä voidaan kompensoida antamalla kahdelle transistorille PT11 ja NT12 eri koot, mikä muuttaa vahvistimen F1 kytkentätasoa.

PMOS-transistorit PT30 ja PT31, jotka on esitetty
30 kuviossa 5, on kytketty lyhentämään kytkentäaikaa, kun kaksi virtaa I1 ja I2 kytketään. Nämä kaksi takaisinkytkettyä transistoria esittävät kaksi kuormaa, joilla on negatiivinen impedanssi, mikä puolestaan auttaa nopeuttamaan kytkentäaikaa.

Kuviossa 5 esitetyn piirin vaihtoehtoinen suoritusmuoto on esitetty kuviossa 6, joka esittää transistorit NT20, NT20', jotka on keskenään kytketty johtimeen L1, ja transistorit NT21, NT21', jotka on yhdessä kytketty johtimeen 24.

Sisääntuloasteeseen on myöskin aikaansaatu kaskodipiiri (transistorit NT20-NT23), joka parantaa sisääntulon CM-ominaisuuksia. Tämä tekee virrat I1, I2 vähemmän riippuvaisiksi sisääntulon CM-jännitteestä, mikä puolestaan pienentää aikavaihteluista signaalinkäsittelyasteessa, koska virtojen summa on vakio. Transistorit NT20', NT21' ovat sitä varten, että niillä generoidaan tarvittava jännitereferenssi (V_{ref}) kaskodipiiriä varten.

Jännite-ero johtimien L1 ja L2 välillä ilmaistaan transistorilla NT20, NT21 ja se aikaansaa tällä tavoin vaaditun jännitereferenssin virtatransistoreille kaskodipiirissä (yhden niistä ollessa esitetty transistorina NT23b).

Jännite-ero johtimien L1 ja L2 välillä ilmaistaan myös transistorilla NT20', NT21' ja sillä on tällä tavoin vaikutus kaskoditransistoreihin kaskodipiirissä (joista yksi on esitetty transistorina NT23a).

Kuviossa 7 on esitetty signaalinvastaanotto- ja signaalinkäsittely-yksikkö 1', jossa signaalinvastaanotopiiri 2' käsittää bipolaaritransistorit, jotka on pääasiallisesti kytketty kuvion 5 langoituskaavion osoittamalla tavalla, mutta jossa transistorit, sellaiset kuten transistorit BT20, BT21, on kytketty vastaaviin johtimiin L1 ja L2 vastaavilla emitterinavoillaan.

Transistorit BT20-BT23 vastaavat tranistoreita NT20-NT23 kuviossa 5 ja ovat kytketyt samalla tavalla.

Tätä kuvioden 5 ja 6 suoritusmuotoa voidaan suu-
relta osin soveltaa kuvioon 7.

Nyt havainnollistetuissa suoritusmuodoissa on selitetty ymmärtäen, että jännitteistä riippuvaiset signaalit,

jotka esiintyvät johtimilla L1 ja L2 tulee arvioida jännite-eroina ja muuntaa virtaeroiksi (I1-I2).

Yllä selitetyt piirit toimivat samalla tavoin yhdestä päästä tapahtuvalle signaloinnille, sillä erolla, että yhdelle johtimelle (esimerkiksi johtimelle L2) annetaan vakio referenssipotentiaali (katso kuviot 7a ja 9).

Kuvio 7a (ja kuvio 5a) havainnollistaa yksinkertaistettua yksipäistä piiriä johtimella L1 yhdestä päästä tapahtuvaa signalointia varten kun transistorit BT21a ja BT23a muodostavat virtapeilipiirin, joka pitää virran I2 vakiona, ja transistori BT22a synnyttää virtavaihtelut virrassa I1 johtimella L1 esiintyviä jännitevaihteluita vastaten.

Yleisesti voidaan sanoa, että jos käytetään NMOS-transistoreita, lähdenapa on kytkettävä johtimeen L1 tai L2, jolla on alhaisempi potentiaalitaso, ja nielunapa on kytkettävä suurempaan potentiaaliin.

CMOS-transistori on normaalisti, puhuttaessa fyysikaalisin termein, totaalisesti symmetrinen ja täten nielun tai lähdenapaa koskeva kysymys on enemmänkin määrittelyasia.

On erityisesti osoitettu (kuviossa 5), että transistorit NT22, NT23 voidaan joka tapauksessa kaksinkertaistaa, tai ne voivat jopa muodostua useammista transistoreista, niin että tällä tavoin luodaan referenssivirran IT muutettu ja valittu vahvistus tarkoituksena säästää kokonaisvirrankulutusta, joka mitoitusohjeissa voi myös olla relevantti muille esitetyille transistoripiireille.

Kuvio 8 havainnollistaa langoituskaaviota, jossa bipolaaritransistorit BT20, BT21, BT22, BT23 ovat osa signaalinvastaanottopiiriä 2' ja jossa signaalinkäsittelypiiri 3 käsittää muutamia NMOS-transistoreita ja useita PMOS-transistoreita CMOS-sovitetun ulostulosignaalin synnyttämiseksi johtimelle L3.

PMOS- ja NMOS-transistorit virtapeilipiireissä (PT26, PT27, PT28, PT29 ja NT24, NT25) voidaan myös nähdä kuviossa 5.

5 Virtojen I1 ja I2 vaihtelut synnyttävät, kuten kuvioon 7 viitaten selitetään, vastusten R1, R2 yli jännite-eron, joka vahvistetaan peräänkytketyllä differentiaalias-
teella BT24 ja BT25, joka puolestaan tuottaa jännitepudotuksen resistanssien R3 ja R4 ylitse.

10 Resistanssien R3 ja R4 yli olevat jännite-erot muodostavat korkeimman tason omaavat ECL-signaalit.

Jos halutaan siirtää ECL-signaalien tasoa alaspäin, tämä voidaan aikaansaada peräänkytketyillä emitteriseuraajilla tunnettuun tapaan.

15 Transistorit BT22 ja BT23 voivat kumpikin olla tehtyjä useasta rinnakkain kytketystä transistorista, kuten vastaavat NMOS-transistorit NT22 ja NT23, referenssivirran IT vahvistamiseksi.

20 Edelleen hakijan keksinnön piiriin kuuluu, että yksi tai useampi transistoreista jaetaan rinnakkainkytkettyihin pienempiin transistoreihin tunnetulla tavalla, niin että tällä tavoin kasvatetaan tarkkuutta.

Signaalinvastaanottopiirin 2 ja/tai signaalinkäsittelypiirin 3 kaistaleveyttä tai suurinta nopeutta voidaan kasvattaa kasvattamalla referenssivirtaa IT.

25 Kaistanleveys voidaan valita vastaamaan valittua referenssivirtaa, ja referenssivirtaa voidaan pienentää alhaisemmilla siirtonopeuksilla sillä seurauksella, että tehon kulutus pienenee.

30 Kuvio 9 havainnollistaa langoituskaavikon kompensointipiirille, joka on erityisesti sovitettu yhdestä päästä tapahtuvaa signaalointia varten ja jolla on referenssijännite kytkettynä johtimeen L2.

Havainnollistettu kompensointipiiri on komplementti kuviossa 8 esitetylle suoritusmuodolle, mutta se voi olla

hyödyllinen myös kuvioissa 5, 6 ja 7 havainnollistettujen suoritusmuotojen kanssa.

5 Kahden NMOS-transistorin NT90 ja NT91, jotka ovat kumpikin kytketty vastaavaan johtimeen L1 ja L2, kytketään hilanavat toisiinsa ja ohjataan referenssivirralla Iref, joka on virta, joka edustaa kokonaisvirtaa IT.

10 Kompensointivirta IT, joka kulkee molempien transistoreiden NT90 ja NT91 kautta, on verrannollinen virtaan Iref ja täten myös virtaan $IT + I1 + I2$, joka kulkee transistoreiden BT20-BT23 kautta signaalinvastaanottopiirissä 2. Nämä virrat kompensoivat toisensa ulos, niin että johtimissa L1 ja L2 ei esiinny mitään virtaa, kun virrat ovat balanssissa.

15 On ymmärrettävä, että hakijan keksintöä ei ole rajoitettu edellä esitettyyn ja keksinnön havainnollistettuihin esimerkinomaisiin suoritusmuotoihin, ja että muutoksia voidaan tehdä seuraavien patenttivaatimusten suojapiirin puitteissa.

Patenttivaatimukset

1. Signaalinvastaanotto- ja signaalinkäsittely-yksikkö, joka on kytketty ainakin yhteen johtimeen informaatiota kuljettavien signaalien siirtämiseksi jännitepulssina, jolloin johdin on kytketty transistoriin signaalinvastaanottopiirissä tuottamaan virta jännitepulssien vaihteluiden ja jännitepulssin jännitearvon mukaan, virta on pulssien muodossa, jotka kulkevat transistorin läpi, virta synnytetään jännitepulssivaihteluilla ja jännitetasolla, ja virralle annetaan signaalisovitettu informaatiota kuljettava muoto signaalinkäsittelypiirillä, t u n n e t t u siitä, että mainittu transistori signaalinvastaanottopiirissä on koordinoitu ainakin yhdellä muulla transistorilla virtapeilipiirin muodostamiseksi.

2. Patenttivaatimuksen 1 mukainen signaalinvastaanotto- ja signaalinkäsittely-yksikkö, jolloin yksikkö on sovitettu yhdestä päästä tapahtuvaa signaalointia varten, t u n n e t t u siitä, että mainittu transistori signaalinvastaanottopiirissä on NMOS-transistori ja kytketty vastaanottamaan jännitepulssit, jotka esiintyvät johtimella, ja että NMOS-lisätransistori on kytketty toiseen NMOS-transistoriin virtapeilipiirin muodostamiseksi.

3. Patenttivaatimuksen 2 mukainen yksikkö, t u n n e t t u siitä, että nämä kaksi kytkettyä NMOS-transistoria ovat kytketyt johtimeen lähtenavoistaan.

4. Patenttivaatimuksen 2 mukainen yksikkö, t u n n e t t u siitä, että nämä kaksi kytkettyä NMOS-transistoria ovat kytketyt johtimeen nielunavoistaan.

5. Patenttivaatimuksen 2 mukainen yksikkö, t u n n e t t u siitä, että nämä kaksi kytkettyä NMOS-transistoria ovat kytketyt toinen toisiinsa ja referenssipotentiaaliin hilanavoistaan.

6. Patenttivaatimuksen 2 mukainen yksikkö, t u n -
n e t t u siitä, että NMOS-transistoreille syötetään vir-
ta ainakin yhdellä virtapeilipiirillä.

5 n e t t u siitä, että ensimmäinen virta, joka ajetaan en-
simmäisen NMOS-transistorin kautta, siirretään ensimmäisen
virtapeilipiirien joukon kautta sen peilaamiseksi valitun
määrän kertoja (n), ja että toinen virta, joka ajetaan
toisen NMOS-transistorin kautta, siirretään toisen virta-
10 peilipiirien joukon kautta sen peilaamiseksi toisen vali-
tun määrän kertoja (n+1).

8. Patenttivaatimuksen 2 tai 7 mukainen yksikkö,
t u n n e t t u siitä, että ensimmäisen ja toisen virran
hetkellisten arvojen välinen ero on kytketty signaalivah-
15 vistimelle, joka käsittää yhden NMOS-transistorin ja yhden
PMOS-transistorin kytkettyinä toistensa kanssa sarjaan, ja
että signaalivahvistimen NMOS- ja PMOS-transistoreilla on
erilaiset ominaisuudet, jotka valitaan siten, että tran-
sistorit kompensoivat aikapoikkeamat, jotka johtuvat en-
20 simmäisen ja toisen virtapeilipiirien joukon välisestä
erosta.

9. Patenttivaatimuksen 1 tai 2 mukainen yksikkö,
t u n n e t t u siitä, että yksi NMOS-transistori on kyt-
ketty ensimmäiseen johtimeen ja että kaksi NMOS-transisto-
25 ria, jotka muodostavat peilipiirin, ovat kytketty yhdessä
toiseen johtimeen.

10. Patenttivaatimuksen 1, 2 tai 9 mukainen yksik-
kö, t u n n e t t u siitä, että kaksi NMOS-transistoria
ovat kytketyt rinnakkain ensimmäiseen johtimeen.

30 11. Patenttivaatimuksen 9 mukainen yksikkö,
t u n n e t t u siitä, että ainakin kaksi paria NMOS-
transistoreita ovat kytkettyjä toiseen johtimeen, kunkin
parin ollessa koordinoitu virtapeilipiireiksi.

12. Patenttivaatimuksen 9 tai 10 mukainen yksikkö, tunnettu siitä, että vastaavan NMOS-transistorin lähtenapa on kytketty ensimmäiseen johtimeen.

5 13. Patenttivaatimuksen 9 tai 10 mukainen yksikkö, tunnettu siitä, että vastaavan NMOS-transistorin nielunapa on kytketty ensimmäiseen johtimeen.

10 14. Patenttivaatimuksen 2, 9, 12 tai 13 mukainen yksikkö, tunnettu siitä, että kaksi NMOS-transistoria ovat kytketyt toiseen johtimeen ja toisiinsa muodostamaan virtapeilipiiri, niin että synnytetään vakiovirran arvo, ja että yksi NMOS-transistori, joka liittyy ensimmäiseen johtimeen, on järjestetty muuttamaan virta-arvoaan ainakin yhdestä jännitepulssista ja ensimmäisellä johtimella esiintyvistä vaihteluista riippuvaisesti.

15 15. Patenttivaatimuksen 1 mukainen signaalinvastaa-
 taanotto- ja signaalinkäsittely-yksikkö, jolloin yksikkö
 on sovitettu differentiaaliseen signalointiin ensimmäisen
 ja toisen johtimen kanssa, kumpikin johdin on sovitettu
 lähettämään informaatiota kuljettavia signaaleja jännite-
 20 pulsseina, kukin johdin on kytketty vastaavaan transisto-
 riin signaalinvastaaottopiirissä vastaavan transistorin
 läpi kulkevan vastaavan virran tuottamiseksi jännitepuls-
 sien vaihteluiden ja pulssin jännitearvon mukaan, ja jol-
 loin kullakin vastaavalla virralla on pulssimuoto ja se
 25 synnytetään vastaavilla pulssivaihteluilla ja jänniteta-
 solla, tunnettu siitä, että transistorit ovat
 NMOS-transistoreita, jotka on kytketty vastaanottamaan
 vastaavilla johtimilla esiintyvät jännitepulssit, ja että
 kukin transistori on kytketty toiseen NMOS-transistoriin
 30 virtapeilipiirin muodostamiseksi.

16. Patenttivaatimuksen 15 mukainen yksikkö, tunnettu siitä, että NMOS-transistorit ovat kytketyt ensimmäiseen ja toiseen johtimeen lähtenavoistaan.

17. Patenttivaatimuksen 15 mukainen yksikkö, tunnettu siitä, että NMOS-transistorit ovat kytketyt ensimmäiseen ja toiseen johtimeen nielunavoistaan.

5 18. Patenttivaatimuksen 15 mukainen yksikkö, tunnettu siitä, että NMOS-transistorit ovat kytketyt toisiinsa ja referenssipotentiaaliin hilanavoistaan.

19. Patenttivaatimuksen 15 mukainen yksikkö, tunnettu siitä, että NMOS-transistoreille syötetään virta ainakin yhdellä virtapeilipiirillä.

10 20. Patenttivaatimuksen 15 mukainen yksikkö, tunnettu siitä, että ensimmäinen virta, joka ajetaan ensimmäisen kahden NMOS-transistorin ryhmän kautta, joka muodostaa virtapeilipiirin, siirretään ensimmäisen virtapeilipiirien joukon kautta sen peilaamiseksi valitun
15 määrän kertoja (n), ja toinen virta, joka ajetaan toisen kahden NMOS-transistorin ryhmän kautta, joka muodostaa virtapeilipiirin, siirretään toisen virtapeilipiirien joukon kautta sen peilaamiseksi toisen valitun määrän kertoja ($n+1$) signaalivahvistimelle.

20 21. Patenttivaatimuksen 20 mukainen yksikkö, tunnettu siitä, että ensimmäisen ja toisen virran hetkellisten arvojen välinen ero on kytketty signaalivahvistimelle, ja että signaalivahvistin käsittää NMOS-transistorin ja PMOS-transistorin, jotka on kytketty toistensa
25 kanssa sarjaan, ja että signaalivahvistimen NMOS- ja PMOS-transistoreilla on erilaiset ominaisuudet, jotka valitaan siten, että transistorit kompensoivat aikapoikkeamat, jotka johtuvat virtapeilipiirien ensimmäisen ja toisen joukon välisestä erosta.

30 22. Patenttivaatimuksen 15 mukainen yksikkö, tunnettu siitä, että kaksi NMOS-transistoria on kytketty ensimmäiseen johtimeen, ja että kaksi NMOS-transistoria, jotka muodostavat virtapeilipiirin, on kytketty toiseen johtimeen.

23. Patenttivaatimuksen 15 tai 22 mukainen yksikkö, tunnettu siitä, että ainakin kaksi paria NMOS-transistoreita on kytketty rinnakkain ensimmäiseen johtimeen.

5 24. Patenttivaatimuksen 22 mukainen yksikkö, tunnettu siitä, että ainakin kaksi paria NMOS-transistoreita on kytketty toiseen johtimeen, kunkin parin muodostaessa virtapeilipiirin.

10 25. Patenttivaatimuksen 22 mukainen yksikkö, tunnettu siitä, että NMOS-transistorin lähtenapa on kytketty ensimmäiseen johtimeen.

26. Patenttivaatimuksen 22 mukainen yksikkö, tunnettu siitä, että NMOS-transistorin nielunapa on kytketty ensimmäiseen johtimeen.

15 27. Patenttivaatimuksen 15, 25 tai 26 mukainen yksikkö, tunnettu siitä, että kaksi NMOS-transistoria, jotka liittyvät toiseen johtimeen, on kytketty toiseen johtimeen ja toisiinsa muodostamaan virtapeilipiiri, niin että synnytetään muuttuva virta-arvo, ja että kaksi
20 NMOS-transistoria, jotka liittyvät ensimmäiseen johtimeen, on järjestetty synnyttämään muuttuva virta-arvo ensimmäisellä johtimella esiintyvistä jännitepulsseista riippuen.

25 28. Patenttivaatimuksen 27 mukainen yksikkö, tunnettu siitä, että NMOS-transistoreiden parit, jotka liittyvät ensimmäiseen ja toiseen johtimeen, on kytketty virtapeilipiireiksi, ja että signaalinkäsittelypiirin vastaanottama virtaero syötetään ulos pulssitettuna ulostulosignaalina.

30 29. Patenttivaatimuksen 28 mukainen yksikkö, tunnettu siitä, että NMOS-transistoreiden yksi pari, joka liittyy kumpaankin ensimmäisestä ja toisesta johtimesta, palvelee kelluvana kaksoisvirtapeilipiirinä.

35 30. Patenttivaatimuksen 15 mukainen yksikkö, tunnettu siitä, että molemmille NMOS-transistoreille NMOS-transistoreiden parissa, joka liittyy ensim-

mäiseen tai toiseen johtimeen, syötetään virta kaskodipiirillä.

31. Patenttivaatimuksen 15 tai 30 mukainen yksikkö, t u n n e t t u siitä, että molempien NMOS-transistoreiden jälkeen NMOS-transistoreiden parissa, joka liittyy jäljellä olevaan ensimmäisestä ja toisesta johtimesta, on kytketty, toisen perään parillinen lukumäärä ja toisen perään pariton lukumäärä, virtapeilipiirejä signaalinkäsittelypiirissä.

32. Patenttivaatimuksen 31 mukainen yksikkö, t u n n e t t u siitä, että signaalinkäsittely-yksikössä olevien virtaeroja arvioivien välineiden jälkeen on kytketty invertteri ulostulosignaalin synnyttämiseksi.

33. Patenttivaatimuksen 15 mukainen yksikkö, t u n n e t t u siitä, että virtapeilipiiri on kaskodipiiri.

34. Patenttivaatimuksen 1 mukainen signaalinvastaa-
ntaanotto- ja signaalinkäsittely-yksikkö, jolloin yksikkö on sovitettu yhdestä päästä tapahtuvaa signalointia varten johtimen kautta, joka on sovitettu siirtämään informaatiota kuljettavia signaaleja jännitepulsseina, t u n n e t t u siitä, että transistori signaalinvastaaantopiiirissä on bipolaaritransistori, joka on kytketty vastaanottamaan johtimella esiintyviä jännitepulsseja, ja että bipolaarinen lisätransistori on kytketty toiseen bipolaaritransistoriin muodostamaan virtapeilipiiri.

35. Patenttivaatimuksen 34 mukainen yksikkö, t u n n e t t u siitä, että nämä kaksi kytkettyä bipolaaritransistoria ovat kytketyt johtimeen emitterinavoistaan.

36. Patenttivaatimuksen 34 tai 35 mukainen yksikkö, t u n n e t t u siitä, että nämä kaksi kytkettyä bipolaaritransistoria ovat kytketyt toisiinsa ja referenssipotentiaaliin kantanavoistaan.

37. Patenttivaatimuksen 34 mukainen yksikkö, t u n n e t t u siitä, että näille kahdelle bipolaari-

transistorille syötetään virta ainakin yhdellä virtapeili-
piirillä.

38. Patenttivaatimuksen 34 mukainen yksikkö,
t u n n e t t u siitä, että ensimmäinen virta, joka aje-
5 taan yhden näistä kahdesta bipolaaritransistorista kautta,
siirretään virtapeilipiirien ensimmäisen joukon kautta sen
peilaamiseksi valitun määrän kertoja (n), ja että toinen
virta, joka ajetaan toisen näistä kahdesta bipolaaritan-
sistorista kautta, siirretään virtapeilipiirien toisen
10 joukon kautta sen peilaamiseksi toisen valitun määrän ker-
toja ($n+1$).

39. Patenttivaatimuksen 34 mukainen yksikkö,
t u n n e t t u siitä, että ensimmäisen ja toisen virran
hetkellisten arvojen välinen ero on kytketty signaalivah-
15 vistimelle.

40. Patenttivaatimuksen 1 tai 34 mukainen yksikkö,
t u n n e t t u siitä, että yksi bipolaaritransistori on
kytketty ensimmäiseen johtimeen, ja että kaksi bipolaari-
transistoria, jotka muodostavat virtapeilipiirin, on kyt-
20 ketty yhdessä toiseen johtimeen.

41. Patenttivaatimuksen 1, 34 tai 40 mukainen yk-
sikkö, t u n n e t t u siitä, että ainakin kaksi bipo-
laaritransistoria on kytketty rinnakkain ensimmäiseen joh-
timeen.

25 42. Patenttivaatimuksen 40 mukainen yksikkö,
t u n n e t t u siitä, että ainakin kaksi paria bipolaa-
ritransistoreita on kytketty toiseen johtimeen, kunkin pa-
rin ollessa koordinoitu virtapeilipiiriksi.

30 43. Patenttivaatimuksen 40 mukainen yksikkö,
t u n n e t t u siitä, että bipolaaritransistorin emitte-
rinapa on kytketty ensimmäiseen johtimeen.

44. Patenttivaatimuksen 34, 40 tai 43 mukainen yk-
sikkö, t u n n e t t u siitä, että kaksi bipolaaritan-
sistoria on kytketty toiseen johtimeen ja toinen toisiinsa
35 muodostamaan virtapeilipiiri, joka synnyttää vakiovirran,

ja yksi bipolaaritransistori, joka liittyy ensimmäiseen johtimeen, muuttaa virtaansa yhdestä jännitepulssista ja ensimmäisellä johtimella esiintyvistä vaihteluista riippuvaisesti.

5 45. Patenttivaatimuksen 1 mukainen signaalinvas-
taanotto- ja signaalinkäsittely-yksikkö, jolloin yksikkö
on sovitettu differentiaaliseen signalointiin ensimmäisen
ja toisen johtimen kautta, kukin johdin on sovitettu lä-
hettämään informaatiota kuljettavia signaaleja jännite-
10 pulsseina, kukin johdin on kytketty vastaavaan bipolaari-
transistoriin signaalinvastaanottopiirissä vastaavan vir-
ran tuottamiseksi kulkemaan transistorin kautta jännite-
pulssien vaihtelun ja pulssin jännitearvon mukaisesti,
kunkin vastaaman virran omatessa pulssien muodon ja olles-
15 sa synnytetty vastaavilla jännitepulssivaihteluilla ja
jännitetasolla, ja jolloin vastaavalle virralle annetaan
signaalisovitettu informaatiota kuljettava muoto signaa-
linkäsittelypiirillä, t u n n e t t u siitä, että tran-
sistorit ovat bipolaaritransistoreita, jotka on kytketty
20 vastaanottamaan vastaavilla johtimilla esiintyvät jännite-
pulssit, ja että kukin transistori on kytketty toiseen bi-
polaaritransistoriin virtapeilipiirin muodostamiseksi.

 46. Patenttivaatimuksen 45 mukainen yksikkö,
t u n n e t t u siitä, että bipolaaritransistorit on kyt-
25 ketty ensimmäiseen ja toiseen johtimeen emitterinavois-
taan.

 47. Patenttivaatimuksen 45 mukainen yksikkö,
t u n n e t t u siitä, että bipolaaritransistorit on kyt-
ketty toinen toisiinsa ja referenssipotentiaaliin kantana-
30 voistaan.

 48. Patenttivaatimuksen 45 mukainen yksikkö,
t u n n e t t u siitä, että bipolaaritransistoreille syö-
tetään virta ainakin yhdellä virtapeilipiirillä.

 49. Patenttivaatimuksen 45 mukainen yksikkö,
35 t u n n e t t u siitä, että vastaavien virtojen hetkel-

listen arvojen välinen ero kytketään signaalivahvistimelle.

50. Patenttivaatimuksen 45 mukainen yksikkö, tunnettu siitä, että kaksi bipolaaritransistoria on kytketty ensimmäiseen johtimeen ja kaksi bipolaaritransistoria, jotka muodostavat virtapeilin, ovat yhdessä kytketty toiseen johtimeen.

51. Patenttivaatimuksen 45 tai 50 mukainen yksikkö, tunnettu siitä, että ainakin kaksi bipolaaritransistoreiden paria on kytketty rinnakkain ensimmäiseen johtimeen.

52. Patenttivaatimuksens 50 mukainen yksikkö, tunnettu siitä, että ainakin kaksi bipolaaritransistoreiden paria on kytketty toiseen johtimeen, kummankin parin ollessa koordinoitu virtapeilipiiriksi.

53. Patenttivaatimuksen 50 mukainen yksikkö, tunnettu siitä, että bipolaaritransistorin emitterinapa on kytketty ensimmäiseen johtimeen.

54. Patenttivaatimuksen 45 tai 53 mukainen yksikkö, tunnettu siitä, että kaksi bipolaaritransistoria on kytketty toiseen johtimeen ja toisiinsa virtapeilipiirin muodostamiseksi synnyttämään muuttuva virta, ja kaksi bipolaaritransistoria, jotka liittyvät ensimmäiseen johtimeen, synnyttävät muuttuvan virran, joka riippuu ensimmäisellä johtimella esiintyvistä jännitepulsseista.

55. Patenttivaatimuksen 54 mukainen yksikkö, tunnettu siitä, että yksi bipolaaritransistorien pari sekä ensimmäisestä että toisesta johtimesta on kytketty virtapeilipiiriksi, ja että signaalinkäsittelypiirin vastaanottama virtaero syötetään ulos pulssitettuna ECL-ulostulosignaalina.

56. Patenttivaatimuksen 55 mukainen yksikkö, tunnettu siitä, että yksi pari pareittain toisiinsa liittyviä bipolaaritransistoreita, jotka liittyvät kum-

paankin kahdesta vastaavasta johtimesta, toimii kelluvana kaksoisvirtapeilipiirinä.

57. Patenttivaatimuksen 45 mukainen yksikkö, t u n n e t t u siitä, että jokaiselle pareittain toisiinsa liittyvälle bipolaaritransistorille syötetään virta kaskodipiirillä.

58. Patenttivaatimuksen 45 mukainen yksikkö, t u n n e t t u siitä, että virtapeilipiiri on kaskodipiiri.

59. Patenttivaatimuksen 1, 2 tai 15 mukainen yksikkö, t u n n e t t u siitä, että joukko transistoreita on koordinoitu vastaanotettujen virtapulssien välissä olevan kytkentäajan lyhentämiseksi.

60. Patenttivaatimuksen 1, 2 tai 15 mukainen yksikkö, t u n n e t t u siitä, että PMOS-transistoreita käytetään virran syötössä virtapeilipiirin läpi.

61. Patenttivaatimuksen 34 tai 45 mukainen yksikkö, t u n n e t t u siitä, että bipolaaritransistoreilla signaalinvastaanotto- ja kantavavaihtelut yhdessä kytkettynä referenssipotentiaaliin, ja että muut virtapeilipiirit on tehty PMOS-transistoreista tai NMOS-transistoreista tai molemmista.

62. Patenttivaatimuksen 34 tai 45 mukainen yksikkö, t u n n e t t u siitä, että virtavaihtelut kytketään differentiaalivahvistimelle vastuksen yli olevan jännite-eron muuntamiseksi ECL-signaaliksi.

63. Jonkin edellisen patenttivaatimuksen mukainen yksikkö, t u n n e t t u siitä, että ainakin yksi transistori käsittää ainakin kaksi rinnakkain kytkettyä pienempää transistoria.

64. Jonkin edellisen patenttivaatimuksen mukainen yksikkö, t u n n e t t u siitä, että valittu kaistaleveys vastaa referenssivirran valittua arvoa.

65. Patenttivaatimuksen 1 mukainen yksikkö, t u n n e t t u siitä, että transistori on kytketty johtimeen

referenssivirran säätämiseksi siten, että lainkaan virta ei kulje läpi, kun johdin on balansoitu toisen johtimen suhteen, johon toinen transistori on kytketty.

5 66. Patenttivaatimuksen 65 mukainen yksikkö, tunnettu siitä, että kompensointivirta transistoreiden läpi vastaa valittua referenssivirtaa.

10 67. Patenttivaatimuksen 65 tai 66 mukainen yksikkö, tunnettu siitä, että kompensointivirta vastaa virtaa, joka kulkee transistoreiden läpi signaalinvastaanottopiirissä.

68. Patenttivaatimuksen 65 mukainen yksikkö, tunnettu siitä, että transistorit ovat NMOS-transistoreita.

15 69. Patenttivaatimuksen 66 mukainen yksikkö, tunnettu siitä, että hila- tai kantanapa on koordinoitu referenssipotentiaaliin.

20 70. Patenttivaatimuksen 65 tai 69 mukainen yksikkö, tunnettu siitä, että transistorit on koordinoitu referenssipotentiaaliin, jonka muodostaa kaskaditransistori.

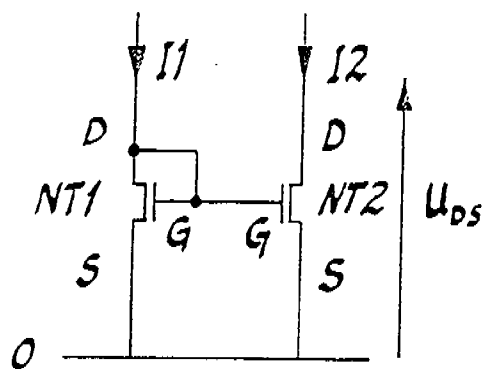


Fig. 1.

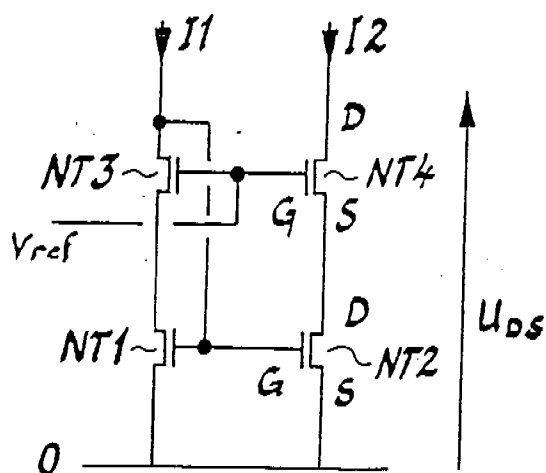
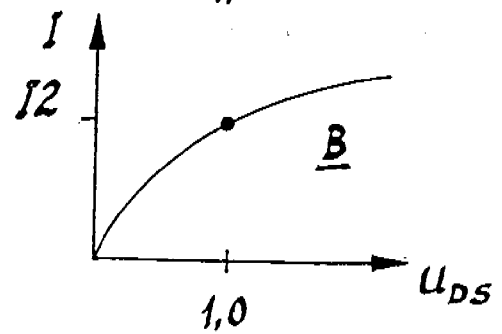
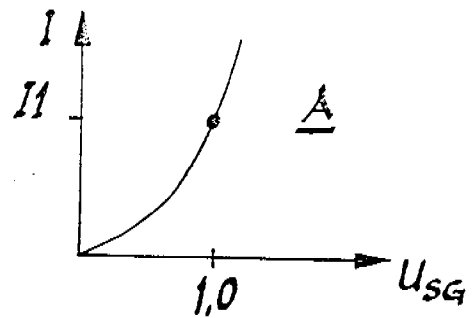
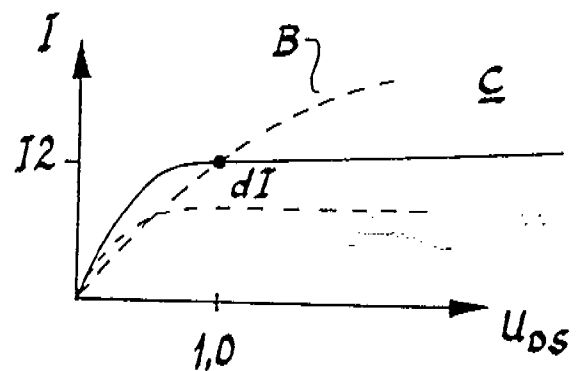
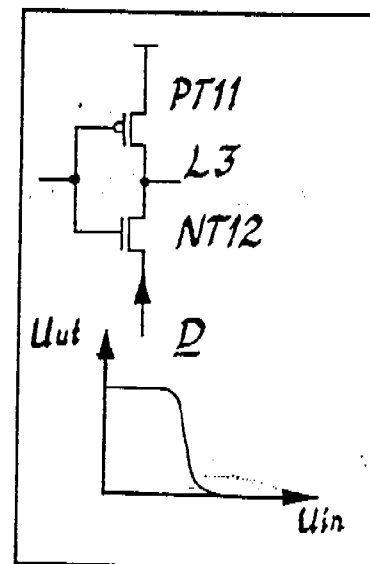
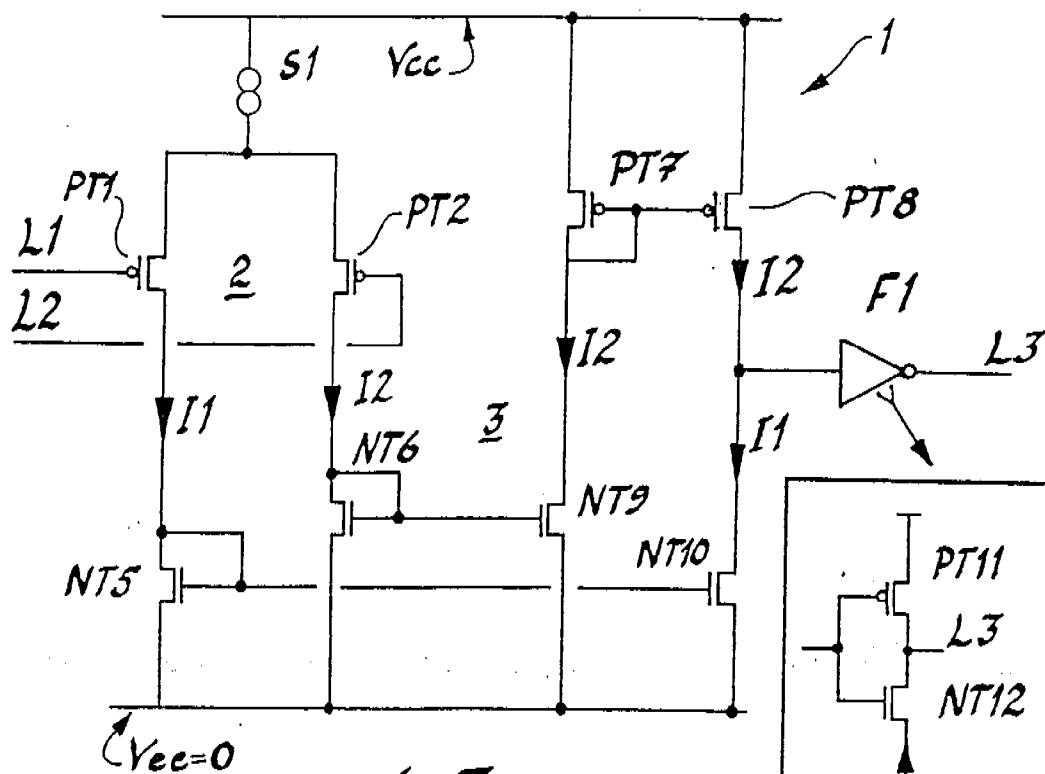


Fig. 2.





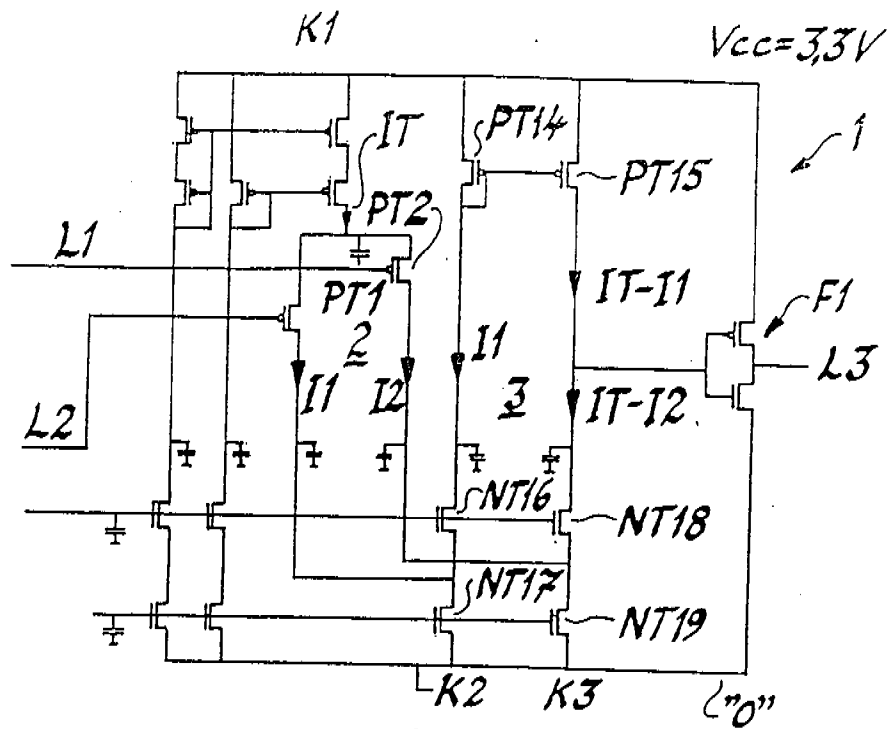


Fig. 4,

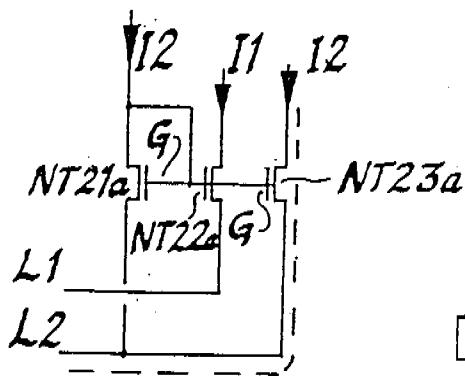


Fig. 5a,

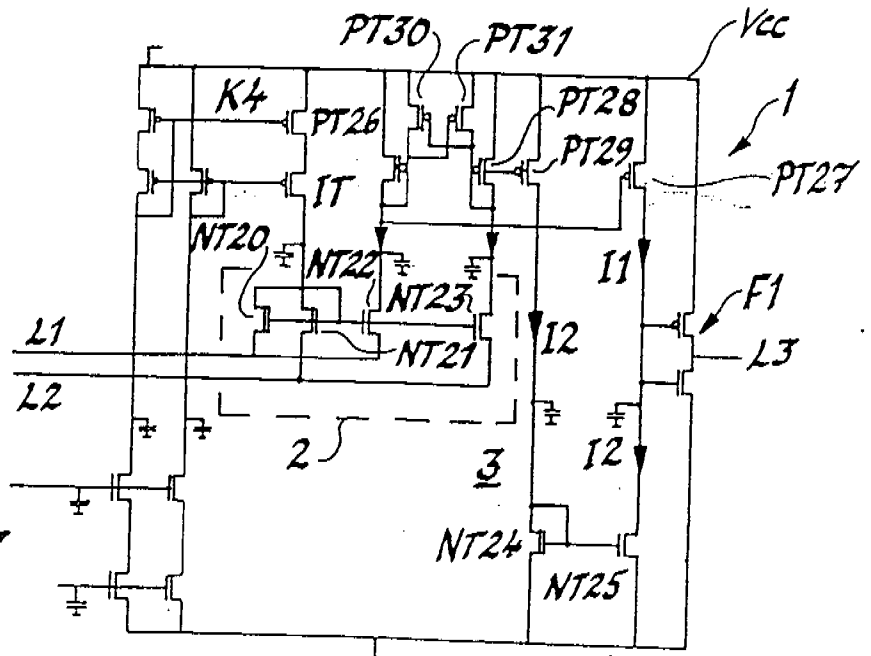


Fig. 5,

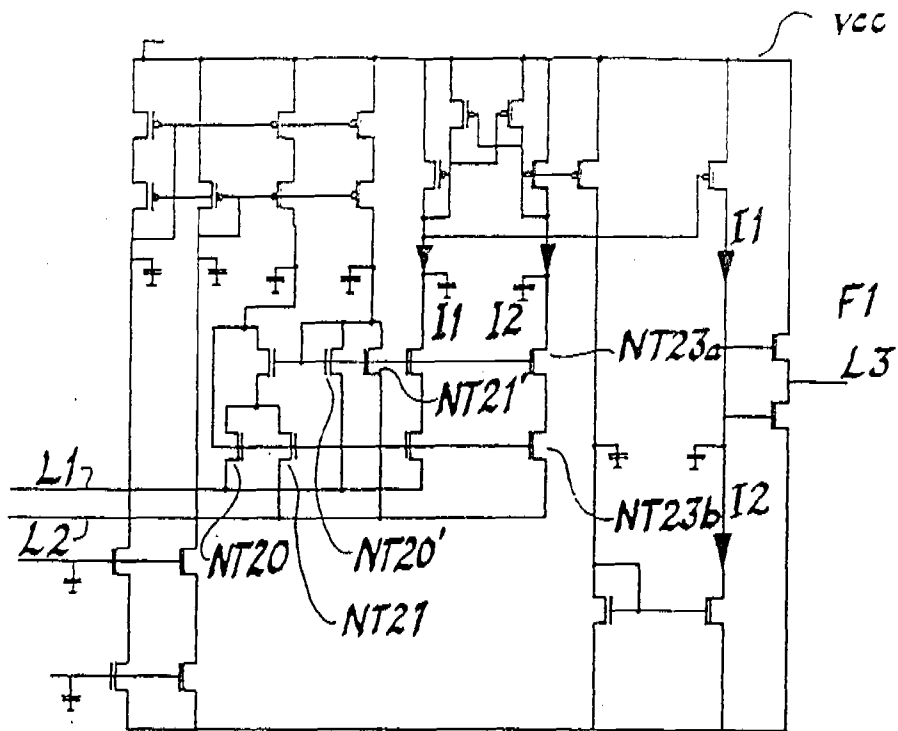


Fig. 6.

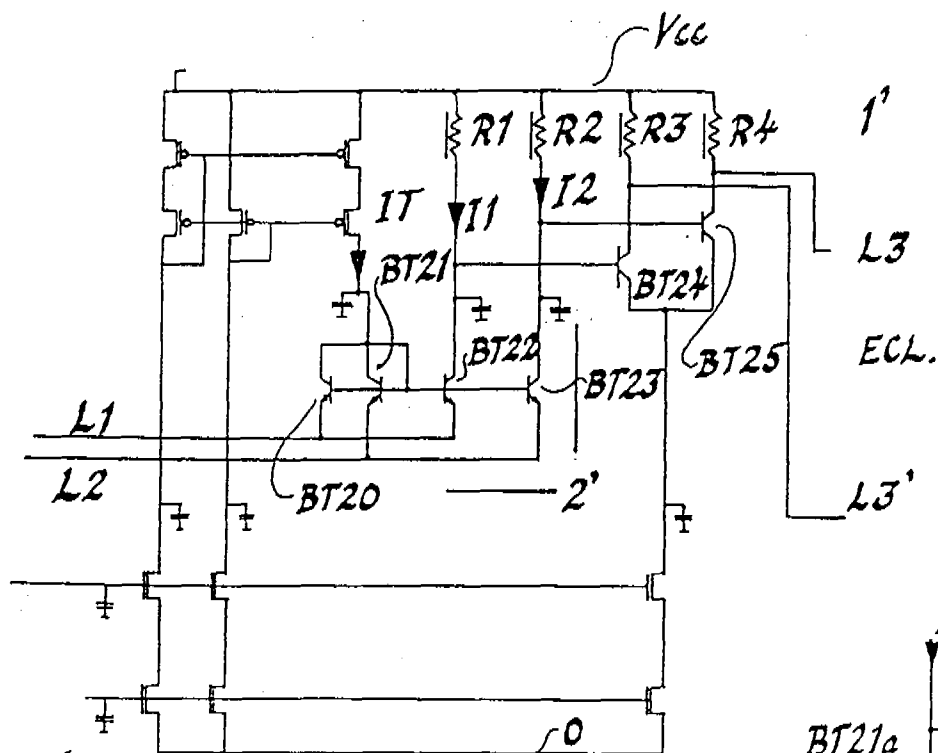
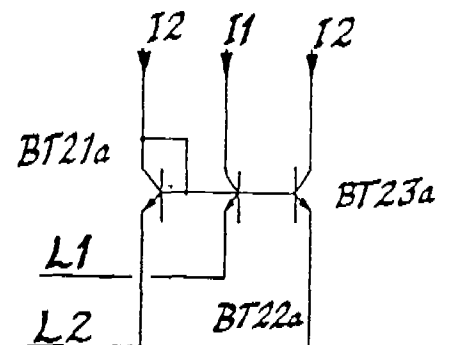


Fig. 7.

Fig. 7a.



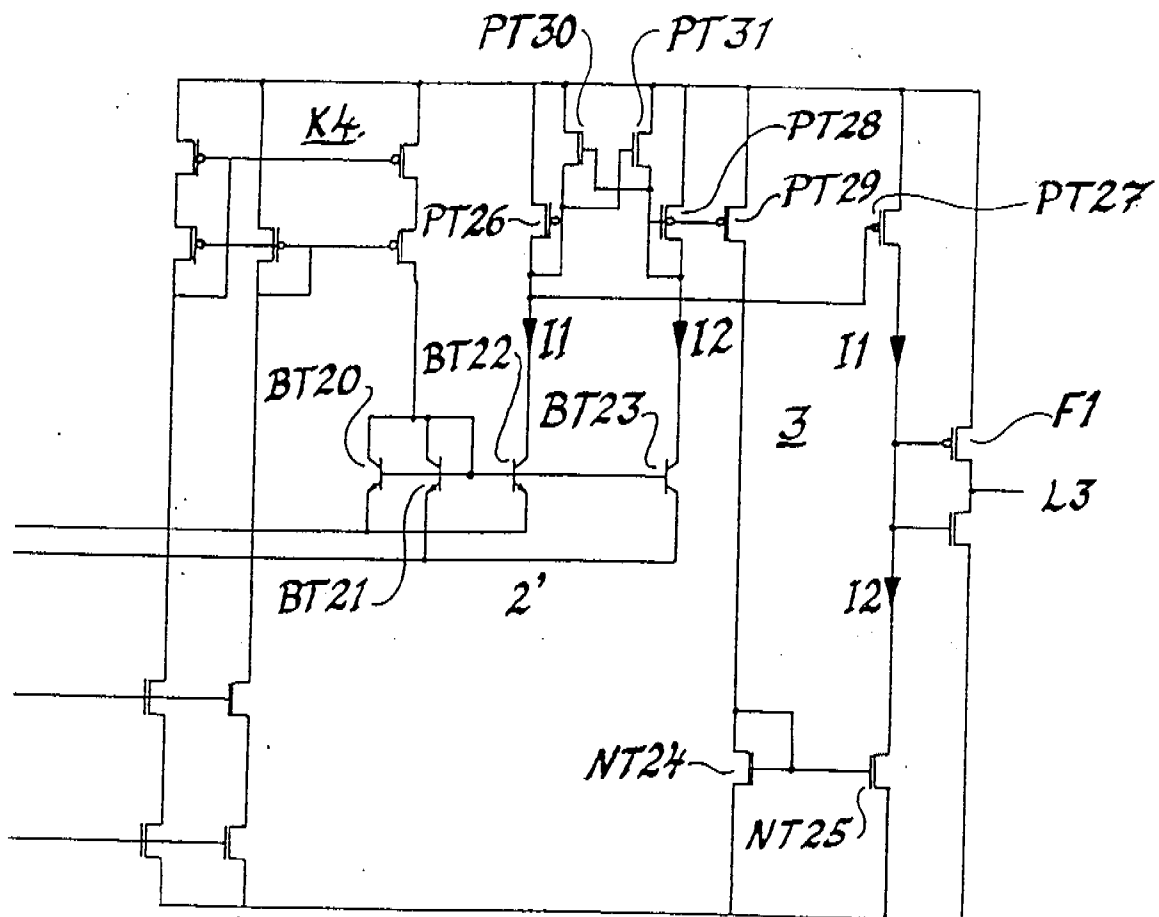
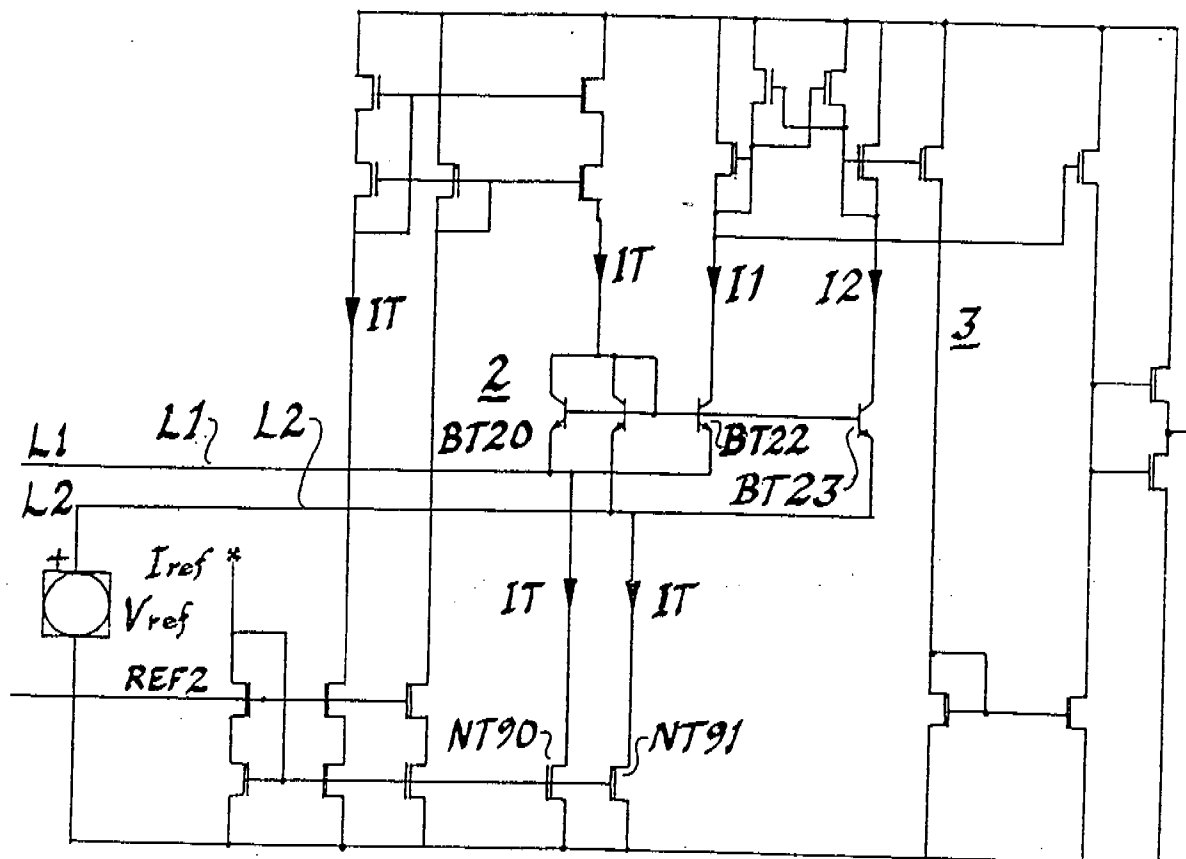


Fig. 8.



NT92

Fig. 9