

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/02

G11C 5/00



[12] 发明专利说明书

[21] ZL 专利号 99816048.2

[45] 授权公告日 2004 年 8 月 4 日

[11] 授权公告号 CN 1160792C

[22] 申请日 1999.12.3 [21] 申请号 99816048.2

[30] 优先权

[32] 1998.12.4 [33] NO [31] 19985707

[86] 国际申请 PCT/NO1999/000365 1999.12.3

[87] 国际公布 WO2000/038234 英 2000.6.29

[85] 进入国家阶段日期 2001.8.6

[71] 专利权人 薄膜电子有限公司

地址 挪威奥斯陆

[72] 发明人 H·G·古德森 P·-E·诺达尔

G·I·莱斯塔德

R·M·贝尔格伦

J·R·A·卡尔松

B·G·古斯塔夫松

审查员 白燕

[74] 专利代理机构 中国专利代理(香港)有限公司

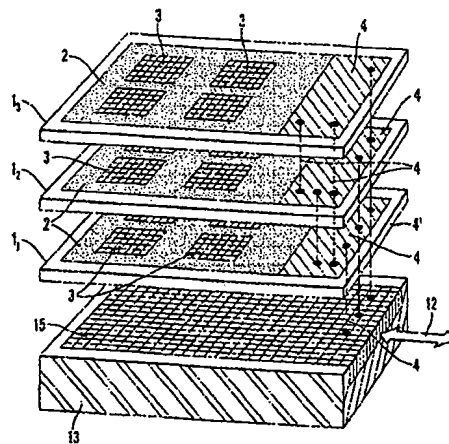
代理人 吴立明 梁永

权利要求书 4 页 说明书 12 页 附图 8 页

[54] 发明名称 可伸缩的数据处理设备

[57] 摘要

在一种可伸缩的数据处理设备中,具体地说,在一种数据存储设备中,构成一基本上为平面层的一个或多个薄层器件包括多个薄膜子层。两个或多个薄膜器件设置成由构成上述薄膜器件的基本上为平面的层所形成的成整体的叠置体,因此,所述设备构成了一叠置结构。每个薄膜器件均包括:一个或多个存储器区,该区构成了矩阵式可寻址存储器;以及,电路区,该区构成了用于对一个或多个存储器中的存储器单元进行控制、驱动和寻址的薄膜电路。每个存储器均具有与所述设备中其它的每个一个薄膜器件的接口,所述接口是用通讯和信号线及用于处理的支撑电路来实现的,所述支撑电路垂直穿过薄膜器件上的相应专用接口区。



1、一种可伸缩的数据处理设备，具体说是一种数据存储设备，包括一个或多个薄膜器件(1)，这些器件构成了由多个薄膜材料的叠置子层(S)形成的平面层，其中，每个薄膜器件(1)的子层(S)包括电绝缘和/或导电和/或半导体结构以及在子层(S)中用薄膜材料来实现的具有信息存储能力的结构，所述结构与构成薄膜器件(1)的叠置体内的相邻子层中的其它这种结构相对齐或作电接触，以便实现薄膜器件中的有源和无源的电路部件或逻辑单元，薄膜器件(1)中的有源和无源电路部件是用三维结构来实现的并且穿过薄膜器件(1)的两个或多个子层(S)，所述电路部件通过一个或多个子层(S)中的水平导电结构以及穿过一个或多个子层(S)的垂直导电结构作电连接，并且，在叠置体中设置有两个或多个薄膜器件(1)，所述数据处理设备的特征在于，

每个薄膜器件(1)均包括一个或多个存储器区(3)，该区构成了一个或多个矩阵式可寻址存储器(3')，每个可寻址存储器均具有位于子层(S)内的存储器介质(6)，存储器介质(6)分别与第一电极组和第二电极组相接触，其中第一电极组具有平行的条状导电结构(7)或电极结构的形式，第二电极组(8)具有基本上与第一电极组中的电极结构(7)方向互相垂直的相应电极结构的形式，所述电极组分别设置在与所述存储器子层两面相邻的另外子层(S)上，从而，用存储器介质(6)在第一与第二电极组中电极结构(7、8)之间的交叉处形成可寻址的存储器单元，每个薄膜器件(1)还包括电路区(2)，该区构成了用于控制、驱动并对一个或多个存储器(3')中存储器单元进行寻址的薄膜电路，所述电路通过电流通路与存储器(3')中相应的第一和第二电极组中的电极结构(7、8)相连，所述电流通路被形成为位于其中设置有电极的基本上相同子层内的导电结构，各薄膜器件(1)具有至所述设备中每个其它的薄膜器件的相应接口，所述接口是用通讯和信号线及用于处理的支撑电路来实现的，所述线路和电路设置在薄膜器件(1)的相应专用接口区(4)内。

2、如权利要求1可伸缩的数据处理设备，其特征在于，一个或多个存储器中的存储器介质(6)包括从具有单体、低聚体或聚合体形式的分子材料、具有无机或有机形式的含碳材料或者这些材料的并置物或

混合物中选出的材料。

3、如权利要求2可伸缩的数据处理设备，其特征在于，所述存储器介质(6)包括在存储器单元中提供非线性电流/电压特性的存储器材料，所述非线性电流/电压特性是由无机或有机二极管或阈值可转换的材料产生的。

4、如权利要求1所述的可伸缩的数据处理设备，其特征在于，所述存储器介质(6)包括可转换的材料，所述可转换的材料是一种非易失材料，它分别被选定为铁电材料或电荷转换有机复合体。

5、如权利要求1所述的可伸缩的数据处理设备，其特征在于，所述存储器介质(6)包括具有非线性电流/电压特性的可转换材料。

6、如权利要求1所述的可伸缩的数据处理设备，其特征在于，所述电路包括无机和/或有机半导体材料。

7、如权利要求1所述的可伸缩的数据处理设备，其特征在于，所述一个或多个薄膜器件(1)中的接口区(4)设置成集成在该器件或者这些器件的边缘部分内，所述边缘部分在后一种多个器件的情况下是相互对齐的。

8、如权利要求7所述的可伸缩的数据处理设备，其特征在于，所述边缘部分中的接口区(4)还包括用于相应薄膜器件(1)或有选择地用于所述设备整体的I/O接口(12)，并且能实现用于与外部和/或外围设备作数据和信号通讯的功能。

9、如权利要求1所述的可伸缩的数据处理设备，其特征在于，所述薄膜器件(1)或这种器件的叠置体被设置在基层(13)上，所述基层包括用于在所述设备中实现其它控制、驱动和通讯功能的有源电路(14)，每个薄膜器件(1)均在一独立接口区(4)上与电路(14)相连，所述独立接口区在每种情况下都垂直地穿过位于薄膜器件与基层(13)之间的那些薄膜器件。

10、如权利要求9所述的可伸缩的数据处理设备，其特征在于，所述基层(13)包括一接口部分(15)，该接口部分在所述基层上基本上水平地延伸，并平行且相邻于设置在上方的薄膜器件，所述接口部分与薄膜器件(1)或设置在基层(13)上方的薄膜器件(1)中的接口区(4)电连接。

11、如权利要求10所述的可伸缩的数据处理设备，其特征在于，

所述接口部分(15)还包括用于所述整个设备的 I/O 接口(12), 该 I/O 接口(12)可实现与外部和/或外围设备作数据和信号通讯的功能。

12、如权利要求 11 所述的可伸缩的数据处理设备, 其特征在于, 所述基层(13)是用半导体材料制成的。

5 13、如权利要求 12 所述的可伸缩的数据处理设备, 其特征在于, 所述半导体材料是无机单晶体半导体材料。

14、如权利要求 11 所述的可伸缩的数据处理设备, 其特征在于, 所述无机单晶体半导体材料是硅。

10 15、如权利要求 12 所述的可伸缩的数据处理设备, 其特征在于, 所述基层(13)上的电路(14)采用 CMOS 技术实现。

16、如权利要求 10 或权利要求 15 所述的可伸缩的数据处理设备, 其特征在于, 所述基层(13)上的电路与接口部分(15)之间的或通过至上层的薄膜器件(1)中的接口区(4)的接口部分(15)的电连接, 被实现为 CMOS 兼容的金属互连。

15 17、如权利要求 1 所述的可伸缩的数据处理设备, 所述设备包括两个或多个薄膜器件(1), 其特征在于, 这些薄膜器件(1)在平面上基本上共通延伸的, 并且被设置成在其叠置体内相互对齐。

18、如权利要求 17 所述的可伸缩的数据处理设备, 其特征在于, 一个或多个分隔层(16)在相邻的薄膜器件(1)之间设置成层状, 并分别以独立的方式或以有选择的组合的方式实现电、热、光或机械隔离功能或平面化功能, 相应薄膜器件(1)中所说的接口区在每种情况下都在相应的分隔层(16)的通路上作电连接。

19、如权利要求 1 所述的可伸缩的数据处理设备, 所述设备包括两个或多个薄膜器件(1), 其特征在于, 这些薄膜器件(1)被设置成在其叠置体中相互交错。

25 20、如权利要求 19 所述的可伸缩的数据处理设备, 其特征在于, 所述薄膜器件(1)之间和/或所述薄膜器件(1)与可选基层(13)之间的电连接(4')设置成在交错叠置体中的阶梯上的水平延伸和垂直延伸。

21、如权利要求 19 所述的可伸缩的数据处理设备, 其特征在于, 一个或多个分隔层(16)在相邻的薄膜器件(1)之间设置成层状, 并分别以独立的方式或以有选择的组合的方式实现电、热、光或机械隔离功能或平面化功能, 所述分隔层(16)仅设置在两个相邻的薄膜器件的重叠部分中, 相应薄膜器件(1)的接口区(4)设置在其交错区的薄膜器件(1)

中的外露表面部分的上方，从而使得薄膜器件(1)之间的分隔层(16)在没有用于独立薄膜器件(1)之间电连接(4')的通路的情况下构成了未破损的层。

- 5 22、如权利要求 1 所述的可伸缩的数据处理设备，其特征在于，所述设备设置在一载体基层上，该载体基层由箔状材料或诸如硅之类的刚性材料构成，所说的载体基层在每种情况下都设置成与叠置体中的最下部薄膜器件相邻，或者有选择地设置成带有电路(14)的基层(13)。

可伸缩的数据处理设备

5 本发明涉及一种可伸缩的数据处理设备，具体地说，本发明涉及一种数据存储设备，该设备包括一个或多个薄层器件，这些器件构成了由多个薄膜材料的共延叠置子层形成的平面层，其中，所述各薄膜器件的子层均包括电绝缘和/或导电和/或半导体结构以及在子层中用薄膜材料来实现的具有信息存储能力的结构，所述结构与构成薄膜器件的叠置体内的相邻子层中的其它这种结构相对齐或作电接触，以便实现薄膜器件中的有源和无源的电路部件或逻辑单元，薄膜器件中的有源和无源电路部件是用三维结构来实现的并且穿过两个或多个子层，所述电路部件与一个或多个子层中的水平导电结构以及穿过一个或多个子层的垂直导电结构作电连接，并且，设置有两个或多个薄膜器件。

15 本技术中周知是形成呈叠置结构中的薄膜电路形式的存储器，并且，存储器还可与用于控制、驱动并对存储器进行寻址的处理器相结合，另一方面也可按单晶体刚性基层和/或设置在载体基层上的薄膜的形式与用无机半导体材料实现的处理器相结合，所述载体基层非常薄，例如形成为二氧化硅薄膜。通过将所述的层并置且通常用特殊的方法转印上述薄膜电路来形成带有处理电路的完整存储器。为了提供所述层之间的互连，使用了经过层上一组开孔的通路，这些通路可与金属的蒸发相结合，以形成必要的电流通路。从 PCT/N099/00180 中已知有集成的可伸缩数据处理器，该处理器构成了带有海量存储器以及处理器与存储器组合模块的完整计算机，该计算机内，在独立的处理器层或独立的存储器层或处理器与存储器组合层上设置有所谓的智能随机存取存储器（IRAM）以及实现计算机 CPU 功能或实现计算机中控制和通讯功能的处理器，上述专利属于本申请人，本文引用了该专利。为了提供短路路径，用三维电学结构来形成独立层内的组件之间以及层之间的互连。整个数据处理器设置在基层上，该基层还包含有用于进行控制和通讯的高速处理电路，这些电路是用无机半导体材料按通常技术实现的，而数据处理器不同的层整个都是用薄膜技术来实现的，

而不管这些层是涉及处理器还是存储器。

可提及相关先有技术的其它实例。US 专利 5714768 (Ovshinsky 等人)公开了一种带有处理器和特定存储器阵列的计算器，所述存储器阵列用薄膜技术在处理器上安装所述计算器的顶部，并且，所述专利公开了使用基于多种无机材料的存储器介质，所述材料响应输入给独立存储器单元的的选定输入电信号而有不同的电阻值。具体地说，Ovshinsky 等人公开了呈所谓奥弗辛斯基存储器形式的存储器部件，奥弗辛斯基存储器是基于电相变化的并且是在将用无机硫族化合物作为转换物的情况下制成的。每个存储器部件均被看作是一个单元并且用例如 SiO_2 或 Si_3N_4 等绝缘材料加以封装和隔离。所述存储器部件设置在一平面阵列结构内，该结构的每一侧均与由电极结构构成的覆盖网络相接触，各网格中的电极结构定向成与其它网络中的电极结构相垂直。可将这种二维存储器阵列按适当相互绝缘性叠置起来以形成设置在基层上的垂直整体存储器结构，所述基层可以是包括电路的逻辑处理器。就将薄膜材料的共延薄膜子层制成的薄膜器件叠置起来或其中所述薄膜器件包括带有源电路的电路区以及带通过提供有符合目的的功能特征而实现的存储器模块的存储器区来说，Ovshinsky 等人未给出提示和建议。在本技术中例如从 US 专利 5329485 (Isono 等人)和 US 专利 5375085 (Gnade 等人)中周知有铁电存储器，在这种存储器中，将无源电路矩阵中的二维存储器单元阵列叠置起来以形成体积存储器。例如在 IBM 技术公开通报 37: 421-424 第 11 号(1994)中提出了用于可擦除存储器的铁电聚合物材料，具体说提出了基于使用聚(偏二氯乙烯)或聚(乙二烯-三氯乙烯)共聚物的实施例。这些聚合物可获得成为非常薄的薄膜，并且，所述存储器介质可提供为由薄膜材料构成的连续层，该连续层带有成组的设置在两侧上并定向成相互正交的导电电极。可将这种二维无源铁电阵列叠置起来以形成三维结构。但是，上述文件均未公开包括有这样子层的薄膜器件，该子层具有能实现包括在所述薄膜器件中的有源电路和无源存储器模块的功能特征。

最后，在国际出版申请书 W095/09438 (Zavracky 等人)和相同发明人的 US 专利 5656548 号中公开了基于转印薄膜电路的三维存储器-处理器结构，上述两文件均是以 1993 年 9 月 30 日的现已放弃的 US 专利申请 130033 号。具体地说，这些件均公开了叠置或成层状以形成三

维结构的存储器和处理器电路，其中，通过用通常的平面电路技术来使薄膜材料成型用例如穿过所述结构的金属通路进行垂直的互连从而制造出所述电路的独立功能部件。

5 即使先有技术的以使用薄膜技术为基础的用于数据处理和存储的器件就速度和功能而言具有多种优点，但它们就纯粹的存储目的来说通常有非常高的成本并且生产起来特别复杂。有效的存储器管理还需要显著的处理能力，例如，就控制、通讯和寻址而言，用于这些目的的专用电路通常分配给有较大存储器能力的大型存储器或若干个独立的存储器。

10 本发明的主要目的是提供一种可伸缩的数据处理设备，具体地说是提供这样一种数据存储设备，它较为简单、制造廉价，通常在不使存储器管理和操作变得复杂的情况下允许对数据存储能力作几乎无限制的伸缩。

15 本发明的另一个目的是实现一种可伸缩的数据处理设备，具体地说是基本上用薄膜技术来实现这样一种数据存储设备，它能实现用于对用薄膜技术实现的存储器进行控制和寻址的支持功能，用于上述目的电路与所述薄膜器件中的存储器成整体。

20 最后，本发明的还一个目的是实现一种有大存储密度、快速数据访问和高数据传输率的体积数据处理器，它可有选择地与数据存储器中的并行数据输入和从数据存储器中的数据快速读出相结合。

25 依照本发明用可伸缩的数据处理设备特别是用这样的数据处理设备可实现上述和其它目的，所述数据处理设备的特征在于，每个薄膜器件均包括一个或多个存储器区，该区构成了一个或多个矩阵式可寻址存储器，每个可寻址存储器均具有位于子层内的存储器介质，它与呈条状平行导电结构或电极结构形式的第一电极组及呈基本上与第一电极组中电极结构相垂直定向的相应电极结构形式的第二电极组作接
30 触，所述电极组分别设置在与所述存储器介质相邻的另一子层的各侧面上，从而，用存储器介质在第一与第二电极组中电极结构之间的交叉处形成可寻址的存储器单元，每个薄膜器件还包括电路区，该区构成了用于控制、驱动并对一个或多个存储器中存储器单元进行寻址的薄膜电路，所述电路通过电流通路与存储器中相应的第一和第二电极组中的电极结构相连，所述电流通路是在位于其中设置有电极的基本

上相同子层内的导电结构，各薄膜器件具有与所述设备中每个其它的薄膜器件的相应接口，所述接口是用通讯和信号线及用于处理的支撑电路来实现的，所述线路和电路设置在薄膜器件的相应专用接口区内。

5 在本发明设备的一个最佳实施例中，所述一个或多个存储器中的存储器介质它包括从呈单体、低聚体或聚合体、无机或有机含碳材料形式的分子材料或者这些材料的并置物或混合物中选出的材料。这方面，存储器介质最好包括能在存储器单元中提供非线性电流/电压特征的存储器材料，所述非线性电流/电压特征是由无机或有机二极管或阈值可转换的材料产生的。

10 在本发明设备的另一个最佳实施例中，所述存储器介质包括可转换的材料，这种材料是一种非易失材料，它分别被选定为铁电材料或电荷转换有机复合体，或者，所述存储器介质可以是可转换的并具有非线性电流/电压特征。

最佳的是，依照本发明，所述电路包括无机和/或有机半导体材料。

15 在本发明设备的一个最佳实施例中，所述一个或多个薄膜器件中的接口区设置成包括在该器件的边缘部分内，所述边缘部分在有多个器件的情况下是相互对齐的。在这方面，边缘部分中的接口区最好还包括用于相应薄膜器件或有选择地用于所述设备整体的 I/O 接口并且能实现用于与外部和/或外围设备作数据和信号通讯的功能。

20 最佳的是，在本发明的设备中，薄膜器件或这些器件的叠置结构可以设置在基层上，所述基层包括用于实现前述设备中其它控制、驱动和通讯功能的有源电路，每个薄膜器件均在一独立的接口区上与一电路相连，所述独立接口在每种情况下都垂直地穿过位于上述薄膜器件与基层之间的那些薄膜器件。这方面，所述基层最好包括一接口部分，该接口部分在所述基层上基本上水平地延伸并平行于且相邻于设置在
25 在上方的薄膜器件，所述接口部分与薄膜器件或设置在基层上方的薄膜器件中的接口部分作电连接，并且，特别是，所述接口部分最好还包括用于所述整个设备的 I/O 接口，该 I/O 接口可实现与外部和/或外围设备作数据和信号通讯的功能。

30 最佳的是，所述基层是用半导体材料具体是用无机单晶体半导体材料更具体说是用硅这种单晶体半导体材料制成的，这方面，具体地说，所述基层上的电路最好是用 CMOS 技术实现的。这方面，所述基层

上的电路与接口部分之间的或如上设置的薄膜器件中的接口区的接口部分上的电连接被实现为 CMOS 兼容的金属互连。

5 在本发明设备的一个最佳实施例中，所述设备包括两个或多个薄膜器件，这些薄膜器件是共延的并且设置成在叠置结构内相互对齐。这方面，一个或多个分隔层最好在相邻的薄膜器件之间设置成层状并分别以独立的方式或以有选择的组合的方式实现电、热、光或机械隔离功能或平面化功能，相应薄膜器件中所述的接口区在各种情况下都在相应的分隔层的通路上作电连接。

10 在本发明设备的另一个最佳实施例中，所述设备包括两个或多个薄膜器件，这些薄膜器件设置或在叠置结构中相互交错。

最佳的是，所述薄膜器件之间和/或可选基层之间的电连接设置成在交错叠置体中的阶梯上水平延伸和垂直延伸。

15 最佳的是，一个或多个分隔层最好在相邻的薄膜器件之间设置成层状并分别以独立的方式或以有选择的组合的方式实现电、热、光或机械隔离功能或平面化功能，所述分隔层仅设置在两个相邻的薄膜器件的重叠部分上，相应薄膜器件的接口区设置在其交错区的薄膜器件的外露表面部分的上方，因此，薄膜器件之间的分隔层在没有用于独立薄膜器件之间电连接的通路的情况下构成了不折断的层。

20 最后，本发明的设备可最佳地设置在一载体基层上，该基层由箔状材料或诸如硅之类的刚性材料构成，所述的载体基层在各种情况下都设置成与叠置结构中的最下部薄膜器件相邻或者有选择地配备带有电路的基层。

以下参照示例性实施例和附图详细说明可伸缩的数据处理设备具体说是本发明的数据存储设备，在附图中：

25 图 1a 示出了本发明设备中使用的薄膜器件的平面图；

图 1b 示出了沿 A-A 线经过图 1a 的薄膜器件的第一实施例的剖面；

图 1c 示出了沿 A-A 线经过图 1a 的薄膜器件的第二实施例的剖面；

图 2a 示出了本发明设备中使用的薄膜器件的第三实施例的平面图；

30 图 2b 示出了沿 B-B 线经过图 2a 的薄膜器件的剖面；

图 3a 示出了本发明设备中使用的薄膜器件的第四实施例的平面图；

图 3b 示出了沿 C-C 线经过图 3a 的薄膜器件的剖面;

图 3c 示出了沿 D-D 线经过图 3a 的薄膜器件的另一个剖面;

图 4 概略且以透视的方式示出了图 1-3 之一的薄膜器件中所使用的矩阵式可寻址存储器的一个实施例;

5 图 5a 是图 4 中与图 1-3 之一所示的薄膜器件中的有源电路相连的矩阵式可寻址存储器的平面图;

图 5b 示出了沿 E-E 线经过图 5a 的存储器概略剖面;

图 6a 示出了本发明设备的第一实施例;

图 6b 示出了本发明设备的第二实施例;

10 图 6c 示出了本发明设备的第三实施例;

图 7 示出了本发明设备的第四实施例;

图 8a 和 8b 示出了本发明设备的第五实施例的变化形式;

图 9 概略地示出了用薄膜技术将子层加进本发明使用的薄膜器件以及将多个这种薄膜器件加进本发明的设备; 以及

15 图 10 概略地示出了本发明设备的主要组件是分解了的最佳实施例。

本发明的主要目的是提供一种数据存储器, 所以, 本发明的设备在以下被认为是实现了一存储器并被称为“设备”。本发明的基础是, 按相邻且基本平行的叠置层的形式来实现所述的设备, 这些叠置层中的每一个都被形成为一薄膜器件, 该薄膜器件由多个有特定不同功能且可用不同材料制成的薄膜子层构成。

20 图 1a 中以平面图的方式示出了本发明中所使用的薄膜器件 1。薄膜器件 1 被分别组织在电路区 2、存储器区 3 和接口区 4 内。在图 1b 内, 示出了沿 A-A 线经过图 1c 的薄膜器件的剖面。示出了包含有用薄膜技术实现的存储器 3' 的存储器区 3 设置在电路区 2 内, 电路区 2 包含有基于薄膜的电路, 它用于实现对存储器的控制、通讯和寻址功能。根据存储器类型的不同, 所述寻址功能例如包括在存储器中进行写、读和删除以及在接口区 4 上与存储器相通讯。图 1c 示出了沿 A-A 线经过图 1c 的薄膜器件的剖面, 但是, 在图 1b 以外的另一个实施例中, 示出了存储器区 3 在电路区 2 内带有重直叠置但被电绝缘层 5 隔离的薄膜存储器 3'。这方面, 应该认识到, 正如以下将详细地说明的那样, 每个独立的存储器 3' 当然也由多个独立的子层构成, 而且,

经过接口区 4 的未具体示出的电路区 2 中的电路不仅用于对独立薄膜器件中的存储器进行控制和寻址，而且用于与以相邻方式设置的薄膜器件 1 中的相应电路及其它存储器进行通讯。

正是在这种情况下，每个独立的薄膜器件 1 均由众多数量的子层一般例如数十个子层构成，而独立存储器 3' 不需要包括四至五个以上的子层，这就允许如图 1c 所示那样垂直地或者如在图 2a 的平面图和在沿图 2a 的 B-B 线的呈剖面形式的图 2b 所示的另一个最佳实施例中叠置起多个存储器。薄膜器件 1 中的独立存储器 3' 也设置成叠置的，但是相交错的。在图 2a 和 2b 中，示出了具有四个存储器 3' 且由电绝缘层 5 相互隔离的四个存储器叠置体。仅用标号 3' 来分别表示各叠置体中的最下部和最上部存储器。

图 3a 中示出了本发明所使用的薄膜器件 1 的另一个实施例，它基本上对应于图 2a 中的实施例并具有由交错的存储器形成的存储器叠置体，但这种叠置体是沿对角线出现的，如在图 3a 的平面图、图 3b 中沿图 3a 的 C-C 线的剖面 and 图 3c 中的中沿图 3a 的 D-D 线的剖面所示。就更好地利用电路区 2 中的实际区域，分别在图 2a 和图 3a 中所示的叠置体中的存储器结构是最佳的，而交错则可以简化存储器与电路区 2 中的电路之间的互连。当然，应该认识到，电路区 2 中的存储器区 3 内的存储器 3' 的相互结构基本上不限于某种特定的几何形状，而是可在薄膜器件 1 的实施例和构成因素给出的边界内有所变化。

图 4 概略地示出了基本上是无源的矩阵式可寻址存储器 3' 的实施例。例如在 PCT/N098/00185 中公开了这种存储器，该专利属于本申请人，本文引用了该专利。在图 4 中，存储器介质 6 设置在相应的由平行条状电极 7 构成的基底电极组与由平行条状电极 8 构成的覆盖电极组之间。通过将电压分别加载于基底与覆盖电极 7、8，可在存储器介质 6 中位于电极间交叉处获得状态变化，这种变化例如可用存储器介质中的阻抗的变化来表示。存储器介质 6 本身最好由分子材料或含碳的无机或有机材料制成。通常，存储器介质应该有非线性的阻抗特征，并且，通过对形成在基底电极 7 与覆盖电极 8 之间交叉处的未示出存储器单元进行寻址，能阻止产生所谓的流向存储器矩阵中其它存储器的潜行电流。通过提供有整流性质的存储器介质最好是通过包括构成二极管结的层或通过本身用电极材料自然形成二极管结的存储器

介质 6 来实现这一点。

如果存储器材料 6 是聚合物, 则其信息存储能力取决于它在加载了电流或电压下的阻抗值的变化以及在断掉电流或电压后保持这种变化的阻抗。所述存储器还可以是可转换的材料, 例如是呈聚合物形式的铁电材料, 这些材料的极化状态可表示确定的逻辑状态, 或者, 所述存储器可以是诸如 M (TCNQ) 之类的电荷传递金属有机复合体。一般地说, 在本技术中, 周知有可用于矩阵式可寻址存储器的多种不同存储器材料, 并且, 在这方面例如涉及到上述文件 PCT/N098/00185。在图 4 中, 存储器设置在一中间结构内, 但是, 这并不是必要条件, 而是完全可能使用其它的电极结构, 例如使用如属于本发明申请人的 PCT/N098/00185 所公开的桥结构, 其中, 基底电极 7 与覆盖电极 8 在交叉处相互绝缘, 并且, 存储器材料 6 设置在电极上, 当然, 在这种情况下, 需要存储器材料必须具有确保其信息存储容量的性质。一般地说, 这种情况下的存储器材料可以是共扼聚合物。

图 5a 的平面图中概略地示出了存储器 3' 与电路区 2 中电路 9 之间的互连。矩阵中的各个电极 6、7 通过字和位线路 10 与电路 9 相连。在沿图 5a 的 E-E 线的剖面中, 图 5a 中形成为薄膜器件 1 中的子层 S1-S8 的结构会表现为如图 5b 所示, 在图 5b 中, 示出了两个叠置的存储器 3' 1、3' 2 以及整个都用薄膜技术实现的电路 9。具体地说, 可以看出, 用于存储器 3' 的电流路径和导体路径即基底和覆盖电极 7、8 以及将这些电极连接于电路 9 的线路 10 基本上都设置在同一子层上例如 S2、S4、S6 或 S8 上, 可按目地更容易地产生呈一个或同一子层上的导电结构形式的这种电流路径和导体路径。

图 6a 示出了如果将多个薄膜器件 1 在本例中为三个薄膜器件加进叠置结构。如以前一样, 用标号 2 表示电路区, 用标号 3 表示存储器区, 并且, 在图中示出了相互对齐, 但这并不是必要条件。接口区 4 设置在电路区的侧面并相应地对齐, 薄膜器件 1 之间的电连接用箭头 4' 来概略地表示并且垂直穿过接口区 4。此外, 接口区 4 可带有 I/O 接口 12, 接口 12 将薄膜器件 1 与未示出的用于输入和输出数据的外部设备或外围设备连接起来。

图 6b 示出了处于叠置结构的薄膜器件 1, 该器件设置在带有有源电路 14 的基层 13 上。这种基层是用无机半导体材料例如硅或硅的异

形体来实现的, 并且, 所述有源电路例如是用 CMOS 技术来实现的。基层 13 中的有源电路 14 用于在对薄膜器件中的存储器进行管理时的控制和通讯任务并可与薄膜器 1 的电路区 2 中的薄膜电路相配合, 这就会为存储器在薄膜器件 1 中留出更多的空间, 因为, 电路区 2 中的薄膜电路在这种情况下被限于为保持对存储器进行有效的控制和驱动所必需的, 而例如对存储器的数据输入和输出和校错、存储器再映射等处理任务则可由用基层内的有源电路 14 加以实现的处理器来处理。叠置薄膜器件中的接口区 4 内的垂直互连 4' 与基层 13 上的接口部分 15 相通连, 可例如用形成在接口部分 15 中的金属通路来提供经过上述接口部分的且位于电路 14 与垂直互连 4' 之间的电连接, 但是如果在基层上设置了 CMOS 电路, 则以上需在 CMOS 兼容的处理过程中进行。I/O 接口 12 设置成与基层的接口 15 相连, 而不是将 I/O 接口形成在叠置薄膜器件中的接口区 4 内。

图 6c 中示出了本发明设备的另一个实施例。如前所述, 薄膜器件按叠置结构设置在基层 13 上, 但是, 设置独立的接口区 4 以便在薄膜器 1 之间和在薄膜器 1 与基层 13 的接口 15 之间形成垂直的互连, 而不是将薄膜器件 1 的接口区 4 设置在边缘部分。这会有助于独立薄膜器件中的在拓扑学上被看作是最佳的结构并减少对水平电流路径的需要。

在图 6c 的实施例中的一个变化形式中, 可如图 7 所示那样实现所述设备。分隔层 16 设置在各薄膜器 1 之间, 例如从 NO 专利申请书 980781 中周知有所述分隔层, 所述申请书属于本申请人, 本文引用了该申请书, 这些分隔层可独立地或者以有选择的组合方式实现例如电、热、光或机械隔离功能。在叠置的结构中, 这些分隔层还可用作极化层。但是, 当如图 7 所示那样设置薄膜器件 1 中的接口区 4 时, 先决条件是这些接口区要穿过隔离层 16, 并且, 这一点必须通过在隔离层中例如呈通路形式的互连来做到, 就隔离功能而言, 有些事情是有害的并还会导致成本有所增加的生产步骤。避免这一点的一种方式如前所述那样在叠置结构中设置相交错的薄膜器件 1。

图 8a 示出了一个实施例, 其中, 薄膜器件设置在基层 13 上并被分隔层 16 所相互分隔, 但是, 接口区 4 设置在基层 13 的接口 15 之间且设置在薄膜器件的一侧的外露阶梯上。分别用水平和垂直的互连 4'

来概略地指示薄膜器件 1 之间或薄膜器件与基层 15 之间的互连。

5 在图 8a 的实施例中，在叠置结构的相反一侧将一未示出的载体基层设置成与薄膜器件 1 相邻。在生产过程中，薄膜器件 1 的结构相对未示出的载体基层向上，此后，如在生产过程中的最后步骤那样，将带有有源电路 14 的基层 13 设置在叠置结构的顶部。这就意味着，在前一生产步骤中设置薄膜器件 1 之后来实现接口区 4 上的互连以及与接口部分 15 的互连，就形成这种互连的成本和简单性而言，某些事情在多数情况下是最佳的。

10 图 8b 示出与图 8a 大致对应的实施例，其中薄膜器件 1 设置成由分隔层 16 相互分隔并且设置成在叠置结构中相交错，因此，最靠近基层 13 的薄膜器件 1 不会盖住整个结构，但会构成直至基层表面的阶梯。接口区 4 可设置在叠置结构中阶梯部的上方，薄膜器件 1 之间或薄膜器件与基层 13 中的接口 15 之间的互连在叠置结构中的阶梯上水平且垂直地延伸。

15 图 9 相当概略地示出了各独立的薄膜器件 1_1 、 1_2 、 1_3 是如何由多个子层这里显示为四层 S1-S4 构成的。可通过转换子层 s 中的薄膜材料将水平的相互电连接形成为这一子层 S 中的整体部分，并且，可通过使导电材料位于薄膜中的部分对齐而相应地形成经过子层 s 的垂直导电互连。在特定的条件下，可在已形成的薄膜叠置体中的原位处形成这种导电或半导体结构，或者，可在各个独立层 S 中独立地形成上述结构，然后将各独立的层层压进或以别的方式加进构成薄膜器件 1 的叠置体中。在属于本申请人的 PCT/N099/00023 中，说明了一种通过幅射例如光幅射或粒子幅射在原位形成水平和垂直导电结构以便在叠置的薄膜器件中形成三维导电或半导体结构的方法，本文引用了上述
20 专利。但是，也可用通过特殊发生器/调制器而作用于独立子层 s 的电场来形成上述结构，属于本申请人的 PCT/N099/00022 说明了这种情况，本文引用了该专利。

30 图 10 以分解的方式示出了本发明设备的主要组件，在图 10 中，所述设备带有三个薄膜器件 1_1 、 1_2 、 1_3 以及设置在薄膜器件的边缘部的接口区 4。示出了图 10 的设备使用了基层 13，该基层包括未示出的有源电路和接口 15 并构成了用于整个设备的 I/O 接口 12。但是，在本发明设备中使用这种基层 13 并不是先决条件，薄膜器件 1 的叠置结

构也可以仅设置在无源载体基层上,该基层例如由箔状材料或诸如硅之类的刚性材料构成。

图 10 的实施例具有与上述国际专利申请书 PCT/N098/00185 所示相应实施例相类似的特征。在上述专利申请书中,详细地公开了矩阵式可寻址存储器装置,该装置适用于本发明的设备,并且,还公开了如何在叠置的薄膜层中用三维拓扑结构来实现电路。这种电路例如涉及到二极管、三极管、互补三极管电路和用薄膜技术实现的逻辑门、这里未作详细说明的某些内容。应该认识到,独立薄膜器件中的存储器可配置成多种处理器类型中的一种或多种即 RAM、ROM、WORM、ERASABLE 或 REWRITEABLE 或者这些存储器的组合。在上述专利申请书中也详细地公开了这一点,所以本文不再作进一步的说明。

本发明设备中的各薄膜器件 1 可在加进叠置结构之前构建在专有分隔层 16 上。薄膜器件 1 中的独立子层可具有 $1\mu\text{m}$ 以下的厚度例如低至 $0.1\mu\text{m}$,这意味着设置在载体基层或对应于分隔层 16 的基层上的薄膜器件 1 连同独立子层构成了厚度例如为 $20\mu\text{m}$ 的组件并且在这种情况下包括 100 个子层以上,这足以能用薄膜技术来实现较为复杂的电路并同时使得数十个独立存储器 3' 叠置进各存储器区 3。就 $1\mu\text{m}^2$ 的存储器单元而言, 1cm^2 的单个存储器可包括 10^8 个这种类型的存储器,从而能存储至少 10^8 位。信用卡大小的薄膜器件例如包括 40 个这种独立存储器,从而能存储 0.5GB。当例如可实现为厚度为 3mm 的类似 PCMCIA 的卡的设备包括 100 个叠置薄膜器件时,可以看出,所述设备可在所述构成要素给定的条件下存储 50GB。通过更好地利用各薄膜器件的实际区域即增加存储器区 3 的尺寸且通过减少独立存储器单元的尺寸,可获得更多的存储容量。因为,至少下降至 $0.25\mu\text{m} \times 0.25\mu\text{m}$ 的尺寸是合理的。在这种情况下,存储容量可直接增加至 800GB,可以看出,按上述方式实现的本发明设备可实现海量存储器或硬盘替代物,它可在当今大多数个人计算机或工作站中使用。

在遵循给定数据存储密度的情况下,可以看出,总数据存储密度由上述构成因素即所述设备的面积和厚度给出。可用足够数量的薄膜器件来实现理论上和实践上对设计存储容量的伸缩。在被集成进例如 PCMCIA 卡 3 中的情况下,本发明的设备可代替卡内的通常硬盘存储器。在给定标准不对尺寸有限制时,本发明设备能在例如个人计算机中代

替现有的硬盘解决方案并能以适当伸缩的方式提供 TB 级的海量存储容量。

5 最后，应该指出，即使以平面叠置结构实现了本发明的设备，但也可以想到，所述叠置结构可形成有不同的几何形状。由于薄膜是用挠性材料制成的，并且，如果未使用带有有源电路并以无机半导体为基础的基层而例如仅是呈箔状材料形式的挠性载体基层，那么，可以想到，如果就上述目的而言是最佳的，则整个设备例如可卷成一柱形或管状结构。在任何情况下都很明显，用挠性材料实现的本发明设备可包括在其它对象内，其中，对平面度或硬度的要求不再是不可避免的，从而所述设备可用于在与通常计算机技术范围内完全不同的情况下实现应用。

10

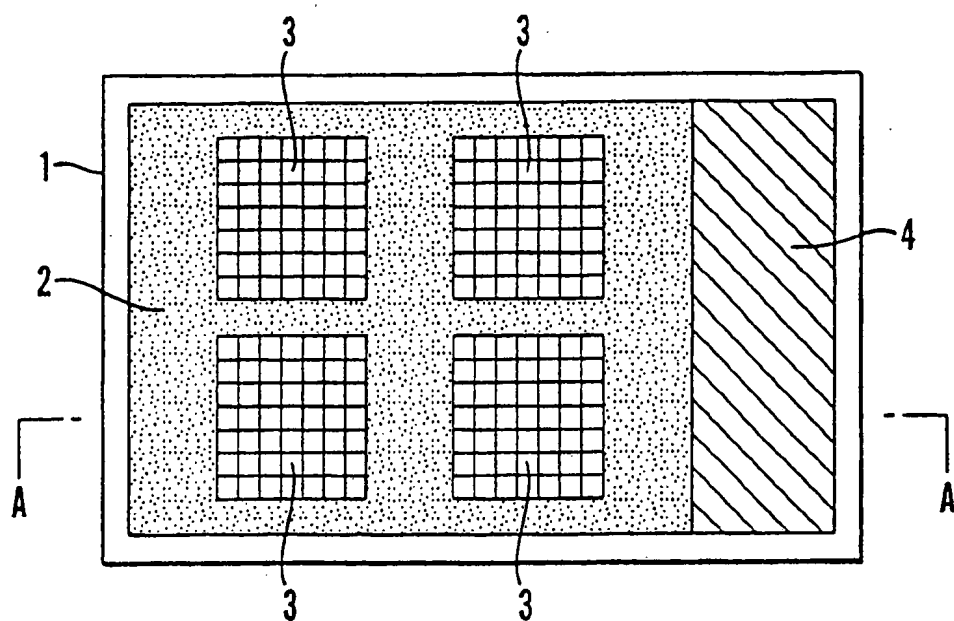


图 1a

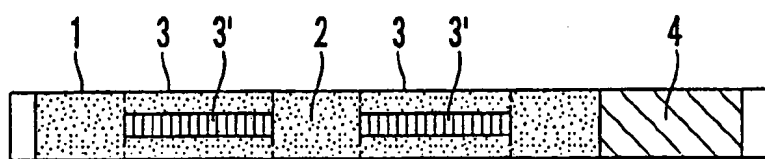


图 1b

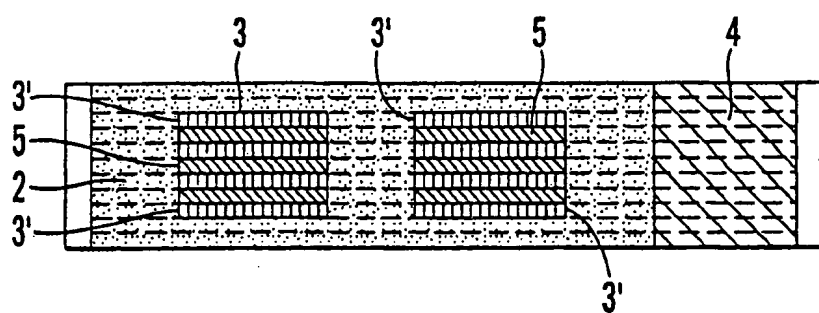


图 1c

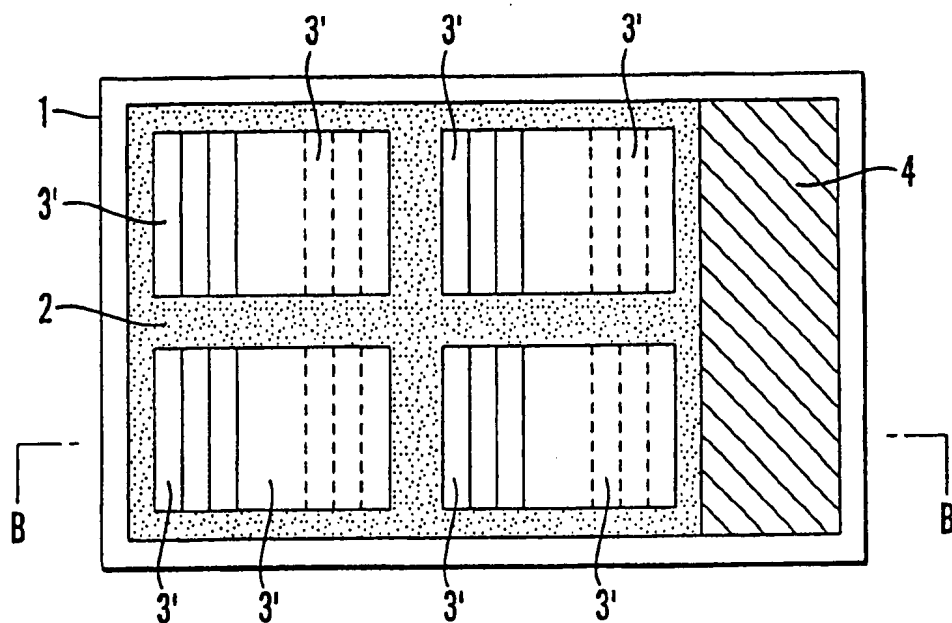


图 2a

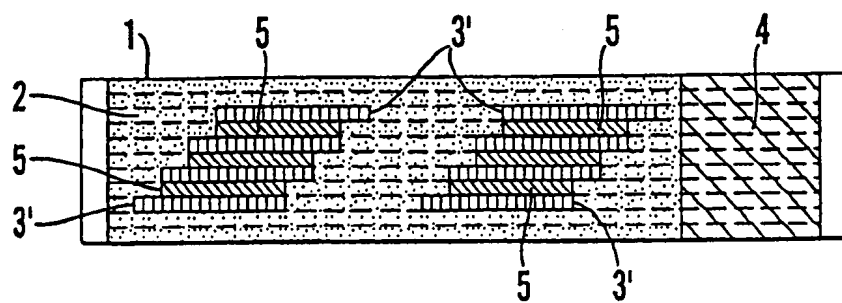


图 2b

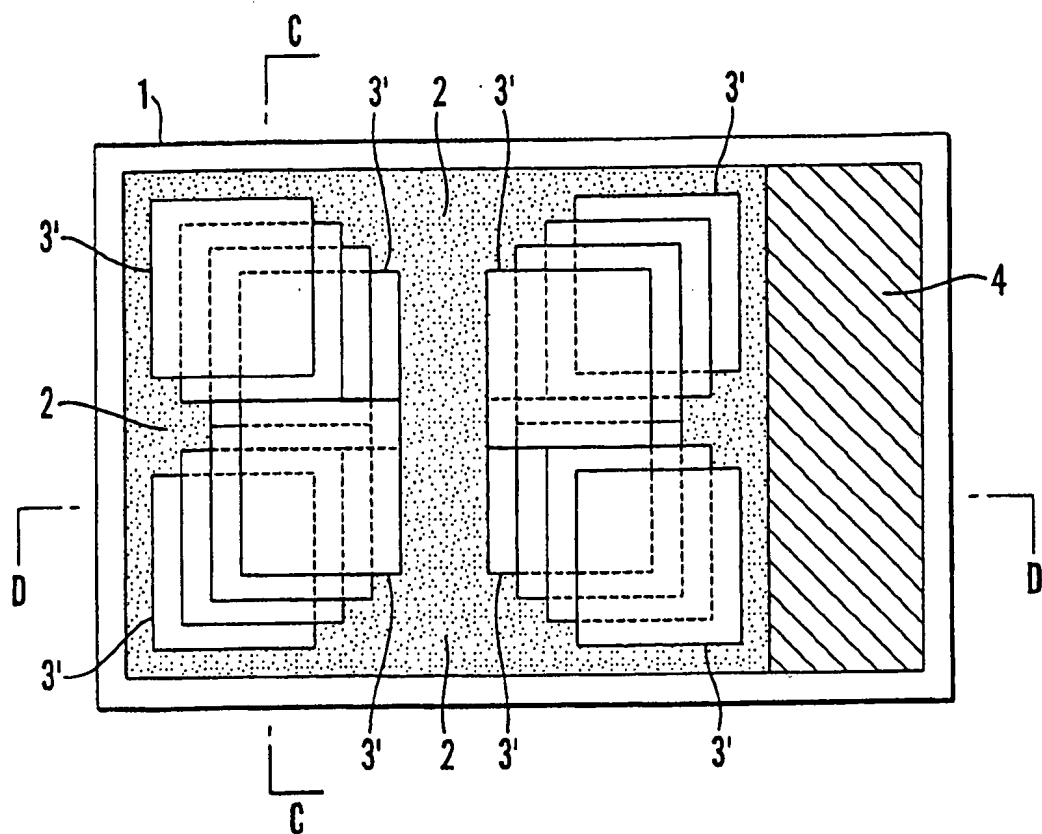


图 3a

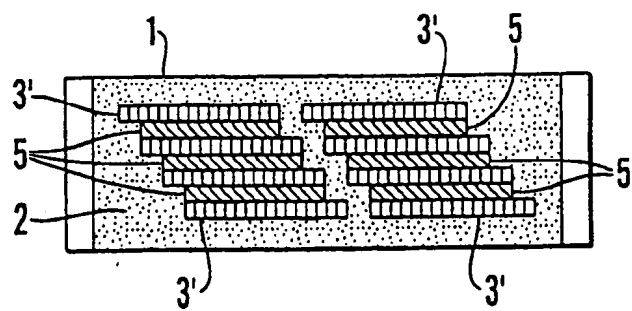


图 3b

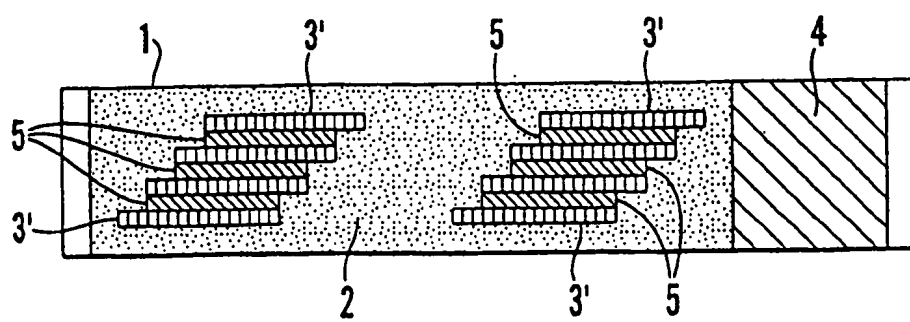


图 3c

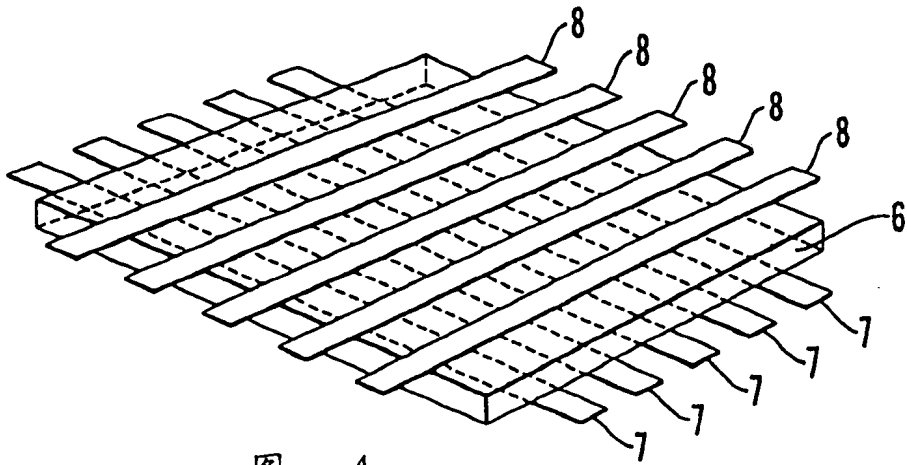


图 4

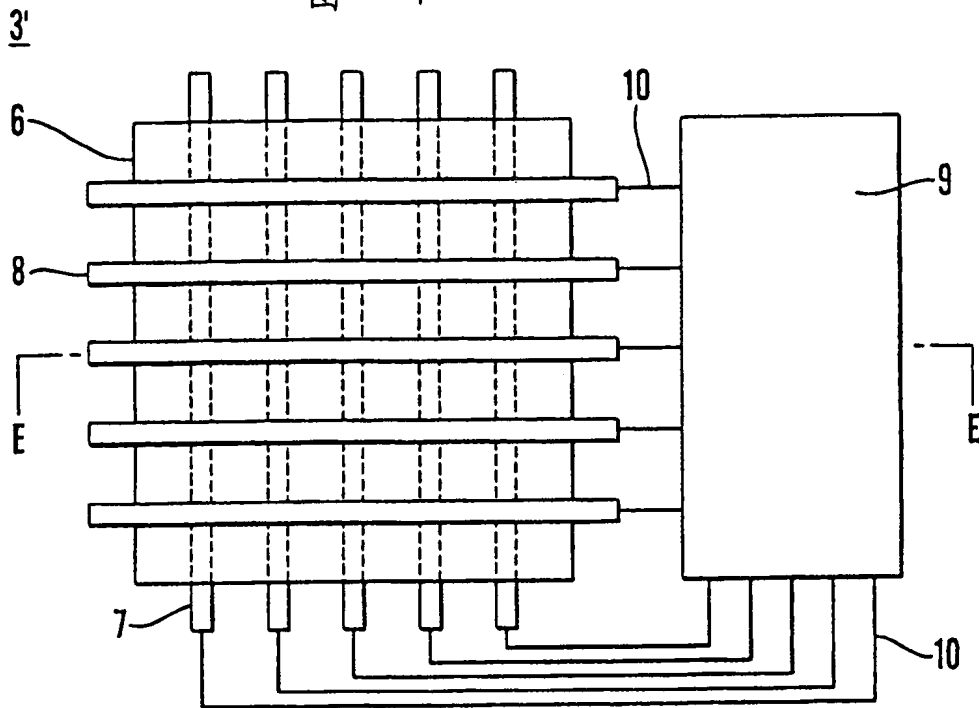


图 5a

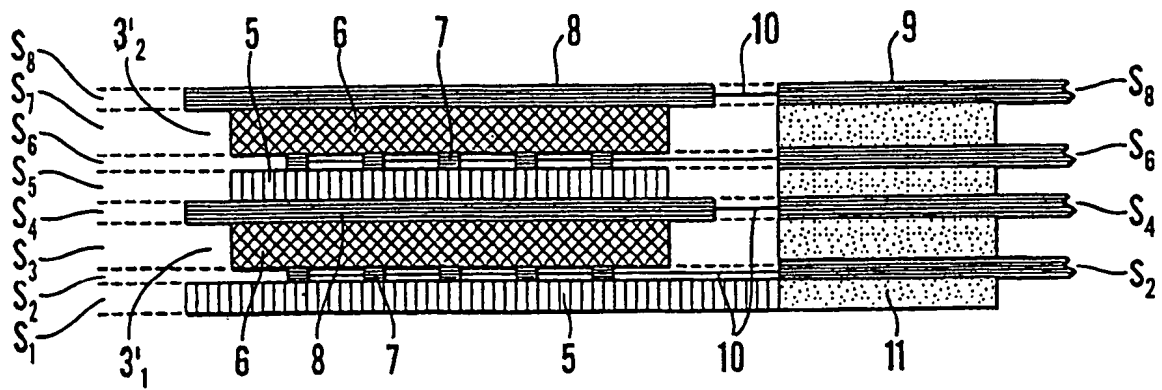
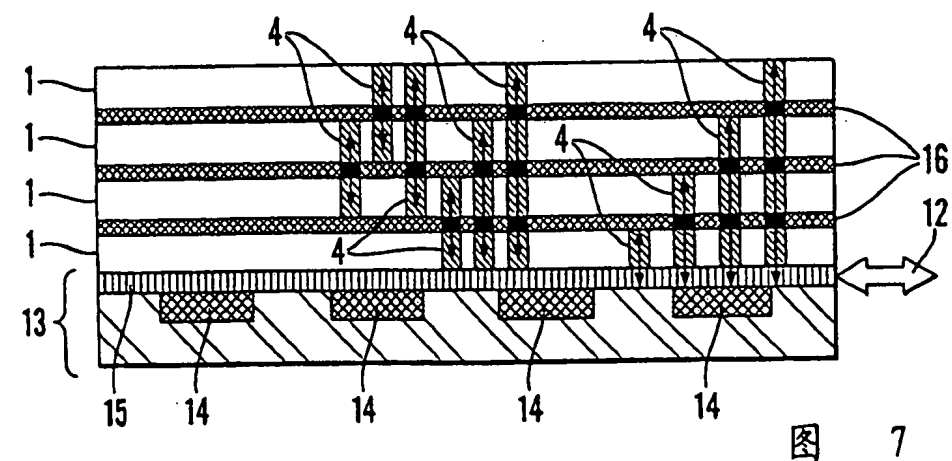
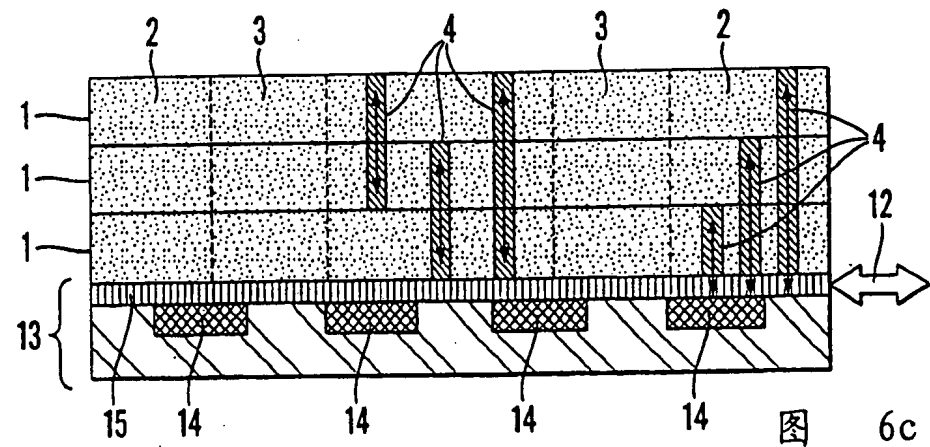
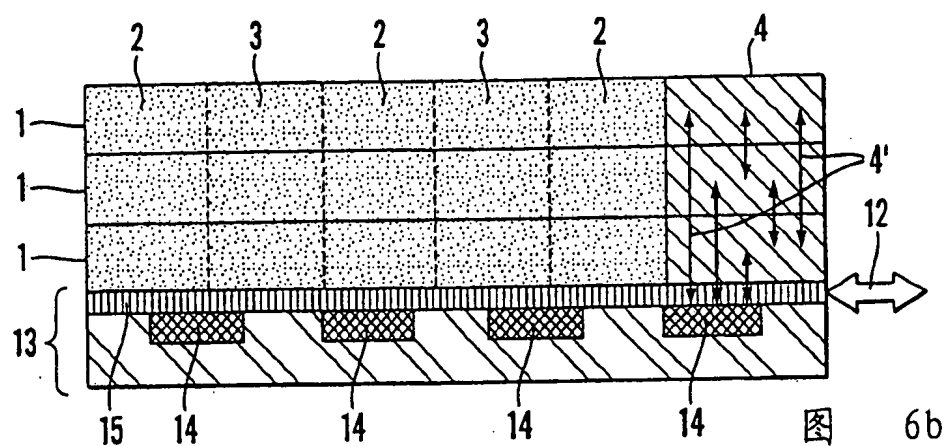
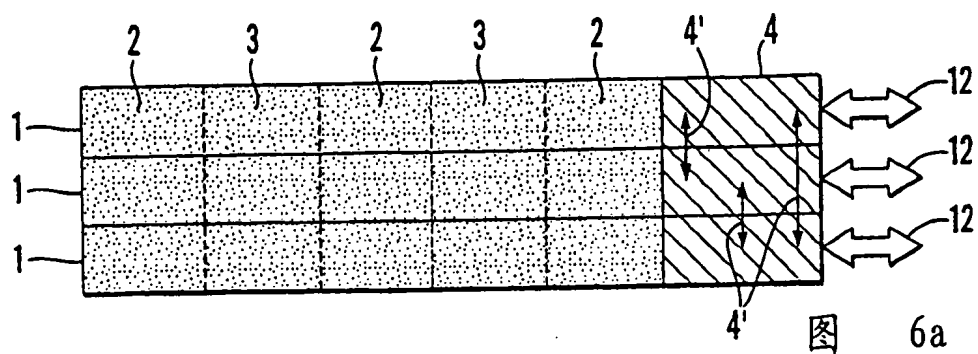


图 5b



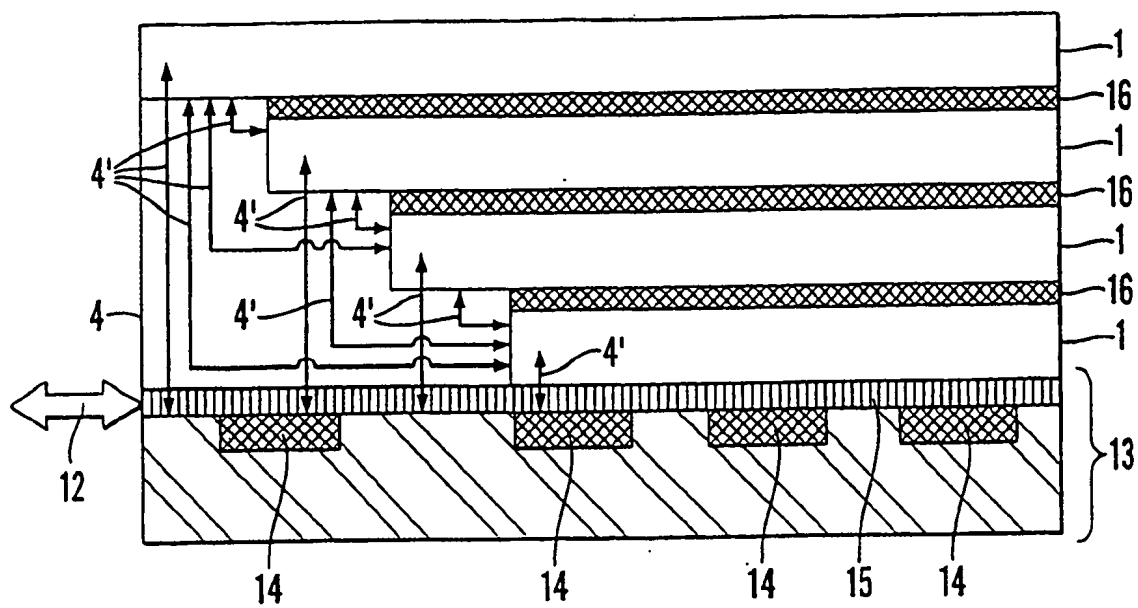


图 8a

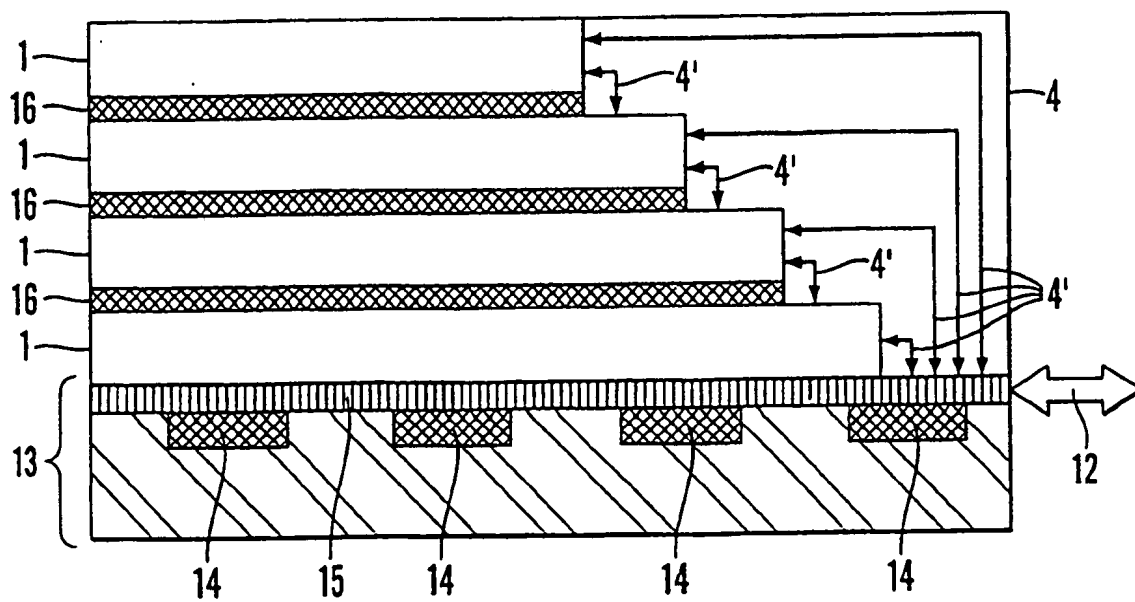


图 8b

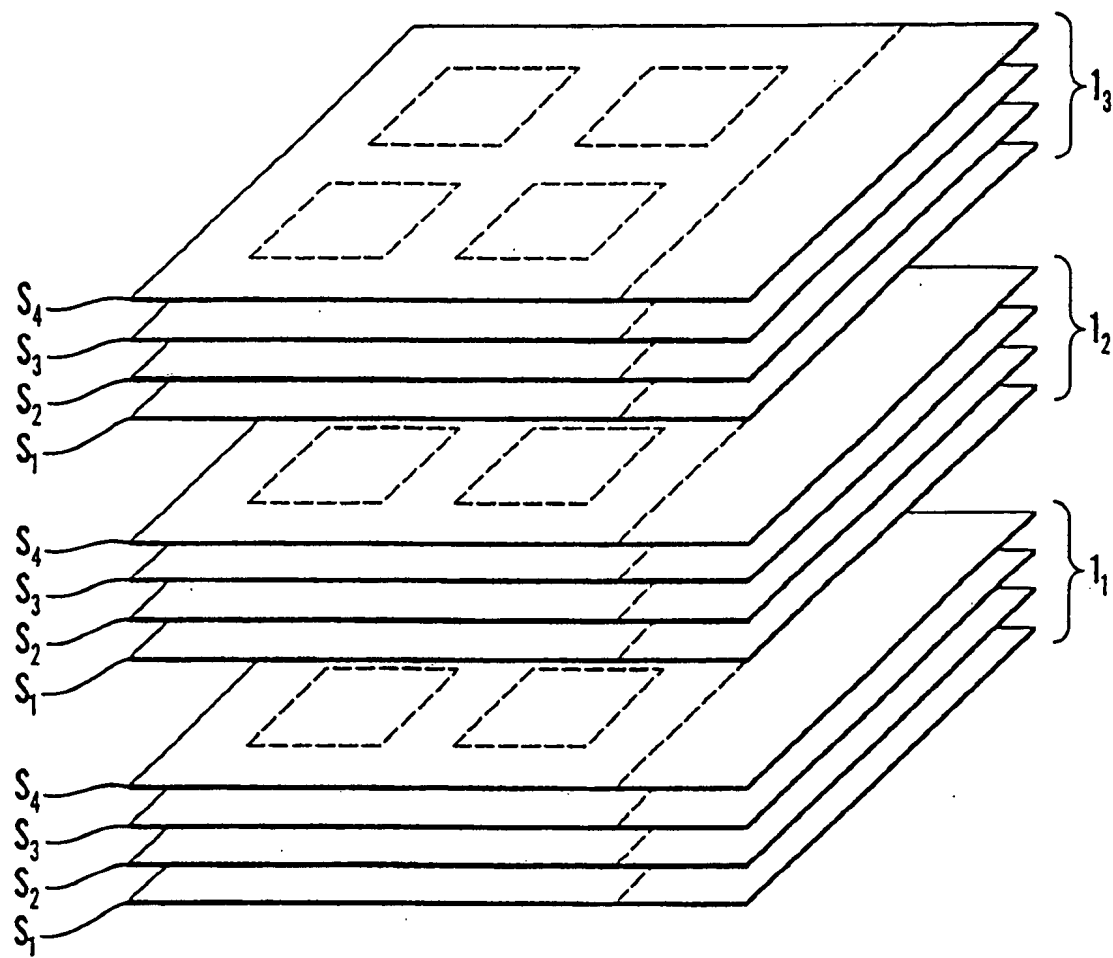


图 9

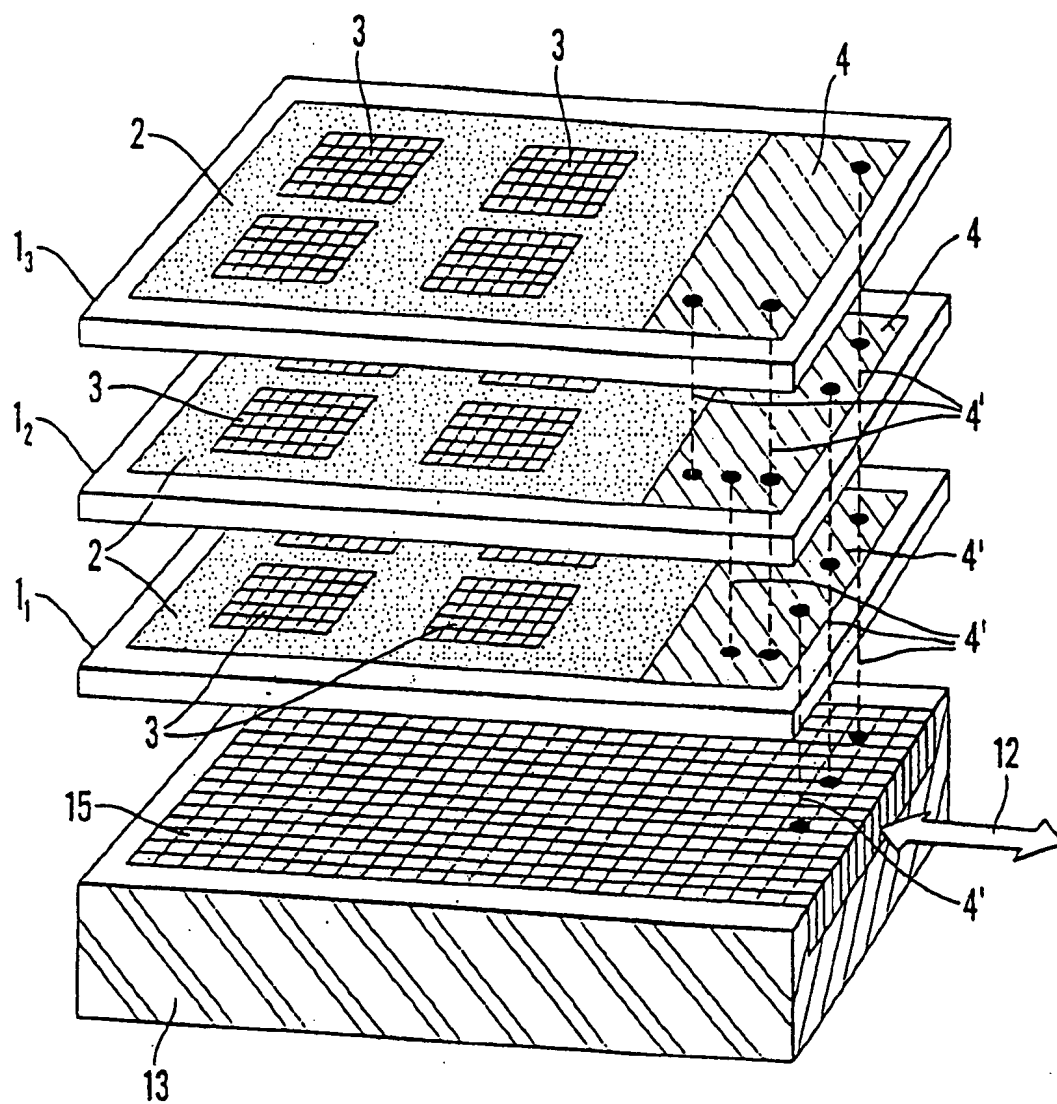


图 10