(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年4月25日(25.04.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/084865 A1

(51) 国際特許分類:
H01L 27/146 (2006.01)

(21) 国際出願番号： PCT/JP2023/033323

(22) 国際出願日： 2023年9月13日(13.09.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-167873 2022年10月19日(19.10.2022) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

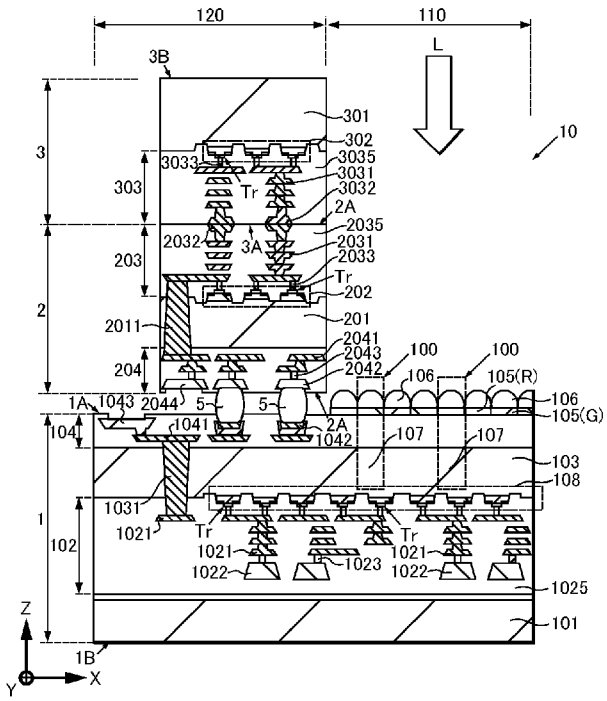
(72) 発明者: 野中 康弘 (**NONAKA, Yasuhiro**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 秋山 健太郎(**AKIYAMA, Kentaro**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 小野 俊明 (**ONO, Toshiaki**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所 (**TSUBASA PATENT PROFESSIONAL CORPORATION**); 〒1600022 東京都新宿区新宿１丁目１５番９号さわだビル３階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置



(57) **Abstract:** A semiconductor device comprising: a first semiconductor element having, in one surface thereof, a pixel region in which a plurality of pixels have been disposed; a second semiconductor element mounted on said surface in an area outside the pixel region and having a first circuit electrically connected to the pixels; and a third semiconductor element mounted on the reverse side of the second semiconductor element from the first semiconductor element and having a second circuit electrically connected to the pixels.

(57) 要約：半導体装置は、一表面に画素が複数配設された画素領域を有する第１半導体素子と、一表面の画素領域とは異なる領域に実装され、画素に電気的に接続された第１回路を有する第２半導体素子と、第２半導体素子の第１半導体素子とは反対側に実装され、画素に電気的に接続された第２回路を有する第３半導体素子とを備えている。

WO 2024/084865 A1

[続葉有]

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001]　本開示は、半導体装置に関する。

背景技術

[0002]　特許文献１には、表面型（表面照射型）の固体撮像装置としての半導体装置が開示されている。

この半導体装置では、半導体基板上にバンプ電極を介在させて半導体チップが接合されている。半導体基板上のバンプ電極が形成された領域以外の領域には、レンズ材が形成されている。レンズ材が形成された領域において、半導体基板には、光電変換素子が配列されている。半導体チップには、光電変換素子からの信号を処理する周辺回路等が形成されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１６－１６３０１１号公報

発明の概要

[0004]　上記特許文献１に開示された半導体装置では、光電変換素子が配列された受光領域の拡大に伴い、半導体基板上において半導体チップの実装面積を確保することが難しい傾向にある。このため、例えば、固体撮像装置を構築する半導体装置では、半導体チップの高実装密度化が望まれていた。

[0005]　本開示の第１実施態様に係る半導体装置は、一表面に画素が複数配設された画素領域を有する第１半導体素子と、一表面の画素領域とは異なる領域に実装され、画素に電気的に接続された第１回路を有する第２半導体素子と、第２半導体素子の第１半導体素子とは反対側に実装され、画素に電気的に接続された第２回路を有する第３半導体素子とを備えている。

[0006]　本開示の第２実施態様に係る半導体装置では、第１実施態様に係る半導体装置において、第２半導体素子の半導体基板の厚さは、第３半導体素子の同

一方向の半導体基板の厚さよりも薄い。

図面の簡単な説明

[0007] [図1]図１は、本開示の第１実施の形態に係る半導体装置の要部の縦断面構成図である。

[図2]図２は、図１に示される半導体装置の平面構成図である。

[図3]図３は、第１実施の形態に係る半導体装置の製造方法を工程毎に示す第１工程断面図である。

[図4]図４は、第２工程断面図である。

[図5]図５は、第３工程断面図である。

[図6]図６は、第４工程断面図である。

[図7]図７は、第５工程断面図である。

[図8]図８は、第６工程断面図である。

[図9]図９は、本開示の第２実施の形態に係る半導体装置の図１に対応する縦断面構成図である。

[図10]図１０は、図９に示される半導体装置の図２に対応する平面構成図である。

[図11]図１１は、本開示の第３実施の形態に係る半導体装置の図２に対応する平面構成図である。

[図12]図１２は、本開示の第４実施の形態に係る半導体装置の図１に対応する縦断面構成図である。

[図13]図１３は、図１２に示される半導体装置の図２に対応する平面構成図である。

[図14]図１４は、本開示の第５実施の形態に係る半導体装置の図２に対応する平面構成図である。

[図15]図１５は、本開示の第６実施の形態に係る半導体装置の図２に対応する平面構成図である。

[図16]図１６は、本開示の第７実施の形態に係る半導体装置の図１に対応する縦断面構成図である。

[図17]図１７は、本開示の第８実施の形態に係る半導体装置の図１に対応する縦断面構成図である。

[図18]図１８は、本開示の第９実施の形態に係る半導体装置の図１に対応する縦断面構成図である。

[図19]図１９は、本開示の第１０実施の形態に係る半導体装置のシステム構成図である。

[図20]図２０は、本開示の第１１実施の形態に係る半導体装置のシステム構成図である。

[図21]図２１は、本開示の第１２実施の形態に係る半導体装置の概略斜視図である。

[図22]図２２は、本開示の第１３実施の形態に係る半導体装置のシステム構成図である。

[図23]図２３は、図２２に示される半導体装置の図２１に対応する概略斜視図である。

[図24]図２４は、車両制御システムの概略的な構成の一例を示すブロック図である。

[図25]図２５は、車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0008] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

１．第１実施の形態

第１実施の形態は、半導体装置に、本技術を適用した第１例を説明する。第１実施の形態では、半導体装置は、裏面照射型固体撮像装置を構築している。また、第１実施の形態は、半導体装置の縦断面構成、平面構成及び製造方法について説明する。

２．第２実施の形態

第２実施の形態は、第１実施の形態に係る半導体装置において、半導体素

子の実装構造を変えた第２例を説明する。

３．第３実施の形態

第３実施の形態は、第２実施の形態に係る半導体装置において、半導体素子の実装レイアウトを変えた第３例を説明する。

４．第４実施の形態

第４実施の形態は、第２実施の形態に係る半導体装置において、半導体素子の実装構造を変えた第４例を説明する。

５．第５実施の形態

第５実施の形態は、第１実施の形態に係る半導体装置において、半導体素子の実装レイアウトを変えた第５例を説明する。

６．第６実施の形態

第６実施の形態は、第５実施の形態に係る半導体装置において、半導体素子の実装レイアウトを変えた第６例を説明する。

７．第７実施の形態

第７実施の形態は、第１実施の形態に係る半導体装置において、更に半導体素子を加えて第７例を説明する。

８．第８実施の形態

第８実施の形態は、第１実施の形態に係る半導体装置を、表面照射型固体撮像装置に適用した第８例を説明する。

９．第９実施の形態

第９実施の形態は、第１実施の形態に係る半導体装置において、半導体素子の実装構造を変えた第９例を説明する。

１０．第１０実施の形態

第１０実施の形態は、第２実施の形態に係る半導体装置において、最適なシステム構成を説明する。

１１．第１１実施の形態

第１１実施の形態は、第１０実施の形態に係る半導体装置において、システム構成の第１応用例を説明する。

１２．第１２実施の形態

第１２実施の形態は、第１０実施の形態に係る半導体装置において、システム構成の第２応用例を説明する。

１３．第１３実施の形態

第１３実施の形態は、第１０実施の形態に係る半導体装置において、システム構成の第３応用例を説明する。

１４．移動体への応用例

この応用例は、移動体制御システムの一例である車両制御システムに本技術を適用した例を説明する。

１５．その他の実施の形態

[0009] ＜１．第１実施の形態＞

図１～図８を用いて、本開示の第１実施の形態に係る半導体装置１０を説明する。

[0010] ここで、図中、適宜、示されている矢印Ｘ方向は、便宜的に平面上に載置された半導体装置１０の１つの平面方向を示している。矢印Ｙ方向は、矢印Ｘ方向に対して直交する他の１つの平面方向を示している。また、矢印Ｚ方向は、矢印Ｘ方向及び矢印Ｙ方向に対して直交する上方向を示している。つまり、矢印Ｘ方向、矢印Ｙ方向、矢印Ｚ方向は、丁度、三次元座標系のＸ軸方向、Ｙ軸方向、Ｚ軸方向に各々一致している。

なお、これらの各方向は、説明の理解を助けるために示されており、本技術の方向を限定するものではない。

[0011] ［半導体装置１０の構成］

（１）半導体装置１０の全体構成

図１は、第１実施の形態に係る半導体装置１０の縦断面構成の一例を表している。図２は、図１に示される半導体装置１０の平面構成の一例を表している。

図１及び図２に示されるように、第１実施の形態に係る半導体装置１０は、裏面照射型固体撮像装置を構築している。さらに詳細に説明すると、半導

体装置１０は、ＣＭＯＳ（Complementary Metal Oxide Semiconductor）イメージセンサとして構築されている。半導体装置１０は、第１半導体素子１と、第２半導体素子２と、第３半導体素子３とを主要な構成要素として備えている。

[0012]（２）第１半導体素子１の構成

図１及び図２に示されるように、第１半導体素子１は、矢印Ｚ方向側の表面１Ａに画素１００が複数配設された画素領域１１０を備えている。画素１００は、例えば矢印Ｘ方向及び矢印Ｙ方向に配列されている。ここで、表面１Ａとは、本技術に係る「第１半導体素子の一表面」に相当する。

[0013]（２－１）支持基板１０１及び半導体基板１０３の構成

詳しく説明すると、第１半導体素子１は、支持基板１０１と、半導体基板１０３とを備えている。

支持基板１０１は、例えば単結晶珪素（Ｓｉ）基板により形成されている。支持基板１０１の矢印Ｚ方向とは反対側は、表面１Ａに対向する第１半導体素子１の裏面１Ｂである。

半導体基板１０３は、支持基板１０１の矢印Ｚ方向側に積層されている。半導体基板１０３は、例えば単結晶Ｓｉ基板により形成されている。半導体基板１０３の厚さは、例えば２μｍ以上１３μｍ以下である。

符号は省略するが、半導体基板１０３は、支持基板１０１に絶縁体を介在させて積層されている。この絶縁体は、例えば窒化珪素（ＳｉＮ）膜により形成されている。

[0014] 支持基板１０１、半導体基板１０３のそれぞれは、図２に示されるように、矢印Ｚ方向から見て（以下、単に「平面視において」という。）、矩形状に形成され、かつ、同一の平面面積（平面サイズ）に形成されている。つまり、第１半導体素子１は、製造過程の半導体ウエハからダイシングによりダイ（Die）として加工された半導体チップとして形成されている。ここでは、第１半導体素子１の平面形状は、矢印Ｘ方向を長手方向とし、矢印Ｙ方向を短手方向とする長方形形状に形成されている。

ここで、本技術に係る「第１半導体素子１の厚さ方向から見て」とは、「矢印Ｚ方向から見た平面視において」に相当する。

[0015] （２－２）画素１００及び画素領域１１０の構成

図１及び図２に示されるように、画素領域１１０は、第１半導体素子１の表面１Ａの中央部に配設されている。画素領域１１０を構築する個々の画素１００は、少なくとも光電変換素子１０７を備えている。さらに、画素１００は、光学フィルタ１０５と、光学レンズ１０６とを備えている。

[0016] 詳細な構造は省略するが、図１に示されるように、光電変換素子１０７は、半導体基板１０３に配設されている。光電変換素子１０７は、矢印Ｚ方向から入射される入射光Ｌを電荷に変換する。ここでは、光電変換素子１０７は、例えばフォトダイオードにより形成されている。

[0017] 光学フィルタ１０５は、表面１Ａ側において、半導体基板１０３に絶縁体１０４を介在して配設されている。光学フィルタ１０５は、例えば、画素１００毎に色が異なる、合計３色のカラーフィルタを備えている。つまり、光学フィルタ１０５は、赤色光の帯域の光を透過させる赤色光フィルタ（Ｒ）と、緑色光の帯域の光を透過させる緑色光フィルタ（Ｇ）と、青色光の帯域の光を透過させる青色光フィルタ（図示省略）とを備えている。光学フィルタ１０５は、例えば、染料を含む樹脂材料により形成されている。

[0018] 光学レンズ１０６は、光学フィルタ１０５の光電変換素子１０７とは反対側に配設されている。表現を代えると、光学レンズ１０６は、光学フィルタ１０５の表面１Ａ側に配設されている。平面視での図示は省略するが、光学レンズ１０６は、画素１００毎に円形状に形成されている。また、光学レンズ１０６は、画素１００毎に矢印Ｙ方向に見て（以下、単に「側面視において」という。）、光入射側へ湾曲し、入射光Ｌを光電変換素子１０７において集光する湾曲形状に形成されている。

光学レンズ１０６は、いわゆるオンチップレンズとして形成され、画素１００毎に、又は複数の画素１００にわたって一体に形成されている。光学レンズ１０６は、例えば透明樹脂材料により形成されている。

[0019] （２－３）画素回路１０８の構成

図１に示されるように、１つの画素１００又は複数の画素１００に対して、図示省略の転送トランジスタを介在させて画素回路１０８が電気的に接続されている。

画素回路１０８の詳細な回路構成の図示、側面視においての縦断面構成の図示並びに説明は省略するが、画素回路１０８は、複数のトランジスタＴｒを含んで構成されている。例えば、画素回路１０８は、リセットトランジスタ、増幅トランジスタ、セレクトトランジスタ等に使用されるトランジスタＴｒを備えている。

転送トランジスタを含み、画素回路１０８を構成するトランジスタＴｒは、例えばｎチャネル導電型の絶縁ゲート電界効果トランジスタ（ＩＧＦＥＴ）により形成されている。画素回路１０８は、半導体基板１０３の支持基板１０１側の主面部に配設されている。

[0020] （２－４）配線層１０２の構成

半導体基板１０３の支持基板１０１側には、配線層１０２が配設されている。表現を代えると、配線層１０２は、丁度、半導体基板１０３と支持基板１０１との間に配設されている。

配線層１０２には、例えば画素回路１０８を構成する複数のトランジスタＴｒ間を結線する複数層の配線１０２１及び配線１０２２が形成されている。配線１０２１には、例えば銅（Ｃｕ）等の金属配線材料が使用されている。配線１０２２には、例えばアルミニウム（Ａｌ）－Ｃｕ合金等の金属配線材料が使用されている。また、配線１０２１と配線１０２２との接続には、プラグ配線１０２３が使用されている。プラグ配線１０２３には、例えばタングステン（Ｗ）又はＡｌ－Ｃｕ合金等の金属配線材料が使用されている。

簡略化されて示されているが、複数層の配線１０２１間、配線１０２１と配線１０２２との間等には、絶縁体１０２５が形成されている。絶縁体１０２５は、例えば酸化珪素（SiO_2）膜により形成されている。

[0021] （２－５）実装領域１２０の構成

図１及び図２に示されるように、第１半導体素子１の表面１Ａにおいて、中央部に配設された画素領域１１０の周囲を取り囲む周辺部には、実装領域１２０が配設されている。実装領域１２０には、第２半導体素子２及び第３半導体素子３が実装されている。

[0022] 詳しく説明する。実装領域１２０には、複数の端子１０４２が配設されている。端子１０４２は、絶縁体１０４の矢印Ｚ方向側の表面部分に配設されている。端子１０４２は、第２半導体素子２を機械的に接合し実装するとともに、第１半導体素子１の画素１００を第２半導体素子２の第１回路２０２に電気的に接続する外部端子として構成されている。また、端子１０４２は、更に画素１００と第３半導体素子３の第２回路３０２とを電気的に接続する外部端子として構成されている。

端子１０４２は、端子１０４２よりも半導体基板１０３側に配設された配線１０４１及び半導体基板１０３を厚さ方向に貫通する貫通配線１０３１を通して、配線層１０２の配線１０２１に電気的に接続されている。端子１０４２、配線１０４１、貫通配線１０３１は、例えばＣｕ等の金属配線材料により形成されている。

また、詳細な説明は省略するが、端子１０４２と配線１０４１との間には、絶縁体１０４が配設されている。この絶縁体１０４は、実装領域１２０において、層間絶縁膜として使用されている。絶縁体１０４は、例えばSiO_2膜により形成されている。

ここで、端子１０４２は、本技術に係る「第１端子」に相当する。

[0023] 実際には、画素１００は、画素回路１０８を通して、第２半導体素子２の第１回路２０２に電気的に接続されている。本技術に係る「画素に第１回路が電気的に接続される」とは、画素１００が画素回路１０８を介在させて第１回路２０２に間接的に電気的に接続されること、画素１００が直接的に第１回路２０２に電気的に接続されることの双方を含む意味において使用されている。

[0024] また、図１に示されるように、画素領域１１０の周囲であって、第１半導

体素子１の周縁に沿った領域には、検査用の端子１０４３が配設されている。端子１０４３は、例えば半導体装置１０の製造工程の途中、若しくは製造工程の終了後に実施される電気的特性検査に使用されている。検査において、端子１０４３には、検査プローブが接触する。

端子１０４３は、例えば配線層１０２の配線１０２２と同様の金属配線材料により形成されている。

[0025]（３）第２半導体素子２の構成

図１及び図２に示されるように、第２半導体素子２は、第１半導体素子１の表面１Ａ側において、実装領域１２０に実装されている。つまり、第２半導体素子２は、第１半導体素子１の画素領域１１０とは異なる領域に実装されている。

第２半導体素子２は、半導体基板２０１と、第１回路２０２とを備えている。

[0026]（３－１）半導体基板２０１の構成

半導体基板２０１は、第１半導体素子１の半導体基板１０３と同様に、例えば単結晶Ｓｉ基板により形成されている。ここで、半導体基板２０１の厚さは、第１半導体素子１の半導体基板１０３の厚さよりも薄く、かつ、後述する第３半導体素子３の半導体基板３０１よりも薄く形成されている。半導体基板２０１の厚さは、例えば１０μｍ以下である。ここでは、半導体基板２０１の厚さは、例えば１μｍ以上１０μｍ以下に設定されている。

[0027]（３－２）第１回路２０２の構成

図１に示されるように、第１回路２０２は、矢印Ｚ方向側（第３半導体素子３側）であって、半導体基板２０１の表面２Ａ側に配設されている。第１回路２０２は、画素領域１１０の画素１００に画素回路１０８を介在させて間接的に電気的に接続されている。

第１回路２０２は、裏面照射型固体撮像装置の周辺回路を構築する、例えば垂直駆動回路、カラム信号処理回路、水平駆動回路、出力回路及び制御回路から選択される１又は複数のロジック回路を備えている。第１回路２０２

は、画素回路１０８と同様に、トランジスタＴｒ、抵抗、容量等を含んで構築されている。なお、後述する第３半導体素子３に配設される第２回路３０２は、第１回路２０２と同様のロジック回路が分割されて、又は第１回路２０２において選択されていない他のロジック回路を備えている。

[0028] ロジック回路の回路構成の詳細な説明は省略するが、前述の制御回路は、入力クロックと、動作モード等を指令するデータとを受け取り、又固体撮像装置の内部情報等のデータを出力する。すなわち、制御回路は、垂直同期信号、水平同期信号及びマスタクロックに基づいて、垂直駆動回路、カラム信号処理回路及び水平駆動回路等の動作の基準となるクロック信号や制御信号を生成する。そして、これらの信号は、垂直駆動回路、カラム信号処理回路及び水平駆動回路等に入力される。

[0029] 垂直駆動回路は、例えばシフトレジスタにより構成されている。垂直駆動回路は、画素駆動配線を選択し、選択された画素駆動配線に画素１００を駆動するパルスを供給する。画素１００は、行単位において駆動される。すなわち、垂直駆動回路は、画素領域１１０の各画素１００を行単位において順次垂直方向に選択走査する。垂直信号線を通して各画素１００の光電変換素子１０７に入射光Ｌの受光量に応じて生成された信号電荷が、画素信号としてカラム信号処理回路に供給される。

[0030] カラム信号処理回路は、画素１００の例えば列毎に配置されている。カラム信号処理回路では、１行分の画素１００から出力される信号に対して、画素列毎にノイズ除去等の信号処理が行われる。すなわち、カラム信号処理回路は、画素１００に固有の固定パターンノイズを除去するＣＤＳ（Correlated Double Sampling）、信号増幅、ＡＤ（Analog Digital）変換等の信号処理を行う。カラム信号処理回路の出力段には、図示省略の水平選択スイッチが水平信号線との間に接続されている。

[0031] 水平駆動回路は、例えばシフトレジスタにより構成されている。水平駆動回路は、水平走査パルスを順次出力することにより、カラム信号処理回路の各々を順番に選択し、カラム信号処理回路の各々から画素信号を水平信号線

に出力する。

[0032] 出力回路は、カラム信号処理回路の各々から水平信号線を通して順次供給される信号に対して、信号処理を行って出力する。例えば、出力回路では、バッファリングだけを行う場合、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を行う場合がある。

また、ロジック回路は、図示省略の入出力端子を備えている。入出力端子は、裏面照射型固体撮像装置（半導体装置１０）とその外部との信号の遣り取りを行う。ここでは、図示が省略されているが、入出力端子は、端子１０４３と同一構造により形成され、第１半導体素子１の表面１Ａ側に配設されている。

[0033] （３－３）配線層２０３及び配線層２０４の構成

半導体基板２０１の表面２Ａ側には、配線層２０３が配設されている。配線層２０３には、ロジック回路間、ロジック回路と画素回路１０８との間等を結線する複数層の配線２０３１及び端子２０３２が形成されている。配線２０３１及び端子２０３２には、例えばＣｕ等の金属配線材料が使用されている。また、配線２０３１には、第１回路２０２のトランジスタＴｒに電気的に接続されるプラグ配線２０３３が形成されている。プラグ配線２０３３には、例えばW等の金属配線材料が使用されている。

[0034] 簡略化されて示されているが、複数層の配線２０３１間、配線２０３１と端子２０３２との間等には、絶縁体２０３５が形成されている。絶縁体２０３５は、例えばSiO_2膜により形成されている。

[0035] 端子２０３２の表面は、絶縁体２０３５から露出されている。この端子２０３２には、後述する第３半導体素子３の端子３０３２が接合されている。つまり、端子２０３２は、第３半導体素子３を実装するとともに、端子３０３２に電気的に接続されている。

ここで、端子２０３２は、本技術に係る「第３端子」に相当する。また、端子３０３２は、本技術に係る「第４端子」に相当する。

[0036] 一方、半導体基板２０１の裏面２Ｂ側には、配線層２０４が配設されてい

る。配線層２０４には、ロジック回路間、ロジック回路と画素回路１０８との間等を結線する複数層の配線２０４１及び端子２０４２が形成されている。配線２０４１には、例えばＣｕ等の金属配線材料が使用されている。また、端子２０４２には、例えばＡｌ－Ｃｕ合金等の金属配線材料が使用されている。また、端子２０４２は、プラグ配線２０４３を介在させて配線２０４１に電気的に接続されている。プラグ配線２０４３には、例えばW等の金属配線材料が使用されている。

ここで、端子２０４２は、本技術に係る「第２端子」に相当する。

[0037] さらに、第２半導体素子２の配線層２０４には、検査用の端子２０４４が配設されている。端子２０４４は、端子１０４３と同様に、例えば半導体装置１０の製造工程の途中、若しくは製造工程の終了後に電気的な検査に使用されている。

端子２０４４は、例えば配線層２０４の端子２０４２と同様の金属配線材料により形成されている。

[0038] 簡略化されて示されているが、複数層の配線２０４１間、配線２０４１と端子２０４２との間等には、絶縁体２０４５が形成されている。絶縁体２０４５は、例えばSiO_2膜により形成されている。

[0039] 配線層２０４の配線２４０１は、貫通配線２０１１を通して、配線層２０３の配線２０３１に電気的に接続されている。貫通配線２０１１は、第２半導体素子２の半導体基板２０１を厚さ方向に貫通して配設されている。貫通配線２０１１は、例えば貫通配線１０３１と同様の金属配線材料により形成されている。

第２半導体素子２では、半導体基板２０１が薄く形成されているので、貫通配線２０１１を簡易に配設することができる。

ここで、貫通配線２０１１は、本技術に係る「第１貫通配線」に相当する。

[0040] （３－４）第２半導体素子２の実装方法

図１に示されるように、第１半導体素子１の表面２Ａ側の実装領域１２０

に対して、第２半導体素子２は、第１回路２０２を同一の矢印Ｚ方向に向けた状態とするフェイスアップ方式により実装されている。

詳しく説明すると、第１半導体素子１の実装領域１２０に配設された端子１０４２に、第２半導体素子２の配線層２０４の端子２０４２を電気的に接続して、第１半導体素子１に第２半導体素子２が実装されている。この実装には、バンプ電極５が使用されている。バンプ電極５には、ここではマイクロバンプ電極が使用されている。

バンプ電極５には、例えば錫（Ｓｎ）－銀（Ａｇ）合金等のＳｎ系半田が使用されている。

[0041] 図２に示されるように、平面視において、第２半導体素子２の平面形状は、矩形状に形成されている。第２半導体素子２の平面面積（平面サイズ）は、第１半導体素子１の平面面積（平面サイズ）よりも小さい。そして、第２半導体素子２は、第１半導体素子１の表面１Ａ内に配設されている。表現を代えると、第２半導体素子２は、第１半導体素子１の表面１Ａ内において、画素領域１１０の周囲の周辺部に実装されている。

第２半導体素子２は、本技術では、矩形状に形成されている第１半導体素子１の少なくとも１つの辺に沿って実装されていればよい。第１実施の形態では、第１半導体素子１の矢印Ｙ方向に対向する２辺のそれぞれに沿って、合計２個の第２半導体素子２が実装されている。

[0042] （４）第３半導体素子３の構成

図１及び図２に示されるように、第３半導体素子３は、第２半導体素子２の表面２Ａ側において、実装されている。つまり、第３半導体素子３は、第２半導体素子２と同様に、第１半導体素子１の画素領域１１０とは異なる実装領域１２０に実装されている。

第３半導体素子３は、半導体基板３０１と、第２回路３０２とを備えている。

[0043] （４－１）半導体基板３０１の構成

半導体基板３０１は、第１半導体素子１の半導体基板１０３と同様に、例

えば単結晶Ｓｉ基板により形成されている。ここで、半導体基板３０１の厚さは、第１半導体素子１の半導体基板１０３の厚さよりも薄く、かつ、前述の通り第２半導体素子２の半導体基板２０１よりも厚い。半導体基板３０１の厚さは、例えば１００μｍ以上８００μｍ以下である。ここでは、半導体基板３０１の厚さは、例えば１００μｍ以上４００μｍ以下に設定されている。

[0044] （４－２）第２回路３０２の構成

図１に示されるように、第２回路３０２は、矢印Ｚ方向とは反対側（第２半導体素子２側）であって、半導体基板３０１の表面３Ａ側に配設されている。第２回路３０２は、画素領域１１０の画素１００に画素回路１０８を介在させて、又は画素回路１０８及び第１回路２０２を介在させて間接的に電気的に接続されている。

第２回路３０２は、前述の通り、ロジック回路を備えている。第２回路３０２は、画素回路１０８と同様に、トランジスタＴｒ、抵抗、容量等を含んで構築されている。

[0045] （４－３）配線層３０３の構成

半導体基板３０１の表面３Ａ側には、配線層３０３が配設されている。配線層３０３には、ロジック回路間等を結線する複数層の配線３０３１及び端子３０３２が形成されている。配線３０３１及び端子３０３２には、例えばＣｕ等の金属配線材料が使用されている。また、配線３０３１には、第２回路３０２のトランジスタＴｒに電気的に接続されるプラグ配線３０３３が形成されている。プラグ配線３０３３には、例えばW等の金属配線材料が使用されている。

なお、第１実施の形態において、半導体基板３０１の裏面２Ｂには、配線層は配設されていない。

[0046] 簡略化されて示されているが、複数層の配線３０３１間、配線３０３１と端子３０３２との間等には、絶縁体３０３５が形成されている。絶縁体３０３５は、例えばSiO_2膜により形成されている。

[0047] 端子３０３２の表面は、絶縁体３０３５から露出されている。この端子３０３２には、第２半導体素子２の端子２０３２が接合されている。つまり、端子３０３２は、第３半導体素子３を第２半導体素子２に実装するとともに、端子２０３２に電気的に接続されている。

[0048] （４－４）第３半導体素子３の実装方法

図１に示されるように、第２半導体素子２の第１回路２０２が配設された表面２Ａに対して、第３半導体素子３は、第２回路３０２が配設された表面３Ａを向かい合わせた状態とするフェイスダウン方式により実装されている。

詳しく説明すると、第２半導体素子２の第１回路２０２に電気的に接続された端子２０３２に、第３半導体素子３の第２回路３０２に電気的に接続された端子３０３２が接合されている。ここでは、端子２０３２、端子３０３２のいずれにも例えばＣｕが使用されているので、Ｃｕ－Ｃｕ接合がなされている。つまり、端子２０３２、端子３０３２のそれぞれは、機械的に、かつ、電気的に接続されている。

[0049] 図２に示されるように、平面視において、第３半導体素子３の平面形状は、第２半導体素子２の平面形状に対して、同一の矩形状に形成されている。さらに、第３半導体素子３の平面面積（平面サイズ）は、第２半導体素子２の平面面積（平面サイズ）と同一である。そして、第３半導体素子３は、第２半導体素子２の実装位置と同一の実装位置に実装されている。すなわち、第１実施の形態では、２個の第２半導体素子２のそれぞれに、各々、第３半導体素子３が実装されている。

[0050] ［半導体装置１０の製造方法］

次に、第１実施の形態に係る半導体装置１０の製造方法、特に第１半導体素子１に実装される第２半導体素子２及び第３半導体素子３の製造方法について説明する。図３～図８は、半導体装置１０の製造方法を工程毎に説明する工程断面の一例を表している。

[0051] まず、図３に示されるように、第３半導体素子３の半導体基板３０１及び

第２半導体素子２の半導体基板２０１が形成される。半導体基板３０１、半導体基板２０１は、いずれも半導体ウエハ状態である。

半導体基板３０１の表面３Ａ側には、第２回路３０２が形成され、更に配線層３０３が形成される。配線層３０３の最上層には端子３０３２が形成される。

一方、半導体基板２０１の表面２Ａ側には、第１回路２０２が形成され、更に配線層２０３が形成される。配線層２０３の最上層には端子２０３２が形成される。

[0052] 図４に示されるように、半導体基板３０１の表面３Ａ側と半導体基板２０１の表面２Ａ側とを向かい合わせ、端子３０３２に端子２０３２が接合される。すなわち、第３半導体素子３に第２半導体素子２が実装される。

[0053] 図５に示されるように、第２半導体素子２の半導体基板２０１の裏面２Ｂが研磨され、半導体基板２０１が薄肉化される。

[0054] 図６に示されるように、半導体基板２０１の裏面２Ｂ側に配線層２０４が形成される。配線層２０４の最上層には、端子２０４２及び端子２０４４が形成される。前述の通り、端子２０４２は、第１半導体素子１（図１参照）に第２半導体素子２を実装する端子として形成される。一方、端子２０４４は、検査用の端子として形成される。

[0055] 図７に示されるように、端子２０４２にバンプ電極５が形成される。一方、端子２０４４には、バンプ電極５は形成されない。

[0056] 図８に示されるように、半導体基板３０１及び半導体基板２０１が、ダイシング加工により個片化（半導体チップ化）される。これにより、配線層３０３を含む半導体基板３０１から第３半導体素子３が形成され、配線層２０３及び配線層２０４を含む半導体基板２０１から第２半導体素子２が形成される。この工程において、第３半導体素子３は、第２半導体素子２に実装された状態にある。

[0057] この後、前述の図１及び図２に示されるように、第１半導体素子１の実装領域１２０に、第３半導体素子３が実装状態にある第２半導体素子２を実装

することにより、第１実施の形態に係る半導体装置１０の製造方法が終了し、半導体装置１０が完成する。

[0058] ［作用効果］

以上説明した通り、第１実施の形態に係る半導体装置１０は、図１及び図２に示されるように、第１半導体素子１と、第２半導体素子２と、第３半導体素子３とを備える。

第１半導体素子１は、表面１Ａに画素１００が複数配設された画素領域１１０を有する。第２半導体素子２は、表面１Ａの画素領域１１０とは異なる領域に実装され、画素１００に電気的に接続された第１回路２０２を有する。ここで、画素領域１１０とは異なる領域は、実装領域１２０である。第３半導体素子３は、第２半導体素子２の第１半導体素子１とは反対側に実装され、画素１００に電気的に接続された第２回路３０２を有する。

このように構成される半導体装置１０では、画素領域１１０とは異なる領域において第２半導体素子２及び第３半導体素子３が積層され、第１半導体素子１の厚さ方向に実装密度を向上させることができる。このため、画素領域１１０を拡大しつつ、第１回路２０２及び第２回路３０２を含む周辺回路の実装密度を向上させることができる。

[0059] また、半導体装置１０では、図２に示されるように、第２半導体素子２、第３半導体素子３のそれぞれの平面面積は、第１半導体素子１の厚さ方向から見て（平面視において）、第１半導体素子１の平面面積よりも小さい。

このため、更に第１半導体素子１の画素領域１１０を拡大することができる。

[0060] また、半導体装置１０では、図２に示されるように、第２半導体素子２、第３半導体素子３のそれぞれは、第１半導体素子の厚さ方向から見て（平面視において）、第１半導体素子１の表面１Ａ内に配設される。

このため、第１半導体素子１の表面１Ａ内において、画素領域１１０を拡大しつつ、実装密度を向上させることができる。

[0061] また、半導体装置１０では、図１に示されるように、第２半導体素子２の

半導体基板２０１の厚さは、第３半導体素子３の同一方向の半導体基板３０１の厚さよりも薄い。そして、半導体装置１０では、第２半導体素子２は、厚さ方向に貫通し、画素１００と第１回路２０２とを電気的に接続する貫通配線（第１貫通配線）２０１１を備える。詳しく説明すると、貫通配線２０１１は、第２半導体素子２の半導体基板２０１を厚さ方向に貫通して形成される。

このように構成される半導体装置１０では、第２半導体素子２の半導体基板２０１が薄く形成されているので、半導体基板２０１を簡易に加工可能である。第１実施の形態では、半導体基板２０１に貫通する貫通配線２０１１を簡易に形成することができる。このため、第２半導体素子２では、半導体基板２０１の表面２Ａ側の配線層２０３と裏面２Ｂ側の配線層２０４とが貫通配線２０１１を通して電気的に接続される。すなわち、第１半導体素子１に第２半導体素子２、第３半導体素子３のそれぞれを積層状態において実装することができるので、画素領域１１０を拡大しつつ、実装領域１２０の実装密度を向上させることができる。

[0062] また、半導体装置１０は、図１に示されるように、第１半導体素子１の表面１Ａ側に、画素１００に電気的に接続された端子（第１端子）１０４２を有し、第２半導体素子２の第１半導体素子１側に、第１回路２０２又は第２回路３０２に電気的に接続された端子（第２端子）２０４２を有する。そして、端子２０４２は、バンプ電極５を介在させて、端子１０４２に電気的に接続される。

このように構成される半導体装置１０では、バンプ電極５を用いて第１半導体素子１に第２半導体素子２が実装されているので、例えばボンディングワイヤ方式を用いて実装する場合よりも、実装領域１２０の占有面積を縮小することができる。このため、画素領域１１０を拡大しつつ、実装領域１２０の実装密度を向上させることができる。

[0063] また、半導体装置１０は、図１に示されるように、第２半導体素子２の第３半導体素子３側に、第１回路２０２に電気的に接続された端子（第３端子

）２０３２を有する。加えて、半導体装置１０は、第３半導体素子３の第２半導体素子２側に、第２回路３０２に電気的に接続された端子（第４端子）３０３２を有する。そして、端子２０３２に向かい合わせて端子３０３２が接合され、端子２０３２と端子３０３２とが電気的に接続される。

このように構成される半導体装置１０では、第２半導体素子２の表面２Ａ内において第３半導体素子３を実装することができるので、実装の占有面積を縮小することができる。このため、画素領域１１０を拡大しつつ、実装領域１２０の実装密度を向上させることができる。

[0064] また、半導体装置１０では、図１に示されるように、第１半導体素子１は、裏面照射型固体撮像装置を構築する。

このように構成される半導体装置１０では、画素領域１１０の画素１００において、光電変換素子１０７に入射光Ｌを効率良く取り込めるので、感度特性を向上させることができる。

[0065] また、半導体装置１０では、図１及び図２に示されるように、第２半導体素子２の第１回路２０２及び第３半導体素子３の第２回路３０２は、ロジック回路である。

このため、画素領域１１０を拡大しつつ、実装領域１２０において周辺回路の実装密度を向上させることができる。

[0066] さらに、半導体装置１０では、図２に示されるように、第１半導体素子１は、厚さ方向から見て（平面視において）、矩形状に形成される。そして、第１半導体素子１の表面１Ａの中央部に画素領域１１０が配設され、かつ、矩形状の少なくとも１辺に沿った周辺部を実装領域１２０として第２半導体素子２及び第３半導体素子３が実装される。

このように構成される半導体装置１０では、画素領域１１０を拡大しつつ、実装領域１２０において周辺回路の実装密度を向上させることができる。

[0067] ＜２．第２実施の形態＞

図９及び図１０を用いて、本開示の第２実施の形態に係る半導体装置１０を説明する。

なお、第２実施の形態並びにそれ以降の実施の形態において、第１実施の形態に係る半導体装置１０の構成要素と同一の構成要素、又は実質的に同一の構成要素には同一の符号を付し、重複する説明は省略する。

[0068] ［半導体装置１０の構成］

図９は、第２実施の形態に係る半導体装置１０の縦断面構成の一例を表している。図１０は、図９に示される半導体装置１０の平面構成の一例を表している。

[0069] 図９及び図１０に示されるように、第２実施の形態に係る半導体装置１０は、第１実施の形態に係る半導体装置１０において、第２回路３０２Ｍを有する第３半導体素子３Ｍを備えている。

[0070] 詳しく説明する。図９及び図１０に示されるように、第１半導体素子１の矢印Ｙ方向側の１つの辺に沿った実装領域１２０には、第２半導体素子２が実装され、この第２半導体素子２には第３半導体素子３が実装されている（図１及び図２参照）。第２半導体素子２の第１回路２０２、第３半導体素子３の第２回路３０２は、第１実施の形態と同様に、ロジック回路を構築している。

[0071] 一方、第１半導体素子１の矢印Ｙ方向とは反対側の他の１つの辺に沿った実装領域１２０には、第２半導体素子２が実装され、この第２半導体素子２には第３半導体素子３Ｍが実装されている。第２半導体素子２の第１回路２０２は、第１実施の形態と同様に、ロジック回路を構築している。第３半導体素子３Ｍは第２回路３０２Ｍを有し、第２回路３０２Ｍはメモリ回路を構築している。例えば、第２回路３０２Ｍは、画素領域１１０において得られた信号を蓄積する揮発性メモリ回路又は不揮発性メモリ回路である。具体的には、第２回路３０２Ｍは、垂直駆動回路、水平駆動回路等を構築するシフトレジスタである。

[0072] 第１実施の形態に係る半導体装置１０の第３半導体素子３と同様に、第３半導体素子３Ｍは、半導体基板３０１と、配線層３０３とを備えている。配線層３０３には、端子３０３２が配設されている。

第３半導体素子３Ｍは、第２半導体素子２の端子２０３２に端子３０３２を接合し、フェイスダウン方式により第２半導体素子２に実装されている。

[0073] 上記以外の構成要素は、前述の第１実施の形態に係る半導体装置１０の構成要素と同一、又は実質的に同一である。

[0074] ［作用効果］

第２実施の形態に係る半導体装置１０によれば、第１実施の形態に係る半導体装置１０により得られる作用効果と同様の作用効果を得ることができる。

[0075] さらに、半導体装置１０は、第２回路３０２Ｍを有する第３半導体素子３Ｍを備える。このように構成される半導体装置１０では、第２回路３０２Ｍはメモリ回路であるので、裏面照射型固体撮像装置のシステム構成に信号の蓄積機能を備えることができる。

[0076] ＜３．第３実施の形態＞

図１１を用いて、本開示の第３実施の形態に係る半導体装置１０を説明する。

[0077] ［半導体装置１０の構成］

図１１は、第３実施の形態に係る半導体装置１０の平面構成の一例を表している。

図１１に示されるように、第３実施の形態に係る半導体装置１０は、第２実施の形態に係る半導体装置１０と同様に、第２回路３０２Ｍを有する第３半導体素子３Ｍを備えている。詳しく説明すると、第１半導体素子１の矢印Ｙ方向側の１つの辺に沿った実装領域１２０には、第２半導体素子２が実装され、この第２半導体素子２には第３半導体素子３Ｍが実装されている。第２半導体素子２の第１回路２０２は、ロジック回路を構築している。第３半導体素子３Ｍの第２回路３０２Ｍは、メモリ回路を構築している。

[0078] 同様に、第１半導体素子１の矢印Ｙ方向とは反対側の他の１つの辺に沿った実装領域１２０には、第２半導体素子２が実装され、この第２半導体素子２には第３半導体素子３Ｍが実装されている。第２半導体素子２の第１回路

２０２は、ロジック回路を構築している。第３半導体素子３Ｍの第２回路３０２Ｍは、メモリ回路を構築している。

すなわち、第３実施の形態では、第３半導体素子３は、第３半導体素子３Ｍに置き換えられている。

[0079] 上記以外の構成要素は、前述の第２実施の形態に係る半導体装置１０の構成要素と同一、又は実質的に同一である。

[0080] ［作用効果］

第３実施の形態に係る半導体装置１０によれば、第２実施の形態に係る半導体装置１０により得られる作用効果と同様の作用効果を得ることができる。

[0081] ＜４．第４実施の形態＞

図１２及び図１３を用いて、本開示の第４実施の形態に係る半導体装置１０を説明する。

[0082] ［半導体装置１０の構成］

図１２は、第４実施の形態に係る半導体装置１０の縦断面構成の一例を表している。図１３は、図１２に示される半導体装置１０の平面構成の一例を表している。

[0083] 図１２及び図１３に示されるように、第４実施の形態に係る半導体装置１０は、第１実施の形態に係る半導体装置１０と、第２実施の形態又は第３実施の形態に係る半導体装置１０とを組み合わせた構成とされている。

[0084] 詳しく説明する。図１２及び図１３に示されるように、第１半導体素子１の矢印Ｙ方向側の１つの辺に沿った実装領域１２０には、第２半導体素子２が実装され、この第２半導体素子２には第３半導体素子３が実装されている。第２半導体素子２の第１回路２０２、第３半導体素子３の第２回路３０２は、第１実施の形態と同様に、ロジック回路を構築している。

[0085] 一方、第１半導体素子１の矢印Ｙ方向とは反対側の他の１つの辺に沿った実装領域１２０には、第３半導体素子３Ｍが、直接、単独において実装されている。第３半導体素子３Ｍは第２回路３０２Ｍを有し、第２回路３０２Ｍ

はメモリ回路を構築している。

第３半導体素子３Ｍは、第１半導体素子１の実装領域１２０の端子１０４２に、バンプ電極５を介在させて端子３０３２を機械的に、かつ、電気的に接続している。第３半導体素子３Ｍは、フェイスダウン方式により実装されている。

ここで、第３半導体素子３Ｍは、本技術に係る「第５半導体素子」に相当する。また、第２回路３０２Ｍは、本技術に係る「第４回路」に相当する。

[0086] 上記以外の構成要素は、前述の第１実施の形態～第３実施の形態に係るいずれかの半導体装置１０の構成要素と同一、又は実質的に同一である。

[0087] ［作用効果］

第４実施の形態に係る半導体装置１０によれば、第２実施の形態又は第３実施の形態に係る半導体装置１０により得られる作用効果と同様の作用効果を得ることができる。

[0088] ＜５．第５実施の形態＞

図１４を用いて、本開示の第５実施の形態に係る半導体装置１０を説明する。

[0089] ［半導体装置１０の構成］

図１４は、第５実施の形態に係る半導体装置１０の平面構成の一例を表している。

[0090] 図１４に示されるように、第５実施の形態に係る半導体装置１０は、第１実施の形態に係る半導体装置１０と、第４実施の形態に係る半導体装置１０とを組み合わせた構成とされている。

[0091] 詳しく説明する。図１４に示されるように、第１半導体素子１の矢印Ｙ方向側の１つの辺に沿った実装領域１２０には、第２半導体素子２が実装され、この第２半導体素子２には第３半導体素子３が実装されている。第２半導体素子２の第１回路２０２、第３半導体素子３の第２回路３０２は、第１実施の形態と同様に、ロジック回路を構築している。

[0092] 一方、第１半導体素子１の矢印Ｙ方向とは反対側の他の１つの辺に沿った

実装領域１２０には、第２半導体素子２が実装され、この第２半導体素子２には第３半導体素子３が実装されている。第２半導体素子２の第１回路２０２、第３半導体素子３の第２回路３０２は、第１実施の形態と同様に、ロジック回路を構築している。

[0093] そして、第１半導体素子１の矢印Ｘ方向とは反対側の１つの辺に沿った実装領域１２０には、第３半導体素子３Ｍが、直接、単独において実装されている。第３半導体素子３Ｍは第２回路３０２Ｍを有し、第２回路３０２Ｍはメモリ回路を構築している。

第３半導体素子３Ｍは、第４実施の形態に係る半導体装置１０と同様に、第１半導体素子１の実装領域１２０に、バンプ電極５を介在させて実装されている。

[0094] 上記以外の構成要素は、前述の第１実施の形態及び第４実施の形態に係る半導体装置１０の構成要素と同一、又は実質的に同一である。

[0095] ［作用効果］

第５実施の形態に係る半導体装置１０によれば、第４実施の形態に係る半導体装置１０により得られる作用効果と同様の作用効果を得ることができる。

[0096] ＜６．第６実施の形態＞

図１５を用いて、本開示の第６実施の形態に係る半導体装置１０を説明する。

[0097] ［半導体装置１０の構成］

図１５は、第６実施の形態に係る半導体装置１０の平面構成の一例を表している。

[0098] 図１５に示されるように、第６実施の形態に係る半導体装置１０は、第５実施の形態に係る半導体装置１０において、第１半導体素子１の矢印Ｘ方向側の他の１つの辺に沿った実装領域１２０に、第３半導体素子３Ｍを更に備えている。すなわち、第１半導体素子１の実装領域１２０において、矢印Ｙ方向に対向する辺のそれぞれに第２半導体素子２及び第３半導体素子３が実

装され、矢印Ｘ方向に対向する辺のそれぞれに第３半導体素子３Ｍが実装されている。

[0099] 上記以外の構成要素は、前述の第１実施の形態及び第５実施の形態に係る半導体装置１０の構成要素と同一、又は実質的に同一である。

[0100] ［作用効果］

第６実施の形態に係る半導体装置１０によれば、第５実施の形態に係る半導体装置１０により得られる作用効果と同様の作用効果を得ることができる。

[0101] ＜７．第７実施の形態＞

図１６を用いて、本開示の第６実施の形態に係る半導体装置１０を説明する。

[0102] ［半導体装置１０の構成］

図１６は、第７実施の形態に係る半導体装置１０の縦断面構成の一例を表している。

図１６に示されるように、第７実施の形態に係る半導体装置１０は、第１実施の形態に係る半導体装置１０において、更に第４半導体素子４を備えている。

[0103] 詳しく説明する。半導体装置１０は、第１実施の形態に係る半導体装置１０と同様に、裏面照射型固体撮像装置を構築している。第４半導体素子４は、第１半導体素子１の裏面２Ｂ側において、実装されている。第４半導体素子４は、半導体基板４０１と、第３回路４０２とを備えている。

[0104] 半導体基板４０１は、第１半導体素子１の半導体基板１０３と同様に、例えば単結晶Ｓｉ基板により形成されている。

第３回路４０２は、第１半導体素子１の表面１Ａ側において、半導体基板４０１に配設されている。この第３回路４０２は、例えば第１回路２０２又は第２回路３０２と同様のロジック回路が分割されて、又は第１回路２０２及び第２回路３０２において選択されていない他のロジック回路を備えている。第３回路４０２は、画素回路１０８と同様に、トランジスタＴｒ、抵抗

、容量等を含んで構築されている。また、第３回路４０２は、第２実施の形態に係る半導体装置１０において説明したメモリ回路であってもよい。

[0105] 半導体基板４０１の表面１Ａ側には、配線層４０３が配設されている。配線層４０３には、ロジック回路間等を結線する複数層の配線４０３１及び端子４０３２が形成されている。配線４０３１には、例えばＣｕ等の金属配線材料が使用されている。端子４０３２には、例えばＣｕ等の金属配線材料が使用されている。また、配線４０３１には、第３回路４０２のトランジスタＴｒに電気的に接続されるプラグ配線４０３３が形成されている。プラグ配線４０３３には、例えばW等の金属配線材料が使用されている。

[0106] 簡略化されて示されているが、複数層の配線４０３１間、配線４０３１と端子４０３２との間等には、絶縁体４０３５が形成されている。絶縁体４０３５は、例えばSiO_2膜により形成されている。

[0107] 端子４０３２の表面は、絶縁体４０３５から露出されている。この端子４０３２には、第１半導体素子１の配線層１０２の配線１０２２が端子としてＣｕ－Ｃｕ接合されている。つまり、第２半導体素子２の端子２０３２と第３半導体素子３の端子３０３２との接合と同様に、端子４０３２は、配線１０２２に機械的に、かつ、電気的に接続されている。

ここで、第４半導体素子４は、本技術に係る「第４半導体素子」に相当する。また、第３回路４０２は、本技術に係る「第３回路」に相当する。

[0108] 上記以外の構成要素は、前述の第１実施の形態に係る半導体装置１０の構成要素と同一、又は実質的に同一である。

[0109] ［作用効果］

第７実施の形態に係る半導体装置１０によれば、第１実施の形態に係る半導体装置１０により得られる作用効果と同様の作用効果を得ることができる。

[0110] さらに、半導体装置１０は、第３回路４０２を有する第４半導体素子４を備える。このように構成される半導体装置１０では、第４半導体素子４の更なる追加により、裏面照射型固体撮像装置のシステム構成を拡張することが

できる。加えて、第４半導体素子４は、第１半導体素子１の裏面１Ｂ側に実装されるので、半導体装置１０の画素領域１１０を拡張しつつ、実装密度をより一層向上させることができる。

[0111] ＜８．第８実施の形態＞

図１７を用いて、本開示の第８実施の形態に係る半導体装置１０を説明する。

[0112] ［半導体装置１０の構成］

図１７は、第８実施の形態に係る半導体装置１０の縦断面構成の一例を表している。

図１７に示されるように、第８実施の形態に係る半導体装置１０は、第１実施の形態に係る半導体装置１０の応用例である。

[0113] 詳しく説明する。半導体装置１０は、第１実施の形態に係る半導体装置１０と異なり、表面照射型固体撮像装置を構築している。すなわち、第１半導体素子１では、半導体基板１０３の表面１Ａ側に画素回路１０８が配設されている。絶縁体１０４は、配線層としても使用され、配線１０４１及び端子１０４２が形成されている。

[0114] そして、第１実施の形態に係る半導体装置１０と同様に、第１半導体素子１の実装領域１２０には、第２半導体素子２が実装されている。加えて、第２半導体素子２には、第３半導体素子３が実装されている。

[0115] 上記以外の構成要素は、前述の第１実施の形態に係る半導体装置１０の構成要素と同一、又は実質的に同一である。

[0116] ［作用効果］

第８実施の形態に係る半導体装置１０によれば、第１実施の形態に係る半導体装置１０により得られる作用効果と同様の作用効果を得ることができる。

[0117] さらに、半導体装置１０は、表面実装型固体撮像装置を構築する第１半導体素子１であっても、画素領域１１０を拡大しつつ、周辺回路の実装密度を向上させることができる。

[0118] ＜９．第９実施の形態＞

図１８を用いて、本開示の第９実施の形態に係る半導体装置１０を説明する。

[0119] ［半導体装置１０の構成］

図１８は、第９実施の形態に係る半導体装置１０の縦断面構成の一例を表している。

図１８に示されるように、第９実施の形態に係る半導体装置１０は、第１実施の形態に係る半導体装置１０において、第２半導体素子２に貫通配線２０１２を備えている。ここで、貫通配線２０１２は、本技術に係る「第２貫通配線」に相当する。

[0120] 詳しく説明する。半導体装置１０の第２半導体素子２には、半導体基板２０１及び配線層２０３を厚さ方向に貫通する貫通配線２０１２が配設されている。

貫通配線２０１２の一端は、第２半導体素子２の配線層２０４に配設された配線２０４１に電気的に接続されている。配線２０４１は、第１半導体素子１の画素回路１０８を介在させて間接的に画素１００に電気的に接続されている。

また、貫通配線２０１２の他端は、第３半導体素子３の配線層３０３の端子３０３２に電気的に接続されている。端子３０３２は、配線３０３１を介在させて第２回路３０２に電気的に接続されている。

[0121] 貫通配線２０１２は、貫通配線２０１１と同様の金属配線材料により形成されている。また、貫通配線２０１２は、結果的に、第２半導体素子２の配線２０１４と第３半導体素子３の配線３０３１との間を電気的に接続しているので、第２半導体素子２の端子２０３２と第３半導体素子３の端子３０３２との接合は不要となる。

[0122] 上記以外の構成要素は、前述の第１実施の形態に係る半導体装置１０の構成要素と同一、又は実質的に同一である。

[0123] ［作用効果］

第９実施の形態に係る半導体装置１０によれば、第１実施の形態に係る半導体装置１０により得られる作用効果と同様の作用効果を得ることができる。

[0124] さらに、半導体装置１０は、第２半導体素子２を貫通する貫通配線１０１２を備える。このように構成される半導体装置１０では、第２半導体素子２と第３半導体素子３との電気的な接続構造を簡易に実現することができる。

[0125] ＜１０．第１０実施の形態＞

図１９を用いて、本開示の第１０実施の形態に係る半導体装置１０を説明する。第１０実施の形態に係る半導体装置１０から後述する本開示の第１３実施の形態に係る半導体装置１０は、最適なシステム構成を構築した例を説明するものである。

[0126] ［半導体装置１０のシステム構成］

図１９は、第１０実施の形態に係る半導体装置１０のシステム構成の一例を表している。

図１９に示されるように、第１０実施の形態に係る半導体装置１０は、第２実施の形態に係る半導体装置１０において、第１半導体素子１に、画素領域１１０と、走査回路ＳＳＣと、読出回路ＲＥＣと、制御回路ＣＯＣとを備えている。

走査回路ＳＳＣには、例えば垂直駆動回路及び水平駆動回路から選択される１以上が含まれている。また、読出回路ＲＥＣには、画素１００において光から電荷に変換された画素信号を読み出す画素回路１０８が含まれている。

[0127] 第２半導体素子２に配設される第１回路２０２は、アナログデジタル変換回路ＡＤＣと、出力信号処理回路ＯＳＣと、出力インターフェース回路ＯＩＦとを備えている。そして、第３半導体素子３Ｍの第２回路３０２Ｍは、メモリ回路を備えている。

[0128] アナログデジタル変換回路ＡＤＣでは、読出回路ＲＥＣにより読み出された画素信号が、アナログ信号からデジタル信号に変換される。このデジタル

信号に変換された画素信号は、一時的にメモリ回路に保持される。表現を代えれば、画素信号は、一時的にメモリ回路に記憶される。

出力信号処理回路ＯＳＣでは、メモリ回路に保持された画素信号を読み出し、この画素信号は所定の出力信号に変換される。出力インターフェース回路ＯＩＦでは、この出力信号が外部装置へ出力される。

[0129] 上記以外の構成要素は、前述の第２実施の形態に係る半導体装置１０の構成要素と同一、又は実質的に同一である。

[0130] ［作用効果］

第１０実施の形態に係る半導体装置１０によれば、第２実施の形態に係る半導体装置１０により得られる作用効果と同様の作用効果を得ることができる。

[0131] また、半導体装置１０は、図１９に示されるように、第１半導体素子１に、画素領域１１０と、走査回路ＳＳＣと、読出回路ＲＥＣと、制御回路ＣＯＣとを備える。そして、半導体装置１０は、第２半導体素子２に、アナログデジタル変換回路ＡＤＣと、出力信号処理回路ＯＳＣと、出力インターフェース回路ＯＩＦとを備え、第３半導体素子３Ｍに、メモリ回路を備える。

このため、第３半導体素子３Ｍは、第１半導体素子１及び第２半導体素子２に対して、独立なメモリデバイスに固有なプロセスにより製作可能となる。詳しく説明すると、高誘電率材料、磁気材料等の特殊な材料やプロセスを利用した半導体素子として、第３半導体素子３Ｍを構築することができる。具体的には、第３半導体素子３Ｍには、揮発性の半導体記憶素子（例えば、ＤＲＡＭ：Dynamic Random Access Memory）、磁気抵抗メモリ（ＭＲＡＭ：Magneto-resistive Random Access Memory）、抵抗変化メモリ（ＲＲＡＭ：Resistive Random access Memory）等のメモリ回路が搭載可能となる。

[0132] 第１０実施の形態では、第３半導体素子３Ｍにメモリ回路を配設することにより、最適なシステム構成を構築することができる。例えば、メモリ回路には、特殊な材料やプロセスが使用されるので、第３半導体素子３Ｍにおいて、半導体基板３０１に貫通配線は形成されない（図９参照）。つまり、特

殊な材料やプロセスに加えて、貫通配線は新規な構造の追加となる。このため、貫通配線の形成に起因するメモリ回路のメモリ素子の特性劣化を効果的に抑制又は防止することができる。

[0133] このように構成される半導体装置１０では、第１半導体素子１と第２半導体素子２との接続には、貫通配線２０１１が使用される（例えば、図９参照）。そして、第２半導体素子２と第３半導体素子３Ｍとの接続には、端子２０３２と端子３０３２との接続が使用される（例えば、図９参照）。

なお、メモリ回路以外の回路は、第１半導体素子１、第２半導体素子２のいずれかに、適宜、搭載可能である。

[0134] ＜１１．第１１実施の形態＞

図２０を用いて、本開示の第１１実施の形態に係る半導体装置１０を説明する。第１１実施の形態に係る半導体装置１０は、第１０実施の形態に係る半導体装置１０の応用例である。

[0135] ［半導体装置１０のシステム構成］

図２０は、第１１実施の形態に係る半導体装置１０のシステム構成の一例を表している。

図２０に示されるように、第１１実施の形態に係る半導体装置１０は、第１０実施の形態に係る半導体装置１０において、アナログデジタル変換回路ＡＤＣをコンパレータ回路ＣＰとカウンタ回路ＣＯＵとに分離している。コンパレータ回路ＣＰは、第１半導体素子１に搭載されている。また、カウンタ回路ＣＯＵは、第２半導体素子２に第１回路２０２として搭載されている。さらに、第２半導体素子２は、第１回路２０２として、出力インターフェース回路ＯＩＦを備えている。

そして、第３半導体素子３Ｍは、第２回路３０２Ｍとしてメモリ回路を備え、更に出力信号処理回路ＯＳＣを備えている。

[0136] ここで、出力信号処理回路ＯＳＣは、配線３０３１（図９参照。以下、単に「第１配線１Ｗ」という。）を通してメモリ回路に電気的に接続されている。第１配線１Ｗは、本技術に係る「第１配線」に相当する。出力信号処理

回路ＯＳＣは、制御回路ＣＯＣから供給される第１クロック信号ＣＬＫ１により動作する。

[0137] また、出力インターフェース回路ＯＩＦは、配線３０３１及び配線２０３１（図９参照。以下、単に「第２配線２Ｗ」という。）を通して出力信号処理回路ＯＳＣに電気的に接続されている。第２配線２Ｗは、本技術に係る「第２配線」に相当する。出力インターフェース回路ＯＩＦは、制御回路ＣＯＣから供給される第２クロック信号ＣＬＫ２により動作する。

[0138] ここで、第２配線２Ｗの本数は、第１配線１Ｗの本数よりも少ない。また、第２クロック信号ＣＬＫ２のクロック周波数は、第１クロック信号ＣＬＫ１のクロック周波数よりも高い。すなわち、メモリ回路と出力信号処理回路ＯＳＣとの間において、並列処理により多数の信号が転送可能とされている。出力信号処理回路ＯＳＣと出力インターフェース回路ＯＩＦとの間において、信号の高速シリアル転送が可能とされている。

[0139] 上記以外の構成要素は、前述の第１０実施の形態に係る半導体装置１０の構成要素と同一、又は実質的に同一である。

[0140] ［作用効果］

第１１実施の形態に係る半導体装置１０によれば、第１０実施の形態に係る半導体装置１０により得られる作用効果と同様の作用効果を得ることができる。

[0141] また、半導体装置１０では、図２０に示されるように、メモリ回路及び出力信号処理回路ＯＳＣが第３半導体素子３に配設される。メモリ回路及び出力信号処理回路ＯＳＣの動作は、垂直走査回路により１行ずつ画素１００（図９参照）を選択し、選択された画素１００から画素信号を読み出し、そしてこの画素信号をアナログ信号からデジタル信号に変換する、一連の行順次読出動作のサイクルに対して同期しない。つまり、メモリ回路及び出力信号処理回路ＯＳＣは、ランダムロジック回路として動作する。このため、不規則な電源ノイズが発生する。

このような電源ノイズの発生源が画素１００から遠くに離れた第３半導体

素子３に配設されることにより、電源ノイズの発生を効果的に抑制又は防止することができる。従って、固体撮像装置として、良好な画質を得ることができる。

[0142] また、半導体装置１０では、図２０に示されるように、出力インターフェース回路ＯＩＦが第２半導体素子２に配設される。第２半導体素子２は、検査用端子又は外部出力端子として使用される端子１０４３（図９参照）を有する第１半導体素子１に近接して実装される。このため、出力インターフェース回路ＯＩＦから外部出力端子に至る信号出力経路に付加される寄生抵抗並びに寄生容量を効果的に減少させることができる。加えて、出力インターフェース回路ＯＩＦは、高速な第２クロック信号ＣＬＫ２により動作する。

このように構成される半導体装置１０では、信号伝送の高速化を実現することができる。

[0143] さらに、半導体装置１０では、図２０に示されるように、アナログデジタル変換回路ＡＤＣがコンパレータ回路ＣＰとカウンタ回路ＣＯＵとに分離される。コンパレータ回路ＣＰは、アナログ回路であり、第１半導体素子１に搭載される。また、カウンタ回路ＣＯＵは、デジタル回路であり、第２半導体素子２に搭載される。

このように構成される第２半導体素子２はデジタル回路の回路ブロックのみとなるので、アナログ回路の素子が不要となり、回路ブロックを簡易に実現することができる。結果として、第２半導体素子２の製作費用を削減することができる。

[0144] ＜１２．第１２実施の形態＞

図２１を用いて、本開示の第１２実施の形態に係る半導体装置１０を説明する。第１２実施の形態に係る半導体装置１０は、第１０実施の形態に係る半導体装置１０の応用例である。

[0145] ［半導体装置１０のシステム構成］

図２１は、第１２実施の形態に係る半導体装置１０の概略的な構成の一例を表している。

図２１に示されるように、第１２実施の形態に係る半導体装置１０では、第１０実施の形態に係る半導体装置１０において、読出回路ＲＥＣ及びアナログデジタル変換回路ＡＤＣが、第２半導体素子２、第３半導体素子３の双方に分散して搭載されている。表現を代えれば、平面視において、第１半導体素子１の実装領域１２０の所定面積内に２倍のアナログデジタル変換回路ＡＤＣを搭載することができる。

[0146] 上記以外の構成要素は、前述の第１０実施の形態に係る半導体装置１０の構成要素と同一、又は実質的に同一である。

[0147] ［作用効果］

第１２実施の形態に係る半導体装置１０によれば、第１０実施の形態に係る半導体装置１０により得られる作用効果と同様の作用効果を得ることができる。

[0148] また、半導体装置１０では、図２１に示されるように、読出回路ＲＥＣ及びアナログデジタル変換回路ＡＤＣが、第２半導体素子２、第３半導体素子３の双方に分散して搭載される。このため、半導体装置１０のチップサイズを大型化することなく、画素信号の読み出し速度を２倍に高速化することができる。

[0149] また、半導体装置１０では、第２半導体素子２、第３半導体素子３のそれぞれを同一構造により製作することができるので、製作費用を減少させることができる。ここで、同一構造により製作するとは、第２半導体素子２、第３半導体素子３のそれぞれが、全く同一の設計、開発及び製造により製作されるという意味において使用される。

[0150] なお、第１２実施の形態は、読出回路ＲＥＣ及びアナログデジタル変換回路ＡＤＣが第２半導体素子２、第３半導体素子３のそれぞれにおいて並列に配設される例である。本技術では、読出回路ＲＥＣは第１半導体素子１に搭載し、アナログデジタル変換回路ＡＤＣが第２半導体素子２、第３半導体素子３のそれぞれに並列に配設されてもよい。

[0151] ＜１３．第１３実施の形態＞

図２２及び図２３を用いて、本開示の第１３実施の形態に係る半導体装置１０を説明する。第１３実施の形態に係る半導体装置１０は、第１１実施の形態に係る半導体装置１０の応用例である。

[0152] ［半導体装置１０のシステム構成］

図２２は、第１３実施の形態に係る半導体装置１０のシステム構成の一例を表している。

[0153] 図２２に示されるように、第１３実施の形態に係る半導体装置１０は、第１半導体素子１と、第２半導体素子２０及び第２半導体素子２１と、第３半導体素子３及び第３半導体素子３Ｍ１とを備えている。

[0154] 第１半導体素子１は、画素領域１１０を備えている。

第２半導体素子２０には、第１回路２０２として、電流生成回路ＣＧＣ、負電圧生成回路ＮＶＧ、中間電圧生成回路ＩＶＧ及び垂直走査回路ＶＳＣが搭載されている。第２半導体素子２０に搭載された電流生成回路ＣＧＣ等は、アナログ回路である。

また、第２半導体素子２１には、第１回路２０２として、定電流源回路ＣＣＳ、コンパレータ回路ＣＰ及びランプ生成回路ＬＧが搭載されている。第２半導体素子２１に搭載された定電流源回路ＣＣＳ等は、第２半導体素子２０と同様に、アナログ回路である。

[0155] 第３半導体素子３には、第２回路３０２として、制御信号生成回路ＣＳＧ、クロック生成回路ＣＫ、システム回路ＳＣ及びレジスタ回路ＲＧが搭載されている。第３半導体素子３に搭載された制御信号生成回路ＣＳＧ等は、デジタル回路である。

第３半導体素子３Ｍ１には、第２回路３０２Ｍとしてのメモリ回路、カウンタ回路ＣＯＵ、出力信号処理回路ＯＳＣ及び出力インターフェース回路ＯＩＦが搭載されている。第３半導体素子３Ｍ１に搭載されたメモリ回路等は、デジタル回路である。

[0156] ここで、制御信号生成回路ＣＳＧは、電流生成回路ＣＧＣ、負電圧生成回路ＮＶＧ、中間電圧生成回路ＩＶＧのそれぞれに、分周クロック信号を供給

する。また、制御信号生成回路ＣＳＧは、垂直走査回路ＶＳＣに、行選択信号、シャッタアドレス信号、リードアドレス信号、ラッチパルス信号、リセットパルス信号等を供給する。また、制御信号生成回路ＣＳＧは、定電流源回路ＣＣＳ、コンパレータ回路ＣＰのそれぞれに制御パルス信号を供給し、メモリ回路にＳＹＮＣ信号を供給する。

さらに、制御信号生成回路ＣＳＧは、レジスタ回路ＲＧにレジスタ反映信号を供給し、システム回路ＳＣにアドバンストペリフェラルバス（ＡＰＢ）及びインターフェース（ＩＦ）を通して割り込み信号を供給する。

[0157] ［半導体装置１０の構成］

図２３は、図２２に示される半導体装置１０の概略的な構成の一例を表している。

図２３に示されるように、第１半導体素子１の矢印Ｘ方向に対向するそれぞれの実装領域１２０には、各々、第２半導体素子２１と第３半導体素子３Ｍ１とが積層されて実装されている。

さらに、第１半導体素子１の矢印Ｙ方向の実装領域１２０には、第２半導体素子２０と第３半導体素子３とが積層されて実装されている。

[0158] 上記以外の構成要素は、前述の第１１実施の形態に係る半導体装置１０の構成要素と同一、又は実質的に同一である。

[0159] ［作用効果］

第１３実施の形態に係る半導体装置１０によれば、第１１実施の形態に係る半導体装置１０により得られる作用効果と同様の作用効果を得ることができる。

[0160] また、半導体装置１０では、図２２及び図２３に示されるように、第１半導体素子１に画素領域１１０が配設される。そして、第２半導体素子２０及び第２半導体素子２１にアナログ回路が配設され、第３半導体素子３及び第３半導体素子３Ｍ１にデジタル回路が配設される。

第１３実施の形態では、半導体装置１０の全体の制御を行うシステム回路ＳＣやクロック生成回路ＣＫが第３半導体素子３に配設される。このため、

第３半導体素子３の上記以外のデジタル回路、第２半導体素子２のアナログ回路等に制御信号やクロック信号を供給するには、一旦、第３半導体素子３から第２半導体素子２、第１半導体素子１のそれぞれを経由する構造が必要になる。

[0161] このように構成される半導体装置１０では、第１半導体素子１は、画素専用の構造を有し、画素専用のプロセスにより製作される。同様に、第２半導体素子２０及び第２半導体素子２１は、アナログ回路専用の構造を有し、アナログ回路専用のプロセスにより製作される。そして、第３半導体素子３及び第３半導体素子３Ｍ１は、デジタル回路専用の構造を有し、デジタル回路専用のプロセスにより製作される。つまり、第１半導体素子１と、第２半導体素子２０及び第２半導体素子２１と、第３半導体素子３及び第３半導体素子３Ｍ１とは、相互に完全に独立した装置構造を有し、かつ、半導体製造プロセスにより製作される。

このため、第１半導体素子１においては、画素特性に特化した構造を採用し、画素特性に特化したプロセスを採用することができる。また、第２半導体素子２０、第２半導体素子２１のそれぞれにおいては、例えば高耐圧低ノイズに特化した構造を採用し、高耐圧低ノイズに特化したプロセスを採用することができる。さらに、第３半導体素子３、第３半導体素子３Ｍ１のそれぞれにおいては、低電圧微細化に特化した構造を採用し、低電圧微細化に特化したプロセスを採用することができる。

つまり、各半導体素子に対して個別に最適化が可能となり、半導体装置１０の全体の性能を向上させることができる。

[0162] ＜１４．移動体への応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0163] 図２４は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0164] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図２４に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（Interface）１２０５３が図示されている。

[0165] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0166] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0167] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０

は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0168] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0169] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0170] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。

[0171] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした

協調制御を行うことができる。

[0172] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０３０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0173] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図２４の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0174] 図２５は、撮像部１２０３１の設置位置の例を示す図である。

[0175] 図２５では、撮像部１２０３１として、撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５を有する。

[0176] 撮像部１２１０１、１２１０２、１２１０３、１２１０４、１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２、１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0177] なお、図２５には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

[0178] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0179] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0180] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドラ

イバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0181] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0182] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１に適用され得る。撮像部１２０３１に本開示に係る技術を適用することにより、画素領域を拡大しつつ、周辺回路の実装密度を向上させる撮像部１２０３１を実現することができる。

[0183] ＜１５．その他の実施の形態＞

本技術は、上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲内において、種々変更可能である。

例えば、上記第１実施の形態から第９実施の形態に係る半導体装置のうち

、２以上の実施の形態に係る半導体装置を組み合わせてもよい。

[0184] また、本技術は、第１半導体素子の実装領域に、３以上の半導体素子を積層して実装してもよい。この場合、最上層に積層された半導体素子よりも第１半導体素子側に積層された半導体素子の半導体基板は薄肉化されている。

さらに、本技術は、光を発する発光源を持つ画素が複数配列された画素領域を有する第１半導体素子を含む半導体装置に適用可能である。ここで、発光源として、例えば発光ダイオード（ＬＥＤ）、レーザ、バックライトを含む液晶、有機エレクトロルミネッセンス（ＥＬ）、プラズマ等が含まれている。

[0185] 本開示の第１実施態様に係る半導体装置は、第１半導体素子と、第２半導体素子と、第３半導体素子とを備える。

第１半導体素子は、一表面に画素が複数配設された画素領域を有する。第２半導体素子は、一表面の画素領域とは異なる領域に実装され、画素に電気的に接続された第１回路を有する。第３半導体素子は、第２半導体素子の第１半導体素子とは反対側に実装され、画素に電気的に接続された第２回路を有する。

このように構成される半導体装置では、画素領域とは異なる領域において第２半導体素子及び第３半導体素子が積層され、第１半導体素子の厚さ方向に実装密度を向上させることができる。このため、画素領域を拡大しつつ、第１回路及び第２回路を含む周辺回路の実装密度を向上させることができる。

[0186] また、本開示の第２実施態様に係る半導体装置では、第１実施態様に係る半導体装置において、第２半導体素子の半導体基板の厚さは、第３半導体素子の同一方向の半導体基板の厚さよりも薄い。

このように構成される半導体装置では、第２半導体素子の半導体基板を簡易に加工することができるので、例えば半導体基板を厚さ方向に貫通する貫通配線を形成することができる。このため、第１半導体素子に第２半導体素子、第３半導体素子のそれぞれを積層状態において実装することができるの

で、画素領域を拡大しつつ、実装領域の実装密度を向上させることができる。

[0187] ＜本技術の構成＞

本技術は、以下の構成を備えている。以下の構成の本技術によれば、半導体装置において、画素領域を拡大しつつ、実装領域の実装密度を向上させることができる。

（１）

一表面に画素が複数配設された画素領域を有する第１半導体素子と、

前記一表面の前記画素領域とは異なる領域に実装され、前記画素に電気的に接続された第１回路を有する第２半導体素子と、

前記第２半導体素子の前記第１半導体素子とは反対側に実装され、前記画素に電気的に接続された第２回路を有する第３半導体素子と、

を備えている半導体装置。

（２）

前記第２半導体素子、前記第３半導体素子のそれぞれの平面面積は、前記第１半導体素子の厚さ方向から見て、前記第１半導体素子の平面面積よりも小さい

前記（１）に記載の半導体装置。

（３）

前記第２半導体素子、前記第３半導体素子のそれぞれは、前記第１半導体素子の厚さ方向から見て、前記第１半導体素子の前記一表面内に配設されている

前記（２）に記載の半導体装置。

（４）

前記第２半導体素子の半導体基板の厚さは、前記第３半導体素子の同一方向の半導体基板の厚さよりも薄い

前記（１）から前記（３）のいずれか１つに記載の半導体装置。

（５）

前記第２半導体素子は、厚さ方向に貫通し、前記画素と前記第１回路とを電気的に接続する第１貫通配線を備えている

前記（１）から前記（４）のいずれか１つに記載の半導体装置。

（６）

前記第２半導体素子は、厚さ方向に貫通し、前記画素と前記第２回路とを電気的に接続する第２貫通配線を備えている

前記（１）から前記（５）のいずれか１つに記載の半導体装置。

（７）

前記第１半導体素子の前記一表面側に、前記画素に電気的に接続された第１端子を有し、

前記第２半導体素子の前記第１半導体素子側に、前記第１回路又は前記第２回路に電気的に接続された第２端子を有し、

前記第２端子は、バンプ電極を介在させて、前記第１端子に電気的に接続されている

前記（１）から前記（６）のいずれか１つに記載の半導体装置。

（８）

前記第２半導体素子の前記第３半導体素子側に、前記第１回路に電気的に接続された第３端子を有し、

前記第３半導体素子の前記第２半導体素子側に、前記第２回路に電気的に接続された第４端子を有し、

前記第３端子に向かい合わせて前記第４端子が接合され、前記第３端子と前記第４端子とが電気的に接続されている

前記（１）から前記（５）、前記（７）のいずれか１つに記載の半導体装置。

（９）

前記第１半導体素子は、表面照射型固体撮像装置を構築している

前記（１）から前記（８）のいずれか１つに記載の半導体装置。

（１０）

前記第１半導体素子は、裏面照射型固体撮像装置を構築している

前記（１）から前記（８）のいずれか１つに記載の半導体装置。

（１１）

前記第１半導体素子の前記一表面とは反対側に、前記画素に電気的に接続された第３回路を有し、前記第１半導体素子の厚さ方向から見て、前記第１半導体素子の平面面積と同等の平面面積を有する第４半導体素子が配設され、

前記第１半導体素子は、裏面照射型固体撮像装置を構築している

前記（１）から前記（８）のいずれか１つに記載の半導体装置。

（１２）

前記第１回路及び前記第２回路は、ロジック回路である

前記（１）から前記（１１）のいずれか１つに記載の半導体装置。

（１３）

前記第１回路は、ロジック回路であり、

前記第２回路は、メモリ回路である

前記（１）から前記（１１）のいずれか１つに記載の半導体装置。

（１４）

前記第１半導体素子の前記一表面において、前記画素領域及び前記第２半導体素子の実装領域とは別の領域に、前記画素に電気的に接続された第４回路を有する第５半導体素子が実装されている

前記（１）から前記（１３）のいずれか１つに記載の半導体装置。

（１５）

前記第４回路は、メモリ回路である

前記（１４）に記載の半導体装置。

（１６）

前記第１半導体素子は、厚さ方向から見て、矩形状に形成され、

前記第１半導体素子の前記一表面の中央部に前記画素領域が配設され、かつ、矩形状の少なくとも１辺に沿った周辺部に前記第２半導体素子及び前記

第３半導体素子が実装されている

前記（１）から前記（１５）のいずれか１つに記載の半導体装置。

（１７）

前記第３半導体素子の前記第２回路は、前記画素から出力された画素信号がアナログデジタル変換された結果を一時的に保持する前記メモリ回路である

前記（１３）に記載の半導体装置。

（１８）

前記メモリ回路に複数本の第１配線を通して電気的に接続され、第１クロック信号により動作する出力信号処理回路を更に備え、

前記メモリ回路及び前記出力信号処理回路は、前記第３半導体素子に配設されている

前記（１３）又は前記（１７）に記載の半導体装置。

（１９）

前記出力信号処理回路に、前記第１配線よりも配線本数が少ない複数本の第２配線を通して電気的に接続され、前記第１クロック信号よりもクロック周波数が高い第２クロック信号により動作する出力インターフェース回路を更に備え、

前記出力インターフェース回路は、前記第２半導体素子に前記第１回路として配設されている

前記（１８）に記載の半導体装置。

（２０）

前記第２半導体素子の前記第１回路、前記第３半導体素子の前記第２回路のそれぞれに、アナログデジタル変換回路を備えている

前記（１）から前記（１９）のいずれか１つに記載の半導体装置。

（２１）

前記第２半導体素子の前記第１回路にアナログ回路が配設され、

前記第３半導体素子の前記第２回路にデジタル回路が配設されている

前記（１）から前記（１９）のいずれか１つに記載の半導体装置。

[0188] 本出願は、日本国特許庁において２０２２年１０月１９日に出願された日本特許出願番号２０２２－１６７８７３号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0189] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1] 一表面に画素が複数配設された画素領域を有する第１半導体素子と、

前記一表面の前記画素領域とは異なる領域に実装され、前記画素に電気的に接続された第１回路を有する第２半導体素子と、

前記第２半導体素子の前記第１半導体素子とは反対側に実装され、前記画素に電気的に接続された第２回路を有する第３半導体素子と、

を備えている半導体装置。

[請求項2] 前記第２半導体素子、前記第３半導体素子のそれぞれの平面面積は、前記第１半導体素子の厚さ方向から見て、前記第１半導体素子の平面面積よりも小さい

請求項１に記載の半導体装置。

[請求項3] 前記第２半導体素子、前記第３半導体素子のそれぞれは、前記第１半導体素子の厚さ方向から見て、前記第１半導体素子の前記一表面内に配設されている

請求項２に記載の半導体装置。

[請求項4] 前記第２半導体素子の半導体基板の厚さは、前記第３半導体素子の同一方向の半導体基板の厚さよりも薄い

請求項１に記載の半導体装置。

[請求項5] 前記第２半導体素子は、厚さ方向に貫通し、前記画素と前記第１回路とを電気的に接続する第１貫通配線を備えている

請求項４に記載の半導体装置。

[請求項6] 前記第２半導体素子は、厚さ方向に貫通し、前記画素と前記第２回路とを電気的に接続する第２貫通配線を備えている

請求項４に記載の半導体装置。

[請求項7] 前記第１半導体素子の前記一表面側に、前記画素に電気的に接続された第１端子を有し、

前記第２半導体素子の前記第１半導体素子側に、前記第１回路又は

前記第２回路に電気的に接続された第２端子を有し、

前記第２端子は、バンプ電極を介在させて、前記第１端子に電気的に接続されている

請求項１に記載の半導体装置。

[請求項8] 前記第２半導体素子の前記第３半導体素子側に、前記第１回路に電気的に接続された第３端子を有し、

前記第３半導体素子の前記第２半導体素子側に、前記第２回路に電気的に接続された第４端子を有し、

前記第３端子に向かい合わせて前記第４端子が接合され、前記第３端子と前記第４端子とが電気的に接続されている

請求項１に記載の半導体装置。

[請求項9] 前記第１半導体素子は、表面照射型固体撮像装置を構築している

請求項１に記載の半導体装置。

[請求項10] 前記第１半導体素子は、裏面照射型固体撮像装置を構築している

請求項１に記載の半導体装置。

[請求項11] 前記第１半導体素子の前記一表面とは反対側に、前記画素に電気的に接続された第３回路を有し、前記第１半導体素子の厚さ方向から見て、前記第１半導体素子の平面面積と同等の平面面積を有する第４半導体素子が配設され、

前記第１半導体素子は、裏面照射型固体撮像装置を構築している

請求項１に記載の半導体装置。

[請求項12] 前記第１回路及び前記第２回路は、ロジック回路である

請求項１に記載の半導体装置。

[請求項13] 前記第１回路は、ロジック回路であり、

前記第２回路は、メモリ回路である

請求項１に記載の半導体装置。

[請求項14] 前記第１半導体素子の前記一表面において、前記画素領域及び前記第２半導体素子の実装領域とは別の領域に、前記画素に電気的に接続

された第４回路を有する第５半導体素子が実装されている

請求項１に記載の半導体装置。

[請求項15] 前記第４回路は、メモリ回路である

請求項１４に記載の半導体装置。

[請求項16] 前記第１半導体素子は、厚さ方向から見て、矩形状に形成され、

前記第１半導体素子の前記一表面の中央部に前記画素領域が配設され、かつ、矩形状の少なくとも１辺に沿った周辺部に前記第２半導体素子及び前記第３半導体素子が実装されている

請求項１に記載の半導体装置。

[請求項17] 前記第３半導体素子の前記第２回路は、前記画素から出力された画素信号がアナログデジタル変換された結果を一時的に保持する前記メモリ回路である

請求項１３に記載の半導体装置。

[請求項18] 前記メモリ回路に複数本の第１配線を通して電気的に接続され、第１クロック信号により動作する出力信号処理回路を更に備え、

前記メモリ回路及び前記出力信号処理回路は、前記第３半導体素子に配設されている

請求項１３に記載の半導体装置。

[請求項19] 前記出力信号処理回路に、前記第１配線よりも配線本数が少ない複数本の第２配線を通して電気的に接続され、前記第１クロック信号よりもクロック周波数が高い第２クロック信号により動作する出力インターフェース回路を更に備え、

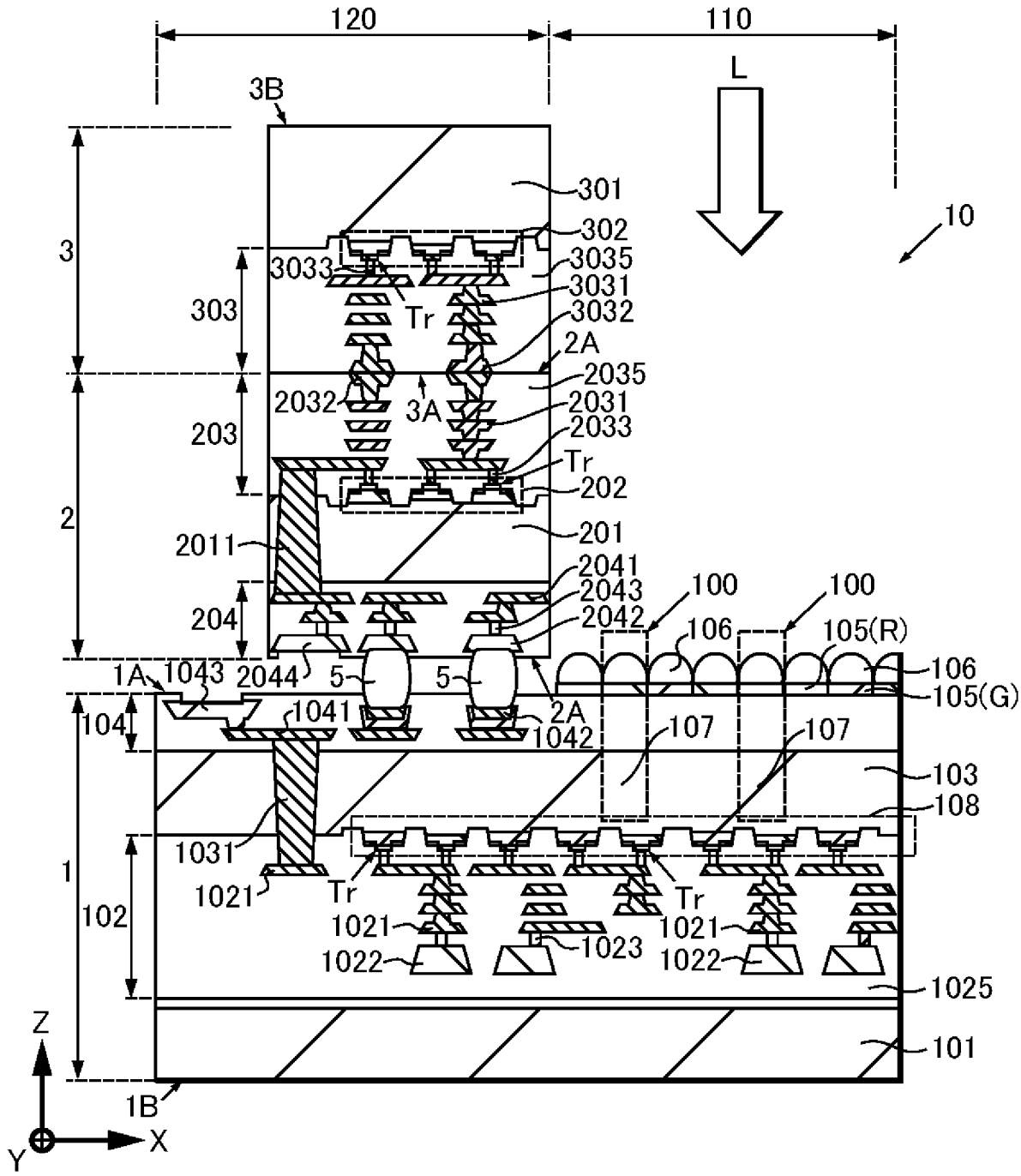
前記出力インターフェース回路は、前記第２半導体素子に前記第１回路として配設されている

請求項１８に記載の半導体装置。

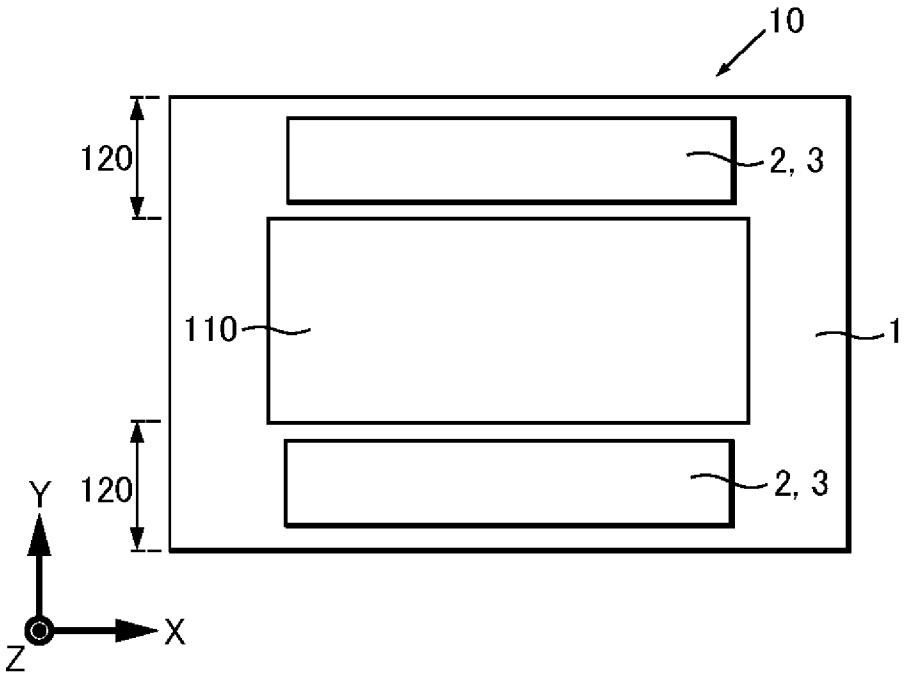
[請求項20] 前記第２半導体素子の前記第１回路、前記第３半導体素子の前記第２回路のそれぞれに、アナログデジタル変換回路を備えている

請求項１に記載の半導体装置。

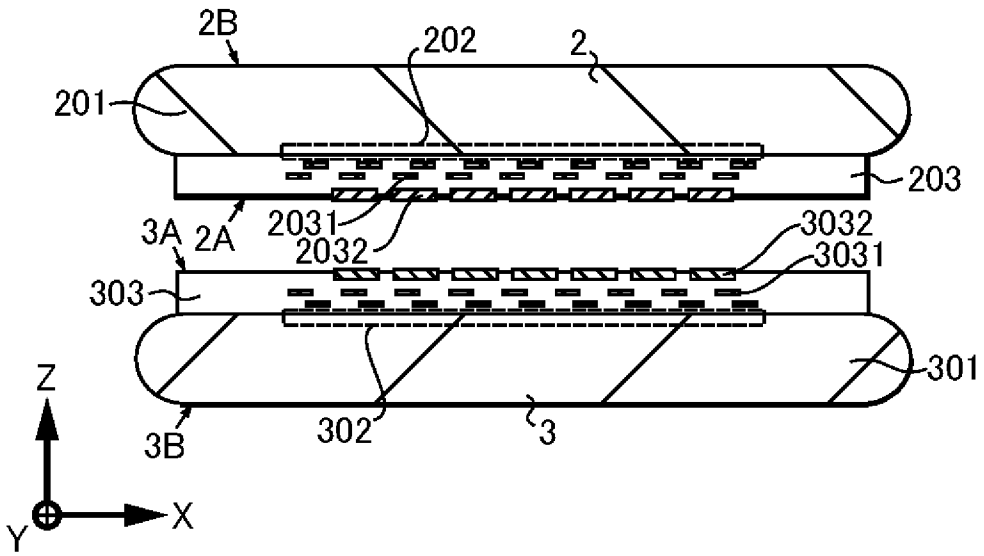
[図1]


120
110
L
3B
301
302
3035
3031
3032
2A
2035
2031
2033
202
201
2041
2043
2042
100
100
106
105(R)
106
105(G)
10
3
303
2
203
204
2032
3A
Tr
2011
1A
1043
2044
5
5
2A
1042
1041
104
107
107
103
108
1031
1021
Tr
Tr
1021
1021
1023
1022
1022
1025
101
1
102
1B
Z
X
Y

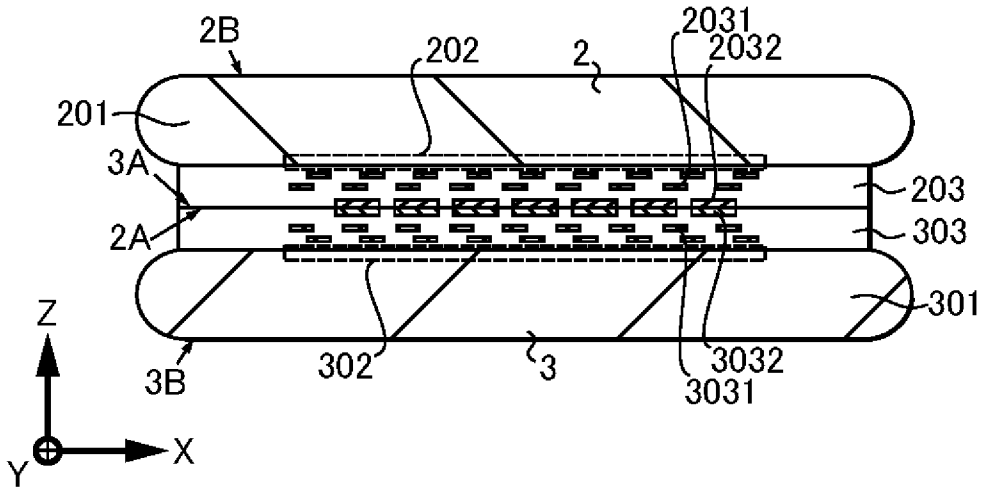
[図2]


10
120
2, 3
110
1
120
2, 3
Y
X
Z

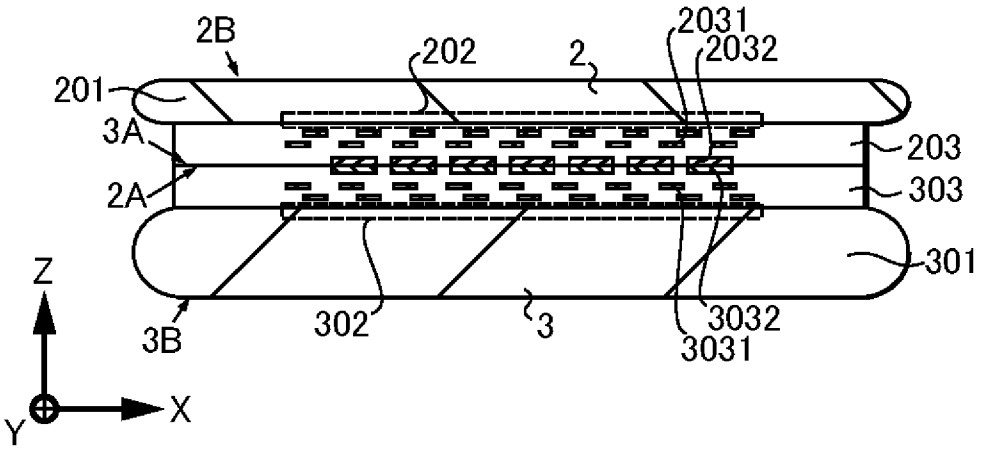
[図3]


2B
202
2
201
203
3A
2A
2031
2032
3032
3031
303
301
Z
3B
302
3
X
Y

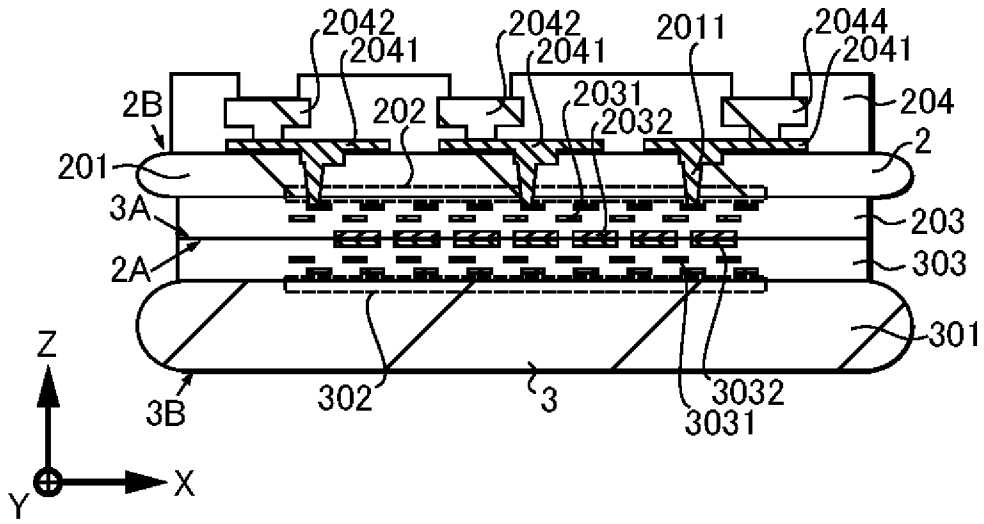
[図4]


2B
202
2
2031
2032
201
3A
203
2A
303
301
Z
3B
302
3
3032
3031
Y
X

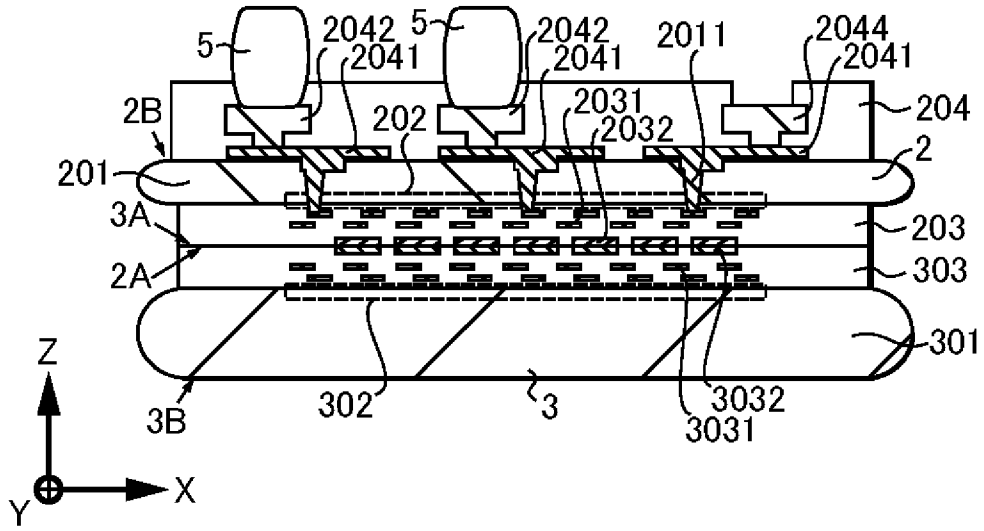
[図5]


2B
202
2
2031
2032
201
3A
203
2A
303
301
Z
3B
302
3
3032
3031
Y
X

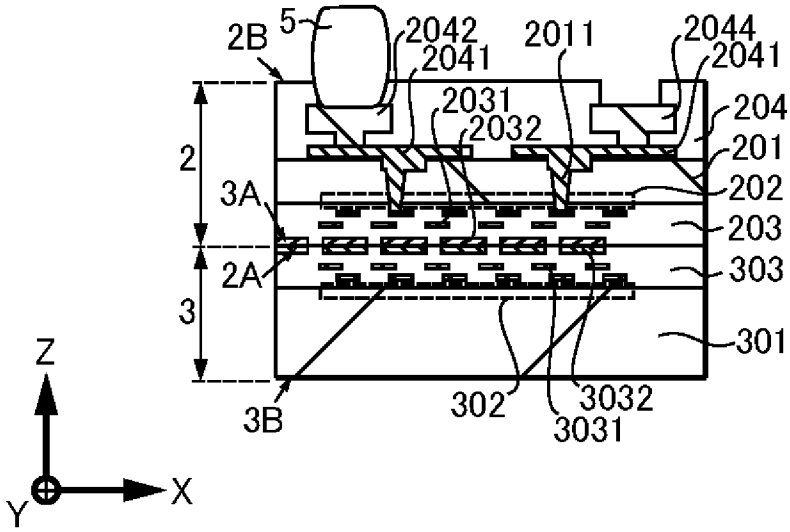
[図6]


2042
2041
2042
2041
2011
2044
2041
2B
202
2031
2032
204
2
201
3A
203
2A
303
301
Z
302
3
3032
3031
3B
Y
X

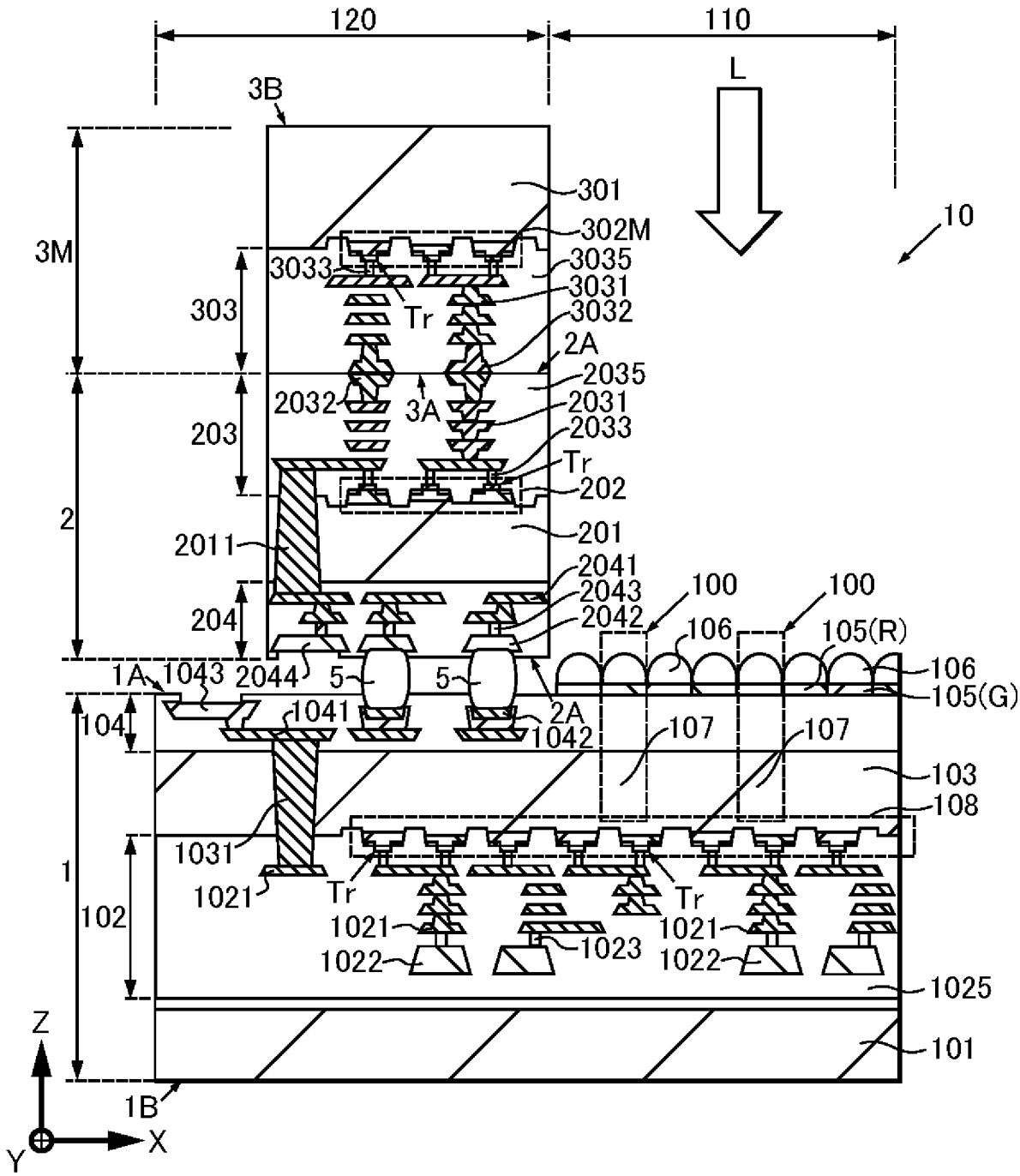
[図7]


5
2042
2041
5
2042
2041
2011
2044
2041
2B
202
2031
2032
204
2
201
3A
203
2A
303
301
Z
302
3
3032
3031
3B
Y
X

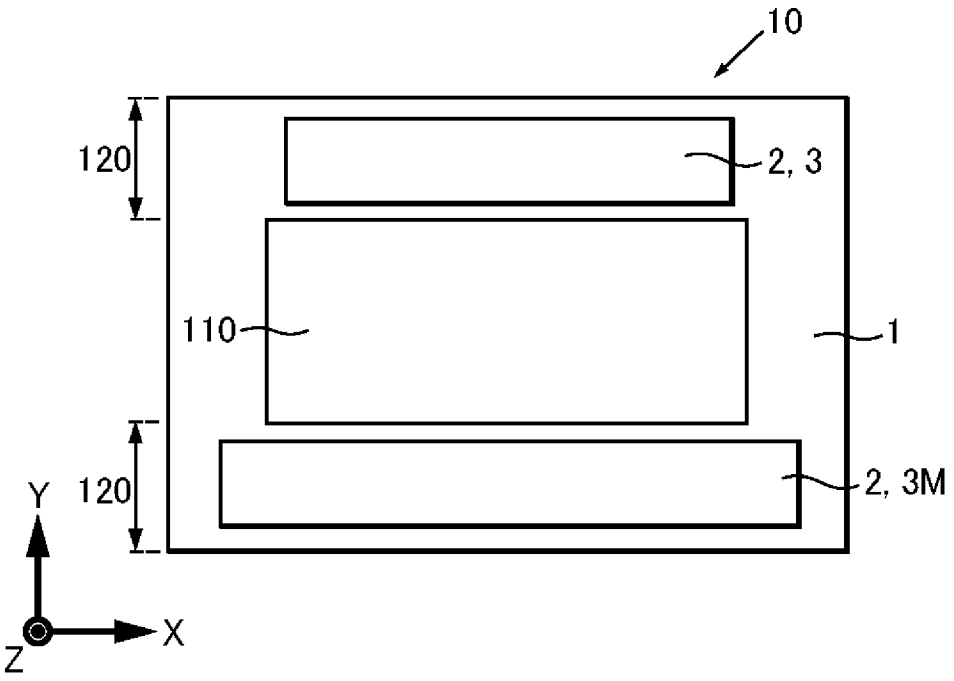
[図8]


2B
5
2042
2041
2011
2044
2041
2031
2032
204
201
2
3A
202
203
2A
303
3
301
Z
3B
302
3032
3031
Y
X

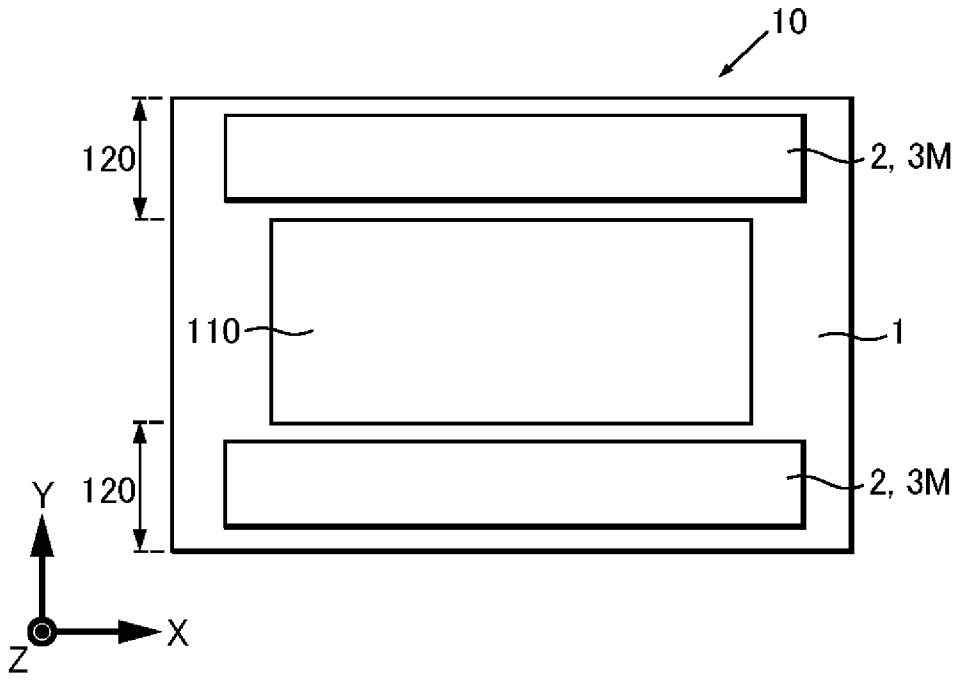
[図9]


120
110
L
3B
301
302M
10
3M
3033
3035
3031
303
Tr
3032
2A
2035
2032
3A
2031
203
2033
Tr
202
2
2011
201
2041
2043
100
100
204
2042
106
105(R)
1A
1043
2044
5
5
106
105(G)
104
1041
2A
1042
107
107
103
108
1031
1
1021
Tr
Tr
102
1021
1021
1023
1022
1022
1025
Z
101
1B
Y
X

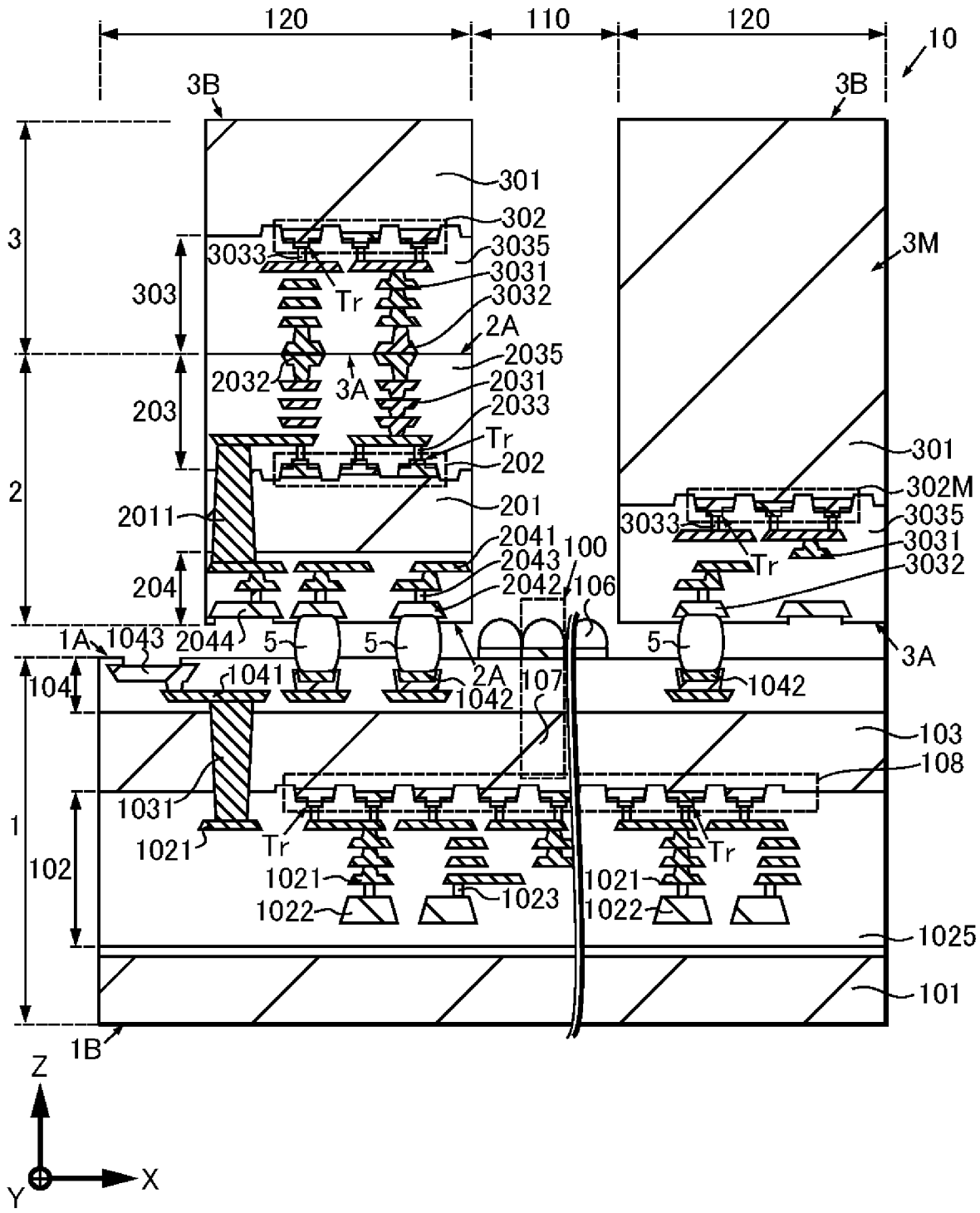
[図10]



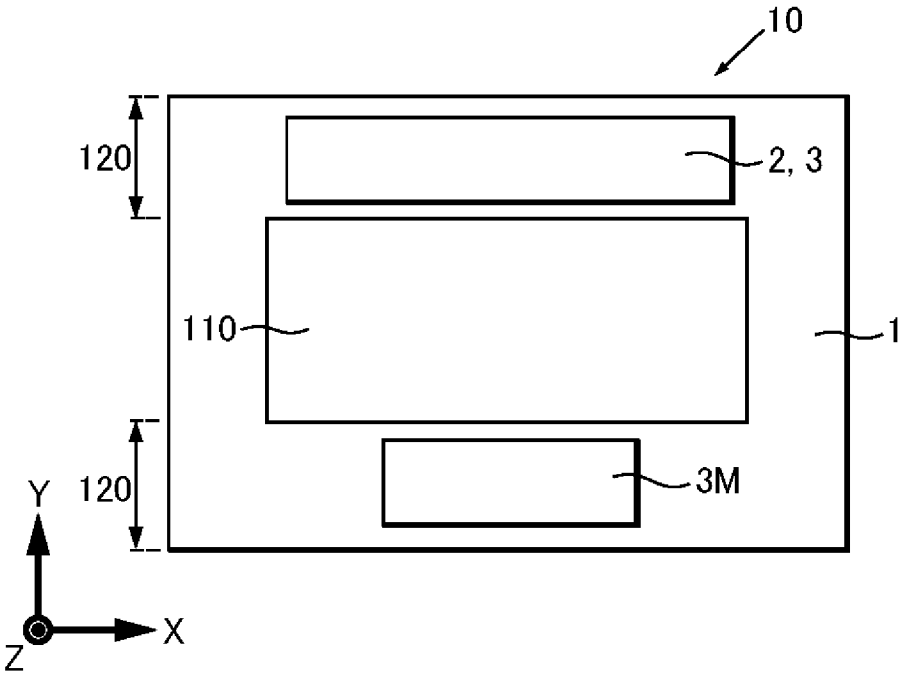
[図11]



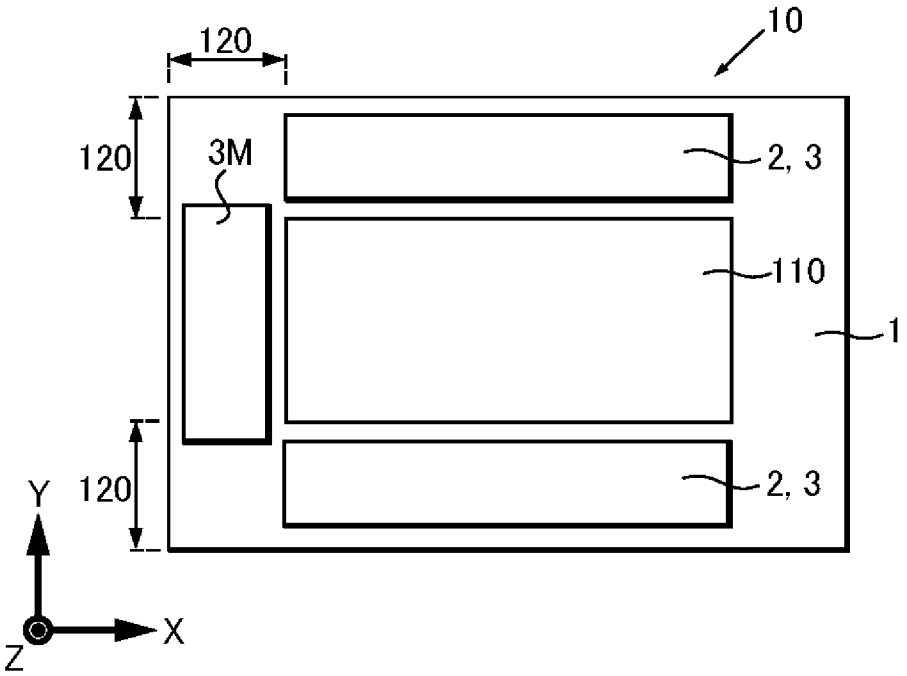
[図12]


120
110
120
10
3B
3B
301
302
3033
3035
3031
3032
2A
2035
2032
3A
2031
2033
Tr
202
201
2041
2043
2042
100
106
3M
301
302M
3033
3035
3031
3032
Tr
3A
5
5
5
1A
1043
2044
1041
2A
1042
107
104
103
108
1031
1021
Tr
Tr
1021
1023
1021
1022
1022
1025
101
1B
3
303
2
203
204
2011
1
102
Z
X
Y

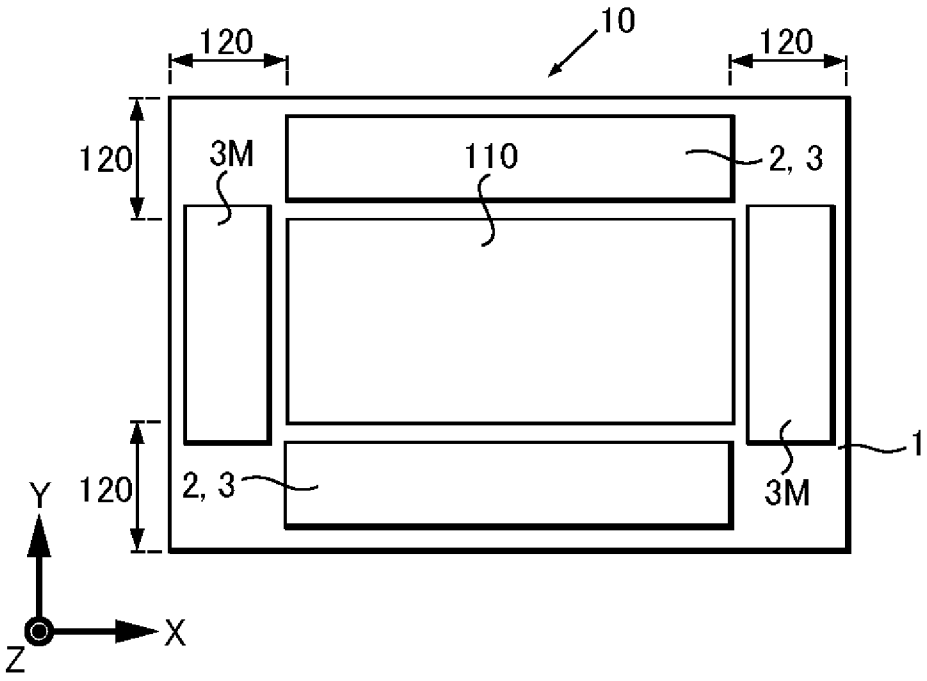
[図13]



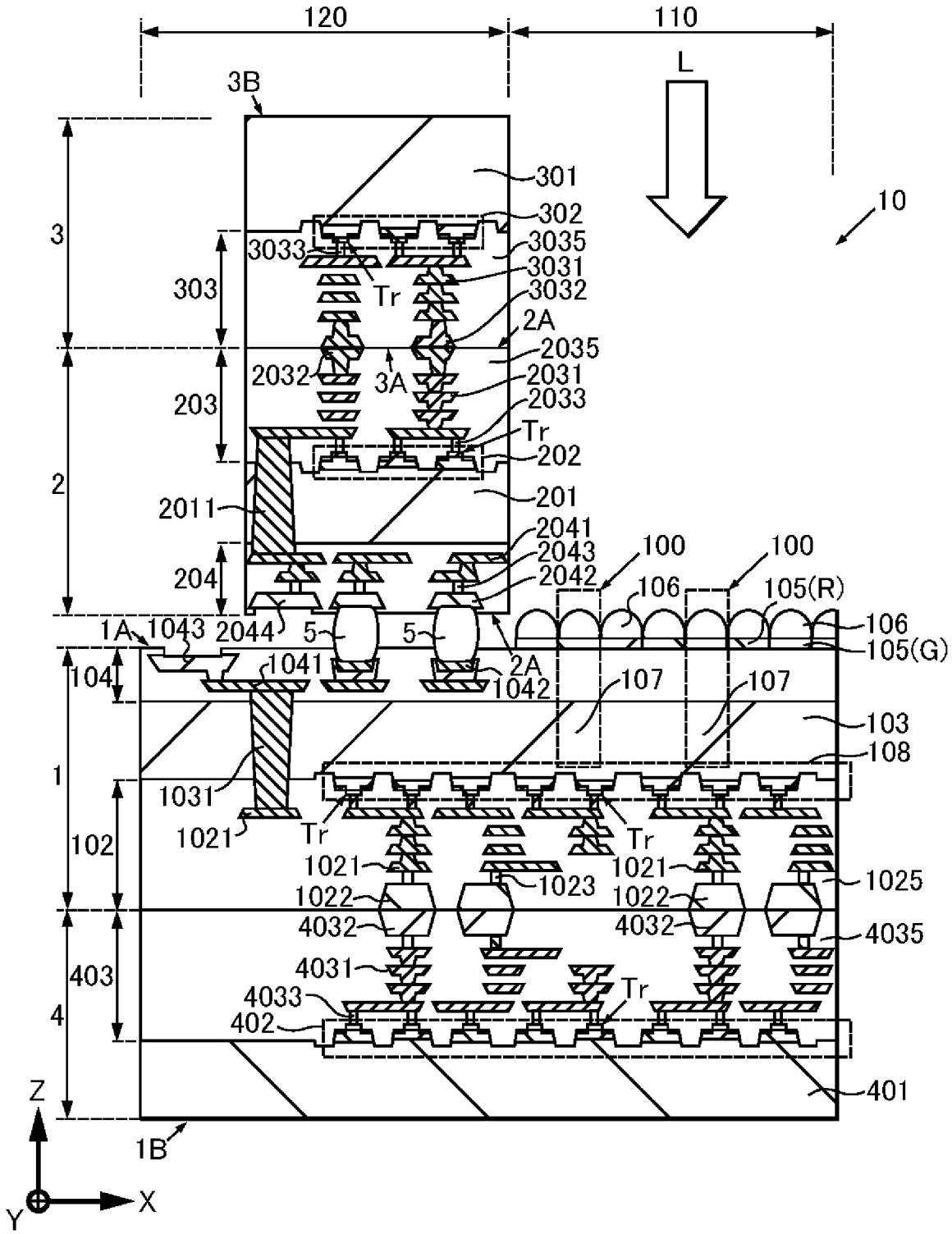
[図14]



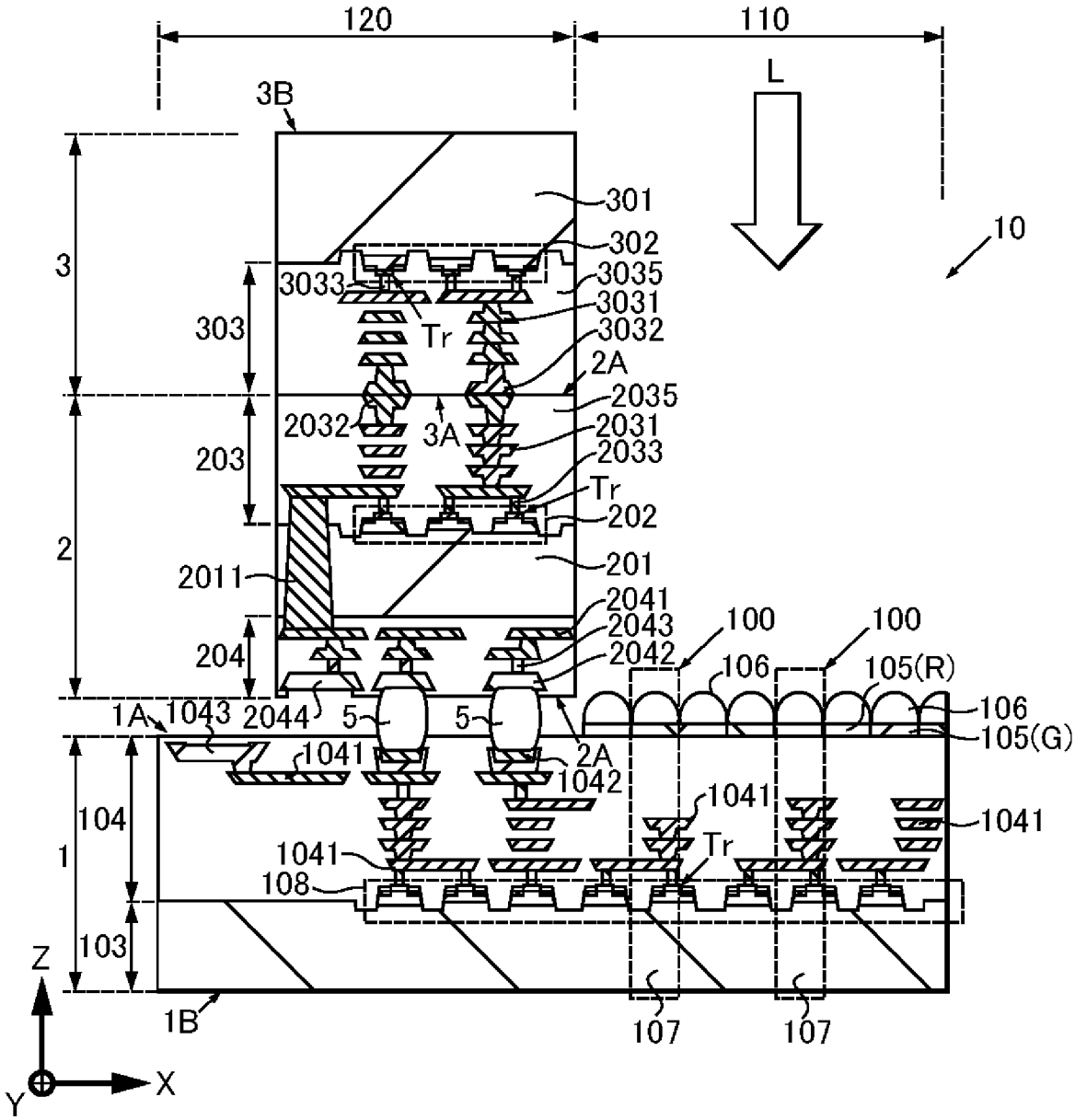
[図15]



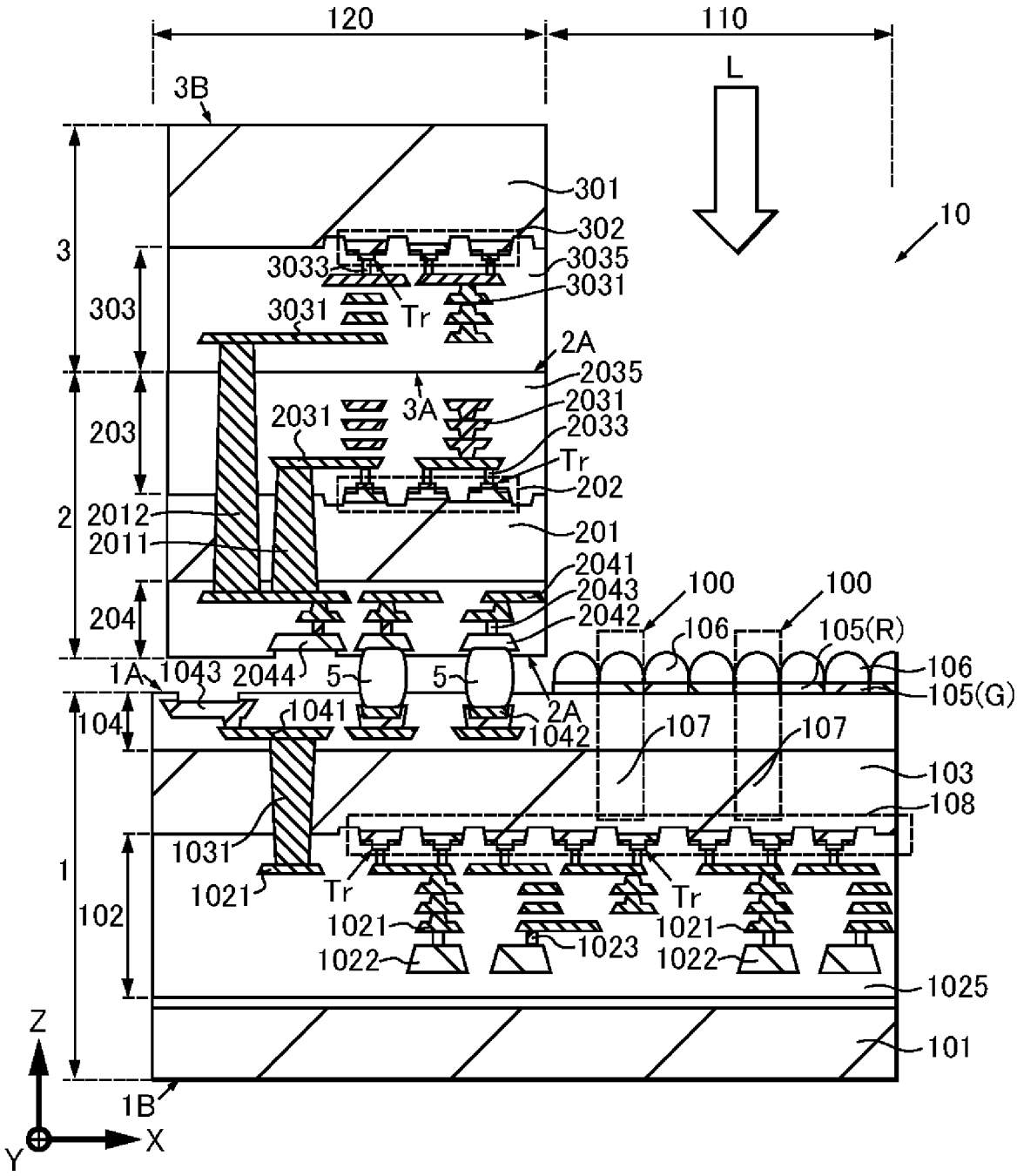
[図16]


120
110
L
3B
10
301
302
3033
3035
3031
3032
2A
2035
2032
3A
2031
2033
Tr
202
201
2011
2041
2043
2042
100
100
106
105(R)
106
105(G)
1A
1043
2044
5
5
2A
1041
1042
107
107
103
108
1031
1021
Tr
Tr
1021
1021
1023
1022
1022
1025
4032
4032
4035
4031
4033
Tr
402
401
1B
Z
X
Y
3
303
2
203
204
1
104
102
4
403

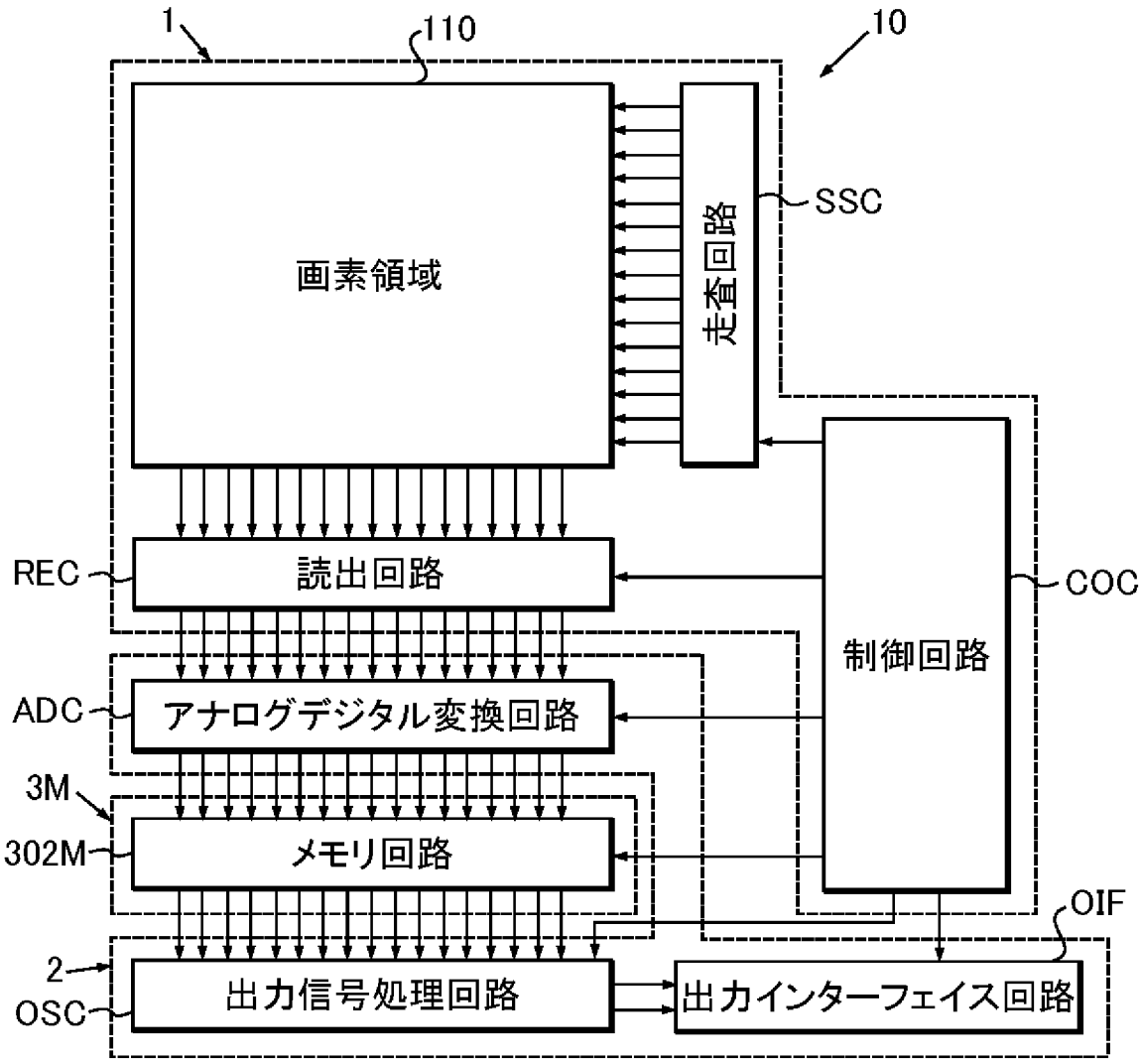
[図17]


120
110
L
3B
10
301
302
3035
3033
3031
Tr
303
3032
2A
2035
2032
3A
2031
203
2033
Tr
202
2
2011
201
2041
2043
100
100
204
2042
106
105(R)
1A
1043
2044
5
5
106
105(G)
2A
1041
1042
1041
104
1041
1041
Tr
1
108
103
Z
1B
107
107
Y
X

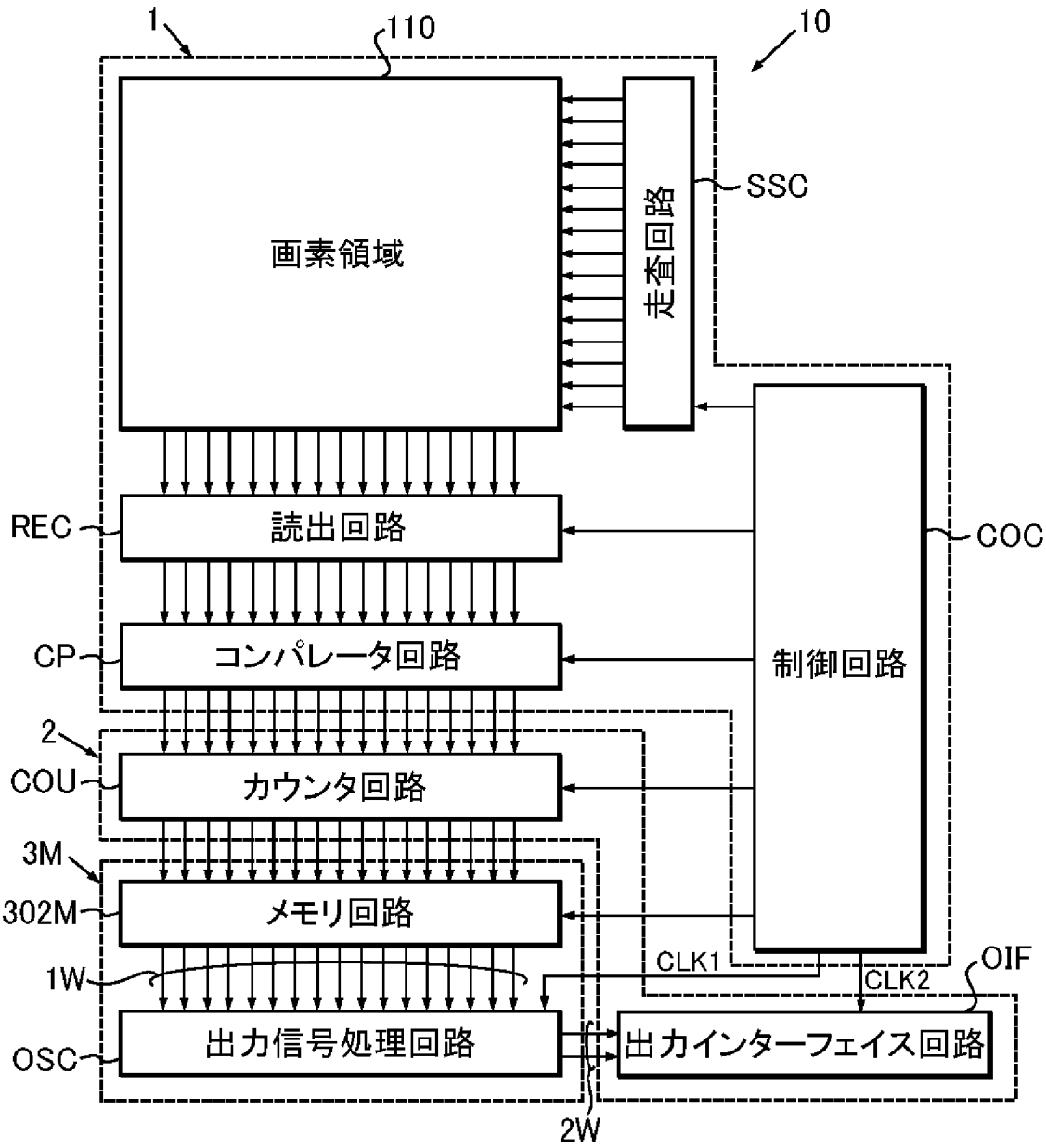
[図18]


120
110
L
3B
10
301
302
3035
3031
3033
Tr
303
3
2A
2035
2031
3A
2033
203
202
2012
2011
2
201
2041
2043
2042
100
106
105(R)
204
1A
1043
2044
5
2A
1042
105(G)
104
1041
107
103
108
1031
1021
1
102
1022
1023
1025
101
Z
Y
X
1B

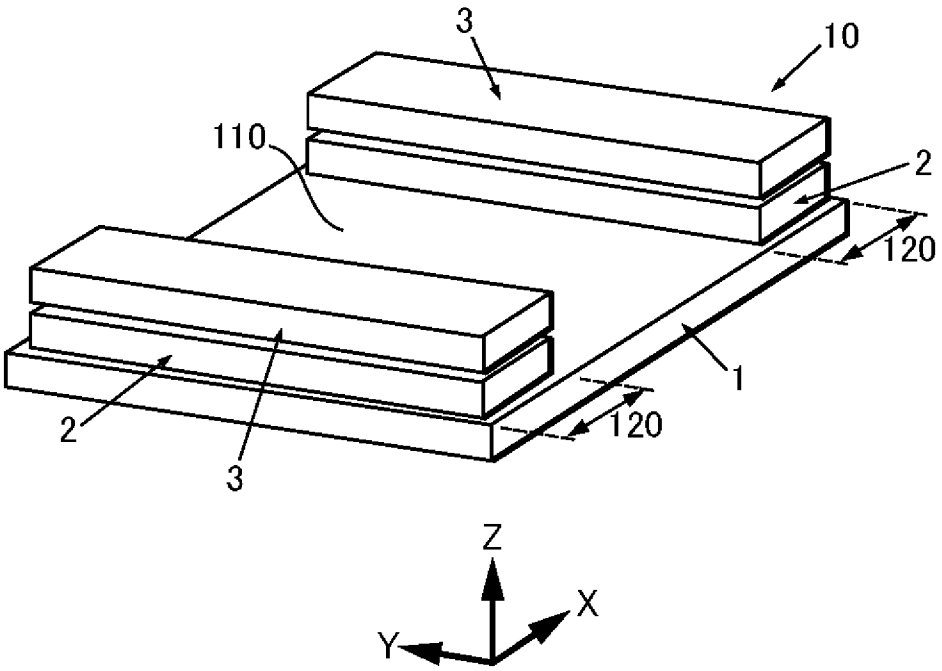
[図19]


1
110
10
画素領域
走査回路
SSC
REC
読出回路
制御回路
COC
ADC
アナログデジタル変換回路
3M
302M
メモリ回路
OIF
2
OSC
出力信号処理回路
出力インターフェイス回路

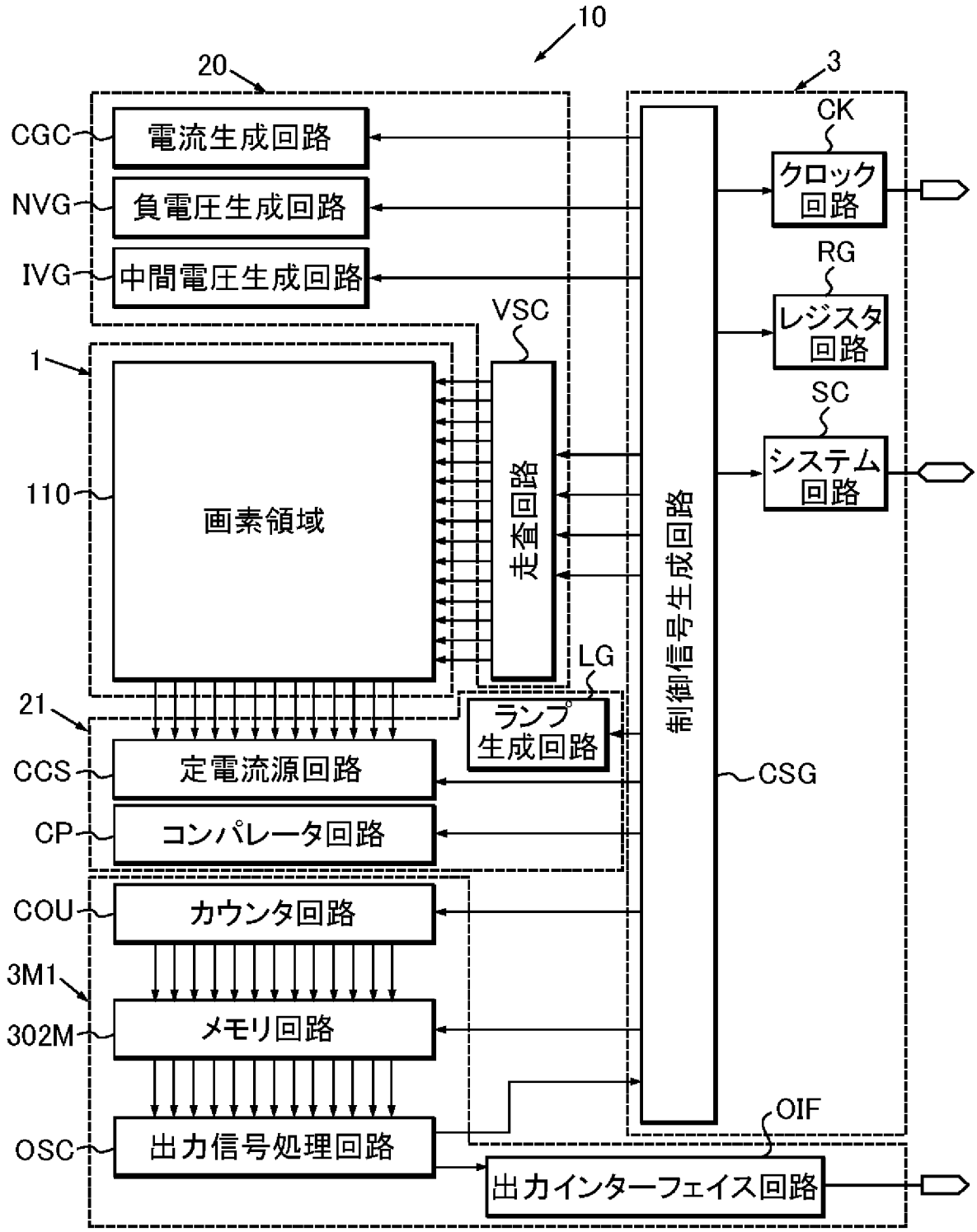
[図20]


1
110
10
画素領域
走査回路
SSC
REC
読出回路
COC
CP
コンパレータ回路
制御回路
2
COU
カウンタ回路
3M
302M
メモリ回路
CLK1
CLK2
OIF
1W
OSC
出力信号処理回路
出力インターフェイス回路
2W

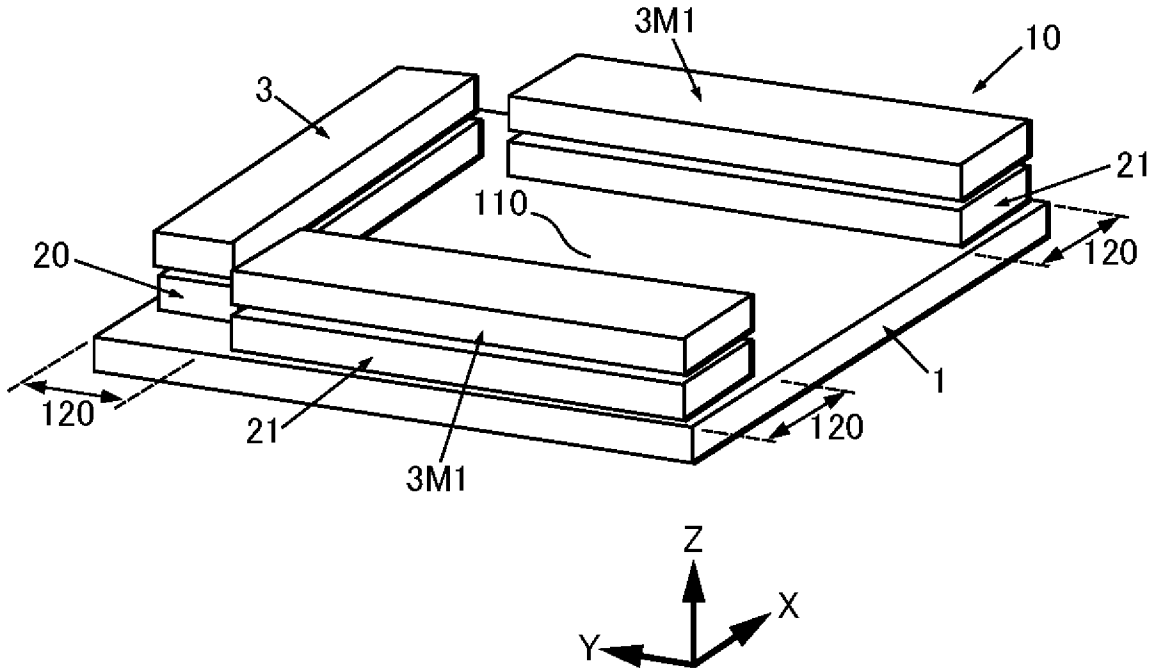
[図21]



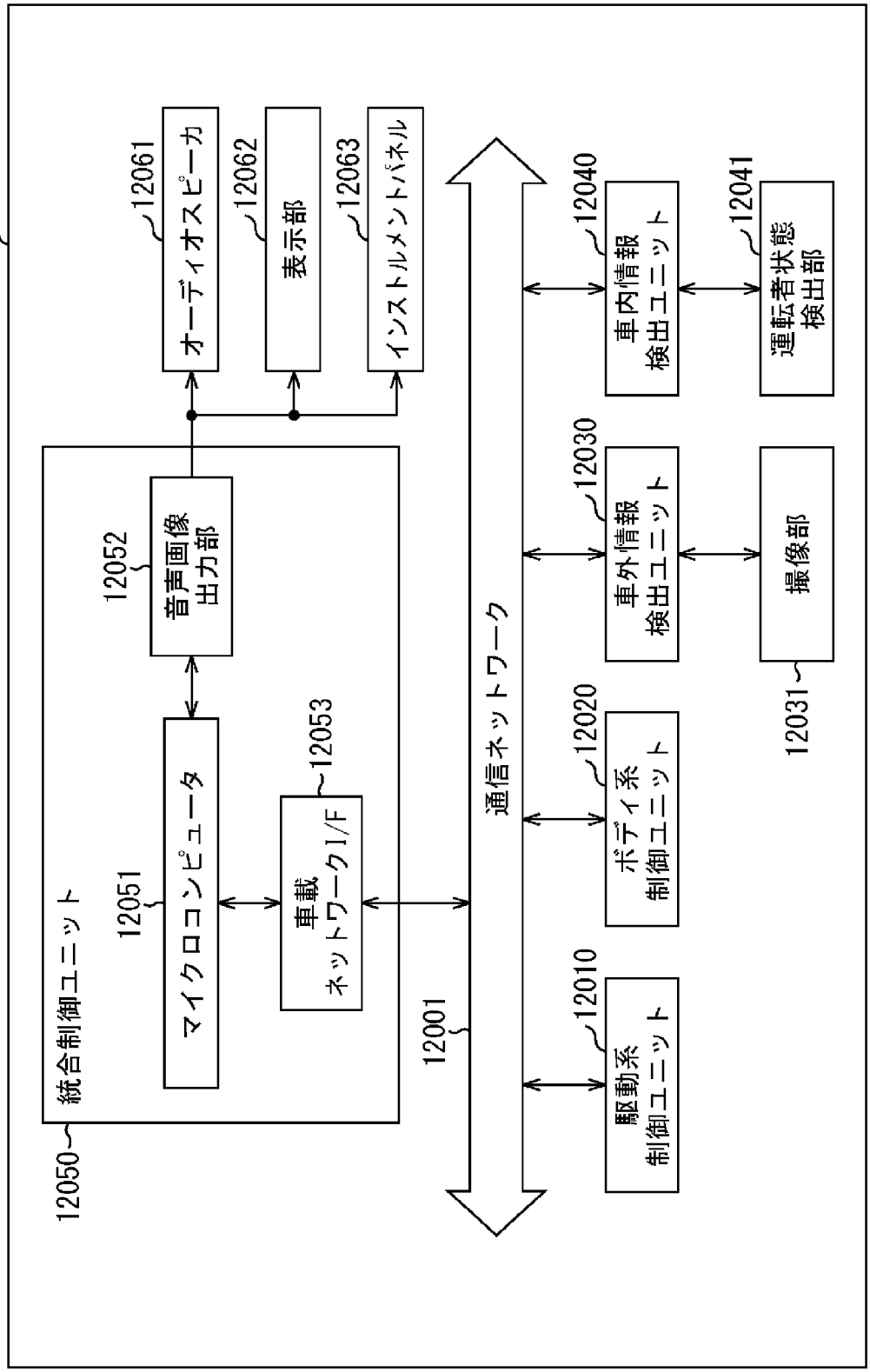
[図22]


10
20
3
CGC
電流生成回路
NVG
負電圧生成回路
IVG
中間電圧生成回路
CK
クロック回路
RG
レジスタ回路
SC
システム回路
VSC
1
110
画素領域
走査回路
制御信号生成回路
LG
ランプ生成回路
21
CCS
定電流源回路
CP
コンパレータ回路
CSG
COU
カウンタ回路
3M1
302M
メモリ回路
OSC
出力信号処理回路
OIF
出力インターフェイス回路

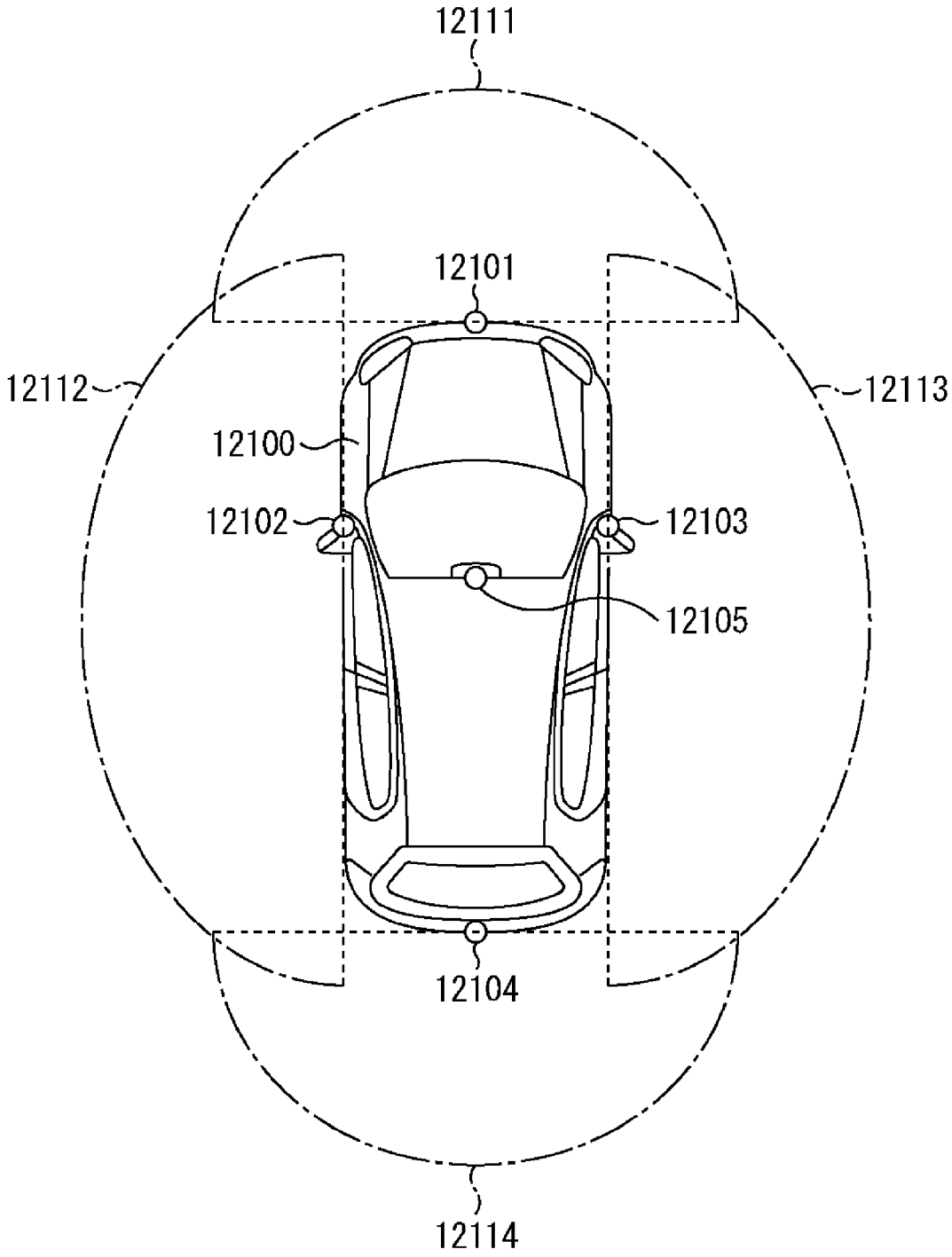
[図23]



[図24]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12052
音声画像
出力部
12030
車外情報
検出ユニット
撮像部
12031
12053
車載
ネットワークI/F
通信ネットワーク
12051
マイクロコンピュータ
12020
ボディ系
制御ユニット
12001
12010
駆動系
制御ユニット
統合制御ユニット
12050

[図25]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/033323

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146(2006.01)i
FI: H01L27/146 F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-12221 A (SAMSUNG ELECTRONICS CO LTD) 13 January 2005 (2005-01-13) paragraphs [0036]-[0065], fig. 3, 6	1, 2, 4, 7
Y		3, 5, 6, 8-20
Y	WO 2010/073520 A1 (PANASONIC CORPORATION) 01 July 2010 (2010-07-01) paragraphs [0026], [0031]-[0035], fig. 1	3, 9, 10, 12, 14, 15, 16
Y	JP 2016-163011 A (SONY CORP) 05 September 2016 (2016-09-05) paragraph [0124], fig. 1, 2	3, 9, 10
Y	JP 2014-99582 A (SONY CORP) 29 May 2014 (2014-05-29) paragraph [0080], fig. 3, 4, 6, 8, 20, 32-35	5, 6, 8, 11, 13, 15
Y	JP 2015-135938 A (SONY CORP) 27 July 2015 (2015-07-27) paragraph [0458], fig. 5-8, 103, 114, 118	5, 6, 8, 11, 13, 15
Y	WO 2018/198802 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 01 November 2018 (2018-11-01) fig. 1, 7, 13, 14, 21, 22	13, 17-20

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 November 2023	**28 November 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/033323

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-289908 A (HAMAMATSU PHOTONICS KK) 04 October 2002 (2002-10-04) entire text, all drawings	1-20
A	WO 2018/116864 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 28 June 2018 (2018-06-28)	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/033323

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2005-12221 A	13 January 2005	US 2004/0263668 A1 paragraphs [0032]-[0060], fig. 3, 6 KR 10-0568223 B1 CN 1574379 A	
WO 2010/073520 A1	01 July 2010	US 2011/0254988 A1 paragraphs [0026], [0042]-[0046], fig. 1	
JP 2016-163011 A	05 September 2016	US 2018/0026068 A1 paragraph [0158], fig. 1, 2 WO 2016/139914 A1 EP 3266044 A1 CN 107112341 A KR 10-2017-0124526 A	
JP 2014-99582 A	29 May 2014	US 2015/0270307 A1 paragraph [0103], fig. 3, 4, 6, 8, 20, 32-35 WO 2014/061240 A1 EP 2909862 A1 TW 201417255 A CN 104718622 A KR 10-2015-0066527 A	
JP 2015-135938 A	27 July 2015	US 2016/0284753 A1 paragraph [0782], fig. 5-8, 103, 114, 118 WO 2015/093017 A1 EP 3084831 A1 TW 201526219 A CN 105593995 A	
WO 2018/198802 A1	01 November 2018	US 2020/0059620 A1 fig. 1, 7, 13, 14, 21, 22 CN 110546765 A	
JP 2002-289908 A	04 October 2002	(Family: none)	
WO 2018/116864 A1	28 June 2018	JP 2018-107161 A	

国際調査報告

国際出願番号
PCT/JP2023/033323

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/146(2006.01)i
FI: H01L27/146 F

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2005-12221 A (三星電子株式会社) 13.01.2005 (2005-01-13) ［００３６］－［００６５］，図３，６	1,2,4,7
Y		3,5,6,8-20
Y	WO 2010/073520 A1 (パナソニック株式会社) 01.07.2010 (2010-07-01) ［００２６］，［００３１］－［００３５］，図１	3,9,10,12,14,15,16
Y	JP 2016-163011 A (ソニー株式会社) 05.09.2016 (2016-09-05) ［０１２４］，図１，２	3,9,10
Y	JP 2014-99582 A (ソニー株式会社) 29.05.2014 (2014-05-29) ［００８０］，図３，４，６，８，２０，３２－３５	5,6,8,11,13,15
Y	JP 2015-135938 A (ソニー株式会社) 27.07.2015 (2015-07-27) ［０４５８］，図５－８，１０３，１１４，１１８	5,6,8,11,13,15
Y	WO 2018/198802 A1 (パナソニックＩＰマネジメント株式会社) 01.11.2018 (2018-11-01) 図１，７，１３，１４，２１，２２	13,17-20

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
13.11.2023	28.11.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
柴山　将隆 5F 3035

電話番号 03-3581-1101 内線 3559

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2002-289908 A (浜松ホトニクス株式会社) 04.10.2002 (2002-10-04) 全文, 全図	1-20
A	WO 2018/116864 A1 (ソニーセミコンダクタソリューションズ株式会社) 28.06.2018 (2018-06-28)	1-20

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/033323

引用文献	公表日	パテントファミリー文献	公表日
JP 2005-12221 A	13.01.2005	US 2004/0263668 A1 ［００３２］－［００６０］，図３，６ KR 10-0568223 B1 CN 1574379 A	
WO 2010/073520 A1	01.07.2010	US 2011/0254988 A1 ［００２６］，［００４２］－［００４６］，図１	
JP 2016-163011 A	05.09.2016	US 2018/0026068 A1 ［０１５８］，図１，２ WO 2016/139914 A1 EP 3266044 A1 CN 107112341 A KR 10-2017-0124526 A	
JP 2014-99582 A	29.05.2014	US 2015/0270307 A1 ［０１０３］，図３，４，６，８，２０，３２－３５ WO 2014/061240 A1 EP 2909862 A1 TW 201417255 A CN 104718622 A KR 10-2015-0066527 A	
JP 2015-135938 A	27.07.2015	US 2016/0284753 A1 ［０７８２］，図５－８，１０３，１１４，１１８ WO 2015/093017 A1 EP 3084831 A1 TW 201526219 A CN 105593995 A	
WO 2018/198802 A1	01.11.2018	US 2020/0059620 A1 図１，７，１３，１４，２１，２２ CN 110546765 A	
JP 2002-289908 A	04.10.2002	（ファミリーなし）	
WO 2018/116864 A1	28.06.2018	JP 2018-107161 A	