



(12) 发明专利申请

(10) 申请公布号 CN 103714841 A

(43) 申请公布日 2014. 04. 09

(21) 申请号 201310261739. 3

(22) 申请日 2007. 03. 26

(30) 优先权数据

60/787, 710 2006. 03. 28 US

11/496, 278 2006. 07. 31 US

60/839, 534 2006. 08. 23 US

11/639, 375 2006. 12. 14 US

(62) 分案原申请数据

200780010648. 5 2007. 03. 26

(71) 申请人 莫塞德技术公司

地址 加拿大安大略省

(72) 发明人 金镇祺

(74) 专利代理机构 北京泛华伟业知识产权代理

有限公司 11280

代理人 王勇

(51) Int. Cl.

G11C 5/06 (2006. 01)

G11C 16/06 (2006. 01)

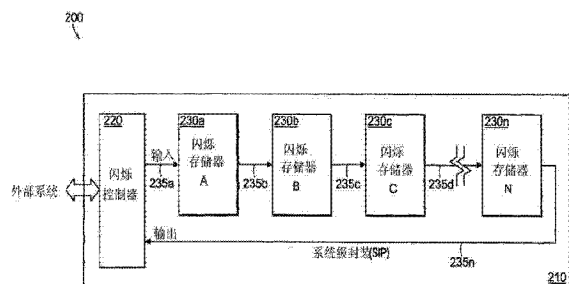
权利要求书2页 说明书10页 附图9页

(54) 发明名称

非易失性存储器的菊花链布置

(57) 摘要

一种闪烁存储器系统在系统级封装(SIP)外壳中实现,所述系统包括闪烁存储器控制器和多个闪烁存储器设备。SIP涉及包括多个集成电路(芯片)的单个封装或者模块。闪烁存储器控制器被配置为和外部系统以及所述SIP中的多个存储器设备接口。所述存储器设备被配置在菊花链级联布置中,由闪烁存储器控制器通过经菊花链级联发送的命令控制。



1. 一种非易失性存储装置,包括:

非易失性存储器阵列,其包括多个块,每个块包括多个页面,所述非易失性存储器阵列被配置为读取页面中的数据、编程页面中的数据以及擦除块中的数据;

第一端口,其被配置为从控制器接收命令,所述命令包括地址信息;

第二端口,其耦合到另一非易失性存储装置的输入端口;

第三端口,其被配置为从所述另一非易失性存储装置接收第一输出;

第四端口,其被配置为向所述控制器提供第二输出;以及

装置确定器,其被配置为确定所述命令的地址信息是否识别所述非易失性存储装置,

响应于不匹配确定,所接收的命令通过所述第二端口被输出到所述另一非易失性存储装置,以及

响应于匹配确定,

在所述命令用于数据读取的情况下,处理所述命令以存取所述非易失性存储器阵列,并且响应于读取命令来读取所述非易失性存储器阵列的被寻址的页面,

在所述命令用于编程的情况下,处理所述命令以存取所述非易失性存储器阵列,并且响应于编程命令来编程所述非易失性存储器阵列的被寻址的页面,以及

在所述命令用于擦除的情况下,处理所述命令以存取所述非易失性存储器阵列,并且响应于编程命令来擦除所述非易失性存储器阵列的被寻址的块。

2. 根据权利要求 1 所述的非易失性存储装置,其中,所读取的数据通过所述第二输出端口被发送到所述另一非易失性存储装置。

3. 根据权利要求 1 所述的非易失性存储装置,其中,所读取的数据通过所述第四端口作为第二输出被发送到所述控制器。

4. 根据权利要求 1 所述的非易失性存储装置,其中:

所述第三端口还被配置为从所述另一非易失性存储装置接收作为所述第一输出的编程数据;以及

所述第四端口还被配置为向所述控制器提供所接收到的编程数据。

5. 根据权利要求 1 所述的非易失性存储装置,其中:

所述第一端口还被配置为从所述控制器接收命令和编程数据;以及

所述第四端口还被配置为从所述非易失性存储器阵列向所述控制器提供所读取的数据。

6. 根据权利要求 1 所述的非易失性存储装置,其中,所述第一端口、第二端口、第三端口和第四端口是串行或并行端口。

7. 根据权利要求 1 所述的非易失性存储装置,其中,所述装置确定器被配置为在系统初始化时确定装置地址。

8. 根据权利要求 1 所述的非易失性存储装置,其中,所述装置确定器被配置为在上电时执行装置地址确定。

9. 根据权利要求 1 所述的非易失性存储装置,其中,所述装置确定器被配置为在所述第一端口上从所述控制器接收到包括值的命令时执行装置地址确定。

10. 根据权利要求 9 所述的非易失性存储装置,其中,所述装置确定器还被配置为基于所接收的值产生装置标识。

11. 根据权利要求 1 所述的非易失性存储装置,还包括被配置为存储装置地址的寄存器。

12. 根据权利要求 1 所述的非易失性存储装置,其中,所述装置确定器被配置为基于硬件编程来确定装置地址。

13. 根据权利要求 12 所述的非易失性存储装置,其中,所述装置确定器被配置为基于一次性可编程阵列来确定装置地址。

14. 一种具有非易失性存储装置的芯片,所述非易失性存储装置包括权利要求 1 到 15 中任一所述的非易失性存储装置。

15. 一种包括控制器和一个或多个权利要求 1 到 13 中任一所述的非易失性存储装置的封装,所述控制器包括第一端口,用于向一个或多个非易失性存储装置的第一端口提供命令和编程数据,所述控制器还包括第二端口,用于从一个或多个非易失性存储装置的第四端口接收读取的数据。

16. 根据权利要求 15 所述的封装,其中,在线路板上彼此并排地安装所述一个或多个非易失性存储装置和所述控制器。

17. 根据权利要求 15 所述的封装,其中,在线路板上垂直堆叠地安装所述一个或多个非易失性存储装置和所述控制器。

18. 根据权利要求 17 所述的封装,其中,所述一个或多个非易失性存储装置和所述控制器中的至少一个使用焊料块或导线进行连接。

## 非易失性存储器的菊花链布置

[0001] 本申请为申请号为 200780010648.5、申请日为 2007 年 3 月 26 日、发明名称为“非易失性存储器的菊花链布置”的申请的分案申请。

### 背景技术

[0002] 对于诸如闪存卡、数字音视频播放器、手机、USB 闪存驱动器和用于替代 HDD 的固态盘的消费者应用和移动存储应用，闪烁存储是一项关键的使能技术。随着高密度存储需求的增长，闪烁存储解决方案持续发展以提供产品的更高密度和更低成本。

[0003] 两种常见的闪烁存储解决方案为或非闪烁和与非闪烁。或非闪烁典型地具有较长的擦除和写入时间，但具有全地址和数据接口，从而允许随机存取任意位置。存储器单元可以接近可比的与非闪烁单元的尺寸的两倍。或非闪烁最适用于要求代码存储的随机存取能力的应用。相反，与非闪烁相对于或非闪烁典型地具有更快速的擦除和写入时间、更高的密度和每位更低的成本；但其 I/O 接口仅允许顺序存取数据，其适于诸如音乐文件和图片文件的数据存储应用。

[0004] 因为多种应用要求对数据的快速、随机存取能力，所以已经结合或非和与非闪烁存储器的优点来开发产品。这样的一种解决方案为具有在单个集成电路(IC)上的嵌入闪烁控制器的与非闪烁存储器。此设备使用与非闪烁阵列以减小的成本与尺寸高速存储数据。此外，控制逻辑响应于外部命令存取和写入闪烁阵列，相比于传统或非闪烁设备的接口，提供具有更高数据存取能力的接口。因此，具有嵌入闪烁控制器的与非闪烁存储器结合了与非闪烁的速度和效率以及或非闪烁的存取能力。

### 发明内容

[0005] 具有嵌入存储器控制器的闪烁存储器设备存在多种缺陷。在此种设备中，多个元件被组合在单个硅管芯上。典型地，单个管芯中的存储器容量由工艺技术决定，特别是由最小特征尺寸决定。为了增加使用同样工艺技术的存储器容量，一般使用多芯片封装(MCP)。例如，可以在同一封装中集成两个或者四个芯片来提高存储器容量。

[0006] 用于控制存取包含在芯片中的存储器阵列的嵌入控制器典型地将芯片尺寸增加 15% 到 30%。如果在封装中集成多个设备来提高存储器容量，由于控制器电路在多个设备的每一个上重复，则和存储器控制器电路相关的尺寸开销将变得相当显著。此外，晶片成品率(晶片上生产的可用芯片的数量)趋向于是芯片尺寸的函数。一个或者多个嵌入控制器所需的附加空间增加了芯片尺寸，并且因此可以导致总的晶片成品率的下降。

[0007] 具有嵌入控制器的闪烁存储器的增加的复杂性也可以在产品多样化、开发时间和成本以及设备性能上具有有害影响。相对于分立的闪烁存储器，此设备需要更复杂的电路布局，导致更长的开发周期。此外，由于对设计的修改必须适应于整个芯片，因而也妨碍了产品的重新设计。此设计还可导致性能降低。例如，典型的闪烁存储器要求高压晶体管来容许编程和擦除操作。存储器控制器获益于使用高速晶体管，但是，在单个管芯上实现高压和高速晶体管显著地增加了制造成本。因此，嵌入控制器可以替代使用闪烁存储器所需的

高压晶体管,从而降低了控制器的性能。

[0008] 本发明的实施例提供一种存储器系统,该系统克服了与嵌入闪烁存储器和其它设备相关的一些缺陷。所述存储器系统包括以菊花链级联布置的多个非易失性存储器设备,由存储器控制器设备通过经所述菊花链级联发送的命令控制。存储器控制器设备和外部系统接口,并且通过经所述菊花链级联布置的通信来控制存储器设备的读、写和其它操作。在此配置中,所述通信由第一存储器设备接收,并且同任意响应通信一起传递给第二存储器设备。在所述菊花链级联中对于所有存储器设备重复此过程,从而允许所述存储器控制器控制所述菊花链级联中的所述存储器设备。

[0009] 所述存储器系统的其它实施例可以在诸如系统级封装(SIP)外壳的公共支持组件中实现,所述外壳容纳存储器控制器和存储器设备。SIP 为单个封装或者模块,包括多个集成电路(芯片)。此处所述的实施例中,SIP 中的闪烁存储器控制器被配置用于与外部系统以及所述 SIP 中的多个存储器设备接口。可选地,所述存储器系统可以在诸如电路板的其它单个形状因素(form-factor)设备中实现。

[0010] 本发明的其它实施例包括单向菊花链级联,通过所述单向菊花链级联,命令和存储数据从控制器单向经存储器设备链发送,并且从菊花链级联中的最后设备返回到控制器。单向级联包括传输与控制操作相关的信号的第一信号路径和传输响应所述控制操作的由多个非易失性存储器设备产生的信号的第二信号路径。可以实现双向菊花链级联,其中,命令和存储器数据以单个方向经所述存储器设备发送,以相反方向经所述设备返回到控制器。双向菊花链级联还可以包括被配置用于通过所述级联以双向传输信号的链接。命令以及识别特定存储器设备的地址域可以以串行模式经菊花链级联发送。在串行配置中,命令、数据和地址信号可以由公共信号路径传输。

[0011] 本发明的实施例可以作为闪烁存储器系统来实现,其中,所述存储器设备包括闪烁存储器。所述存储器控制器可以执行闪烁控制操作,诸如擦除闪烁存储器的块、编程页面和读取页面。存储器控制器可以包括控制逻辑来提供逻辑地址到每一存储器设备的物理地址的映射。所提供的映射也可以包括操作来提供存储器设备的损耗平衡。存储器控制器也可以通过或非或者其他接口与外部系统通信,并且通过非易失性存储器接口控制多个与非存储器设备。所述存储器控制器设备也可以包括存储器阵列,从而作为主闪烁存储器运行。

[0012] 经所述菊花链级联发送的命令和数据可以伴以相应于多个存储器设备的其中一个的地址。每一个设备通过对所述地址与创建在所述设备上的设备 ID 比较,以识别所述命令。在接收所述命令之前,所述存储器设备可以响应于经所述菊花链级联发送的相关信号产生设备 ID。

## 附图说明

[0013] 参照附图描述,通过下面的对本发明的示例性实施例的更详细说明,前述内容将更为清楚,附图中,相同标记指代遍及不同图中的相同部分。这些图并非按比例绘制,而是将重点放在说明本发明的实施例。

[0014] 图 1 为现有技术中的具有嵌入闪烁控制器的存储器设备的框图;

[0015] 图 2 为系统级封装(SIP)外壳中的存储器系统的框图,所述存储器系统具有被配置在单向菊花链级联中的多个存储器设备;

[0016] 图 3 为系统级封装(SIP)外壳中的存储器系统的框图,所述存储器系统具有被配置在双向菊花链级联中的多个存储器设备;

[0017] 图 4A 为闪烁存储器控制器的框图;

[0018] 图 4B 为具有 CPU 的闪烁存储器控制器的框图;

[0019] 图 5 为 SIP 的框图,所述 SIP 包括单向菊花链级联配置的主闪烁存储器 and 多个存储器设备;

[0020] 图 6 为 SIP 的框图,所述 SIP 包括双向菊花链级联配置的主闪烁存储器 and 多个存储器设备;

[0021] 图 7 为在 SIP 布局中实现的存储器系统的框图;

[0022] 图 8 为 SIP 外壳中的存储器系统的框图,所述存储器系统具有被配置在包括多个连接的单向菊花链级联中的多个存储器设备;

[0023] 图 9 为 SIP 外壳中的存储器系统的框图,所述存储器系统具有被配置在共享公共端口的双向菊花链级联中的多个存储器设备。

## 具体实施方式

[0024] 以下对本发明的示例性实施例进行描述。

[0025] 图 1 示出具有闪烁存储器 135 和嵌入在单个集成电路中的控制逻辑的集成闪烁设备 100。所述控制逻辑包括用于和外部系统通信的主机接口 110、存储器缓冲器 115、状态机 125、内部寄存器 120 和纠错逻辑 130,所述状态机 125 和所述存储器 135 接口。例如,在读取操作中,内部寄存器 120 接收来自主机接口 110 的命令和地址数据。状态机 125 接收此数据并且根据此读取操作存取所述闪烁存储器 135。状态机 125 接收来自闪烁存储器 135 的顺序数据,由此获得所请求的数据。在由纠错逻辑 130 验证之后,所请求的数据被发送给存储器缓冲器 115 用于发送到外部系统。具有嵌入的控制器的闪烁存储器设备的操作中的其它细节在三星电子公司 2005 年 12 月 23 日公布的“OneNAND™Specification”1.2 版中描述。

[0026] 图 2 的框图示出系统级封装(SIP)外壳 210 中的存储器系统 200,所述存储器系统 200 具有被配置在菊花链级联布置中的多个存储器设备 230a-n。SIP 为包括多个集成电路(芯片)的单个封装或者模块。SIP 可以被设计为作为一个独立系统或者系统元件来运行,执行诸如移动电话、个人计算机或者数字音乐播放器的电子系统的许多或者全部功能。芯片在封装或者模块内部可以互相垂直堆叠或者彼此并排水平放置。芯片典型地由封入封装中的导线相连接。选择地,芯片可以使用焊料块来连接,用于以“倒装芯片”技术将它们结合在一起。

[0027] SIP 可以包括安装在同一衬底上的数个电路元件和无源元件。例如,SIP 可以包括在专用集成电路(ASIC)中实现的处理器、在分立电路管芯中实现的存储器和与所述电路相关的电阻器和电容器。元件的这样组合使得可以在单个封装中建立完整功能单元,避免增加多个外部元件来产生功能系统的必要。使用 SIP 设备的设计,由于其降低了 SIP 外部的系统的复杂性,特别有用于诸如膝上计算机、MP3 播放器和移动电话的空间受限环境中。

[0028] 图 2 所示的闪烁存储器系统 200 在 SIP 外壳 210 中实现,并且包括闪烁存储器控制器 220 和多个闪烁存储器设备 230a-n。根据 SIP 结构,闪烁存储器控制器 220 和闪烁存

存储器设备 230a-n 在分立电路管芯(芯片)中实现,并且根据所述设计通过例如封装中封入的导线或者通过倒装芯片连接点相连。闪烁控制器 220 通过系统接口和诸如计算机系统的外部系统(未示出)通信。系统接口提供闪烁控制器 220 和外部系统之间的多个信号路径,所述信号路径发送和接收存储器数据、命令、时钟信号和与控制存储器系统 200 相关的其它信号。

[0029] 响应于与外部系统或者其它指令的通信,闪烁控制器 220 可以与以单向菊花链级联布置的一个或者多个闪烁存储器设备 230a-n 通信。在单向菊花链级联配置中,菊花链级联中的每一设备将所接收到的信号和所产生的信号一起发送到后续设备,从而通过这些设备提供单个通信路径 235。信号路径 235 包括设备间的多个链接 235a-n,并且因此表示单个来自闪烁控制器 220 并通过菊花链级联中的闪烁存储器设备 230a-n,返回闪烁控制器 220 的单向通信流。此外,链接 235a-n 可以是双向的,连接各个设备的驱动器和接收器电路。

[0030] 在此例中,闪烁控制器 220 通过信号路径 235a 发送命令和数据信号到菊花链级联中的第一闪烁存储器设备 230a (“闪烁存储器 A”)。闪烁存储器 230a 根据所接收的命令响应,所述响应可以包括获取存储的数据、写入数据或者执行其它操作。闪烁存储器 230a 随后输出和响应相关的任意数据以及接收的命令到下一个存储器设备 230b。相反,如果所接收的命令没有寻址到闪烁存储器 230a,设备 230a 输出所接收的命令而不执行其它操作。闪烁存储器 230a 可以通过将同所述命令相关的地址域与存储在存储器 230a 的设备识别符进行比较来确定所述命令是否寻址到它。

[0031] 闪烁存储器 230b 接收来自存储器 230a 的命令以及存储器 230a 产生的任意数据。如同在先存储器 230a 那样,闪烁存储器 230b 响应于寻址到其的任意命令,并且输出命令及任何产生的数据到下一设备 230c。在信号路径 235 中对于所有设备重复此连续的通信,直到命令被最后的闪烁存储器 230n 接收。闪烁存储器 230n 根据命令响应,并且通过信号路径 235n 输出命令和存储器设备 230a-n 产生的任何数据到闪烁控制器 220。结果,存储器系统 200 的通信通过信号路径 235 被发送到菊花链级联中的所有设备。信号路径 235 可以包括设备间的一个或者多个引脚或者导线连接,并且可以串行或者并行传输信号。参见美国专利申请 NO. 11/324,023 (“Multiple Independent Serial Link Memory(多个独立串行链接存储器)”)、美国专利申请 NO. 11/495,278 (“Daisy Chain Cascading Devices(菊花链级联设备)”)、美国专利申请 NO. 11/521,734 (“Asynchronous ID Generation(异步 ID 生成)”)和美国临时申请 NO. 60/802,645 (“Serial Interconnection of Memory Devices(存储器设备的串行互联)”),获取关于存储器设备的串行通信和菊花链级联配置的示例性技术。以上申请的全部教导在此处通过引用,就像全部阐明那样被包括在此处。

[0032] 在此例中,存储器系统 200 包括多个闪烁存储器设备 230a-n,以此方式被配置:来自闪烁控制器 220 的输入信号被传输到第一闪烁设备并且来自最后一个设备 230n 的输出信号被传输到闪烁控制器 220。在示例性实施例中,所有信号(包括来自闪烁控制器 220 的输入数据和命令)从第一存储器设备 230a 下行至最后一个存储器设备 230n。因此,所有的输入和输出信号在信号路径 235 上单向传输。输入命令可以包括诸如存储器设备 230a-n 的其中一个的目标设备的地址。在系统初始化或者上电期间,可以由闪烁控制器 220 或者闪烁设备 230a-n 自身为每一闪烁设备 230a-n 分配特有的设备地址,或者可以经诸如一次性可编程(OTP)阵列的硬件编程预先分配。当闪烁控制器 220 发布附有目标设备地址的命

令时,相应的闪烁设备(设备 230a-n 的其中之一)执行所接收到的命令。闪烁设备 230a-n 的其余设备相应于接收到的命令以“旁路”模式运行,传输命令到菊花链级联布置中后续设备,而没有其它操作。

[0033] 通过识别符(ID)生成过程,可以在存储器设备 230a-n 中的每一个上建立目标设备地址。通过引用全部包括进来的美国专利申请 NO. 11/521,734 “Asynchronous ID Generation(异步 ID 生成)”,包括在菊花链级联布置中多个存储器设备上产生 ID 的示例性技术。在一个示例性实施例中,菊花链级联中的每一设备 230a-n 具有生成电路(未示出)。当控制器 220 发送“生成 ID”命令到设备 230a-n 时,第一设备 230a 的生成电路接收来自控制器 220 的第一值,根据此值生成设备 ID。设备 ID 可以被存储在第一设备 230a 的寄存器中,并且用来确定命令和地址是否被寻址到设备 230a。此生成电路也产生由第一值增量修改的第二值,被第一设备 230a 传输给后续设备 230b。第二设备 230b 的生成电路根据第二值产生设备 ID,并且传输所修改的值得到第三设备 230c。重复此过程,直到菊花链级联中的最后一个设备 230n 建立设备 ID。

[0034] 选择地,闪烁设备 230a-n 可以通过连接每一设备 230a-n 和闪烁存储器控制器 220 的信号路径使用设备选择信号(未示出)寻址。在此实施例中,闪烁存储器控制器 220 可以发送设备选择信号到命令寻址的闪烁设备 220a,从而使得设备 220a 响应并执行所接收的命令。剩余的闪烁设备 220b-n 不能接收设备选择信号,并且因此传输所接收的命令到菊花链级联布置中的后续设备,而没有其它操作。

[0035] 闪烁存储器为一种非易失性存储器,可以保持所存储的数据,而无需供电源或者频繁刷新操作。在可选实施例中,可以使用其它类型的非易失性存储器来代替一个或多个闪烁存储器设备 230a-n,或者可以合并入闪烁设备 230a-n 中。同样,诸如静态随机存取存储器(SRAM)和动态随机存取存储器(DRAM)的易失性存储器可以合并入闪烁存储器设备 230a-n 中。此可选实施例也要求控制器 220 根据存储器的规范操作,或者必需附加或者替代存储器控制器。以下将结合图 4 详细描述闪烁存储器控制器的操作。

[0036] 图 3 为图示系统级封装(SIP)外壳 310 中的存储器系统 300 的框图,具有被配置在菊花链级联布置中的多个闪烁存储器设备 330a-n。存储器系统 300 相比于图 2 的系统 200,在一定程度上闪烁控制器 320 和闪烁存储器设备 330a-n 可以如控制器 220 和设备 230a-n 相同的方式配置,如在上文参照图 2 进行的描述。但是,本系统 300 的控制器 320 和设备 330a-n 经在双向菊花链级联、信号路径 334 和 335 中的信号通信,所述信号路径 334 和 335 包括在输入输出端口连接设备的多个链接 334a-n、335a-n。信号路径 334 和 335 表示通信信号流,其来自闪烁控制器 320 并由信号路径 334 通过菊花链级联的闪烁存储器设备 330a-n,经信号路径 335 返回到闪烁控制器 320。

[0037] 闪烁控制器 320 通过系统接口与诸如计算机系统的外部系统(未示出)相通信。系统接口提供闪烁控制器 320 和外部系统之间的多个信号路径,所述信号路径发送和接收存储器数据、命令、时钟信号和与控制存储器系统 300 相关的其它信号。

[0038] 响应于与外部系统或者其它指令的通信,闪烁控制器 320 可以与以双向菊花链级联布置的一个或者多个闪烁存储器设备 330a-n 通信。在此处描述的双向菊花链级联配置中,闪烁控制器 320 通过信号路径 334a 发送命令和数据信号到菊花链级联中的第一闪烁存储器设备 330a (“闪烁存储器 A”)。菊花链级联中每一闪烁存储器设备 330a-n 经信号路

径 334 发送接收到的信号到后续的设备,直到菊花链级联中的最后一个设备(“闪烁存储器 N” 330n) 接收到所述信号。

[0039] 每一设备 330a-n 响应寻址到其所接收的信号,经信号路径 335 发送响应的所生成的信号到闪烁控制器 320。例如,闪烁控制器可以发送寻址到闪烁存储器设备 B330b 的“读”命令用于获取存储在此设备上的数据。命令穿过闪烁存储器 A330a (经链接 334a-b) 并且由闪烁存储器 B330b 接收。闪烁存储器 B 通过经链接 335a-b 发送所请求的数据到闪烁控制器 320 来响应命令。闪烁存储器 B 也发送命令到闪烁存储器 C330c,其又发送命令进一步通过级联到最后一个设备—闪烁存储器 N330n。

[0040] 在一些条件下,闪烁控制器 320 可以为特定命令寻址多于一个存储器设备。进一步对于上述例子,所述命令也可以请求来自闪烁存储器设备 C330c 的数据。在此情况中,设备可以接收来自闪烁存储器 B330b 的命令,并且通过经链接 335c 输出数据以发送所请求的数据到闪烁控制器 320。结果,闪烁控制器 320 可以经信号路径 335 接收来自闪烁存储器设备 B330b 和 C330c 二者的所请求的数据。

[0041] 因此,闪烁存储器控制器 320 可以通过发送控制和数据信号来控制闪烁存储器设备 330a-n,所述控制和数据信号通过设备 330a-n 以通过双向菊花链级联的第一方向(即,信号路径 334)传输,并且通过以经双向菊花链级联的第二方向(即,信号路径 335)传输的信号返回响应通信到控制器 320。存储器设备 330a-n 也可以被配置用于返回控制和数据信号到闪烁控制器 320,其中,级联中的最后一个设备(闪烁存储器设备 330n)通过信号路径 335 发送控制和数据信号。

[0042] 存储器系统 300 的双向菊花链级联为每一存储器设备 330a-n 提供沿着信号路径 334、335 到菊花链级联中与其相连的设备的入口和出口链接。在可选实施例中,设备可以通过其它配置中的链接相通信。例如,菊花链级联中除了最后一个设备 330n 以外的存储器设备可以被配置用于传输响应通信到前一的设备。闪烁存储器 B330b 可以接收来自前一设备 330a 的命令和数据并传输响应通信返回到前一设备 330a,用于由闪烁控制器 320 接收,而不是(或者附加的)将通信传输到下一设备 330c。闪烁存储器 B 还可以被配置用于在接收诸如高优先权的命令或者数据的某些类型通信时执行此操作。此配置可以在菊花链级联中的一个或者多个设备中实现,并且可以用于降低存储器系统 300 中某些操作的延迟。

[0043] 图 4A 为示例性闪烁存储器控制器 400 的框图。所述控制器 400 的实施例可以在单独集成电路管芯上实现,并且用在 SIP 中作为参见上述和下述的图 2、3、8 和 9 中的各自的存储器系统 200、300、800 和 900 的闪烁存储器控制器 220、320、820 和 920。控制器 400 也可以被嵌入到闪烁存储器芯片中,控制器 400 和存储器作为主闪烁存储器操作,所述主闪烁存储器可以被实现作为参见下述图 5 和图 6 的各自的存储器系统 500 和 600 的主闪烁存储器 520 和 620。

[0044] 闪烁存储器控制器 400 可以执行专用于控制闪烁存储器设备的部分或者全部操作。例如,典型的闪烁存储器被读取和编程到包括预定数量存储器位的单独页面,并且在包括多个页面的块中被擦除。相应于这些操作的命令可以被存储到闪烁存储器,以便由设备控制器所获取。单独页面存取与非(NAND)闪烁存储器。所获取的页面还可以被复制到诸如随机存取存储器(RAM)的外部存储器,在该页面中的专用数据在此被获取。一些写入和存取操作也可以在闪烁存储器设备本身中执行,因此,消除了闪烁存储器控制器 400 所需

的一些功能性。

[0045] 闪烁存储器控制器 400 包括系统接口 480、控制逻辑 410 和闪烁存储器接口 490。系统接口 480 适用于与外部主机系统通信,并且可以被配置为或非闪烁接口或者其它存储器设备所用的接口,其它存储器设备诸如双倍数据率(DDR)动态随机存取存储器(DRAM)、RAMBUS DRAM 接口、串行 ATA (SATA)接口、IEEE1394、MMC 接口或者通用串行总线(USB)。选择地,系统接口 480 可以与控制逻辑 410 分开定位,实现为一个单独设备,或者位于与闪烁存储器控制器 400 通信的系统内部。

[0046] 控制逻辑 410 包括缓冲器 RAM420 ;模式、定时和数据控制 425 ;内部寄存器 430 和纠错码(ECC)逻辑 435。控制逻辑 410 分别经系统接口 480 和闪烁存储器接口 490 与外部系统和闪烁存储器设备通信。缓冲器 RAM420 提供用于与系统接口 480 入口和出口数据处理的内部缓冲器。内部寄存器 430 可以包括地址寄存器、命令寄存器、配置寄存器和状态寄存器。模式、定时和数据控制 425 可以由状态机驱动,所述状态机接收来自闪烁存储器接口 490、ECC 逻辑 435、内部寄存器 430 和缓冲器 RAM420 的输入。ECC 逻辑 435 针对模式、定时和数据控制 425 提供错误检测和纠正。

[0047] 闪烁存储器接口 490 为用于同菊花链级联布置中的一个或者多个闪烁存储器设备通信的物理闪烁接口。美国临时申请 NO. 60/839, 329 (“NAND Flash Memory Device (与非闪烁存储器设备)”)中描述示例性闪烁接口,其通过全文引用在此处作为整体提出。此外,闪烁存储器接口 490 和控制逻辑 410 可以被配置为控制与非闪烁存储器设备,同时在上述系统接口 480 提供或非 DRAM 或者其它接口。因此,闪烁存储器控制器 400 可以用作“混合”控制器,通过在或非或者其它接口与外部主机系统通信来提供对与非闪烁存储器的控制。

[0048] 闪烁存储器控制器 400,如在本发明的实施例中实现的,可以用作系统控制器,通过经级联发送的命令和数据控制存储器设备。这些命令和数据由设备控制器在每一存储器设备(未示出)所接收,其又执行响应控制各自存储器阵列的命令的算法。

[0049] 控制逻辑 410 可以提供文件存储器管理,如图 4B 的闪烁控制 495 中所示。文件存储器管理提供逻辑地址到物理地址的映射,确定所请求数据的物理地址。映射还可以包括算法,用于分配和再分配存储在设备的数据以提高性能或者执行损耗平衡。

[0050] 在示例性的“读”操作中,闪烁存储器控制器 400 在系统接口 480 接收来自外部主机系统(未示出)的数据请求。数据请求指示存储器控制器 400 所控制的一个或者多个存储器设备上存储的数据的逻辑地址。控制逻辑 410 确定相应的物理地址。通过闪烁存储器接口 490,控制器 400 通过存储器设备的级联发出伴有所请求数据的物理地址的“读命令”。目标存储器设备执行“读”算法用于获取所请求的数据,其可以包括装载页面到设备页面缓冲器。目标存储器设备在闪烁存储器接口 490 传输所请求的数据到闪烁存储器控制器 400。控制逻辑 410 验证所接收的数据并且在纠错码(ECC)模块 435 中纠正错误。控制逻辑 410 随后装载所请求的数据到缓冲器 RAM420,其经系统接口 480 被传输到外部主机系统。

[0051] 编程操作与上述的读操作相似,其中,闪烁存储器控制器 400 从外部主机系统接收将要存储到一个或者多个存储器设备的数据。控制逻辑 410 基于一个或者多个数据映射、分配和损耗平衡方案,确定存储数据的物理地址。给定物理地址,闪烁存储器控制器 400 通过存储器设备的级联传输“编程命令”以及数据和确定的物理地址。目标存储器设备装

载数据到页面缓冲器并且初始化“编程”算法来写入数据到由存储器控制器 400 确定的物理地址。这个写入操作之后,目标设备发出“编程验证”信号用于指示写入是否成功。目标存储器设备重复“编程”和“编程验证”循环,直到“编程验证”指示成功的写入操作。

[0052] 在如上所述的控制多个级联存储器设备中,存储器控制器 400 使用的通信协议不同于控制单个存储器设备或者多点布置中的多个设备的协议。例如,在选择目标存储器设备时,存储器控制器 400 必须发出相应于存储器设备的地址。此地址(或者前述目标设备 ID)可以被集成到控制命令的结构中,从而使得级联中的特定设备被选择。

[0053] 图 4B 的框图描述第二示例性闪烁存储器控制器 401,其可以被配置在上述参见闪烁控制器 400 所述的一个或者多个配置中。闪烁控制器 401 可以与控制器 400 的不同之处在于,其包括中央处理单元(CPU) 470,可以用在更复杂的任务中。

[0054] 除了上述参见图 4A 所描述的元件,闪烁存储器控制器 401 包括晶体振荡器(Xtal) 476,其提供与时钟发生器和控制块相连的基准时钟信号。时钟发生器和控制块 475 向 CPU470、闪烁控制器 495 和系统接口 465 提供各种时钟信号。CPU470 通过公共总线 485 和其它分系统通信。RAM 和 ROM 电路 496 也连接到公共总线 485,其中, RAM 提供缓冲器存储器并且 ROM 存储可执行代码。闪烁控制器 495 包括物理闪烁接口、ECC 块以及文件和存储器管理块。通过物理闪烁接口存取闪烁设备。ECC 块检查和纠正来自闪烁设备的所存取的数据。文件和存储器管理块提供逻辑到物理地址的转换、损耗平衡算法和其它功能。

[0055] 图 5 为封装在 SIP 外壳中的另一示例性存储器系统 500 的框图。系统包括封装在 SIP 外壳中的多个设备,所述外壳容纳主闪烁存储器设备 520 和沿着信号路径 535 配置在单向菊花链级联中的多个闪烁存储器设备 530a-n。信号路径 535 包括连接设备的多个链接 535a-n。主闪烁存储器设备 520 在链接 535a 发送命令和数据到第一存储器设备 530n,并且在链接 535n 接收来自菊花链级联中最后一个存储器设备 530n 的响应通信。

[0056] 系统 500 可以包括参见上述图 2 和图 3 的系统 200、300 所描述的特征。主闪烁存储器 520 包括与闪烁存储器一起嵌入单个集成电路管芯上的闪烁存储器控制器。嵌入的闪烁控制器可以包括上述的参见图 4A-B 的闪烁控制器 400、401 的特征。主闪烁设备 520 通过系统接口和外部系统通信,并且控制配置在单向菊花链级联中的闪烁存储器设备 530a-n。此外,主闪烁控制器也控制其内部闪烁存储器,从而提供由外部系统所用的附加存储器。因此,通过使用主闪烁存储器 520 而不是分立的闪烁存储器控制器,使得可以在封装于 SIP 外壳 510 中的存储器系统 500 中获得更高的存储器容量。

[0057] 图 6 为 SIP 外壳 610 中的可选闪烁存储器系统 600 的框图,系统 600 具有主闪烁存储器 620,用于控制多个闪烁存储器设备 620a-n。所述设备沿着包括连接所述设备的链接 634a-n、635a-n 的信号路径 634、635 被配置在双向菊花链级联中。系统 600 可以包括上述关于图 2、3 和 5 的系统 200、300 和 500 中所描述的特征。

[0058] 图 7 为在 SIP 布局中实现的示例性存储器系统 700 的框图。所述系统包括多个芯片,包括以垂直堆叠装配于线路板 750 上并且容纳在 SIP 外壳 710 中的存储器控制器 720 和多个存储器设备 730a-c。SIP 外壳 710 可以包括用于在四周封装系统元件的密封介质或者树脂,从而提供硬封装将元件固定在其中。芯片 720、730a-c 由同样封装在外壳 710 中的导线 735 连接。选择地,芯片 720、730a-c 也可以根据设计约束在外壳 710 中被彼此水平并排放置,或者可以使用焊料块连接来将它们以“倒装芯片”技术结合在一起。

[0059] 存储器设备 730c 通过多个端子(例如,端子 755)连接到线路板 750,设备 730c 可以通过所述端子发送和接收信号。端子 755 被连接到线路板 750 相对表面上的外部端子(例如,端子 745),使得能够与外部系统通信。类似地,存储器控制器 720 可以通过包括连接到端子 740 的导线 735 的信号路径与外部系统通信,端子 740 又连接到一个或者多个外部端子 745。

[0060] 图 7 的框图提供在 SIP 外壳 710 中实现的存储器系统 700 的示例性例子。如上所述的系统 700 的元件和连接可以根据特定实施例的设计需求被不同配置。例如,图 2、3、5、6、8 和 9 的存储器系统 200、300、500、600、800 和 900 可以实现为与图 7 的系统 700 类似的存储器系统。从而,此存储器系统提供容纳存储器控制器和菊花链级联布置中的多个存储器设备的 SIP 外壳,所述控制器通过级联控制所述存储器设备。

[0061] 系统级封装(SIP)是可以实现存储器系统 200、300、500、600、800 和 900 的单个形状因素的实施例的一个例子。存储器系统也可以在其它合适设备或者公共支持组件中实现,其中,元件存储器控制器和存储器设备被配置用于与外部系统通信。例如,存储器系统可以实现为电路板,诸如存储卡,其中控制器和存储器设备包括耦合至所述板的芯片,并且经由电路板上的信号路径通信。

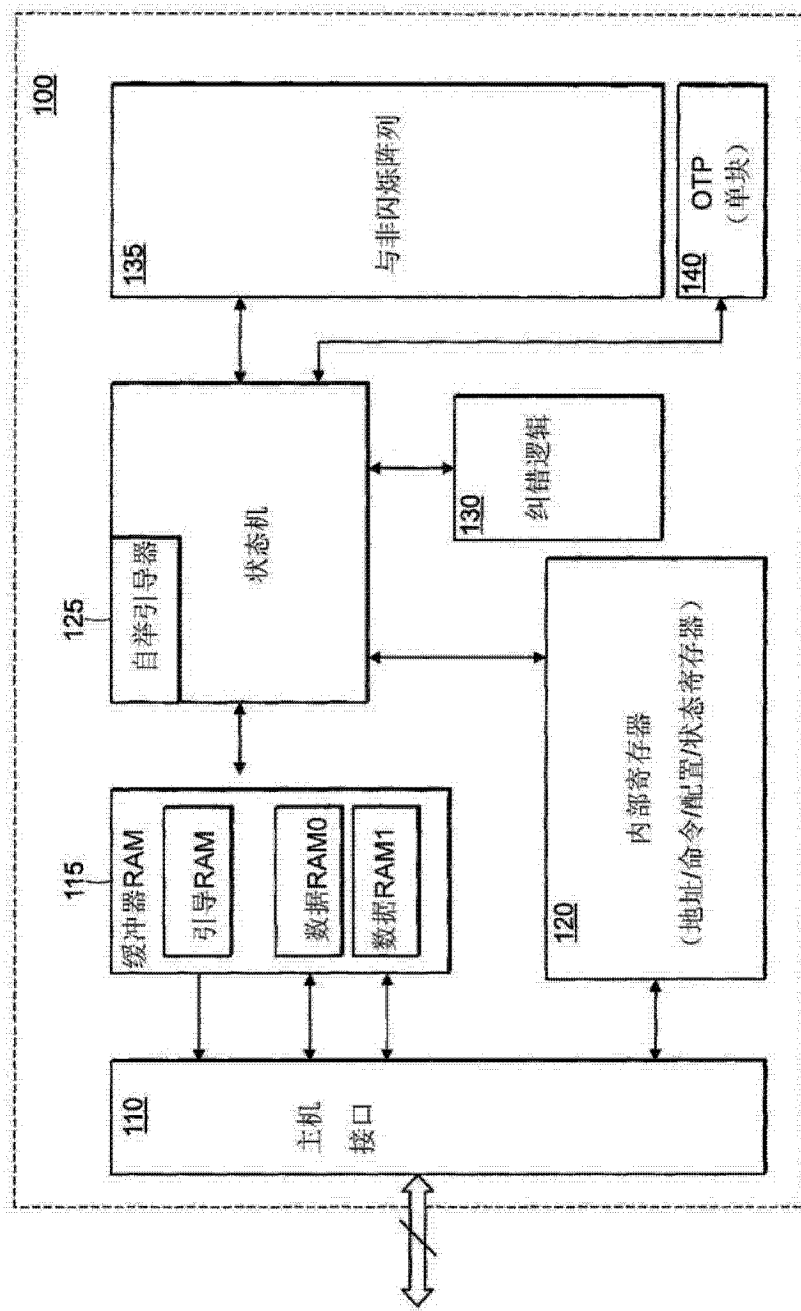
[0062] 图 8 为 SIP 外壳 810 中的存储器系统 800 的框图,所述存储系统 800 具有被配置在包括多个连接的单向菊花链级联中的多个存储器设备 830a-n。闪烁控制器 820 通过经包括每一存储器设备 830a-n 之间的链接的信号路径 834、835 传输的命令来控制设备 830a-n。所述配置类似于图 2 的系统 200 的配置,但不同的是,设备 830a-n 的每一个由两个单向路径连接而不是一个。存储器系统也可以包括上述参见图 2 和 3 的系统 200、300 所描述的特征,包括寻址多个闪烁存储器设备 830a-n 的闪烁控制器 820。在该实施例中,闪烁控制器 820 通过链接 834a 发送的命令和数据通过信号路径 834 由链接 834a-d 被传输。响应于命令的数据通过包括链接 835b-n 的信号路径 835 被传输,并且由闪烁控制器 820 接收。闪烁控制器发送的命令和数据也可以经链接 835n 返回到闪烁控制器。因此,包括单向菊花链级联的信号路径 835 被分为专用于传输来自闪烁控制器 820 的命令和数据的第一路径 834a-d (上部)和专用于传输存储器设备 830a-n 的每一个产生的响应数据的第二路径 830b-n (下部)。

[0063] 在可选实施例中,存储器系统 800 可以适用于实现上述的主闪烁存储器。在此情况中,闪烁控制器 920 可以使用主闪烁存储器替代,如参见图 5 所述的那样来控制闪烁存储器设备 930a-n。

[0064] 图 9 为 SIP 外壳 910 中的存储器系统 900 的框图,所述系统 900 具有配置在双向菊花链级联共享通用输入/输出端口的多个存储器设备 930a-n。闪烁控制器 820 通过经包括每一存储器设备 930a-n 之间的链接的信号路径 935 传输的命令来控制设备 930a-n。所述配置类似于图 3 的系统 300 的配置,但不同的是,链接 935b-n 的每一个为单个双向链接而不是两个单向链接。所述链接 935b-n 可以被连接到每一设备 930a-n 的通用输入/输出端口,从而使得能够通过每一链接 935b-n 进行双向通信。闪烁控制器 920 发送的命令和数据通过信号路径 935a-n 被传输到每一存储器设备 930a-n。响应于命令的数据也通过信号路径 935b-n 被传输,并且被传输到链接 935a 处的闪烁控制器。因此双向菊花链级联可以在包括共享通用输入/输出端口的多个链接 935a-n 的信号路径 935 上使用。

[0065] 在可选实施例中,存储器系统 900 可以适用于实现上述的主闪烁存储器。在此情况中,闪烁控制器 920 可以使用主闪烁存储器替代,如参见图 6 所述的那样来控制闪烁存储器设备 930a-n。

[0066] 虽然本发明已经参照其示例实施例特别显示与描述,但本领域的普通技术人员应当理解到在不脱离所附权利要求所要保护的本发明范围的情况下可以在形式与细节上进行的各种变化。



现有技术

图 1

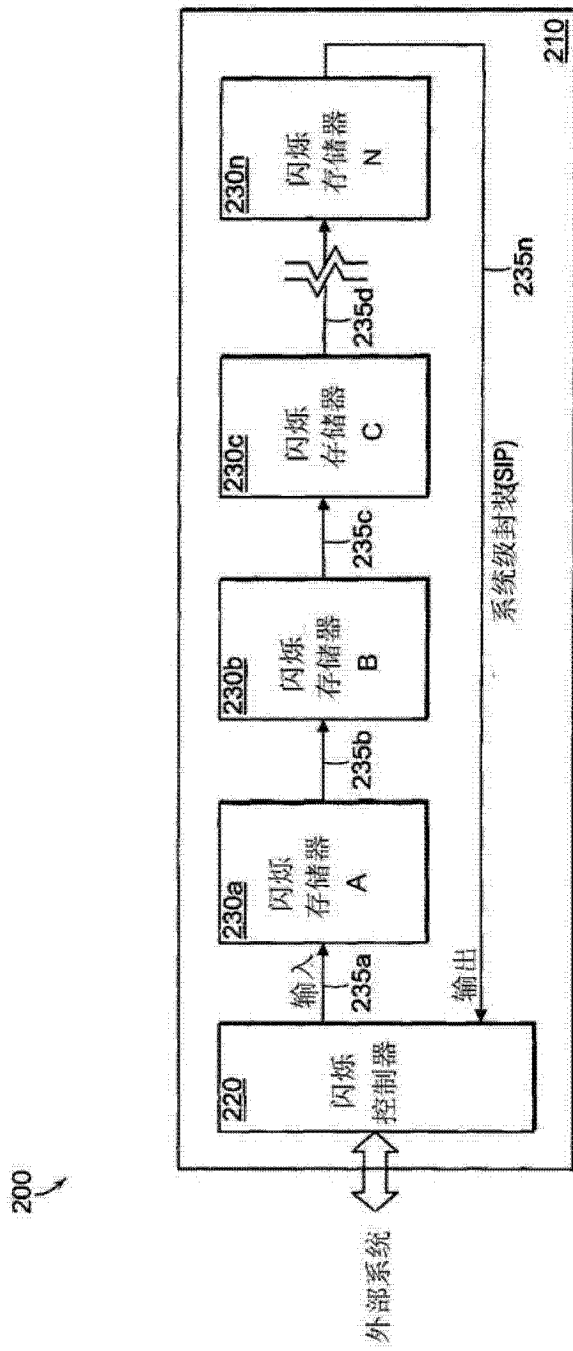


图 2

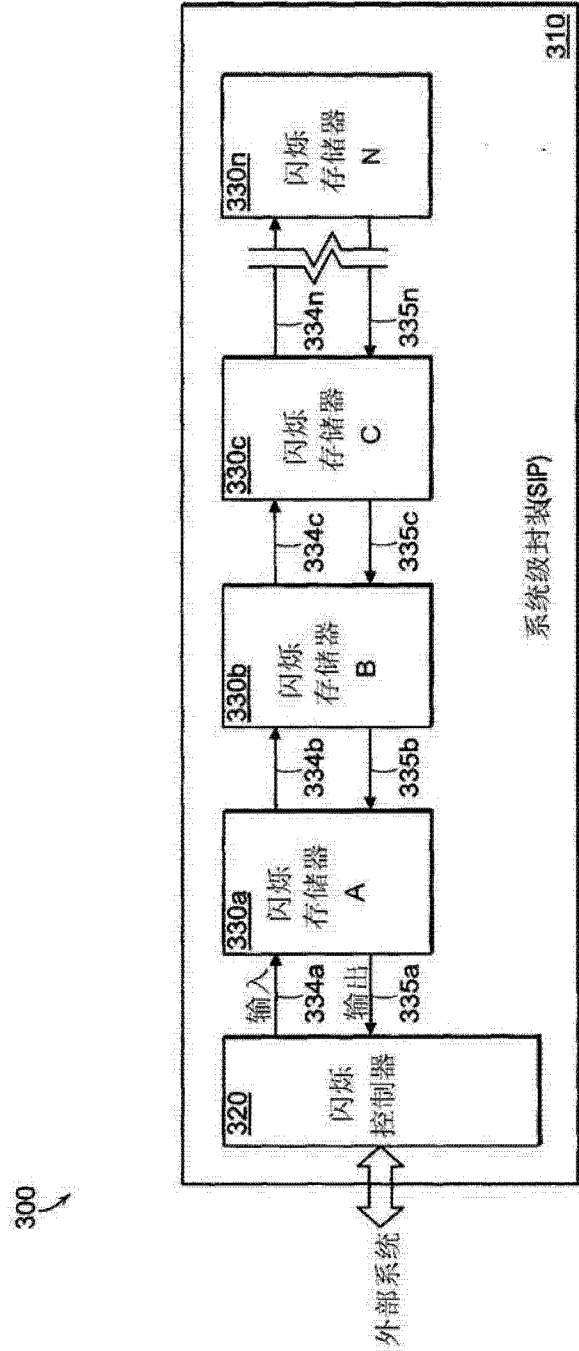


图 3

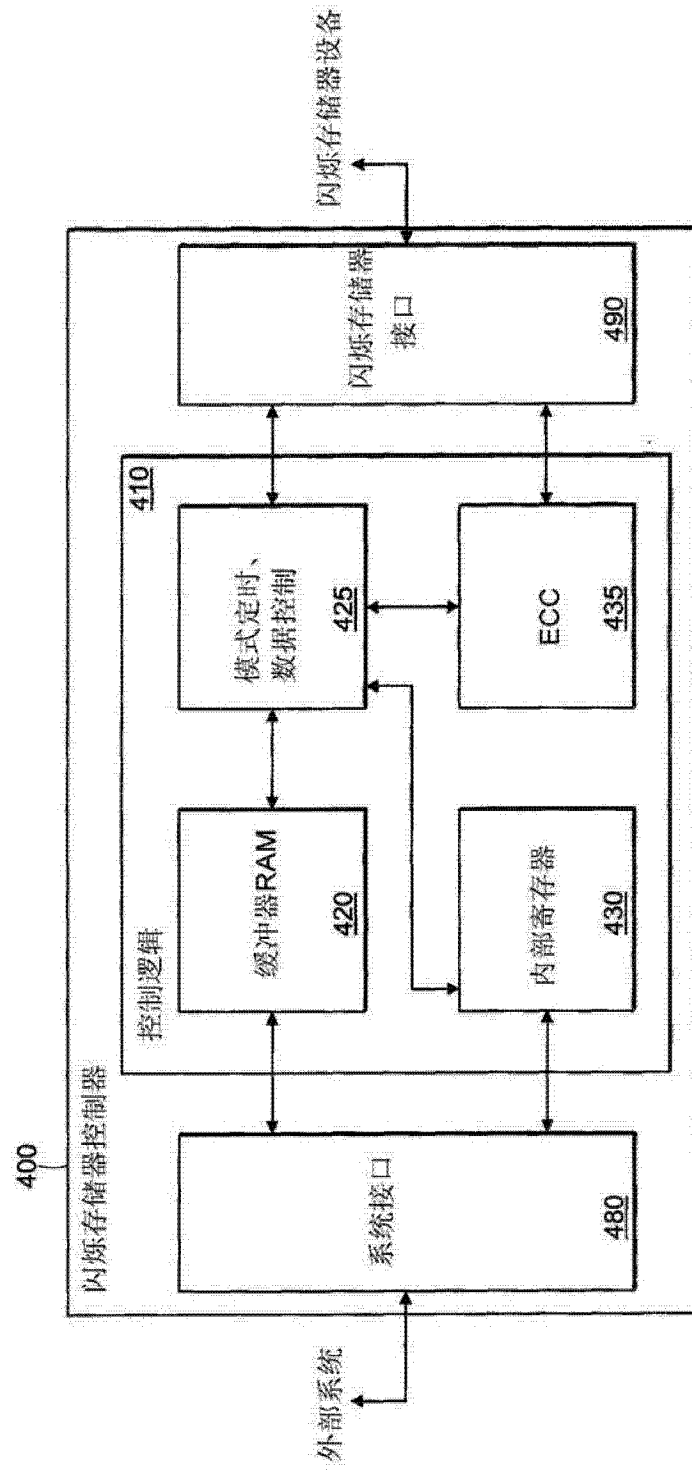


图 4A

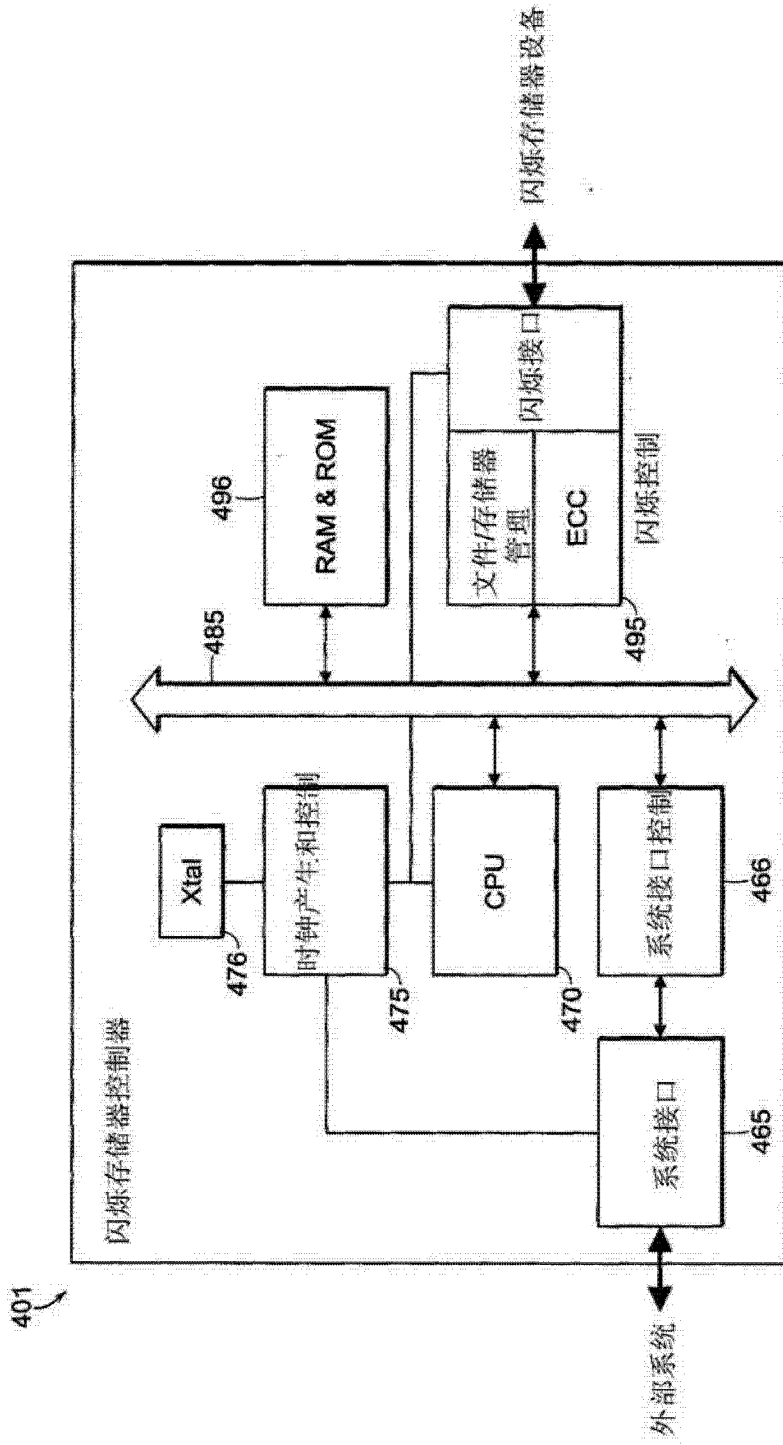


图 4B

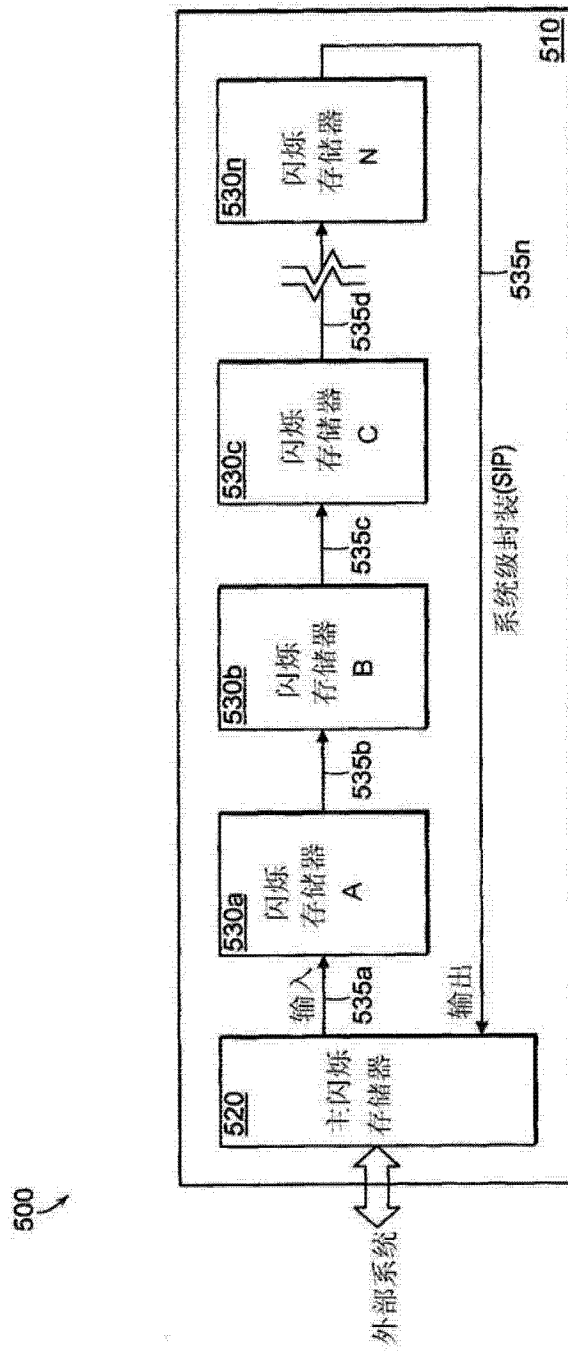


图 5

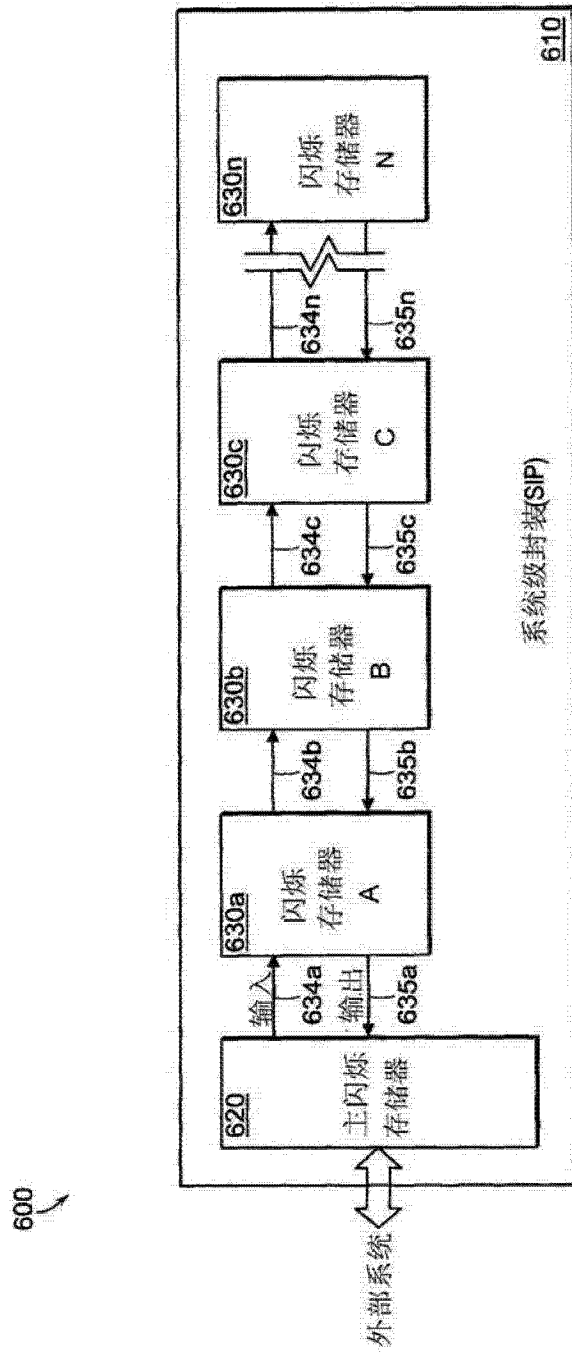


图 6

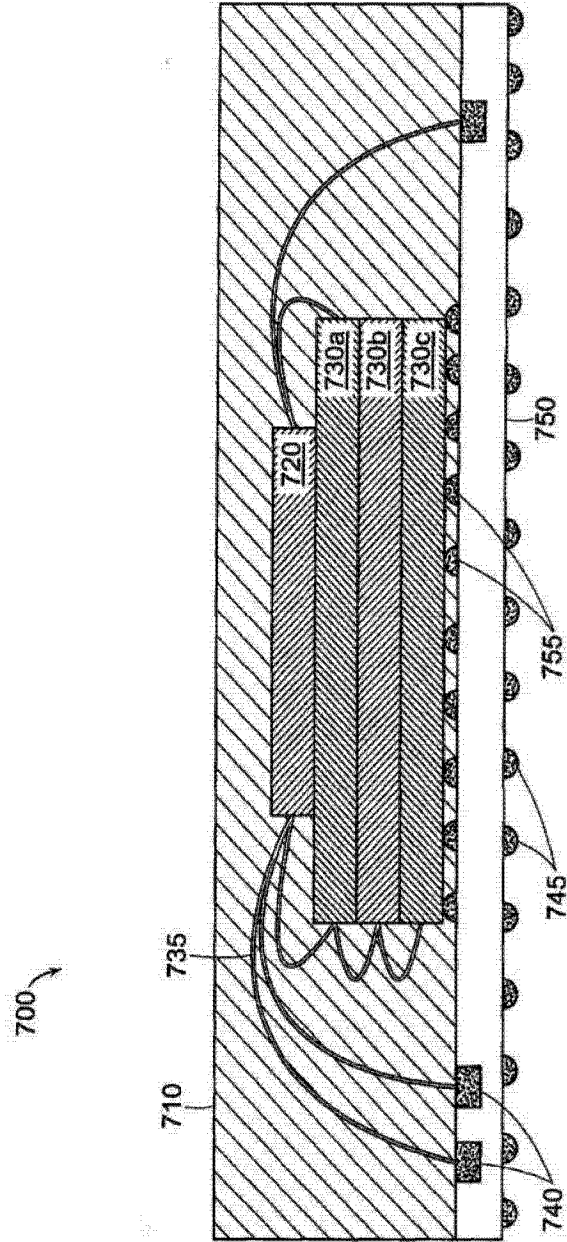


图 7

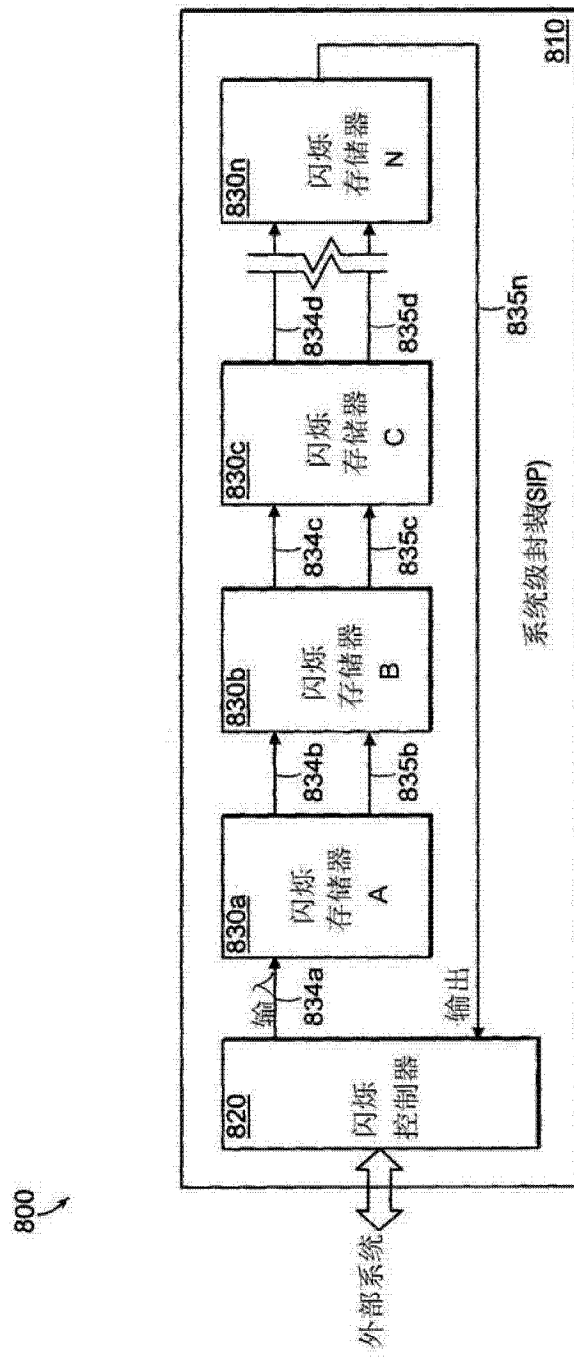


图 8

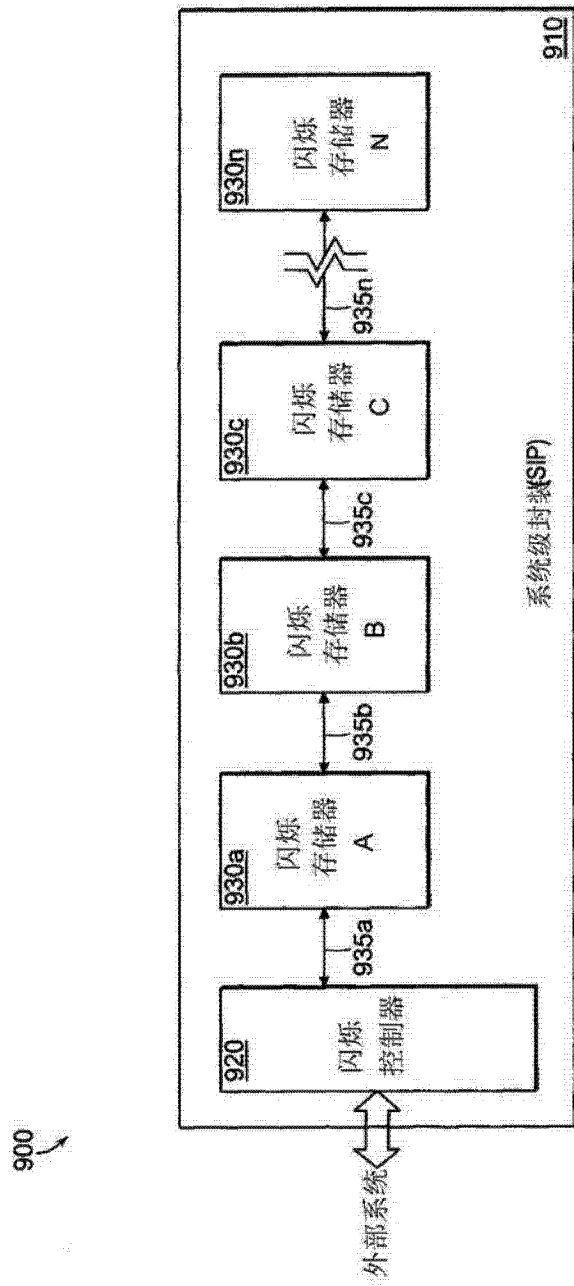


图 9