(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3905981号
(P3905981)
(45)発行日　平成19年4月18日(2007.4.18)　(24)登録日　平成19年1月19日(2007.1.19)

(51)Int.Cl.		F I		
H01L 29/861	(2006.01)	H01L	29/91	D
H01L 29/06	(2006.01)	H01L	29/06	301F
H01L 29/78	(2006.01)	H01L	29/78	301W

請求項の数 8　(全 11 頁)

(21)出願番号　特願平10-199521
(22)出願日　平成10年6月30日(1998.6.30)
(65)公開番号　特開2000-22175(P2000-22175A)
(43)公開日　平成12年1月21日(2000.1.21)
審査請求日　平成14年7月10日(2002.7.10)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100070437
弁理士　河井　将次

最終頁に続く

(54)【発明の名称】高耐圧半導体装置

(57)【特許請求の範囲】

【請求項１】

一導電型の高抵抗の半導体基板と、

この半導体基板の表面に選択的に形成された第２導電型半導体層と、

前記半導体基板の表面に前記第２導電型半導体層とは異なる領域に選択的に形成された第１導電型半導体層と、

前記第２導電型半導体層と前記第１導電型半導体層とで挟まれた前記半導体基板上に形成されたフィールド絶縁膜と、

このフィールド絶縁膜上に設けられ、前記第１導電型半導体層と電気的に接続された第１のフィールドプレートと、

前記フィールド絶縁膜上に前記第１のフィールドプレートとは異なる領域に設けられ、前記第２導電型半導体層と電気的に接続された第２のフィールドプレートと、

前記フィールド絶縁膜上に設けられ、前記第１のフィールドプレートと前記第２のフィールドプレートとを複数の箇所で電気的に接続する複数の第３のフィールドプレートと、を具備してなり、

前記複数の第３のフィールドプレートは、それぞれ、交わることなく前記第１導電型半導体層を中心に渦巻状に配設された導電体であることを特徴とする高耐圧半導体装置。

【請求項２】

一導電型の高抵抗の半導体基板と、

この半導体基板の表面に選択的に形成された第２導電型半導体層と、

前記半導体基板の表面に前記第２導電型半導体層とは異なる領域に選択的に形成された第１導電型半導体層と、
前記第２導電型半導体層と前記第１導電型半導体層とで挟まれた前記半導体基板上に形成されたフィールド絶縁膜と、
このフィールド絶縁膜上に選択的に設けられ、前記第１導電型半導体層と電気的に接続された第１のフィールドプレートと、
前記フィールド絶縁膜上に前記第１のフィールドプレートとは異なる領域に設けられ、前記第２導電型半導体層と電気的に接続された第２のフィールドプレートと、
前記第１のフィールドプレートと前記第２のフィールドプレートとの間の前記フィールド絶縁膜上に前記第１導電型半導体層を中心に同心円状に配置された複数の第３のフィールドプレートと、
前記フィールド絶縁膜上に設けられ、最も内側の前記第３のフィールドプレートと前記第１のフィールドプレートとの間、各隣り合う２つの前記第３のフィールドプレート間、および最も外側の前記第３のフィールドプレートと前記第２のフィールドプレートとの間の各フィールドプレート間を接続する複数の第４のフィールドプレートと、
を具備してなることを特徴とする高耐圧半導体装置。
【請求項３】
基板表面に形成された第１半導体領域と、
前記基板表面に形成され、前記１半導体領域とは異なる導電型を有する第２半導体領域と、
前記第１及び第２半導体領域間に形成されたフィールド絶縁膜上に前記第１半導体領域に対して同心円状に配設された複数の環状のフィールドプレートと、
前記第１半導体領域に接続され、前記複数の環状のフィールドプレートを横切って外方に延在する第１電極と、
前記第２半導体領域に接続された第２電極と、
を具備し、
前記複数の環状のフィールドプレート中の最も内側のフィールドプレートは前記第１半導体領域に電気的に接続され、前記複数の環状のフィールドプレート中の最も外側のフィールドプレートは前記第２半導体領域に電気的に接続され、
前記第１電極の下方に位置し且つ前記複数の環状のフィールドプレート中の各隣り合うフィールドプレート間を接続するフィールドプレートをさらに備えていることを特徴とする横型高耐圧半導体装置。
【請求項４】
前記複数の環状のフィールドプレート中の各隣り合うフィールドプレート間を接続する前記フィールドプレートは、少なくとも１つの線状の導電体を具備することを特徴とする請求項３に記載の横型高耐圧半導体装置。
【請求項５】
前記複数の環状のフィールドプレート及び前記少なくとも１つの線状の導電体はポリシリコン膜から実質的になることを特徴とする請求項４に記載の横型高耐圧半導体装置。
【請求項６】
前記複数の環状のフィールドプレート中の各隣り合うフィールドプレート間を接続する別のフィールドプレートを更に具備することを特徴とする請求項３乃至５のいずれかに記載の横型高耐圧半導体装置。
【請求項７】
半導体基板と、
前記半導体基板の表面に選択的に形成された第１導電型半導体領域と、
前記半導体基板の表面に選択的に形成された第２導電型半導体領域と、
前記第１及び第２導電型半導体領域間で前記半導体基板上に形成されたフィールド絶縁膜と、
前記第１導電型半導体領域を包囲するように前記フィールド絶縁膜上に配設され且つ前

記第１導電型半導体領域に電気的に接続された第１フィールドプレートと、
前記フィールド絶縁膜上に配設され且つ前記第２導電型半導体領域に電気的に接続された第２フィールドプレートと、
前記第１及び第２フィールドプレート間で前記フィールド絶縁膜上に前記第１導電型半導体領域を中心に同心円状に配設された少なくとも１つの第３フィールドプレートと、
前記第１、第２、及び第３フィールドプレートを互いに接続する少なくとも１つの第４フィールドプレートと、
前記第１導電型半導体領域に接続され且つ前記第１、第２、第３、及び第４フィールドプレートを横切って外方に延在する電極と、を具備し、前記第４フィールドプレートは、前記電極の下方に配設されることを特徴とする横型高耐圧半導体装置。

【請求項８】
前記第３フィールドプレートを横切って配設され且つ前記第３フィールドプレートの一部分を前記第１フィールドプレートに接続し且つ前記第３フィールドプレートの他部分を前記第２フィールドプレートに接続する少なくとも１つの第５フィールドプレートを具備することを特徴とする請求項７に記載の横型高耐圧半導体装置。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、高耐圧半導体装置に係わり、特にフィールドプレートを有する高耐圧半導体装置に関する。

【０００２】
【従来の技術】
従来パワーＩＣなどに用いられている高耐圧半導体素子では平面上に電極が設置されているため、個々の素子を接続してＩＣを形成するためには、電極間の相互接続が必要である。

【０００３】
この際、高電圧部が低電圧部を跨ぐ領域においては、表面の電界を緩和するために、一般にはその領域上にフィールド酸化膜を介してフィールドプレートを配設している。

【０００４】
しかしながら、素子が高耐圧になるに従って、厚いフィールド酸化膜が必要となるため、プロセス上非常に困難となるし、また信頼性試験においても耐圧が劣化してしまうという問題が生じる。

【０００５】
これを解決するために、フィールド酸化膜の横方向に対して一様な電界を生じさせるべく、ＳＩＰＯＳ膜等の高抵抗膜を用い、これにリーク電流を流すという方法が試みたれているが、このような高抵抗膜を用いることは、コストアップに繋がるし、また信頼性上の問題がある
そこで、フィールドプレートとして高抵抗のシリコン膜を用い、これをできるだけ細くして素子のアノード側とカソード側とを繋ぐ方法が考えられた。図８に、この種のフィールドプレートを用いた従来の高耐圧半導体装置の平面図、図９に同平面図の矢視Ａ－Ａ’断面図を示す。図には、高耐圧半導体素子として横型ダイオードを用いた例が示されている。

【０００６】
図中、１は支持基板、２はSiO_2膜、３はシリコン基板（ＳＯＩ）に形成された高抵抗のｎ型カソード層を示しており、このｎ型カソード層３の表面にはｐ型アノード層４およびｎ型カソード層５がそれぞれ選択的に形成され、これらのｐ型アノード層４およびｎ型カソード層５の表面には高不純物濃度のｐ型コンタクト層６およびｎ型コンタクト層７がそれぞれ選択的に形成されている。

【０００７】
また、ｐ型アノード層４とｎ型カソード層５との間のｎ型カソード層３の表面にはＬＯＣ

ＯＳ酸化膜８が形成されている。このＬＯＣＯＳ酸化膜８上にはポリシリコン膜からなる渦巻状のフィールドプレート９が形成されている。

【０００８】

このフィールドプレート９は、アノード電極１０と接続されたトラック状の第１のフィールドプレート9_1と、これを囲み、カソード電極１１と接続されたトラック状の第２のフィールドプレート9_2と、一端が第１のフィールドプレート9_1に接続し、他端が第２のフィールドプレート9_2に接続した渦巻状のフィールドプレート９ａとから構成されている。なお、図中、１２は層間絶縁膜を示している。

【０００９】

電界緩和に必要な均一な電界を発生させるために、フィールドプレート9_aの渦の間隔は狭くなっている。しかし、素子幅Ｗが広くなってフィールドプレート９の全長が長くなると、フィールドプレート９中にリーク電流が減少し、特に幅の狭い渦巻状のフィールドプレート９ａ中にはほとんど流れなくなる。その結果、一様な電界を保持することが困難になり、耐圧が劣化するという問題があった。

【００１０】

【発明が解決しようとする課題】

上述の如く、従来のアノード・カソード間の形状が渦巻状のフィールドプレートを用いた場合、高耐圧半導体素子の幅が広くなると、渦巻状のフィールドプレート中にリーク電流がほとんど流れなくなり、一様な電界を保持することが困難になるという問題があった。

【００１１】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、高耐圧半導体素子の幅が広くなっても、耐圧の劣化を抑制できるフィールドプレートを備えた高耐圧半導体装置を提供することにある。

を提供することにある。

【００１２】

【課題を解決するための手段】

［構成］

上記目的を達成するために、本発明に係る第１の高耐圧半導体装置は、一導電型の高抵抗の半導体基板と、この半導体基板の表面に選択的に形成された第２導電型半導体層と、前記半導体基板の表面に前記第２導電型半導体層とは異なる領域に選択的に形成された第１導電型半導体層と、前記第２導電型半導体層と前記第１導電型半導体層とで挟まれた前記半導体基板上に形成されたフィールド絶縁膜と、このフィールド絶縁膜上に設けられ、前記第１導電型半導体層と電気的に接続された第１のフィールドプレートと、前記フィールド絶縁膜上に前記第１のフィールドプレートとは異なる領域に設けられ、前記第２導電型半導体層と電気的に接続された第２のフィールドプレートと、前記フィールド絶縁膜上に設けられ、前記第１のフィールドプレートと前記第２のフィールドプレートとを複数の箇所で電気的に接続する複数の第３のフィールドプレートとを備え、前記複数の第３のフィールドプレートは、それぞれ、交わることなく前記第１導電型半導体層を中心に渦巻状に配設された導電体であることを特徴とする。

【００１３】

ここで、第３のフィールドプレートの形状は例えば渦巻状であり、これらが互いに交わらないように配置されている。また、半導体基板は例えばＳＯＩ基板である。

【００１４】

また、本発明に係る第２の高耐圧半導体装置は、一導電型の高抵抗の半導体基板と、この半導体基板の表面に選択的に形成された第２導電型半導体層と、前記半導体基板の表面に前記第２導電型半導体層とは異なる領域に選択的に形成された第１導電型半導体層と、前記第２導電型半導体層と前記第１導電型半導体層とで挟まれた前記半導体基板上に形成されたフィールド絶縁膜と、このフィールド絶縁膜上に選択的に設けられ、前記第１導電型半導体層と電気的に接続された第１のフィールドプレートと、前記フィールド絶縁膜上に前記第１のフィールドプレートとは異なる領域に設けられ、前記第２導電型半導体層と

電気的に接続された第２のフィールドプレートと、前記第１のフィールドプレートと前記第２のフィールドプレートとの間の前記フィールド絶縁膜上に前記第１導電型半導体層を中心に同心円状に配置された複数の第３のフィールドプレートと、前記フィールド絶縁膜上に設けられ、最も内側の前記第３のフィールドプレートと前記第１のフィールドプレートとの間、各隣り合う２つの前記第３のフィールドプレート間、及び最も外側の前記第３のフィールドプレートと前記第２のフィールドプレートとの間の各フィールドプレート間を接続する複数の第４のフィールドプレートとを備えていることを特徴とする。

【００１５】

ここで、最も電界を緩和したい領域上の第３のフィールドプレート中に電流が多く流れるように、第４のフィールドプレートによって第３のフィールドプレートを接続することが好ましい。また、半導体基板は例えばＳＯＩ基板である。

【００１６】

［作用］

本発明（請求項１）では、第１のフィールドプレートと第２のフィールドプレートとを複数（ｎ個）の第３のフィールドプレートによって複数の箇所で電気的に接続している。

【００１７】

そのため、本発明を１個の第３のフィールドプレートによって１箇所で電気的に接続している従来のフィールドプレート構造と比較すると、個々の第３のフィールドプレートの長さは従来の約１／ｎとなり、その結果として個々の第３のフィールドプレートの抵抗も約１／ｎとなる。

【００１８】

したがって、本発明によれば、第３のフィールドプレートに流れる電流を従来よりも大きくできるので、その分素子幅が広くなっても均一な電界を発生できるようになり、耐圧の劣化を防止できるようになる。また、同じ素子幅であれば従来よりも耐圧を高くできるようになる。

【００１９】

また、本発明（請求項２）では、第１のフィールドプレートから複数の第３のフィールドプレートを介して第２のフィールドプレートに流れる電流の経路の抵抗は、第４のフィールドプレートによる各フィールドプレート間の接続の仕方によって決めることができる。

【００２０】

そのため、電界集中が起こりやすい領域上の電流経路の抵抗が低くなるように、第４のフィールドプレートによって各フィールドプレート間を接続すれば、そこには従来よりも大きな電流を流すことができる。

【００２１】

これにより、素子幅が広くなっても、電界集中が起こりやすい領域上においては均一な電界を発生できるようになり、耐圧の劣化を防止できるようになる。また、同じ素子幅であれば従来よりも耐圧を高くできるようになる。

【００２２】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

（第１の実施形態）

図１は、本発明の第１の実施形態に係る高耐圧半導体装置を示す平面図である。図には、高耐圧半導体素子として横型ダイオードを用いた例が示されている。この平面図の矢視Ａ－Ａ’断面図は図９の断面図と基本的には同じであり、その詳細は省略する。

【００２３】

本実施形態の特徴は、フィールドプレート９が２重螺旋構造になっていることにある。すなわち、フィールドプレート９は、アノード電極１０と接続されたトラック状の第１のフィールドプレート９_{1}と、これを囲み、カソード電極１１と接続されたトラック状の第２のフィールドプレート９_{2}と、一端が第１のフィールドプレート９_{1}に接続し、他端が第２のフィールドプレート９_{2}に接続した渦巻状のフィールドプレート９_{a}と、一端が第１

のフィールドプレート９_{1}に接続し、他端が第２のフィールドプレート９_{2}に接続し、フィールドプレート９_{a}と交わらない渦巻状のフィールドプレート９_{b}とから構成されている。

【００２４】

本実施形態によれば、フィールドプレート９_{1}，９_{2}間の渦巻状のフィールドプレートが２つのフィールドプレート９_{a}，９_{b}に分かれているので、フィールドプレート９の全長が同じであれば、フィールドプレート９_{1}，９_{2}間が１重のフィールドプレートで構成された従来構造に比べて、フィールドプレート９のフィールドプレート９_{1}，９_{2}間の抵抗値は約半分になる。

【００２５】

これにより、素子幅Ｗが広くなってフィールドプレート９の全長が長くなっても、フィールドプレート９ａ，９ｂ中に流れるリーク電流の減少を抑制できるので、一様な電界を保持することが可能となり、耐圧の劣化を抑制できるようになる。また、同じ素子幅Ｗであれば、耐圧の向上を図ることができる。

【００２６】

なお、本実施形態では、フィールドプレート９のフィールドプレート９_{1}，９_{2}間の渦巻状のフィールドプレートを２つに分割したが、４つ以上に分割すれば抵抗値をさらに低くすることができ、素子幅Ｗの増加に対してより有利な構造とすることができる。

（第２の実施形態）

図２は、本発明の第２の実施形態に係る高耐圧半導体装置を示す平面図である。なお、図１と対応する部分には図１と同一符号を付してあり、詳細な説明は省略する。

【００２７】

本実施形態のフィールドプレート９は、同心円状に等間隔に配置された複数のトラック状のフィールドプレート９_{1}～９_{9}と、隣り合うフィールドプレート９_{1}～９_{9}を接続する線状のフィールドプレート９_{10}とで構成されている。隣り合うフィールドプレート９_{1}～９_{9}はそのコーナー部で１箇所、直線部で２箇所フィールドプレート９_{10}によって接続されている。

【００２８】

ここで、線状のフィールドプレート９_{10}は、カソード電極１１の引出し部（引出し電極）下のフィールドプレート９_{1}～９_{9}言い換えれば電界集中の起こりやすい領域上のフィールドプレート９_{1}～９_{9}のコーナー部に大きな電流が流れるように、隣り合うフィールドプレート９_{1}～９_{9}を接続している。

【００２９】

本実施形態によれば、電界集中の起こりやすい領域上のフィールドプレート９_{1}～９_{9}のコーナー部に流れる電流が多くなるので、素子幅Ｗが広くなってフィールドプレート９の全長が長くなっても、フィールドプレート効果を発揮するために必要な大きさのリーク電流をコーナー部に流すことができる。これにより、素子の幅Ｗが広くなっても、コーナー部に一様な電界を発生させることが可能となり、耐圧の劣化を抑制できるようになる。また、素子幅Ｗが同じであれば、耐圧の向上を図ることができる。

（第３の実施形態）

図３は、本発明の第３の実施形態に係る高耐圧半導体装置を示す平面図である。なお、図２と対応する部分には図２と同一符号を付してあり、詳細な説明は省略する。

【００３０】

本実施形態が第２の実施形態と異なる点は、隣り合うフィールドプレート９_{1}～９_{9}が、カソード電極１１の引出し部（引出し電極）下のみで接続していることにある。

【００３１】

本実施形態によれば、フィールドプレート９_{1}～９_{9}のコーナー部に流れる電流がさらに多くなり、逆に直線部に流れる電流がさらに少なくなるので、フィールドプレート９中に流れるリーク電流が同じであれば、第３の実施形態よりもコーナー部の耐圧はより高くなる。

（第４の実施形態）
図４は、本発明の第４の実施形態に係る高耐圧半導体装置を示す平面図である。なお、図２と対応する部分には図２と同一符号を付してあり、詳細な説明は省略する。
【００３２】
本実施形態の特徴は、カソード電極１１の引出し部（引出し電極）下のフィールドプレート9_1～9_9が１本の直線状のフィールドプレート9_{10}’で接続されていることにある。
【００３３】
したがって、フィールドプレート9_{10}’として高抵抗のポリシリコン膜を用いれば、例えば幅の狭いポリシリコン膜を用いれば、リーク電流の増加を招くことなく、コーナー部の耐圧を確実に改善できるようになる。
【００３４】
なお、上記各実施形態においてリーク電流（素子に本来流れるべき電流のうちフィールドプレート９に利用される電流）の値はμアンペアのオーダーであれば問題ない。
【００３５】
なお、本発明は、上記各実施形態に限定されるものではない。例えば、上記各実施形態では、横型ダイオードの場合について説明したが、本発明は、横型パワーＭＯＳトランジスタ、横型ＩＧＢＴ等の他の横型電力用半導体素子にも適用できる。
【００３６】
図５に、本発明を適用した横型パワーＭＯＳトランジスタの断面図を示す。これは図８に対応した断面図である。図中、２１は高不純物濃度のｎ型ソース層、２２はｐ型ウェル層、２３は高不純物濃度のｎ型ドレイン層、２４はソース電極、２５はドレイン電極、２６はゲート酸化膜、２７はゲート電極を示している。また、ＩＧＢＴに適用する場合には、ｎ型ドレイン層２３をｐ型ドレイン層に置き換えれば良い。また、図５は第１の実施形態のフィールドプレート構造を適用した例であるが、他の実施形態のフィールドプレート構造を適用しても良い。
【００３７】
また、本発明は、主電流が縦方向に流れる縦型電力用半導体素子にも適用できる。この場合、基板表面上に形成された１つの主電極（例えばカソード電極やドレイン電極）が基板裏面に電気的に接続されることになる。上記主電極は、例えば基板表面、基板側面および基板裏面に跨る領域に形成されることになる。
【００３８】
図６に本発明を適用した縦型ダイオードの平面図、図７に同平面図のＡ－Ａ’断面図を示す。図中、１５は高不純物濃度のｎ型カソード層を示している。
【００３９】
図７において、第１のフィールドプレート9_1上には実際にはアノード電極１０が存在するが省いてある。同様に、第２のフィールドプレート9_2上には実際にはカソード電極１１が存在するが省いてある。
【００４０】
また、図７では、基板表面に設けられたカソード電極１１と基板裏面に設けられたカソード電極１１とは電極によって繋がっていないが、これらのカソード電極１１はその間のｎ型カソード層１５、ｎ型シリコン基板３、ｎ型カソード層５およびｎ型コンタクト層７を介して電気的に接続している。もちろん、電極によって接続しても良い。
【００４１】
また、上記各実施形態では、ＳＯＩ基板等を用いたが他の半導体基板を用いても良い。また、ＳＯＩ基板としては、直接接着法で形成されたものを使用すると良い。
【００４２】
その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。
【００４３】
【発明の効果】
以上詳説したように本発明（請求項１）によれば、第１のフィールドプレートと第２のフ

ィールドプレートとを複数の第３のフィールドプレートによって複数の箇所で電気的に接続しているため、第３のフィールドプレートに流れる電流を従来よりも大きくできるので、その分素子幅が広くなっても均一な電界を発生できるようになり、耐圧の劣化を防止できるようになる。

【００４４】

また、本発明（請求項２）によれば、電界集中が起こりやすい領域上の電流経路の抵抗が低くなるように、第４のフィールドプレートによって各フィールドプレート間を接続することによって、素子幅が広くなっても、電界集中が起こりやすい領域上においては均一な電界を発生できるようになるので、耐圧の劣化を防止できるようになる。

【図面の簡単な説明】

【図１】本発明の第１の実施形態に係る高耐圧半導体装置を示す平面図

【図２】本発明の第２の実施形態に係る高耐圧半導体装置を示す平面図

【図３】本発明の第３の実施形態に係る高耐圧半導体装置を示す平面図

【図４】本発明の第４の実施形態に係る高耐圧半導体装置を示す平面図

【図５】本発明の変形例に係る耐圧半導体装置を示す平面図

【図６】本発明の他の変形例に係る耐圧半導体装置を示す平面図

【図７】同平面図の矢視Ａ－Ａ’断面図

【図８】従来の高耐圧半導体装置を示す平面図

【図９】同平面図の矢視Ａ－Ａ’断面図

【符号の説明】

１…支持基板

２…SiO_2 膜

３…シリコン基板

４…ｐ型アノード層（第２導電型半導体層）

５…ｎ型カソード層（第１導電型半導体層）

６…ｐ型コンタクト層

７…ｎ型コンタクト層

８…ＬＯＣＯＳ酸化膜

９…フィールドプレート

9_1 …第１のフィールドプレート

9_2 …第２のフィールドプレート

９ａ，９ｂ…渦巻状のフィールドプレート（第３のフィールドプレート）

9_3 ～9_9 …トラック状のフィールドプレート（第３のフィールドプレート）

9_{10} ，9_{10} ’…線状のフィールドプレート（第４のフィールドプレート）

１０…アノード電極

１１…カソード電極

１４…ゲート電極

１５…ｎ型カソード層

２２…ｎ型ソース層

２３…ｐ型ウェル層

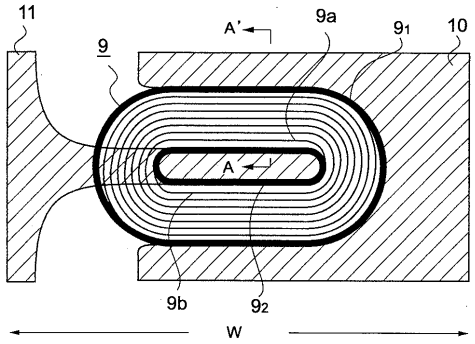
２４…ソース電極

２５…ドレイン電極

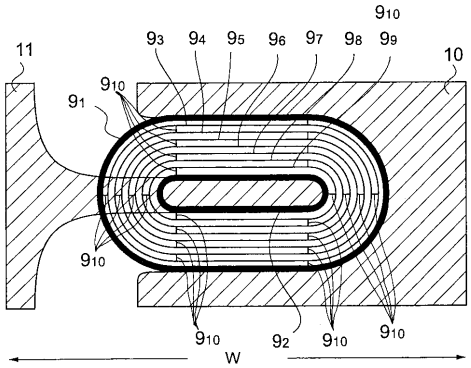
２６…ゲート酸化膜

２７…ゲート電極

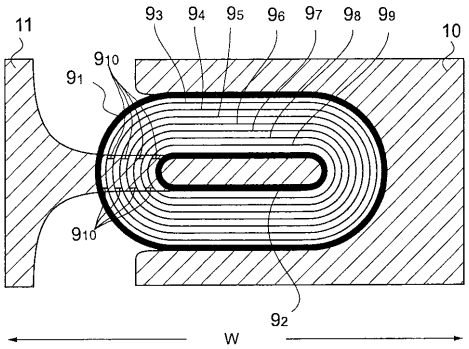
【図１】


11
9
A'
9a
91
10
A
9b
92
W

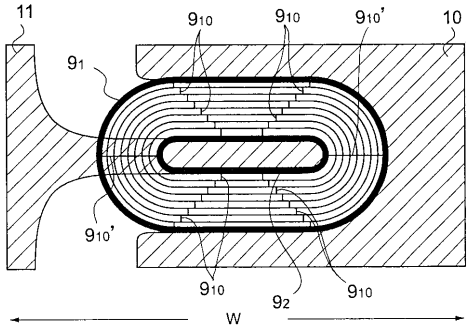
【図２】


910
93 94 95 96 97 98 99
11
10
91
910
910
910 92 910 910
W

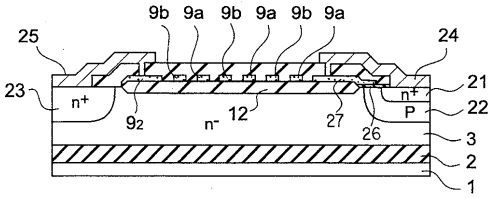
【図３】


11
93 94 95 96 97 98 99
10
910
91
910
92
W

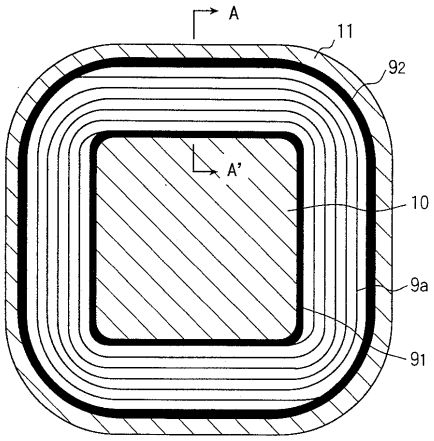
【図４】


11
910 910 910'
10
91
910'
910 92 910
W

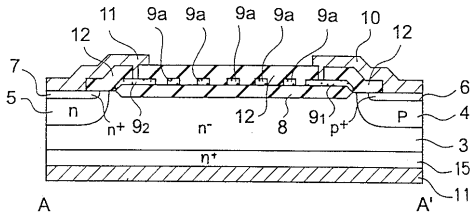
【図５】


9b 9a 9b 9a 9b 9a
25
24
23
n+
92
n- 12
27
26
P
n+
21
22
3
2
1

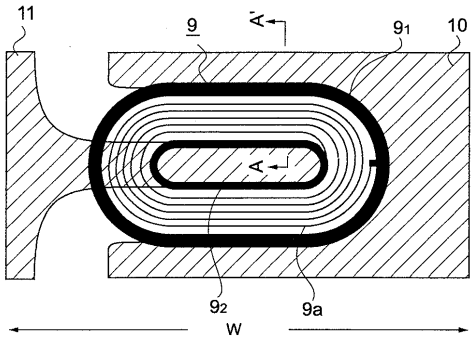
【図６】


A
11
92
A'
10
9a
91

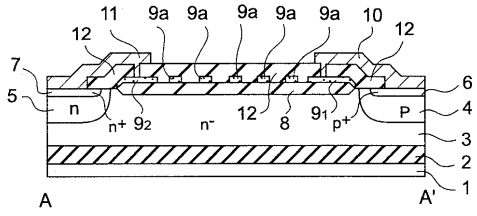
【図７】


11
9a
9a
9a
9a
9a
10
12
12
7
5
6
n
n+
92
n-
12
8
91
p+
P
4
3
n+
15
A
A'
11

【図８】


11
9
A'
91
10
A
92
9a
W

【図９】


11
9a
9a
9a
9a
9a
10
12
12
7
5
6
n
n+
92
n-
12
8
91
p+
P
4
3
2
1
A
A'

フロントページの続き

(72)発明者　舟木　英之
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　中川　明夫
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　鈴木　史人
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

審査官　萩原　周治

(56)参考文献　特開平０８－２４１９５９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 29/861
H01L 29/06
H01L 29/78