(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2017-17846
(P2017-17846A)
(43)公開日　平成29年1月19日(2017.1.19)

(51)Int.Cl.		F I			テーマコード（参考）
H02M 3/28	(2006.01)	H02M	3/28	H	2H270
G03G 21/00	(2006.01)	H02M	3/28	Q	5H730
		G03G	21/00	398	

審査請求 未請求　請求項の数 15　ＯＬ　（全 22 頁）

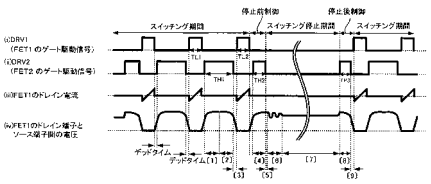
(21)出願番号　特願2015-131592 (P2015-131592)
(22)出願日　平成27年6月30日 (2015.6.30)

(71)出願人　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100123559
弁理士　梶　俊和
(74)代理人　100066061
弁理士　丹羽　宏之
(74)代理人　100177437
弁理士　中村　英子
(72)発明者　志村　泰洋
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　淺野　裕基
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

最終頁に続く

(54)【発明の名称】電源装置及び画像形成装置

(57)【要約】
【課題】アクティブクランプ方式の電源装置における軽負荷時の電力効率を改善すること。
【解決手段】制御部１０１は、ＦＥＴ１とＦＥＴ２をともにオフさせるデッドタイムを挟んでＦＥＴ１とＦＥＴ２を交互にオン又はオフさせるスイッチング動作を行うスイッチング期間と、スイッチング動作を停止させるスイッチング停止期間と、を交互に繰り返す間欠動作を行うことが可能である電源装置であって、制御部１０１は、スイッチング期間からスイッチング停止期間に移行する際に、ＦＥＴ２をオンしてからスイッチング停止期間に移行し（〔４〕）、スイッチング停止期間からスイッチング期間に移行する際にも、ＦＥＴ２をオンしてからスイッチング期間に移行する（〔８〕）。
【選択図】図２



【特許請求の範囲】
【請求項１】
一次巻線及び二次巻線を有するトランスと、
前記トランスの前記一次巻線に直列に接続された第一のスイッチング素子と、
前記トランスの前記一次巻線に並列に接続された第二のスイッチング素子と、
前記第二のスイッチング素子に直列に接続され、前記第二のスイッチング素子とともに前記トランスの前記一次巻線に並列に接続されたコンデンサと、
前記トランスの前記二次巻線に誘起された電圧に応じた情報を出力するフィードバック手段と、
前記フィードバック手段から入力された前記情報に基づいて、前記第一のスイッチング素子及び前記第二のスイッチング素子のオン又はオフを制御する制御手段と、
を備え、
前記制御手段は、前記第一のスイッチング素子と前記第二のスイッチング素子をともにオフさせるデッドタイムを挟んで前記第一のスイッチング素子と前記第二のスイッチング素子を交互にオン又はオフさせるスイッチング動作を行う第一の期間と、前記スイッチング動作を停止させる第二の期間と、を交互に繰り返す動作を行うことが可能である電源装置であって、
前記制御手段は、前記第一の期間から前記第二の期間に移行する際に、前記第二のスイッチング素子をオンしてから前記第二の期間に移行し、前記第二の期間から前記第一の期間に移行する際にも、前記第二のスイッチング素子をオンしてから前記第一の期間に移行することを特徴とする電源装置。
【請求項２】
前記制御手段は、
前記第一の期間から前記第二の期間に移行する際、及び、前記第二の期間から前記第一の期間に移行する際に、前記第二の期間が継続する時間よりも短い時間で前記第二のスイッチング素子をオンさせることを特徴とする請求項１に記載の電源装置。
【請求項３】
前記制御手段は、
前記第一の期間から前記第二の期間に移行する際、及び、前記第二の期間から前記第一の期間に移行する際に、前記第一の期間で前記第二のスイッチング素子をオンさせた時間よりも短い時間で前記第二のスイッチング素子をオンさせることを特徴とする請求項２に記載の電源装置。
【請求項４】
前記制御手段は、
前記第一の期間から前記第二の期間に移行する際に、前記第一の期間で前記第二のスイッチング素子をオンさせた時間の半分以下の時間で前記第二のスイッチング素子をオンさせることを特徴とする請求項３に記載の電源装置。
【請求項５】
前記制御手段は、
前記第二の期間から前記第一の期間に移行する際に、前記第一の期間で前記第二のスイッチング素子をオンさせた時間の半分よりも短い時間で前記第二のスイッチング素子をオンさせることを特徴とする請求項３又は４に記載の電源装置。
【請求項６】
前記コンデンサは、前記第一の期間から前記第二の期間に移行する際に、前記第二のスイッチング素子がオンされることにより充電され、前記第二の期間では前記充電された状態が保持されることを特徴とする請求項４に記載の電源装置。
【請求項７】
前記コンデンサは、前記第二の期間から前記第一の期間に移行する際に、前記第二のスイッチング素子がオンされることにより放電されることを特徴とする請求項６に記載の電源装置。

【請求項８】
前記制御手段は、少なくとも前記フィードバック手段から入力された前記情報に基づいて、前記第一の期間から前記第二の期間へ、又は、前記第二の期間から前記第一の期間へ、移行することを特徴とする請求項１から請求項７のいずれか１項に記載の電源装置。
【請求項９】
前記制御手段は、前記フィードバック手段から入力された前記情報と、前記第二の期間が継続される時間と、に基づいて、前記第二の期間から前記第一の期間へ移行することを特徴とする請求項８に記載の電源装置。
【請求項１０】
記録材に画像形成を行う画像形成手段と、
請求項１から請求項９のいずれか１項に記載の電源装置と、
を備えることを特徴とする画像形成装置。
【請求項１１】
第一の電圧又は前記第一の電圧よりも低い第二の電圧を出力するように前記電源装置を制御する制御部を備え、
前記制御手段は、
前記制御部から前記第一の電圧を出力するように制御された場合には、前記第一の期間が連続する動作を行うように制御し、
前記制御部から前記第二の電圧を出力するように制御された場合には、前記電源装置が電力を供給する負荷の状態に応じて前記第一の期間が連続する動作又は前記第一の期間と前記第二の期間が交互に繰り返される動作を行うように制御することを特徴とする請求項１０に記載の画像形成装置。
【請求項１２】
第一の電圧又は前記第一の電圧よりも低い第二の電圧を出力するように前記電源装置を制御する制御部を備え、
前記制御手段は、
前記制御部から前記第一の電圧を出力するように制御された場合には、前記第一の期間が連続する動作を行うように制御し、
前記制御部から前記第二の電圧を出力するように制御された場合には、前記第一の期間と前記第二の期間が交互に繰り返される動作を行うように制御することを特徴とする請求項１０に記載の画像形成装置。
【請求項１３】
所定の電力を消費する第一のモード又は前記第一のモードよりも消費する電力が低い第二のモードで動作するように前記電源装置を制御する制御部を備え、
前記制御手段は、
前記制御部から前記第一のモードで動作するように制御された場合には、前記第一の期間が連続する動作を行うように制御し、
前記制御部から前記第二のモードで動作するように制御された場合には、前記電源装置が電力を供給する負荷の状態に応じて前記第一の期間が連続する動作又は前記第一の期間と前記第二の期間が交互に繰り返される動作を行うように制御することを特徴とする請求項１０に記載の画像形成装置。
【請求項１４】
所定の電力を消費する第一のモード又は前記第一のモードよりも消費する電力が低い第二のモードで動作するように前記電源装置を制御する制御部を備え、
前記制御手段は、
前記制御部から前記第一のモードで動作するように制御された場合には、前記第一の期間が連続する動作を行うように制御し、
前記制御部から前記第二のモードで動作するように制御された場合には、前記第一の期間と前記第二の期間が交互に繰り返される動作を行うように制御することを特徴とする請求項１０に記載の画像形成装置。

【請求項１５】
前記制御手段は、少なくとも前記フィードバック手段から入力された前記情報に基づいて、前記電源装置が電力を供給する負荷の状態を判断することを特徴とする請求項１１又は請求項１３に記載の画像形成装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、電源装置及び画像形成装置に関し、特に、フライバックトランスを用いた絶縁型コンバータに、アクティブクランプ方式を用いたスイッチング電源装置に関する。
【背景技術】
【０００２】
商用電源等の交流電圧から直流電圧に変換するスイッチング電源において、スイッチング電源の消費電力を低減するため、スイッチング電源の効率を改善することが求められている。ここで、スイッチング電源の効率は、スイッチング電源に供給された電力に対する、スイッチング電源が出力する電力の比率で表される。
【０００３】
フライバックトランスを用いた絶縁型コンバータにアクティブクランプ方式を用いたスイッチング電源において、スイッチング電源が出力する電力が少ない状態の効率を改善する手段としては、例えば、特許文献１の構成が提案されている。以降、スイッチング電源が出力する電力が少ない状態を軽負荷状態という。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特許第４３７０８４４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
しかし、アクティブクランプ方式を用いたスイッチング電源では、軽負荷状態の効率を、更に改善することが求められている。
【０００６】
本発明は、このような状況のもとでなされたもので、アクティブクランプ方式の電源装置における軽負荷時の電力効率を改善することを目的とする。
【課題を解決するための手段】
【０００７】
上述した課題を解決するために、本発明は、以下の構成を備える。
【０００８】
（１）一次巻線及び二次巻線を有するトランスと、前記トランスの前記一次巻線に直列に接続された第一のスイッチング素子と、前記トランスの前記一次巻線に並列に接続された第二のスイッチング素子と、前記第二のスイッチング素子に直列に接続され、前記第二のスイッチング素子とともに前記トランスの前記一次巻線に並列に接続されたコンデンサと、前記トランスの前記二次巻線に誘起された電圧に応じた情報を出力するフィードバック手段と、前記フィードバック手段から入力された前記情報に基づいて、前記第一のスイッチング素子及び前記第二のスイッチング素子のオン又はオフを制御する制御手段と、を備え、前記制御手段は、前記第一のスイッチング素子と前記第二のスイッチング素子をともにオフさせるデッドタイムを挟んで前記第一のスイッチング素子と前記第二のスイッチング素子を交互にオン又はオフさせるスイッチング動作を行う第一の期間と、前記スイッチング動作を停止させる第二の期間と、を交互に繰り返す動作を行うことが可能である電源装置であって、前記制御手段は、前記第一の期間から前記第二の期間に移行する際に、前記第二のスイッチング素子をオンしてから前記第二の期間に移行し、前記第二の期間から前記第一の期間に移行する際にも、前記第二のスイッチング素子をオンしてから前記第

一の期間に移行することを特徴とする電源装置。
【０００９】
（２）記録材に画像形成を行う画像形成手段と、前記（１）に記載の電源装置と、を備えることを特徴とする画像形成装置。
【発明の効果】
【００１０】
本発明によれば、アクティブクランプ方式の電源装置における軽負荷時の電力効率を改善することができる。
【図面の簡単な説明】
【００１１】
【図１】実施例１の電源回路の概略図
【図２】実施例１の制御方法の説明図
【図３】実施例１の制御方法の説明する簡易回路図
【図４】実施例１のスイッチング電源回路の制御を示すフローチャート
【図５】実施例２の電源回路の概略図
【図６】実施例２のスイッチング電源回路の制御を示すフローチャート
【図７】実施例３の画像形成装置を示す図
【発明を実施するための形態】
【００１２】
以下、本発明を実施するための形態を、実施例により図面を参照しながら詳しく説明する。
【実施例１】
【００１３】
［電源装置］
図１は実施例１のアクティブクランプ方式を用いたスイッチング電源回路の概略を示す回路図である。商用電源等の交流電源１０は交流電圧を出力しており、全波整流手段であるブリッジダイオードＢＤ１で整流された電圧は、スイッチング電源回路１００に入力されている。平滑用コンデンサＣ３は整流された電圧の平滑手段として用いられ、平滑用コンデンサＣ３の低い側の電位をＤＣＬ、高い側の電位をＤＣＨとする。スイッチング電源回路１００は、平滑用コンデンサＣ３に充電された入力電圧Ｖｉｎから、絶縁された二次側へ電源電圧Ｖ１１を出力する。本実施例では、スイッチング電源回路１００は、電源電圧Ｖ１１の一例として、例えば５Ｖの一定の電圧を出力する。
【００１４】
スイッチング電源回路１００は、一次側に一次巻線Ｐ１、補助巻線Ｐ２、二次側に二次巻線Ｓ１を備えた絶縁型のトランスＴ１を有している。トランスＴ１の一次巻線Ｐ１から二次巻線Ｓ１には、後述する図２で説明するスイッチング動作によってエネルギーが供給されている。トランスＴ１の補助巻線Ｐ２は、一次巻線Ｐ１に印加された入力電圧Ｖｉｎのフォワード電圧を、ダイオードＤ４及びコンデンサＣ４で整流平滑し、電源電圧Ｖ１を供給するために用いられる。
【００１５】
スイッチング電源回路１００の一次側には、トランスＴ１の一次巻線Ｐ１に第１のスイッチング素子である電界効果トランジスタ（以下、ＦＥＴとする）１が直列に接続されている。電圧クランプ用のコンデンサＣ２と第２のスイッチング素子であるＦＥＴ２は直列に接続されている。直列に接続された電圧クランプ用のコンデンサＣ２とＦＥＴ２は、トランスＴ１の一次巻線Ｐ１に並列に接続されている。スイッチング電源回路１００の一次側には、ＦＥＴ１及びＦＥＴ２の制御手段として、制御部１０１及びＦＥＴ駆動部１０２を有している。ＦＥＴ１と並列に接続された電圧共振用のコンデンサＣ１は、ＦＥＴ１及びＦＥＴ２のスイッチオフ時の損失を低減するために設けられている。電圧共振用のコンデンサＣ１を設けずに、ＦＥＴ１のドレイン端子とソース端子間の容量を用いてもよい。後述するゼロ電圧でスイッチング素子をオンする動作を容易にするため、電圧共振用のコ

ンデンサＣ１は、電圧クランプ用のコンデンサＣ２に比べて、小さい静電容量のものが選択されている。尚、本実施例のダイオードＤ１は、ＦＥＴ１のボディーダイオードである。同様に、ダイオードＤ２はＦＥＴ２のボディーダイオードである。

【００１６】

スイッチング電源回路１００の二次側には、トランスＴ１の二次巻線Ｓ１に生じるフライバック電圧の二次側の整流平滑手段であるダイオードＤ１１及びコンデンサＣ１１を有している。トランスＴ１の二次巻線Ｓ１に誘起された電圧はダイオードＤ１１及びコンデンサＣ１１によって整流平滑され、電源電圧Ｖ１１として出力される。また、スイッチング電源回路１００の二次側には、二次側に出力される電源電圧Ｖ１１に応じた情報を一次側にフィードバックするフィードバック手段として、フィードバック部１１５を有している（図中、点線枠部）。尚、本実施例の制御部１０１には、発信器などによって生成されたクロックで動作するＣＰＵ、ＡＳＩＣ等の演算制御手段を用いている。これにより、後述する制御信号ＤＲＶ１及び制御信号ＤＲＶ２の複雑な波形制御を簡易で安価な回路構成で実現できる。

【００１７】

制御部１０１のＶＣ端子とＧ端子の間には、ＤＣ／ＤＣコンバータ１０４によって生成された電源電圧Ｖ２が、ＤＣ／ＤＣコンバータ１０４のＯＵＴ端子から供給されている。制御部１０１は、フィードバック部１１５からＦＢ端子に入力された電圧信号に基づき、制御信号ＤＲＶ１及び制御信号ＤＲＶ２を出力しており、ＦＥＴ駆動部１０２を介してＦＥＴ１及びＦＥＴ２の制御を行っている。ここで、制御信号ＤＲＶ１はＦＥＴ１を駆動するための信号、制御信号ＤＲＶ２はＦＥＴ２を駆動するための信号である。

【００１８】

ＦＥＴ駆動部１０２は、制御部１０１から入力された制御信号ＤＲＶ１に応じてＦＥＴ１のゲート駆動信号ＤＬを、制御信号ＤＲＶ２に応じてＦＥＴ２のゲート駆動信号ＤＨを生成する回路である。ＦＥＴ駆動部１０２のＶＣ端子とＧ端子の間には、補助巻線Ｐ２で生成された電源電圧Ｖ１が供給されている。また、ＦＥＴ２を駆動するため、コンデンサＣ５及びダイオードＤ５で構成されるチャージポンプ回路によって、ＶＨ端子とＧＨ端子の間に電源電圧Ｖ１が供給されている。ＦＥＴ駆動部１０２は、ハイレベルの制御信号ＤＲＶ１が入力されると、ＦＥＴ１のゲート駆動信号ＤＬをハイレベルとし、これによりＦＥＴ１がオン状態となる。同様に、ＦＥＴ駆動部１０２は、ハイレベルの制御信号ＤＲＶ２が入力されると、ＦＥＴ２のゲート駆動信号ＤＨをハイレベルとし、これによりＦＥＴ２がオン状態となる。

【００１９】

ＤＣ／ＤＣコンバータ１０４は、３端子レギュレータ又は降圧型スイッチング電源回路であり、ＶＣ端子とＧ端子間に入力された電源電圧Ｖ１を変換して、ＯＵＴ端子から電源電圧Ｖ２を出力している。起動回路１０３は、３端子レギュレータ又は降圧型スイッチング電源であり、ＶＣ端子とＧ端子間に入力された入力電圧Ｖｉｎを変換して、ＯＵＴ端子から電源電圧Ｖ１を出力している。起動回路１０３は、補助巻線Ｐ２から供給される電源電圧Ｖ１が所定の電圧値以下の場合のみ動作する回路であり、スイッチング電源回路１００の起動時に電源電圧Ｖ１を供給するために用いられる。

【００２０】

（フィードバック部）

フィードバック部１１５は、電源電圧Ｖ１１を所定の一定電圧に制御するために用いられる。電源電圧Ｖ１１の電圧値は、シャントレギュレータＩＣ５のリファレンス端子ＲＥＦの基準電圧、抵抗Ｒ５２及び抵抗Ｒ５３によって設定される。電源電圧Ｖ１１が所定の電圧（ここでは５Ｖ）より高くなると、シャントレギュレータＩＣ５のカソード端子Ｋから電流が流れ、プルアップ抵抗Ｒ５１を介してフォトカプラＰＣ５の二次側ダイオードが導通状態となる。これにより、フォトカプラＰＣ５の一次側トランジスタが動作し、コンデンサＣ６から電荷を放電する。このため、制御部１０１のＦＢ端子の電圧（以下、ＦＢ端子電圧という）が低下する。一方、電源電圧Ｖ１１が５Ｖより低くなると、二次側ダイ

オードが非導通状態となる。これにより、フォトカプラＰＣ５の一次側のトランジスタがオフ状態となり、電源電圧Ｖ２から抵抗Ｒ２を介してコンデンサＣ６を充電する電流が流れる。このため、制御部１０１のＦＢ端子電圧が上昇する。このように、フィードバック部１１５は、電源電圧Ｖ１１の変動に応じて制御部１０１のＦＢ端子電圧を変化させる。

【００２１】

制御部１０１は、フィードバック部１１５から入力されたＦＢ端子電圧を検知することで、電源電圧Ｖ１１を所定の一定電圧に制御するためのフィードバック制御を行っている。このように、制御部１０１はＦＢ端子電圧を監視することによって、電源電圧Ｖ１１を間接的にフィードバック制御できる。また、フィードバック部１１５の代わりに、制御部１０１を二次側に設けて、電源電圧Ｖ１１を監視することで、電源電圧Ｖ１１を直接フィードバック制御してもよい。また、制御部１０１はＦＢ端子電圧を監視することにより負荷の状態を把握できるため、負荷の状態に応じた適切な制御を行うことができる。負荷の状態を、より正確に判断するためには、ＦＥＴ１や、スイッチング電源回路１００の負荷に電力を供給する経路に、電流検出手段を設けてもよい。本実施例における軽負荷状態を判断する手段は、制御部１０１のＦＢ端子電圧を利用するものとして説明する。

【００２２】

［スイッチング電源回路の軽負荷状態の制御方法］

図２は、制御部１０１によるアクティブクランプ方式を用いたスイッチング電源回路１００の軽負荷状態の効率を改善するための制御方法の説明図である。図２において、（ｉ）はＦＥＴ１のゲート駆動信号ＤＬに対応する制御信号ＤＲＶ１を示す図、（ｉｉ）はＦＥＴ２のゲート駆動信号ＤＨに対応する制御信号ＤＲＶ２を示す図である。図２において、（ｉｉｉ）はＦＥＴ１のドレイン電流を示す図、（ｉｖ）はＦＥＴ１のドレイン端子とソース端子間の電圧を示す図である。横軸はいずれも時間を示す。図３は、図２に示す複数の期間（〔１〕～〔９〕）における電流の流れを、簡易回路図とともに示したものである。以下に、各期間の動作を説明する。尚、図３では、トランスＴ１をリーケージインダクタンスＬｒ、結合インダクタンスＬｓ、理想トランスＴｉに分割して示している。また、図３の回路中に、それぞれの期間で流れる電流を濃い実線矢印で示している。本実施例では、ＦＥＴ１及びＦＥＴ２を制御する期間が、第一の期間であるスイッチング期間、停止前制御を実施する期間、第二の期間であるスイッチング停止期間、停止後制御を実施する期間、のように分けられる。

【００２３】

（スイッチング期間）

図２のスイッチング期間は、制御部１０１が、ＦＥＴ１とＦＥＴ２をともにオフさせるデッドタイムを挟んでＦＥＴ１とＦＥＴ２を交互にオン又はオフさせて繰り返し制御する期間である。スイッチング期間におけるＦＥＴ２と電圧クランプ用のコンデンサＣ２を用いた動作（以下、アクティブクランプ動作という）を図２、図３の〔１〕～〔３〕で説明する。

【００２４】

ＦＥＴ１がオン状態の間は、トランスＴ１のリーケージインダクタンスＬｒ、結合インダクタンスＬｓに電流が流れている（図２（ｉｉｉ）参照）。図３に示す〔１〕の期間は、ＦＥＴ１が時間ＴＬ１の間オン状態となった後オフ状態となり、デッドタイムを経てＦＥＴ２がオン状態となった期間である。ＦＥＴ１がオン状態の間に流れた電流によって、トランスＴ１から、ＦＥＴ２又はダイオードＤ２を介して、電圧クランプ用のコンデンサＣ２の＋端子側に充電を行う状態となる。リーケージインダクタンスＬｒによるキックバック電圧は電圧クランプ用のコンデンサＣ２によって吸収することができるため、ＦＥＴ１のドレイン端子とソース端子間に印加されるサージ電圧を抑制できる。電圧クランプ用のコンデンサＣ２の電圧が上昇すると、ダイオードＤ１１がオン状態となり、トランスＴ１の二次巻線Ｓ１を介して、スイッチング電源回路１００の二次側に電力が供給される状態になる。

【００２５】

図３に示す〔２〕の期間では、電圧クランプ用のコンデンサＣ２と、トランスＴ１のリーケージインダクタンスＬｒ及び結合インダクタンスＬｓとの共振によって、コンデンサＣ２の＋端子側からＦＥＴ２を介してトランスＴ１に電流が流れる状態となる。電圧クランプ用のコンデンサＣ２の電圧が低下すると、二次側のダイオードＤ１１が非導通状態となり、スイッチング電源回路１００の二次側に電力が供給されない状態になる。更に、ＦＥＴ２の導通状態を保持することで、電圧クランプ用のコンデンサＣ２からトランスＴ１のリーケージインダクタンスＬｒ及び結合インダクタンスＬｓに流れる電流が増加する。

【００２６】

図３に示す〔３〕の期間は、ＦＥＴ１及びＦＥＴ２がともにオフ状態となっているデッドタイム期間である。図３の〔３〕の期間では、ＦＥＴ２をオフ状態にすることで、トランスＴ１の一次巻線Ｐ１に接続されたコンデンサの容量が電圧クランプ用のコンデンサＣ２と電圧共振用のコンデンサＣ１の合成容量の値から、電圧共振用のコンデンサＣ１の容量に減少する。そのため、トランスＴ１のリーケージインダクタンスＬｒ及び結合インダクタンスＬｓに流れる電流によって、電圧共振用のコンデンサＣ１に充電されていた電荷を、平滑用コンデンサＣ３に回生することができる。上述した回生の動作が終了すると、ダイオードＤ１が導通した状態となる。図３に示す〔３〕の期間が終了し、ダイオードＤ１が導通した状態で、ＦＥＴ１をオン状態にすることで、ＦＥＴ１はゼロボルトの状態でオフ状態からオン状態へと移行するスイッチング動作を行うことができる。ＦＥＴ１がゼロボルトの状態でオフ状態からオン状態へと移行するスイッチング動作を、以下、ゼロボルトスイッチングという。このように、ＦＥＴ２がオン状態となってから、平滑用コンデンサＣ３への回生の動作が終了するまでの動作を、アクティブクランプ動作という。ＦＥＴ１はその後時間ＴＬ２の間オン状態となる。

【００２７】

このように、図２、図３の〔１〕～〔３〕で説明したアクティブクランプ動作における電圧クランプ用のコンデンサＣ２とＦＥＴ２の働きによって、ＦＥＴ１のサージ電圧を抑制することができる。また、電圧共振用のコンデンサＣ１の電荷を、平滑用コンデンサＣ３に回生することができ、更に、ＦＥＴ１のゼロボルトスイッチングを行うことができる。よって、アクティブクランプ方式を用いることで、図２に示すスイッチング期間において、スイッチング電源回路１００の効率を改善できる。

【００２８】

（電源電圧Ｖ１１の制御方法）

次にスイッチング期間における、二次側の電源電圧Ｖ１１の制御方法について説明する。スイッチング電源回路１００の二次側の電源電圧Ｖ１１の制御は、ＦＥＴ１とＦＥＴ２のオン時間の比率を変更することにより行っている。ＦＥＴ２に対するＦＥＴ１のオン時間の比率が高くなると、二次側の電源電圧Ｖ１１は上昇する。ＦＥＴ１とＦＥＴ２のオン時間の比率を制御する方法として、例えば、ＦＥＴ２のオン時間を固定時間として、ＦＥＴ１のオン時間をフィードバック部１１５から出力されるフィードバック情報、即ちＦＢ端子電圧に基づき可変にする方法が考えられる。同様に、１周期の時間が一定になるように、ＦＥＴ１のオン時間とＦＥＴ２のオン時間の比率を、フィードバック部１１５から出力されるＦＢ端子電圧に応じて可変にする方法が考えられる。

【００２９】

また、入力電圧Ｖｉｎの電圧値やスイッチング電源回路１００の二次側の電源電圧Ｖ１１等の情報に基づき、ＦＥＴ１のオン時間とＦＥＴ２のオン時間を最適値に補正する。その上で、ＦＥＴ１のオン時間をフィードバック部１１５から出力されるＦＢ端子電圧に基づき可変にする方法が考えられる。入力電圧Ｖｉｎが大きい場合にはＦＥＴ１のオン時間を短く制御し、二次側の電源電圧Ｖ１１が大きい場合にはＦＥＴ２のオン時間を短く制御する。また、トランスＴ１の一次巻線Ｐ１に電流検出手段を設ける構成でもよい。そして、ＦＥＴ１がゼロボルトスイッチングを行うことができるように設定された最適なＦＥＴ２のオン時間を検出して制御した上で、ＦＥＴ１のオン時間をフィードバック部１１５から出力されるＦＢ端子電圧に基づき可変にする方法を用いてもよい。

【００３０】
（間欠動作）
次に、上述したスイッチング期間と、後述するスイッチング停止期間を交互に繰り返し制御する間欠動作について説明を行う。スイッチング電源回路１００の軽負荷状態において、スイッチング期間の制御をそのまま継続すると、次のような課題が生じる。即ち、スイッチング電源回路１００の一次側の電流による抵抗損失や、ＦＥＴ１及びＦＥＴ２のスイッチング損失等によって、スイッチング電源回路１００の効率が低下してしまう。
【００３１】
そのため、スイッチング電源回路１００は、フィードバック部１１５から出力されるＦＢ端子電圧等に基づき、スイッチング電源回路１００の軽負荷状態を検出すると、後述する停止前制御を行った後、スイッチング停止期間に移行する。スイッチング電源回路１００は、軽負荷状態において、スイッチング期間と後述するスイッチング停止期間を繰り返す間欠動作を行う。これにより、スイッチング電源回路１００の一次側の電流や、ＦＥＴ１及びＦＥＴ２のスイッチング回数を低減させて、スイッチング電源回路１００の軽負荷状態の電力効率を改善できる。
【００３２】
本実施例のスイッチング電源回路１００は、図２に示すスイッチング期間からスイッチング停止期間に遷移する際に行われる停止前制御によって、スイッチング電源回路１００の損失を改善することを特徴としている。また、スイッチング停止期間からスイッチング期間に遷移する際に行われる停止後制御によって、スイッチング電源回路１００の損失を改善することを特徴としている。
【００３３】
（停止前制御を実施する期間）
次に図３に示す〔４〕の期間で行う、停止前制御について説明する。スイッチング期間におけるＦＥＴ１のオン時間をＴＬ１、ＴＬ２、ＦＥＴ２のオン時間をＴＨ１とする。また、停止前制御を実施する期間におけるＦＥＴ２のオン時間をＴＨ２とし、オン時間ＴＨ２となるＦＥＴ２がオン状態となる前のＦＥＴ１のオン時間をＴＬ２とする（図２参照）。更に、停止後制御を実施する期間におけるＦＥＴ２のオン時間をＴＨ３とする。
【００３４】
図３に示す〔４〕の期間の動作は、前述した〔１〕期間の動作と同様である。本実施例では、スイッチング停止期間が継続する時間よりも短い時間でＦＥＴ２をオンさせる。また、スイッチング期間でＦＥＴ２をオンさせた時間（ＴＨ１）よりも短い時間（ＴＨ２）でＦＥＴ２をオンさせる。更に、スイッチング期間でＦＥＴ２をオンさせた時間（ＴＨ１）の半分以下の時間（≦ＴＨ１／２）でＦＥＴ２をオンさせる。このように、本実施例では、停止前制御を実施する期間におけるＦＥＴ２のオン時間ＴＨ２（〔４〕の期間）は、スイッチング期間におけるＦＥＴ２のオン時間ＴＨ１（〔１〕と〔２〕の和の期間）よりも短くすることを特徴としている。本実施例の停止前制御を実施する期間では、ＦＥＴ１とＦＥＴ２のオン時間の比率を、スイッチング期間のオン時間の比率（ＴＬ１とＴＨ１の比率）の半分以下の比率（ＴＬ２とＴＨ２の比率）となるように制御している。ＦＥＴ２のオン時間を短くする類似の制御方法として、スイッチング期間の最後にオンしたＦＥＴ２のオン時間（ＴＨ１）に対して、ＦＥＴ２のオン時間（ＴＨ２）を半分以下の時間（ＴＨ２≦ＴＨ１／２）として制御する方法を用いてもよい。
【００３５】
このように、スイッチング期間におけるＦＥＴ１とＦＥＴ２のオン時間の比率（ＴＬ１とＴＨ１の比率）から、停止前制御時の最適なＦＥＴ２のオン時間（ＴＨ２）を決定する。これにより、電圧クランプ用のコンデンサＣ２の＋端子側からトランスＴ１に電流が流れる状態（図３の〔２〕の期間）になる前に、ＦＥＴ２をオフ状態とし、スイッチング停止期間、より詳細には〔５〕以降の状態に移行することができる。本実施例では、後述する〔５〕～〔６〕の期間で説明するように、停止前制御時のＦＥＴ２のオン時間（ＴＨ２）を決定する。これにより、専用の検出手段を設けることなく、トランスＴ１と電圧クラ

ンプ用のコンデンサＣ２による共振のピーク電圧を電圧クランプ用のコンデンサＣ２に充電した状態で、スイッチング停止期間に移行することができる（図２（ｉｖ）参照）。このため、スイッチング電源回路１００の効率を改善できる。

【００３６】

図３に示す〔５〕の期間では、次のような動作となる。〔４〕の期間でトランスＴ１から電圧クランプ用のコンデンサＣ２に充電しきれなかった電流を、電圧共振用のコンデンサＣ１と、ダイオードＤ２を介して電圧クランプ用のコンデンサＣ２に流すことで、電圧クランプ用のコンデンサＣ２の更なる充電を行う。トランスＴ１から、電圧クランプ用のコンデンサＣ２の＋端子側に、トランスＴ１と電圧クランプ用のコンデンサＣ２と、電圧共振用のコンデンサＣ１による共振のピーク電圧が充電された後、〔６〕の状態に移行する。

【００３７】

図３に示す〔６〕の期間では、ＦＥＴ１及びＦＥＴ２がオフ状態のため、電圧クランプ用のコンデンサＣ２の＋端子側からは、トランスＴ１に対して電流が流れない。そのため、電圧クランプ用のコンデンサＣ２には、前述した共振のピーク電圧を保持することができる。この状態では、電圧共振用のコンデンサＣ１と、トランスＴ１の共振動作（図３〔６〕中、両矢印で示す）が生じる（図２（ｉｖ）参照）。電圧共振用のコンデンサＣ１の容量は低いため、スイッチング期間に比べて高い周波数の共振動作が生じ、この共振動作の振幅は、抵抗成分による損失等によって、比較的短時間で減衰する（図２の（ｉｖ））。

【００３８】

ここで、本実施例の特徴である、停止前制御による効率改善の効果について説明する。図３に示す〔４〕の期間の動作によって、ＦＥＴ２をオン状態にできる。このため、ダイオードＤ２のみでトランスＴ１と電圧クランプ用のコンデンサＣ２による共振電流を導通させる場合に比べて、ダイオードＤ２の順方向電圧による損失を低減できる。特に、ＦＥＴ２に、オン抵抗値の低いスーパージャンクションＦＥＴ等を用いた場合、上述した損失低減の効果が大きくなる。

【００３９】

また、本実施例のスイッチング電源回路１００の制御方法は、図２、図３に示す〔４〕の期間のＦＥＴ２のオン時間ＴＨ２を、スイッチング期間のＦＥＴ２のオン時間ＴＨ１に基づき決定している。このため、本実施例のスイッチング電源回路１００の制御方法は、ＦＥＴ２の最適なオン時間を検知するために別途検出用の回路等を設ける必要がない点を特徴としている。このように、スイッチング期間のＦＥＴ２のオン時間ＴＨ１から停止前制御時のＦＥＴ２のオン時間ＴＨ２を決定しているため、この制御を予測制御ということもできる。停止前制御時のＦＥＴ２のオン時間ＴＨ２を決定することによって、トランスＴ１と電圧クランプ用のコンデンサＣ２と、電圧共振用のコンデンサＣ１による共振のピーク電圧が充電された状態で、スイッチング停止期間に移行することができる。また、このように制御することで、ダイオードＤ１の順方向電圧による損失を低減する効果も、両立して得ることができる。

【００４０】

また、図３に示す〔４〕の期間におけるＦＥＴ２の最適なオン時間を検知するために、検出用の回路等を設けた場合でも、ダイオードＤ１の順方向電圧による損失を低減する効果を得ることができる。尚、スイッチング停止期間におけるＦＥＴ２のオン時間の決定方法は、本実施例の図２、図３で説明した方法（ＴＨ１に基づく方法）にのみ限定されるものではない。

【００４１】

（スイッチング停止期間）

次に、図２に示すスイッチング停止期間の制御を説明する。図３に示す〔７〕の期間では、電圧クランプ用のコンデンサＣ２に電圧を保持したまま（図２（ｉｖ））、ＦＥＴ１及びＦＥＴ２をオフ状態として保持している。電圧クランプ用のコンデンサＣ２に電圧が

保持されているため、所定の停止期間が経過した後でも、ＦＥＴ２をオンすることで、コンデンサＣ２の＋端子側からトランスＴ１に電流が流れる状態（図３の〔２〕の状態）となる。制御部１０１は、フィードバック部１１５から出力されるＦＢ端子電圧等に基づき、スイッチング電源回路１００の二次側に負荷を供給すべき状態を検出した場合や、所定の時間が経過した場合等に、スイッチング停止期間を終了する。そして、制御部１０１は、後述する停止後制御を行った後、スイッチング期間に移行する。

【００４２】

（停止後制御を実施する期間）

次に図３に示す〔８〕～〔９〕の停止後制御を説明する。図３に示す〔８〕の期間の動作は、前述した〔２〕の期間の動作と同様であるが、図３に示す〔８〕の期間では、ＦＥＴ２のオン時間を短くすることを特徴としている。本実施例では、スイッチング停止期間が継続する時間よりも短い時間でＦＥＴ２をオンさせる。また、スイッチング期間でＦＥＴ２をオンさせた時間（ＴＨ１）よりも短い時間でＦＥＴ２をオンさせる。更に、スイッチング期間でＦＥＴ２をオンさせた時間（ＴＨ１）の半分よりも短い時間（＜ＴＨ１／２）でＦＥＴ２をオンさせる。本実施例の制御では、ＦＥＴ１とＦＥＴ２のオン時間の比率を、スイッチング期間のオン時間の比率（ＴＬ１とＴＨ１の比率）の半分より小さい比率（ＴＬ２とＴＨ３の比率）となるように制御している。

【００４３】

同様の効果を得るための類似の制御方法として、例えば次のような方法がある。図３に示す〔８〕の停止後制御では、ＦＥＴ２のオン時間ＴＨ３を、スイッチング期間の最後にオンしたＦＥＴ２のオン時間（ＴＨ１）（〔１〕と〔２〕の和の時間）の半分より短い時間（ＴＨ３＜ＴＨ１／２）で制御してもよい。更に、ＦＥＴ２のオン時間ＴＨ３を、停止前制御のＦＥＴ２のオン時間ＴＨ２より短い時間（ＴＨ３＜ＴＨ２）としてもよい。この場合、ＦＥＴ２のオン時間（ＴＨ３）について、「ＴＨ１／２≧ＴＨ２＞ＴＨ３」という関係が成り立つ。〔８〕の期間でのＦＥＴ２のオン時間を短くすることで、スイッチング電源回路１００の効率が改善される。即ち、電圧クランプ用のコンデンサＣ２からトランスＴ１のリーケージインダクタンスＬｒ及び結合インダクタンスＬｓに流れる電流が、必要以上に増加してしまわないようにすることができるため、スイッチング電源回路１００の効率が改善される。

【００４４】

続いて図３に示す〔９〕の期間では、〔３〕の期間と同様にＦＥＴ１及びＦＥＴ２はオフ状態となっており、デッドタイム期間となっている。図３の〔９〕のデッドタイム期間を経過した後、ＦＥＴ１をオン状態にすることで、期間〔３〕の説明と同様にＦＥＴ１はゼロボルトスイッチングを行うことができる。

【００４５】

本実施例の間欠動作では、図２、図３の〔１〕～〔３〕で説明したスイッチング期間、〔４〕で説明した停止前制御、〔５〕～〔７〕で説明したスイッチング停止期間、〔８〕～〔９〕で説明した停止後制御を繰り返し行う。このとき、停止前制御及び停止後制御のＦＥＴ２のオン時間ＴＨ２、ＴＨ３に対して、十分に長いスイッチング停止期間を設ける構成とする。これにより、スイッチング電源回路１００の一次側の電流や、ＦＥＴ１及びＦＥＴ２のスイッチング回数を低減させて、スイッチング電源回路１００の軽負荷状態の電力効率を改善できる。

【００４６】

［スイッチング電源回路の制御］

図４は本実施例の制御部１０１によるスイッチング電源回路１００の制御処理を説明するフローチャートである。制御部１０１は、交流電源１０がスイッチング電源回路１００に接続され、スイッチング電源回路１００に電力が供給される状態になると、以下の制御を開始する。ステップ（以下、Ｓとする）３０１で制御部１０１は、フィードバック部１１５からＦＢ端子に入力されるＦＢ端子電圧を検知する。Ｓ３０２で制御部１０１は、Ｓ３０１で検知したＦＢ端子電圧に応じてＦＥＴ１のオン時間を制御する。例えば、制御部

１０１は、ＦＥＴ１のオン時間をＴＬ１やＴＬ２としてＦＥＴ１の駆動を制御する。

【００４７】

Ｓ３０３で制御部１０１は、スイッチング電源回路１００が軽負荷状態となっているか否かを判断するため、ＦＢ端子電圧が所定の電圧ＦＢＬ１より小さいか（ＦＢ＜ＦＢＬ１）否かを判断する。ここで、軽負荷状態か否かの判断に用いられる所定の電圧ＦＢＬ１を、以下、停止電圧という。Ｓ３０３で制御部１０１は、ＦＢ端子電圧が停止電圧ＦＢＬ１以上であると判断した場合、Ｓ３０４の処理に進む。Ｓ３０４で制御部１０１は、ＦＢ端子電圧に応じた時間でＦＥＴ２のオン時間を決定し、Ｓ３０１の処理に戻る。例えば、制御部１０１は、ＦＥＴ２のオン時間をＴＨ１としてＦＥＴ２の駆動を制御する。制御部１０１は、内部に有する不図示の例えばＲＡＭ等の記憶部に、スイッチング期間におけるＦＥＴ２のオン時間（ＴＨ１）を記憶する。尚、制御部１０１は、ＦＥＴ１のオン時間と、ＦＥＴ２のオン時間の間に、上述した所定のデッドタイムを設けて制御を行っている。この場合、スイッチング電源回路１００は軽負荷状態ではないため、制御部１０１は、スイッチング期間を連続して実施する連続動作を行っている。

【００４８】

Ｓ３０３で制御部１０１は、ＦＢ端子電圧が停止電圧ＦＢＬ１より小さいと判断した場合、Ｓ３０５の処理に進む。Ｓ３０５で制御部１０１は、ＦＥＴ２のオン時間がＦＢ端子電圧に応じた時間（ＴＨ１）の２分の１（半分）以下の時間（ＴＨ２≦ＴＨ１／２）となるように、ＦＥＴ２のオン時間を制御する。この制御は、上述した停止前制御に該当する。Ｓ３０６で制御部１０１は、Ｓ３０５で決定したＦＥＴ２のオン時間（ＴＨ２）が経過した後に、ＦＥＴ１及びＦＥＴ２をオフ状態とし、そのまま保持する。この制御は、上述したスイッチング停止期間の制御に該当する。制御部１０１は、不図示のタイマーをリセットしてスタートさせる。

【００４９】

Ｓ３０７で制御部１０１は、スイッチング電源回路１００の二次側の電源電圧Ｖ１１として供給する電力が不足している状態か否かを検知するため、ＦＢ端子電圧が所定の電圧ＦＢＬ２より大きいか否かを判断する。ここで、スイッチング停止期間からスイッチング期間に遷移するか否かの判断に用いられる所定の電圧ＦＢＬ２を、以下、復帰電圧という。停止電圧ＦＢＬ１と復帰電圧ＦＢＬ２の関係は、ヒステリシスをもたせるために、ＦＢＬ２＞ＦＢＬ１とする。

【００５０】

Ｓ３０７で制御部１０１は、ＦＢ端子電圧が復帰電圧ＦＢＬ２より大きいと判断した場合は、Ｓ３０８の処理に進む。Ｓ３０７で制御部１０１は、ＦＢ端子電圧が復帰電圧ＦＢＬ２以下の場合、スイッチング停止期間を継続し、Ｓ３０７の処理を繰り返す。Ｓ３０８で制御部１０１は、不図示のタイマーを参照することにより、Ｓ３０６の処理で開始されたスイッチング停止期間の長さが、制御部１０１の不図示のメモリに記憶された所定の最短停止期間Ｔｍｉｎよりも長いか否かを判断する。このように、制御部１０１は、スイッチング停止期間の長さを、制御部１０１の内部タイマーを用いて測定する。

【００５１】

Ｓ３０８で制御部１０１は、スイッチング停止期間が最短停止期間Ｔｍｉｎより長いと判断した場合、Ｓ３０９の処理に進む。Ｓ３０８で制御部１０１は、スイッチング停止期間が最短停止期間Ｔｍｉｎ以下であると判断した場合、Ｓ３０８の処理を繰り返し、スイッチング停止期間を継続する。このように、本実施例では、スイッチング停止期間からスイッチング期間への復帰の判断は、ＦＢ端子電圧と所定の時間経過に基づき行っている。しかし、スイッチング停止期間からスイッチング期間への復帰の判断は、ＦＢ端子電圧に基づき判断したり、時間経過に基づき判断したり、その他の要因に基づき判断してもよい。Ｓ３０９で制御部１０１は、ＦＢ端子電圧に応じて設定されたＦＥＴ２のオン時間（ＴＨ１）を、Ｓ３０４で記憶したメモリから読み出す。制御部１０１は、スイッチング期間におけるＦＥＴ２のオン時間（ＴＨ１）の２分の１より短い時間として、ＦＥＴ２のオン時間（ＴＨ３＜ＴＨ１／２）を決定し、ＦＥＴ２をオン状態にし、Ｓ３０１の処理に戻る

。この制御は、上述した停止後制御に該当する。上述した制御を繰り返し行うことによって、制御部１０１は、スイッチング電源回路１００の制御を行っている。

【００５２】

以上説明したように、制御部１０１は、スイッチング期間からスイッチング停止期間に移行する際に、ＦＥＴ２をオンしてからスイッチング停止期間に移行する。そして、制御部１０１は、スイッチング停止期間からスイッチング期間に移行する際にも、ＦＥＴ２をオンしてからスイッチング期間に移行する。本実施例のスイッチング電源回路１００は次の特徴を有している。

・スイッチング電源回路１００の軽負荷状態において、スイッチング期間とスイッチング停止期間を繰り返し行う間欠動作を行う。

・スイッチング停止期間の前にＦＥＴ２をオンする停止前制御を行う。

・スイッチング停止期間の後にＦＥＴ２をオンする停止後制御を行う。

・停止前制御と停止後制御のＦＥＴ２のオン時間を、スイッチング期間のＦＥＴ２のオン時間に対して短く制御する。

【００５３】

以上、本実施例によれば、アクティブクランプ方式の電源装置における軽負荷時の電力効率を改善することができる。

【実施例２】

【００５４】

［スイッチング電源回路の構成］

次に、実施例２のスイッチング電源回路４００を説明する。実施例１と同様の構成には同一の符号を付し、説明を省略する。図５に示すスイッチング電源回路４００は、フィードバック手段としてフィードバック部１１６と、切り替え制御部１１８とを有している。切り替え制御部１１８は、２つの状態、即ち、二次側の電源電圧Ｖ１２として第一の電圧である２４Ｖ電圧を出力するスタンバイ状態と、第二の電圧である５Ｖ電圧を出力するスリープ状態とを切り替える。本実施例では、このように、スタンバイ状態とスリープ状態を切り替える切り替え制御部１１８を有する点が実施例１の構成と異なる。また、本実施例では、スイッチング電源回路４００の二次側整流回路は、ダイオードＤ１１の代わりに、後述する同期整流回路と、平滑回路を追加した点が実施例１と異なっている。本実施例の同期整流回路は、ＦＥＴ１２、ダイオードＤ１２、同期整流制御部１１１を有している。また、本実施例の平滑回路は、コイルＬ１１、コンデンサＣ１２を有している。

【００５５】

スイッチング電源回路４００の同期整流回路の制御は、同期整流制御部１１１によって行われている。同期整流制御部１１１は、Ｓ端子によって検出されるダイオードＤ１２の導通期間のみ、Ｄ端子の出力をハイレベルにすることで、同期整流用のスイッチ素子であるＦＥＴ１２をオン状態にする。これにより、トランスＴ１の二次巻線Ｓ１の電圧が整流される。同期整流制御部１１１は、例えば、ディスクリート回路や、半導体集積回路として一体形成された制御部である。同期整流制御部１１１には、ＶＣ端子とＧ端子の間に電源電圧Ｖ１２が供給されている。ここで、電源電圧Ｖ１２は、スイッチング電源回路４００の出力電圧であり、本実施例では、後述するように２４Ｖ又は５Ｖの電圧である。同期整流制御部１１１により整流された電圧は、コンデンサＣ１１、Ｃ１２及びコイルＬ１１によって平滑され、電源電圧Ｖ１２として出力されている。

【００５６】

（フィードバック部）

フィードバック部１１６は、実施例１のフィードバック部１１５に対して、抵抗Ｒ５３、Ｒ５４、ＦＥＴ５１を用いたフィードバック電圧の切り替え機能を有する点が異なる。ＦＥＴ５１のゲート端子とソース端子の間には、抵抗Ｒ５５が接続されている。フィードバック部１１６のＦＥＴ５１のゲート端子には、スイッチング電源回路４００を搭載している電子機器の制御部等から、フィードバック電圧を切り替えるための信号である２４ＶＯＵＴ信号が入力されている。２４ＶＯＵＴ信号がハイレベルになると、ＦＥＴ５１がオ

ン状態になり、抵抗Ｒ５４がショートされる。このため、シャントレギュレータＩＣ５のリファレンス端子ＲＥＦに入力される電圧は、電源電圧Ｖ１２を抵抗Ｒ５２、Ｒ５３で分圧した電圧となる。これにより、スイッチング電源回路４００は、二次側の電源電圧Ｖ１２として２４Ｖ電圧を出力する状態となる。

【００５７】

一方、２４ＶＯＵＴ信号がローレベルになると、ＦＥＴ５１がオフ状態になり、抵抗Ｒ５３と抵抗Ｒ５４が直列に接続される。このため、シャントレギュレータＩＣ５のリファレンス端子ＲＥＦに入力される電圧は、電源電圧Ｖ１２を抵抗Ｒ５２と、抵抗Ｒ５３と抵抗Ｒ５４の合成抵抗とで分圧した電圧となる。これにより、スイッチング電源回路４００は、二次側の電源電圧Ｖ１２として５Ｖ電圧を出力する状態となる。以上のように本実施例では、スイッチング電源回路４００の外部から入力された２４ＶＯＵＴ信号に応じて、スイッチング電源回路４００の電源電圧Ｖ１２を２４Ｖ又は５Ｖに切り替える。

【００５８】

（切り替え制御部）

切り替え制御部１１８は、ＳＴＡＮＢＹ信号に応じてスタンバイ状態とスリープ状態の切り替え制御を行う。切り替え制御部１１８のＦＥＴ８１のゲート端子には、スイッチング電源回路４００を搭載している電子機器の制御部等から、スイッチング電源回路４００の動作状態を切り替えるための信号であるＳＴＡＮＢＹ信号が入力されている。ＦＥＴ８１のゲート端子とソース端子の間には、抵抗Ｒ８２が接続されている。ハイレベルのＳＴＡＮＢＹ信号が切り替え制御部１１８に入力されると、ＦＥＴ８１がオン状態となり、抵抗Ｒ８１を介してフォトカプラＰＣ８の二次側ダイオードが導通状態となる。これにより、フォトカプラＰＣ８の一次側トランジスタがオン状態となり、コンデンサＣ８に充電されていた電荷が放電される。コンデンサＣ８の一端は、制御部１０１のＳＬ端子に接続されており、コンデンサＣ８の電荷が放電されると、制御部１０１のＳＬ端子の電圧（以下、ＳＬ端子電圧という）はローレベルになる。

【００５９】

一方、ローレベルのＳＴＡＮＢＹ信号が切り替え制御部１１８に入力されると、ＦＥＴ８１がオフ状態となり、フォトカプラＰＣ８の二次側ダイオードが非導通状態となる。これにより、フォトカプラＰＣ８の一次側トランジスタもオフ状態となり、コンデンサＣ８は、電源電圧Ｖ２から抵抗Ｒ１を介して充電され、制御部１０１のＳＬ端子電圧がハイレベルになる。制御部１０１は、ＳＬ端子電圧に応じて、スイッチング電源回路４００をスタンバイ状態とするかスリープ状態とするかの判断を行っている。本実施例では、制御部１０１のＳＬ端子電圧がローレベルのときにスタンバイ状態、制御部１０１のＳＬ端子電圧がハイレベルのときにスリープ状態としているが、逆であってもよい。

【００６０】

図６（Ａ）～図６（Ｄ）のフローチャートは、制御部１０１によるスイッチング電源回路４００の異なる４つの制御方法を示している。制御部１０１は、スイッチング電源回路４００が搭載される電子機器に応じて、以下に説明するような種々の制御を実施することができる。図６（Ａ）に対して図６（Ｂ）～図６（Ｄ）で処理が同じになる場合には同じ符号を付し、説明を省略する。尚、本実施例でも、間欠動作を実施する場合には、制御部１０１は、実施例１で説明した間欠動作（スイッチング期間、停止前制御、スイッチング停止期間、停止後制御）を実施する。停止前制御、停止後制御におけるＦＥＴ２のオン時間の決定方法も実施例１と同様である。

【００６１】

（２４ＶＯＵＴ信号とＳＴＡＮＢＹ信号が接続されている場合）

（第１の制御シーケンス）

図６（Ａ）は、本実施例の制御部１０１による、スイッチング電源回路４００の第１の制御シーケンスを説明するフローチャートである。尚、図６（Ａ）で説明するフローチャートでは、２４ＶＯＵＴ信号とＳＴＡＮＢＹ信号は接続されているものとする。即ち、図６（Ａ）の第１の制御シーケンスでは、２４ＶＯＵＴ信号とＳＴＡＮＢＹ信号は連動して

いる。２４ＶＯＵＴ信号がハイレベルであればＳＴＡＮＢＹ信号もハイレベルとなり、２４ＶＯＵＴ信号がローレベルであればＳＴＡＮＢＹ信号もローレベルとなる。制御部１０１は、スイッチング電源回路４００に電力が供給される状態になると第１の制御シーケンスを開始する。Ｓ５１１で制御部１０１は、実施例１で説明したスイッチング電源回路４００の間欠動作を有効な状態とする。間欠動作を有効な状態とする、とは、スイッチング電源回路４００が、連続動作を行うだけでなく、必要に応じて間欠動作も行えるようにすることをいう。

【００６２】

Ｓ５１２で制御部１０１は、ＳＬ端子電圧に基づき電源電圧Ｖ１２に２４Ｖ電圧を出力する要求があるか否かを判断する。ＳＬ端子電圧は、スイッチング電源回路４００のスタンバイ状態とスリープ状態を切り替えるための判断に用いられる電圧である。図６（Ａ）では、ＳＴＡＮＢＹ信号と２４ＶＯＵＴ信号とが接続されているために、ＳＬ端子電圧に基づいて、電源電圧Ｖ１２を２４Ｖ電圧とするか５Ｖ電圧とするかの判断も行うことができる。尚、制御部１０１は、２４ＶＯＵＴ信号に応じて変化するＦＢ端子電圧に基づき、Ｓ５１２の判断を行ってもよい。Ｓ５１２で制御部１０１は、２４Ｖ電圧を出力する要求があると判断した場合Ｓ５１３の処理に進み、Ｓ５１３で、実施例１で説明した間欠動作を無効とする状態とし、Ｓ５１２の処理に戻る。間欠動作を無効とする状態とは、スイッチング電源回路４００が間欠動作を行わないようにする、即ち、常に連続動作を行うようにすることをいう。Ｓ５１２で制御部１０１は、２４Ｖ電圧を出力する要求がない、即ち、電源電圧Ｖ１２として５Ｖ電圧を出力すると判断した場合Ｓ５１１の処理に戻り、Ｓ５１１で、実施例１で説明した間欠動作を有効とした状態で保持する。

【００６３】

ここで、表１は、図６（Ａ）と図６（Ｂ）を説明する表である。表１の一列目の「Ａ」は図６（Ａ）に、「Ｂ」は図６（Ｂ）に対応している。表１の二列目はスイッチング電源回路４００の電源電圧Ｖ１２が５Ｖ電圧のとき、三列目はスイッチング電源回路４００の電源電圧Ｖ１２が２４Ｖ電圧のときを示す。また、表１は、スイッチング電源回路４００の電源電圧Ｖ１２がそれぞれの電圧の場合に、軽負荷状態又は重負荷状態におけるスイッチング電源回路４００の動作状態を示している。

【００６４】

【表１】

	5V出力状態		24V出力状態	
	軽負荷状態	重負荷状態	軽負荷状態	重負荷状態
A	間欠動作	連続動作	連続動作	
B	間欠動作		連続動作	

【００６５】

図６（Ａ）の場合、スイッチング電源回路４００の電源電圧Ｖ１２として２４Ｖ電圧を出力する要求がある場合は、間欠動作を無効にする（Ｓ５１３）。これにより、大電力の出力が要求される２４Ｖ電圧を出力している際には間欠動作が行われず、スイッチング電源回路４００の応答性を高めることができる。即ち、スイッチング電源回路４００の電源電圧Ｖ１２に２４Ｖ電圧を出力する要求がある場合は、軽負荷状態、重負荷状態ともに、スイッチング電源回路４００は連続動作を行う。一方、スイッチング電源回路４００の電源電圧Ｖ１２に２４Ｖ電圧を出力する要求がない場合、間欠動作が有効とされる（Ｓ５１１）。この場合、スイッチング電源回路４００の電源電圧Ｖ１２として５Ｖ電圧が出力される。スイッチング電源回路４００の電源電圧Ｖ１２が５Ｖ電圧の場合、間欠動作が有効

とされるため（Ｓ５１１）、スイッチング電源回路４００は、負荷の状態に応じて連続動作だけでなく間欠動作も行う。具体的には、スイッチング電源回路４００の電源電圧Ｖ１２が５Ｖ電圧の場合、軽負荷状態では間欠動作を行い、重負荷状態では連続動作を行う。フィードバック部１１６には電源電圧Ｖ１２が入力されており、負荷の状態に応じて、フィードバック部１１６から制御部１０１に出力されるＦＢ端子電圧は変化する。このため、軽負荷状態か重負荷状態かは、制御部１０１がＦＢ端子電圧に基づいて判断する。

【００６６】

（第２の制御シーケンス）

図６（Ｂ）は、本実施例の制御部１０１によるスイッチング電源回路４００の第２の制御シーケンスを説明するフローチャートである。尚、図６（Ｂ）で説明するフローチャートでも、２４ＶＯＵＴ信号とＳＴＡＮＢＹ信号は接続されているものとする。制御部１０１は、スイッチング電源回路４００に電力が供給される状態になると第２の制御シーケンスを開始する。Ｓ５２１で制御部１０１は、スイッチング電源回路４００が常に間欠動作を行うように制御する。尚、Ｓ５１２、Ｓ５１３は既に説明したため説明を省略する。

【００６７】

図６（Ｂ）の場合、スイッチング電源回路４００の電源電圧Ｖ１２として２４Ｖ電圧を出力する要求がない場合、即ち、５Ｖ電圧を出力する場合、常に間欠動作で制御される（Ｓ５２１、表１）。図６（Ｂ）の制御は、例えば、５Ｖ電圧を出力しているときには重負荷状態がない、言い換えれば、必ず軽負荷状態となっているような仕様の電源装置等に適用できる。５Ｖ電圧を出力しているときに必ず軽負荷状態となっている電源装置の場合、制御部１０１は、ＳＬ端子電圧に基づいて軽負荷状態を判断できる。即ち、このような仕様の電源装置では、間欠動作すべき軽負荷状態を、ＳＬ端子電圧のみで判断できる。尚、スイッチング電源回路４００の電源電圧Ｖ１２が２４Ｖ電圧の場合は、図６（Ａ）と同様であり、説明を省略する。

【００６８】

尚、図６（Ａ）及び図６（Ｂ）の制御を行う場合、２４ＶＯＵＴ信号と、ＳＴＡＮＢＹ信号は接続されている。このため、切り替え制御部１１８の代わりにトランスＴ１の一次側にフライバック電圧を検出するための補助巻線（不図示）を設けて、補助巻線の電圧を検知する構成としてもよい。これにより、二次側の電源電圧Ｖ１２の状態（２４Ｖ電圧を出力している状態か、５Ｖ電圧を出力している状態か）を判別してもよい。

【００６９】

（２４ＶＯＵＴ信号とＳＴＡＮＢＹ信号が分離されている場合）

（第３の制御シーケンス）

図６（Ｃ）は本実施例の制御部１０１によるスイッチング電源回路４００の第３の制御シーケンスを説明するフローチャートである。尚、図６（Ｃ）で説明するフローチャートでは、２４ＶＯＵＴ信号とＳＴＡＮＢＹ信号は分離されているものとする。即ち、図６（Ｃ）の第３の制御シーケンスでは、２４ＶＯＵＴ信号とＳＴＡＮＢＹ信号は連動しておらず、それぞれ独立にハイレベル又はローレベルの信号となる。制御部１０１は、スイッチング電源回路４００に電力が供給される状態になると第３の制御シーケンスを開始する。

【００７０】

Ｓ５１１で制御部１０１は、間欠動作を有効な状態とする。Ｓ５３２で制御部１０１は、ＳＬ端子電圧に基づきスイッチング電源回路４００にスタンバイ状態（スタンバイモード）への移行の要求があるか否かを判断する。Ｓ５３２で制御部１０１は、スタンバイ状態への移行の要求があると判断した場合Ｓ５１３の処理に進み、間欠動作を無効とする。Ｓ５３２で制御部１０１は、スタンバイ状態への移行の要求がない、即ち、スリープ状態であると判断した場合Ｓ５１１の処理に戻り、間欠動作を有効な状態で保持する。

【００７１】

ここで、表２は、図６（Ｃ）と図６（Ｄ）を説明する表である。表１の一列目の「Ｃ」は図６（Ｃ）に、「Ｄ」は図６（Ｄ）に対応している。その他は表１と同様であり、説明を省略する。

【００７２】
【表２】

	スリープ状態		スタンバイ状態	
	軽負荷状態	重負荷状態	軽負荷状態	重負荷状態
C	間欠動作	連続動作	連続動作	
D	間欠動作		連続動作	

【００７３】
図６（Ｃ）の場合、スイッチング電源回路４００の電源電圧Ｖ１２が２４Ｖ電圧か５Ｖ電圧かに拘らず、大電力を出力する可能性がある場合にはハイレベルのＳＴＡＮＢＹ信号が切り替え制御部１１８に入力される。制御部１０１は、ＳＬ端子電圧に基づきスタンバイモードであると判断した場合、間欠動作を無効にする。この場合、制御部１０１は、スタンバイ状態では間欠動作を行わず、軽負荷状態、重負荷状態によらずスイッチング電源回路４００を連続動作とする。これにより、スイッチング電源回路４００の応答性を高めることができる。一方、スイッチング電源回路４００がスタンバイ状態に移行する要求がない場合、Ｓ５１１で間欠動作が有効とされる。この場合、スイッチング電源回路４００はスリープ状態となる。スイッチング電源回路４００がスリープ状態の場合、間欠動作が有効とされるため、スイッチング電源回路４００は、負荷の状態に応じて連続動作だけでなく間欠動作を行う。具体的には、スイッチング電源回路４００がスリープ状態の場合、軽負荷状態では間欠動作を行い、重負荷状態では連続動作を行う。
【００７４】
（第４の制御シーケンス）
図６（Ｄ）は、本実施例の制御部１０１によるスイッチング電源回路４００の第４の制御シーケンスを説明するフローチャートである。尚、図６（Ｄ）で説明するフローチャートでは、図６（Ｃ）同様に、２４ＶＯＵＴ信号とＳＴＡＮＢＹ信号は分離されているものとする。制御部１０１は、スイッチング電源回路４００に電力が供給される状態になると第４の制御シーケンスを開始する。図６（Ｄ）の構成は、図６（Ｂ）と図６（Ｃ）で説明した処理の組み合わせであるため、説明は省略する。
【００７５】
図６（Ｄ）の場合、スイッチング電源回路４００の電源電圧Ｖ１２が２４Ｖ電圧か５Ｖ電圧かに拘らず、スイッチング電源回路４００のモードに応じて常に間欠動作で制御されるか、間欠動作が無効とされるかが決定される。図６（Ｄ）の場合、スイッチング電源回路４００がスタンバイモードに移行する要求がない場合、即ち、スリープ状態である場合、常に間欠動作で制御される（Ｓ５２１）。図６（Ｄ）の制御は、スリープ状態となっている場合に必ず軽負荷状態となっているような仕様の電源装置等に適用できる。スリープ状態となっているときに必ず軽負荷状態となっている電源装置の場合、制御部１０１はＳＬ端子電圧に基づいて軽負荷状態を判断できる。尚、スイッチング電源回路４００がスタンバイモードの場合は、図６（Ｃ）と同様であり、説明を省略する。
【００７６】
このように、スイッチング電源回路４００の軽負荷状態を判断する手段は、実施例１で説明した、制御部１０１のＦＢ端子電圧を利用する手段に限定されない。本実施例のスイッチング電源回路４００で説明したように、外部から供給されるＳＴＡＮＢＹ信号等を用いてもよい。本発明は、いずれかの手段を用いてスイッチング電源回路４００が軽負荷状態であると判断した場合に、間欠動作を行う制御方法に特徴を有している。
【００７７】

本実施例のスイッチング電源回路４００は、スイッチング電源回路１００の特徴に加えて、下記の特徴を有している。
・スイッチング電源回路４００の電源電圧Ｖ１２を複数の電圧（２４Ｖ電圧と５Ｖ電圧）に設定できる。
・スイッチング電源回路４００はスタンバイ状態とスリープ状態等の複数の状態を有する。
・スタンバイ状態（２４Ｖ電圧を出力する状態）ではスイッチング電源回路４００の間欠動作を無効にする。
・スリープ状態（５Ｖ電圧を出力する状態）ではスイッチング電源回路４００の間欠動作を有効にする。又は、スイッチング電源回路４００を常に間欠動作で制御する。

【００７８】
以上、本実施例によれば、アクティブクランプ方式の電源装置における軽負荷時の電力効率を改善することができる。

【実施例３】

【００７９】
実施例１、２で説明した電源装置であるスイッチング電源回路は、例えば画像形成装置の低圧電源、即ちコントローラ（制御部）やモータ等の駆動部へ電力を供給する電源として適用可能である。以下に、実施例１、２の電源装置が適用される画像形成装置の構成を説明する。

【００８０】
［画像形成装置の構成］
画像形成装置の一例として、レーザビームプリンタを例にあげて説明する。図７に電子写真方式のプリンタの一例であるレーザビームプリンタの概略構成を示す。レーザビームプリンタ３００は、静電潜像が形成される像担持体としての感光ドラム３１１、感光ドラム３１１を一様に帯電する帯電部３１７（帯電手段）、感光ドラム３１１に形成された静電潜像をトナーで現像する現像部３１２（現像手段）を備えている。そして、感光ドラム３１１に現像されたトナー像をカセット３１６から供給された記録材としてのシート（不図示）に転写部３１８（転写手段）によって転写して、シートに転写したトナー像を定着器３１４で定着してトレイ３１５に排出する。この感光ドラム３１１、帯電部３１７、現像部３１２、転写部３１８が画像形成部である。また、レーザビームプリンタ３００は、実施例１～３で説明した電源装置５００を備えている。尚、実施例１、２の電源装置５００を適用可能な画像形成装置は、図７に例示したものに限定されず、例えば複数の画像形成部を備える画像形成装置であってもよい。更に、感光ドラム３１１上のトナー像を中間転写ベルトに転写する一次転写部と、中間転写ベルト上のトナー像をシートに転写する二次転写部を備える画像形成装置であってもよい。

【００８１】
レーザビームプリンタ３００は、画像形成部による画像形成動作や、シートの搬送動作を制御するコントローラ３２０を備えており、実施例１、２に記載の電源装置５００は、例えばコントローラ３２０に電力を供給する。また、実施例１、２に記載の電源装置５００は、感光ドラム３１１を回転するため又はシートを搬送する各種ローラ等を駆動するためのモータ等の駆動部に電力を供給する。本実施例の電源装置５００が実施例１のスイッチング電源回路１００である場合、制御部１０１は、ＦＢ端子電圧に基づいて、間欠動作を行う。この場合、実施例１で説明したように、制御部１０１は、スイッチング期間からスイッチング停止期間に移行する際には、停止前制御を行い、スイッチング停止期間からスイッチング期間に移行する際には、停止後制御を行う。これにより、電源装置５００の軽負荷時の電力効率を改善することができる。

【００８２】
また、本実施例の画像形成装置は、通常動作モード、スタンバイモード又はスリープモードで動作することが可能となっている。スタンバイモードは、画像形成動作を行う通常動作モードよりも消費する電力を低減させつつ、印刷指示を受信したらすぐに画像形成動

作を実施できる状態となるモードである。スリープモードは、スタンバイモードより更に消費する電力を低減させた状態となるモードである。電源装置５００が実施例２のスイッチング電源回路４００である場合、例えば、コントローラ３２０は、スイッチング電源回路４００に２０ＶＯＵＴ信号やＳＴＡＮＢＹ信号を出力する。スイッチング電源回路４００は、表１、表２等で説明したように、制御部１０１によりＳＬ端子電圧に基づいて、軽負荷状態時に間欠動作を行う。尚、制御部１０１は、実施例１で説明した間欠動作の制御を実施する。これにより、電源装置５００の軽負荷時の電力効率を改善することができる。

【００８３】

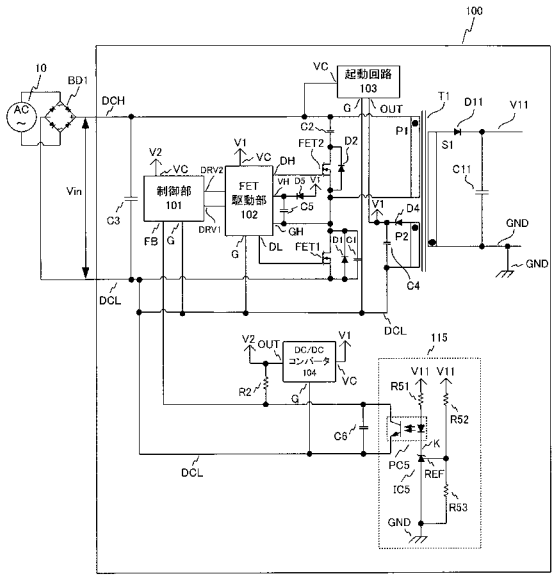
以上、本実施例によれば、アクティブクランプ方式の電源装置における軽負荷時の電力効率を改善することができる。

【符号の説明】

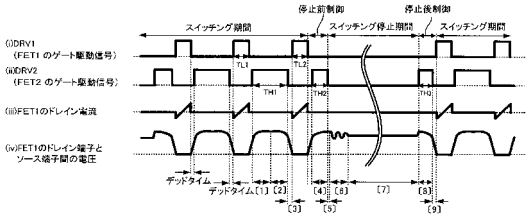
【００８４】

Ｔ１　　トランス
ＦＥＴ１　第１スイッチ
ＦＥＴ２　第２スイッチ
Ｃ２　　電圧クランプ用コンデンサ
１０１　　制御部（ＣＰＵ）
１１５　　フィードバック部

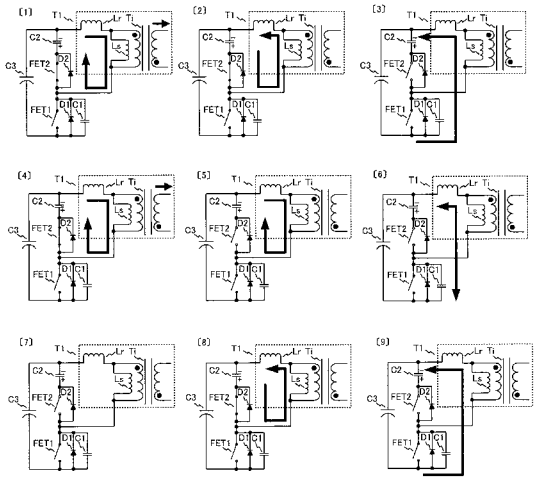
【図１】



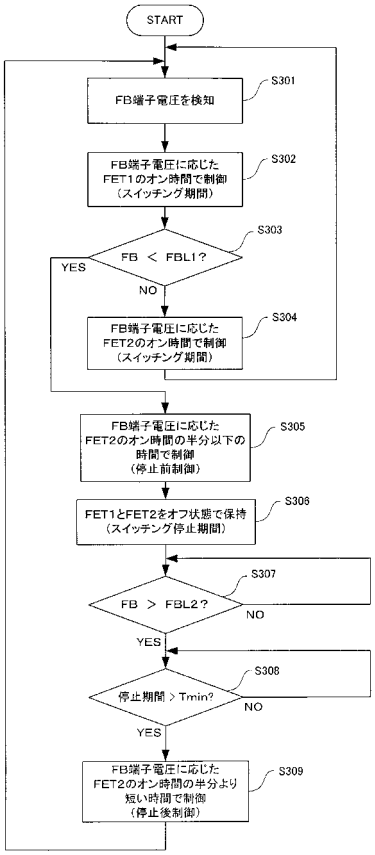
【図２】



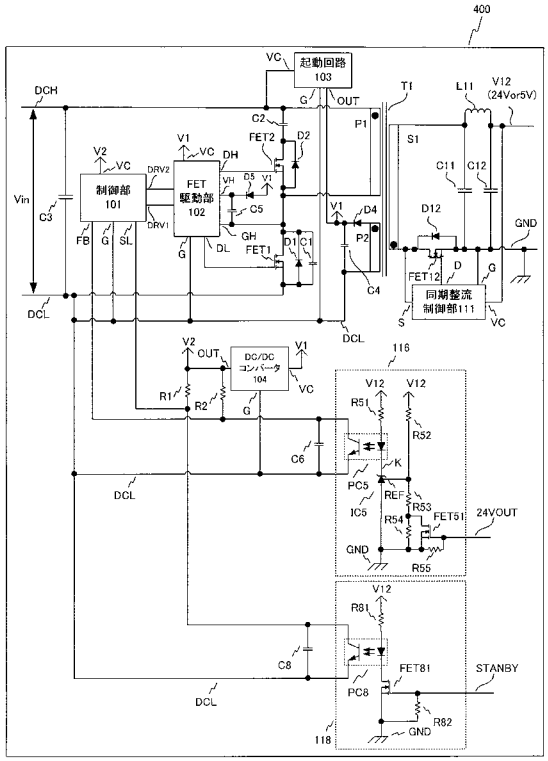
【図３】


[1]
[2]
[3]
[4]
[5]
[6]
[7]
[8]
[9]
T1
C2
C3
FET2
D2
FET1
D1
C1
Lr
Ls

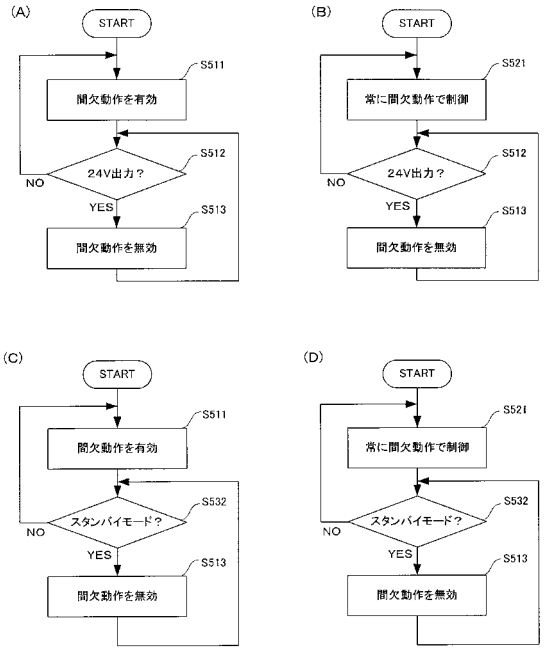
【図４】


START
FB端子電圧を検知
S301
FB端子電圧に応じた
FET1のオン時間で制御
（スイッチング期間）
S302
FB ＜ FBL1?
S303
YES
NO
FB端子電圧に応じた
FET2のオン時間で制御
（スイッチング期間）
S304
FB端子電圧に応じた
FET2のオン時間の半分以下の
時間で制御
（停止前制御）
S305
FET1とFET2をオフ状態で保持
（スイッチング停止期間）
S306
FB ＞ FBL2?
S307
NO
YES
停止期間＞Tmin?
S308
NO
YES
FB端子電圧に応じた
FET2のオン時間の半分より
短い時間で制御
（停止後制御）
S309

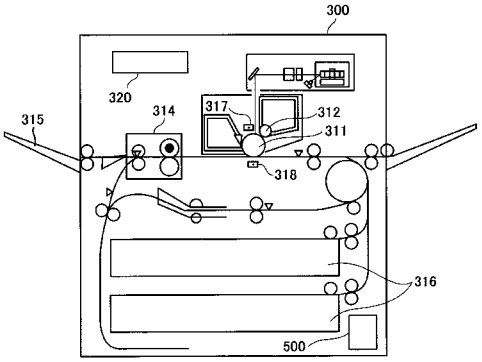
【図５】


400
VC
起動回路
103
G
OUT
T1
L11
V12
(24Vor5V)
DCH
C2
P1
S1
V1
FET2
D2
V2
VC
DH
制御部
101
FET
駆動部
102
DRV2
DRV1
VH
D5
C5
C11
C12
Vin
C3
FB
G
SL
GH
FET1
D1
C1
DL
D4
P2
D12
GND
L12
FET12
D
G
C4
同期整流
制御部111
S
DCL
116
DC/DC
コンバータ
104
R1
R2
R51
R52
C6
PC5
REF
K
IC5
R53
R54
FET51
24VOUT
R55
R81
C8
FET81
STANBY
PC8
R82
118

【図６】


(A)
START
S511
間欠動作を有効
24V出力？
S512
NO
YES
S513
間欠動作を無効
(B)
START
S521
常に間欠動作で制御
24V出力？
S512
NO
YES
S513
間欠動作を無効
(C)
START
S511
間欠動作を有効
スタンバイモード？
S532
NO
YES
S513
間欠動作を無効
(D)
START
S521
常に間欠動作で制御
スタンバイモード？
S532
NO
YES
S513
間欠動作を無効

【図７】



フロントページの続き

Ｆターム(参考) 2H270 KA47 MG01 MG02 MG03 ZC03 ZC04 ZC06 ZD06 ZD08
5H730 AA14 AS01 BB43 BB75 BB83 BB88 CC01 DD04 DD32 DD42
EE02 EE07 EE13 EE58 EE59 EE60 FD01 FF09 FF19 FG03
FG05 FG07 FG25 FV02 FV07 VV01 VV06 XC05 XC06