

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3973250号
(P3973250)

(45) 発行日 平成19年9月12日(2007.9.12)

(24) 登録日 平成19年6月22日(2007.6.22)

(51) Int.Cl.

F I

G 1 1 C 11/401 (2006.01)

G 1 1 C 11/34 3 6 2 H

請求項の数 16 (全 109 頁)

(21) 出願番号	特願平8-171229	(73) 特許権者	503121103
(22) 出願日	平成8年7月1日(1996.7.1)		株式会社ルネサステクノロジ
(65) 公開番号	特開平9-73774		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成9年3月18日(1997.3.18)	(74) 代理人	100064746
審査請求日	平成15年5月28日(2003.5.28)		弁理士 深見 久郎
(31) 優先権主張番号	特願平7-167358	(74) 代理人	100085132
(32) 優先日	平成7年7月3日(1995.7.3)		弁理士 森田 俊雄
(33) 優先権主張国	日本国(JP)	(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

各々が行および列のマトリクス状に配列される複数のメモリセルを有するとともに、互いに独立にメモリセル行選択動作およびメモリセル列選択動作の活性化および非活性化の制御が可能な複数のアレイブロック、

前記複数のアレイブロックに共通に配設され、外部入出力データのビット幅に対応するビット幅を有し、外部からのアクセス時に書込または読出データを転送する共通データバス、

アドレス信号に従って、前記複数のアレイブロックのうちの1つのアレイブロックを選択し、さらに該選択されたアレイブロックから前記ビット幅と同じ数のメモリセルを並行して選択して、該選択されたメモリセルのデータを前記共通データバスへ読出すアレイ制御手段、および

転送指示と転送アドレス信号とにตอบสนองして、前記アレイ制御手段により前記共通データバスへ読出されたメモリセルのデータを前記転送アドレス信号が指定するアレイブロックへ転送する転送手段、

前記アドレス信号と前記転送アドレス信号とをリンクして格納する格納手段、

外部からのアドレス信号と前記格納手段の格納するアドレス信号の一致/不一致を判別する手段、および

前記判別手段の一致検出時に前記格納手段の対応の転送アドレス信号を選択しかつ前記判別手段の不一致検出時に前記外部からのアドレス信号を選択して前記アドレス信号とし

10

20

て与える手段を備える、半導体記憶装置。

【請求項 2】

前記複数のアレイブロックの各々は、各行に対応して配置され、各々に対応の行のメモリセルが接続される複数のワード線と、各列に対応して配置され、各々に対応の列のメモリセルが接続される複数のビット線対と、各列に対応して配置され、対応のビット線対上の電位を検知、増幅、およびラッチする複数のセンスアンプとを有し、

前記アレイ制御手段は、

前記アドレス信号が指定するアレイブロックの前記アドレス信号が指定する行に対応して配置されるワード線を選択状態へ駆動した後、該アレイブロックのセンスアンプを活性化する手段と、

10

前記アドレス信号に応答して、前記選択アレイブロックの対応の列のセンスアンプを前記共通データバスへ結合する列選択手段とを含み、

前記転送手段は、

前記転送アドレス信号に応答して、前記転送アドレス信号が指定するアレイブロックの列のセンスアンプを前記共通データバスに結合する手段と、

前記転送指示に応答して、前記転送アドレス信号が指定するアレイブロックのセンスアンプを活性化する手段とを備える、請求項 1 記載の半導体記憶装置。

【請求項 3】

前記複数のアレイブロックそれぞれに対応して設けられ、各々が前記共通データバスと同じビット幅を有する複数のローカルデータバスをさらに備え、

20

前記アレイ制御手段は、前記アドレス信号が指定するアレイブロックの対応の列のセンスアンプを該対応のローカルデータバスへ接続する手段と、

前記アドレス信号に従って、前記対応のローカルデータバスを前記共通データバスへ接続する手段とを含み、

前記転送手段は、

前記転送アドレス信号に従って、前記転送アドレス信号が指定するアレイブロックのローカルデータバスを前記共通データバスに接続する手段と、

前記転送アドレス信号に従って、前記転送アドレス信号が指定するアレイブロックの対応の列のセンスアンプを該対応のローカルデータバスへ接続する手段とを備える、請求項 1 または 2 に記載の半導体記憶装置。

30

【請求項 4】

前記転送手段は、前記転送指示と前記転送アドレス信号とに応答して、前記転送アレイブロックのセンスアンプの活性化前に、前記転送アドレス信号が指定する行のワード線を選択状態へ駆動する手段を備える、請求項 1 ないし 3 のいずれかに記載の半導体記憶装置。

【請求項 5】

前記転送手段は、前記転送指示と前記転送アドレス信号とに応答して、前記転送アレイブロックのワード線を非選択状態に維持する手段を備える、請求項 1 ないし 3 のいずれかに記載の半導体記憶装置。

【請求項 6】

40

各列に対応して配置されるビット線対と対応のセンスアンプとの間に配置される接続ゲートをさらに備え、

前記転送手段は、前記転送指示と前記転送アドレス信号とに応答して、前記転送アレイブロックの接続ゲートを非導通状態に維持する手段をさらに備える、請求項 5 記載の半導体記憶装置。

【請求項 7】

前記共通データバス上のデータを増幅して出力バッファへ伝達するためのリードドライバと、

前記リードドライバの出力信号を受けるとに結合される入力部を有し、入力バッファから前記入力部へ与えられたデータをバッファ処理して前記共通データバスへ伝達するた

50

めのライトドライバと、

前記転送指示に応答して、前記ライトドライバを活性化する手段をさらに備える、請求項 1 ないし 6 のいずれかに記載の半導体記憶装置。

【請求項 8】

前記転送手段は、前記転送指示に応答して、前記転送アドレス信号が指定するアレイブロックのセンスアンプと対応のローカルデータバスとの接続および前記対応のローカルデータバスと前記共通データバスとの接続の確立の後、前記転送アドレス信号が指定するアレイブロックのセンスアンプを活性化する手段を含む、請求項 3 記載の半導体記憶装置。

【請求項 9】

前記転送手段は、前記転送指示に応答して、前記転送アドレス信号が指定するアレイブロックのセンスアンプの活性化の後、前記ライトドライバを活性化する手段を含む、請求項 7 記載の半導体記憶装置。

【請求項 10】

容量手段、

各前記アレイブロックのセンスアンプに対応して配置されるセンスアンプ活性化信号線

、
アドレス信号に응答して、前記アドレス信号が指定するアレイブロックのセンスアンプの活性化から非活性化への移行時、該アレイブロックのセンスアンプ活性化信号線を前記容量手段へ所定期間結合する手段、および

前記転送アドレス信号と前記転送指示とに응答して、前記転送アドレス信号が指定するアレイブロックのセンスアンプ活性化信号線を、該転送アドレス信号が指定するアレイブロックのセンスアンプの非活性化から活性化への移行時に所定期間前記容量手段へ結合する手段をさらに備える、請求項 2 ないし 9 のいずれかに記載の半導体記憶装置。

【請求項 11】

前記転送手段は、前記転送指示と同時に与えられる保持指示の活性化に응答して、前記転送アドレス信号が指定するアレイブロックのセンスアンプを活性状態に保持する手段をさらに備える、請求項 1 ないし 10 のいずれかに記載の半導体記憶装置。

【請求項 12】

外部から一定のパルス幅を有する周期的に与えられるクロック信号に同期して、前記複数のアレイブロックのうちのアレイブロックを指定するブロックアドレス信号、該アレイブロックの行を指定する行アドレス信号、および該アレイブロックの列を指定する列アドレス信号を同時に取込んで内部アドレス信号を生成する手段をさらに備える、請求項 1 ないし 11 のいずれかに記載の半導体記憶装置。

【請求項 13】

前記複数のアレイブロックそれぞれに対応して配置され、前記クロック信号に同期して与えられるチップ活性化信号に응答して活性化されて前記内部アドレス信号をラッチする手段を含み、前記ラッチ手段は、前記内部アドレス信号が対応のアレイブロックを指定するときのみ与えられた内部アドレス信号をラッチする、請求項 12 記載の半導体記憶装置。

【請求項 14】

前記クロック信号に同期して、外部から与えられる制御信号を取込み内部制御信号を生成する制御信号入力バッファをさらに備える、請求項 12 または 13 に記載の半導体記憶装置。

【請求項 15】

前記アドレス信号により指定される選択アレイブロックの前記アレイ制御手段は、対応のアレイブロックを、前記チップ活性化信号の活性化から所定の時間活性状態に維持する、請求項 13 記載の半導体記憶装置。

【請求項 16】

各々が、行および列のマトリクス状に配列されるメモリセルと、各列に対応して配置され、各々に対応の列のメモリセルが接続される複数のビット線対と、各行に対応して配置

10

20

30

40

50

され、各々に対応の行のメモリセルが接続される複数のワード線と、各列に対応して配置され、各々が対応の列のビット線対のデータを検知、増幅、およびラッチする複数のセンスアンプとを有する複数のアレイブロック、

前記複数のアレイブロックの隣接するアレイブロックの各列に対応して配置されるビット線対の間に配置され、対応の隣接アレイブロックのビット線対を相互接続するための複数のゲート、

第1のアドレス信号と転送指示とにตอบสนองして、前記第1のアドレス信号が指定する選択アレイブロックのメモリセル行を選択する第1の選択手段、

前記第1のアドレス信号と前記第1の選択手段とにตอบสนองして、前記選択アレイブロックのセンスアンプを活性化する方法、

10

前記第1のアドレス信号と前記転送指示とにตอบสนองして、前記選択アレイブロックと隣接するアレイブロックの間のゲートを導通状態とする接続手段、

第2のアドレス信号と前記転送指示とにตอบสนองして、前記隣接するアレイブロックのメモリセル行を選択する第2の選択手段、

前記第2のアドレス信号と前記転送指示とにตอบสนองして、前記隣接するアレイブロックのセンスアンプを活性化する方法、および

リフレッシュ指示とリフレッシュアドレスとに従って、リフレッシュアドレスが指定するアレイブロックに隣接するアレイブロックに対してビット線対をフローティング状態として前記ゲートを導通状態として、前記リフレッシュアドレスが指定するアレイブロックのセンスアンプに保持されているデータを前記隣接するアレイブロックに転送して、前記ゲートを非導通状態とし、前記リフレッシュアドレスが指定するアレイブロックにおいてリフレッシュを実行し、前記リフレッシュ指示の非活性化への移行時、前記隣接するアレイブロックのデータを前記選択アレイブロックのセンスアンプへ返送し、該センスアンプを活性化状態とするリフレッシュ制御手段を備える、半導体記憶装置。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体記憶装置に関し、特に、高速でアクセスすることのできるダイナミック型半導体記憶装置に関する。

【0002】

30

【従来の技術】

図97は、従来の半導体記憶装置の要部の構成を概略的に示す図である。図97において、半導体記憶装置は、複数のアレイブロックM B a ~ M B nを含む。アレイブロックM B a ~ M B nの各々は、行列状に配置される複数のメモリセルM Cと、各行に対応して配置され、各々に対応の行のメモリセルが接続される複数のワード線W Lと、各列に対応して配置され、各々に対応の列のメモリセルが接続される複数のビット線対B L Pを含む。図97においては、アレイブロックM B a ~ M B n各々において、1本のワード線W Lと1つのビット線対B L Pを代表的に示す。

【0003】

アレイブロックM B a ~ M B nそれぞれに対応して、XデコーダX D a ~ X D n、センスアンプ帯S A B a ~ S A B nおよびセクタ帯S T R a ~ S T R nが配置され、またアレイブロックM B a ~ M B nに共通にYデコーダY DおよびグローバルI / O線G I / Oが設けられる。

40

【0004】

XデコーダX D a ~ X D nは活性化時、与えられた行アドレス信号（この経路は示さず）をデコードし、対応のアレイブロックM B a ~ M B nのアドレス指定された行に対応して配置されたワード線を選択状態へと駆動する。

【0005】

センスアンプ帯S A B a ~ S A B nは、対応のアレイブロックM B a ~ M B nの各列（ビット線対B L P）に対応して配置されるセンスアンプを含み、活性化時、対応のビット線

50

対 B L P 上に現れたメモリセルデータを検知し増幅しラッチする。

【 0 0 0 6 】

Y デコーダ Y D は、与えられた列アドレス信号をデコードし、アドレス指定された列を選択する列選択信号を列選択信号線 C S 上に伝達する。セクタ帯 S T R a ~ S T R n は、Y デコーダ Y D から列選択信号線 C S 上に伝達された列選択信号と図示しないアレイブロック選択信号とにตอบสนองして、アレイブロック選択信号の指定するアレイブロックのアドレス指定された列（ビット線対 B L P）をグローバル I / O バス G I / O へ接続する。

【 0 0 0 7 】

グローバル I / O バス G I / O には、データ読出時に活性化され、グローバル I / O バス G I / O 上のデータを増幅して内部リード/ライトバス R W B S 上へ伝達するリードドライバ R D R と、データ書込時に活性化され、内部リード/ライトバス R W B S 上のデータをバッファ処理してグローバル I / O バス G I / O へ伝達するライトドライバ W D R が設けられる。

10

【 0 0 0 8 】

リード/ライトバス R W B S とデータ入出力端子 D Q との間に、データ読出時に活性化され、内部リード/ライトバス R W B S 上のデータをバッファ処理してデータ入出力端子 D Q へ出力する出力バッファ O B F と、データ書込時に活性化され、データ入出力端子 D Q へ与えられたデータ信号から内部書込データを生成して内部リード/ライトバス R W B S へ伝達する入力バッファ I B F が設けられる。

【 0 0 0 9 】

20

図 9 7 に示す半導体記憶装置においては、複数のアレイブロック M B a ~ M B n のうち 1 つのアレイブロックのみが活性化される。ここで、「アレイ活性化」は、アレイにおいてワード線が選択状態とされ、この選択されたワード線に接続されるメモリセルのデータが各ビット線対 B L P 上に読出されてセンスアンプにより増幅される状態を示す。アレイブロック選択信号により指定されたアレイブロックに対してのみデータの書込/読出が行なわれる。

【 0 0 1 0 】

図 9 8 は、図 9 7 に示すアレイブロック M B a ~ M B n の内部構成を詳細に示す図である。図 9 8 においては、1 つのアレイブロックの 1 列に関連する部分の構成を代表的に示す。また、1 本のワード線 W L のみが示される。

30

【 0 0 1 1 】

図 9 8 において、ビット線対 B L P は、互いに相補なデータ信号を伝達するビット線 B L および Z B L を含む。ビット線 B L とワード線 W L の交差部に配置されるメモリセル M C は、データを電荷の形態で格納するキャパシタ M Q と、ワード線 W L 上の信号電位にตอบสนองして、メモリキャパシタ M Q をビット線 B L へ接続する n チャネル M O S トランジスタで構成されるアクセストランジスタ M T を含む。

【 0 0 1 2 】

センスアンプ帯 S A B に含まれるセンスアンプ S A は、ビット線 B L に接続される一方導通端子と、ビット線 Z B L に接続されるコントロールゲートと、センスアンプ活性化信号 V p を受ける他方導通端子とを有する p チャネル M O S トランジスタ P 1 と、ビット線 Z B L に接続される一方導通端子と、ビット線 B L に接続されるコントロールゲートと、センスアンプ活性化信号 V p を受ける他方導通端子とを有する p チャネル M O S トランジスタ P 2 と、ビット線 B L に接続される一方導通端子と、ビット線 Z B L に接続されるコントロールゲートと、センスアンプ活性化信号 V n を受ける他方導通端子とを有する n チャネル M O S トランジスタ N 4 と、ビット線 Z B L に接続される一方導通端子と、ビット線対 B L に接続されるコントロールゲートと、センスアンプ活性化信号 V n を受ける他方導通端子とを有する n チャネル M O S トランジスタ N 5 を含む。

40

【 0 0 1 3 】

p チャネル M O S トランジスタ P 1 および P 2 は、フリップフロップを構成し、センスアンプ活性化信号 V p の活性化時（ハイレベル）、ビット線 B L および Z B L のうちの電位

50

の高いビット線をハイレベルへ駆動する。nチャンネルMOSトランジスタN4およびN5も、フリップフロップを構成し、センスアンプ活性化信号Vnの活性化時(ローレベル)、ビット線BLおよびZBLの低電位のビット線をローレベルへ駆動する。

【0014】

アレイブロックMB A(MBa~MBnのいずれか)に対しては、ローカルI/O線LIOaおよびLIObからなるローカルI/OバスLIOAが配置される。

【0015】

セクタ帯STRはビット線BLおよびZBLに対して設けられ、列選択信号CS(図97に示す列選択信号線上に伝達される信号であり、同じ符号で示す)にตอบสนองしてビット線BLおよびZBLをローカルI/O線LIOaおよびLIObへ接続する列選択ゲートCSELと、アレイブロック選択信号TGAにตอบสนองしてローカルI/O線LIOaおよびLIObをグローバルI/OバスGIOを構成するグローバルI/O線GIOaおよびGIObへそれぞれ接続するブロック選択ゲートBSELAを含む。列選択ゲートCSELは、ビット線BLとローカルI/O線LIOaの間に配置されるnチャンネルMOSトランジスタで構成されるトランスファゲートN6と、ビット線ZBLとローカルI/O線LIObの間に配置されるnチャンネルMOSトランジスタで構成されるトランスファゲートN7を含む。ブロック選択ゲートBSELAは、ローカルI/O線LIOaとグローバルI/O線GIOaの間に配置されるnチャンネルMOSトランジスタで構成されるトランスファゲートN8と、ローカルI/O線LIObとグローバルI/O線GIObの間に配置されるnチャンネルMOSトランジスタで構成されるトランスファゲートN9を含む。

10

20

【0016】

図98においては、また別のアレイブロックMB Bに対して設けられるブロック選択ゲートBSELBを示す。このブロック選択ゲートBSELBは、ブロック選択信号TGBにตอบสนองして、このアレイブロックMB Bに対して配置されるローカルI/O線をグローバルI/OバスGIOへ接続する。

【0017】

リードドライバRDRは、このグローバルI/OバスGIO上に現れた相補的な信号を差動増幅して内部リード/ライトバスRWBSへ伝達する。ライトドライバWDRは、内部リード/ライトバスRWBS上の信号を増幅して相補書込データを生成してグローバルI/Oバス線GIOaおよびGIOb上に伝達する。

30

【0018】

ビット線BLおよびZBLには、イコライズ信号EQにตอบสนองしてビット線BLおよびZBLを所定のプリチャージ電位Vprにプリチャージしかつイコライズするプリチャージ/イコライズ回路EPが設けられる。このイコライズ/プリチャージ回路EPは、イコライズ信号EQにตอบสนองしてビット線BLおよびZBLを接続するnチャンネルMOSトランジスタN1と、イコライズ信号EQにตอบสนองしてプリチャージ電位Vprをビット線BLへ伝達するnチャンネルMOSトランジスタN2と、イコライズ信号EQにตอบสนองしてプリチャージ電位Vprをビット線ZBLへ伝達するnチャンネルMOSトランジスタN3を含む。イコライズ信号EQは、この半導体記憶装置のスタンバイサイクル時において活性状態のハイレベルとされる。次に動作について説明する。

40

【0019】

今、画像データ処理などにおいてよく行なわれる、ある画素データを別の画素データで書換える動作を考える。このような動作は、画像の複製の処理などにおいて実行される。今、特に、1つのアレイブロックMB Aから別のアレイブロックMB Bへ画素データを転送する動作をその動作波形図である図99を参照して説明する。図99においては、アレイブロックMB Aに関連する制御信号およびローカルI/Oバスは、その末尾に文字「A」を付し、アレイブロックMB Bについての制御信号およびローカルI/O線等については、その末尾に「B」を付して示す。

【0020】

ロウアドレスストローブ信号ZRASがハイレベルの非活性状態においては、イコライズ

50

信号 E Q A および E Q B はともに活性状態のハイレベルにある。アドレスストローブ信号 Z R A S がローレベルの活性状態とされると、この半導体記憶装置のメモリセル選択動作が始まる。今、外部から与えられるアドレス信号（図示せず）がアレイブロック M B A を指定しているため、このアレイブロック M B A に対してのイコライズ信号 E Q A がローレベルとされ、イコライズ/プリチャージ回路 E P が非活性状態とされる。これにより、アレイブロック M B A においてビット線 B L および Z B L はプリチャージ電位 V_{pr} でフローティング状態とされる。続いて、図 97 に示す X デコーダによりロウアドレスストローブ信号 Z R A S の立下がり時に与えられたアドレス信号に従って、アレイブロック M B A においてワード線 W L A が選択され、ワード線 W L A 上の電位が上昇する。これにより、ビット線対 B L P 上に、この選択ワード線 W L A に接続されるメモリセルのデータが読出され、ビット線対 B L P A の電位がこの選択メモリセルデータに応じて変化する。図 99 においては、ハイレベルのデータが読出された場合の波形が一例として示される。

10

【0021】

次いで、所定時間が経過し、ビット線対 B L P A のビット線 B L A および Z B L A の電位差が十分に大きくなると、センスアンプ活性化信号 V_p および V_n が活性状態とされて、センスアンプ帯 S A B A に含まれるセンスアンプ S A が、このビット線対 B L P A 上の電位を差動的に増幅する。

【0022】

センスアンプ S A により、ビット線 B L および Z B L の電位差が十分に拡大した後、Y デコーダ Y D からの列選択信号 C S A が選択状態を示すハイレベルに立上がり、列選択ゲート C S E L が導通し、ビット線 B L および Z B L がローカル I / O 線 L I O a および L I O b に接続される。

20

【0023】

次いで、図示しないブロックデコーダからのブロック選択信号 T G A が選択状態を示すハイレベルとされ、ブロック選択ゲート B S E L A が導通し、ローカル I / O 線 L I O a および L I O b がグローバル I / O 線 G I O a および G I O b に接続される。これにより、センスアンプ S A により検知増幅された選択メモリセルデータがグローバル I / O バス G I / O 上に伝達される。

【0024】

この後、リードドライバ R D R が活性化され、このグローバル I / O バス G I / O 上に与えられた信号を差動増幅し、内部読出データを生成して内部リード/ライトバス R W B S 上に伝達する。この内部リード/ライトバス R W B S 上の内部読出データは、出力バッファ O B F（図 97 参照）を介してデータ入出力端子 D Q へ伝達される。この読出されたデータは、半導体記憶装置の別のアレイブロックに再書込みするため、一旦レジスタなどの外部に設けられたデータ保持手段に格納される。半導体記憶装置においては別のワード線を選択するためにアレイプリチャージ動作が行なわれる。すなわち、ロウアドレスストローブ信号 Z R A S を非活性状態のハイレベルとし、選択アレイブロック M B A の選択ワード線 W L A を非選択状態とし、メモリセル M C に含まれるアクセストランジスタ M T を非導通状態とする。この後、センスアンプ活性化信号 V_p および V_n を非活性状態とし、次いでイコライズ信号 E Q A をハイレベルとして、イコライズ/プリチャージ回路 E P を活性化して、ビット線対 B L P A のビット線 B L および Z B L を中間電位 V_{pr} にプリチャージする。このときまた、列選択信号 C S A はローレベルの非選択状態とされており、ビット線対 B L P A とローカル I / O 線 L I / O A とは切離され、またローカル I / O バス L I / O A とグローバル I / O バス G I / O も切離される。またデータ入出力端子 D Q の出力バッファ O B F が非活性状態とされ、出力ハイインピーダンス状態とされる。

30

40

【0025】

次に、アレイブロック M B B を選択するためにロウアドレスストローブ信号 Z R A S が再び活性状態のローレベルとされる。このとき同時にアドレス信号が与えられ、アレイブロック M B B の指定およびアレイブロック M B B におけるワード線 W L B の指定が行

50

なわれる。これにより、指定されたアレイブロック M B B において、イコライズ信号 E Q B がローレベルとされ、イコライズ/プリチャージ回路 E P が非活性状態とされる。ビット線対 B L P B に選択メモリセルデータが現れた後、センスアンプ活性化信号 V p B および V n B が活性状態とされ、ビット線対 B L P B の電位が選択メモリセルデータに応じて変化する。次いで列選択信号 C S B がハイレベルとされ、このビット線対 B L P B がローカル I / O バス L I / O B に接続される。一方、データ書込のため、入力バッファ I B F を介して、先に読出されて一旦保持されているデータが書込まれ、ライトドライバ W D R を介して書込データがグローバル I / O バス上に伝達される。

【 0 0 2 6 】

グローバル I / O バス上のデータが伝達されると、次いでアレイブロック選択信号 T G B がハイレベルとされ、ブロック選択ゲート B S E L B が導通し、グローバル I / O バス G I / O とローカル I / O バス L I / O B が接続されてローカル I / O バス L I / O B に書込データが伝達され、次いで列選択ゲート C S L E B を介して選択ビット線対 B L P B へ書込データが伝達される。ライトドライバ W D R の駆動力は、センスアンプ S A のラッチ力も大きいいため、ビット線対 B L P B に設けられたセンスアンプ S A のラッチデータが書込データに対応するデータとなる。

【 0 0 2 7 】

書込動作が完了すると、再びロウアドレスストローブ信号 Z R A S がハイレベルの非活性状態とされ、アレイブロック M B B における選択ワード線が再び非活性状態とされ、センスアンプ活性化信号 V p B および V n B が非活性状態とされ、セクタ S T R B も非導通状態とされ、ローカル I / O バス L I / O B とグローバル I / O バス G I / O B も切離される。これにより、アレイブロック M B B のプリチャージ状態とされる。

【 0 0 2 8 】

【 発明が解決しようとする課題 】

メモリアレイが複数のアレイブロックに分割され、1つのアレイブロックのみが活性状態とされるアレイ分割構造の半導体記憶装置において、1つのアレイブロックのメモリセルのデータを別のアレイブロックのメモリセルへ転送する場合、2つの Z R A S サイクル（ロウアドレスストローブ信号 Z R A S についてのサイクル）が必要とされる。すなわち、1つのアレイブロックのメモリセルを選択し、この選択メモリセルのデータを装置外部に読出すサイクルと、別のアレイブロックのメモリセルを選択し、この選択メモリセルへ外部に読出されたデータを書込むサイクルとが必要とされる。このため、アレイブロック間データ転送を高速で行なうことができないという問題が生じる。特に、画像処理用途にこの半導体記憶装置を用いる場合、複製処理などの画像処理を高速で行なうことができず、データ処理速度（描画速度）が低下し、処理システムの性能が低下する。

【 0 0 2 9 】

また、データ転送時において、ビット線の充放電が1つのアレイブロックと別のアレイブロックとにおいて合計2回行なわれる。このビット線充放電はセンスアンプ活性化信号 V p および V n を伝達する信号線を介して行なわれる。このため、センスアンプ駆動のための電流消費が大きくなるという問題が生じる。

【 0 0 3 0 】

また、アレイ分割構造の半導体記憶装置において1つのアレイブロックから別のアレイブロックへアクセス先を変更する場合、半導体記憶装置を一旦プリチャージ状態（非選択状態）へ駆動する必要がある（アレイブロックは互いに独立に駆動することができないため）。このため、アレイブロック変更時において最小限 R A S プリチャージ時間と呼ばれる時間が必要とされ、アクセス時間が長くなり、高速アクセスすることができなくなるという問題が生じる。

【 0 0 3 1 】

また、1つのアレイブロックにおいてページモードでアクセスする場合、ページ切換（選択ワード線の切換）においては、選択ページ（選択ワード線）を一旦非選択状態へ駆動した後のページ（ワード線）を選択状態へ駆動する必要があり、この場合においても、R

10

20

30

40

50

ＡＳプリチャージ時間と呼ばれる時間が最小限必要とされ、応じてページ切換を高速で行なうことができず、高速アクセスがすることができなくなるという問題が生じる。

【００３２】

さらに、従来の半導体記憶装置の場合、内部データバスすなわち入出力バッファと外部データバスのバス線と接続は固定的に１対１対応で定められている。ある種のＣＰＵ（中央演算処理装置）においては、バイトスワップ機能が設けられており、たとえば１６ビットデータバスのうち上位または下位の８ビットデータバスを用いてデータ転送を行なうことにより、１６ビット処理システムにおいて、８ビットデータを格納する８ビットメモリおよび８ビットデータを利用可能としている。しかしながら、このバイトスワップ機能においては、単に、ＣＰＵバスとメモリバスとの間の接続が上位バイトと下位バイトで切換えられるが、切換態様は、各メモリに対し固定的に定められている。たとえば、１つの８ビットメモリは、ＣＰＵバスの８ビット上位バスまたは下位８ビットバスのみと接続されている。たとえば、この８ビットメモリのデータ書込時および読出時において利用されるＣＰＵバスを変更することはできず、処理用途に応じてこの８ビットメモリから読出された８ビットデータをＣＰＵバスの上位バスまたは下位バスへ選択的に接続することはできず、したがってＣＰＵの内部レジスタでその演算処理内容に応じて適宜データを格納することができず、ＣＰＵが内部で再びその演算処理内容に応じて８ビットデータの格納位置を変更しており、ＣＰＵの処理操作が煩雑となるという欠点が生じる。

またこのバイトスワップ機能を用いてデータ転送を行なう場合、利用されていないデータバスは空き状態であり、バス利用効率が低いという問題が生じる。

【００３３】

それゆえ、この発明の目的は、アレイブロック間のデータ転送を高速かつ低消費電流で行なうことのできる半導体記憶装置を提供することである。

【００３４】

この発明の他の目的は、低消費でセンスアンプを駆動することのできる半導体記憶装置を提供することである。

【００３５】

この発明の他の目的は、複数のブロック間にわたって高速でアクセスすることのできる半導体記憶装置を提供することである。

【００３６】

この発明のさらに他の目的は、ページ変更を高速で行なうことのできる半導体記憶装置を提供することである。

【００３７】

この発明のさらに他の目的は、高速かつ効率的にデータ転送を外部処理装置とメモリ半導体記憶装置との間で行なうことのできる半導体記憶装置を提供することである。

【００３８】

【課題を解決するための手段】

この発明は、要約すれば、複数のアレイブロックを互いに独立に駆動可能とするとともに、センスアンプ活性化信号線を選択的に容量に結合し、この容量の充電電圧をセンスアンプ活性化信号として利用するものである。

【００３９】

すなわち、請求項１に係る半導体記憶装置は、各々が行および列のマトリクス状に配列される複数のメモリセルを有するとともに互いに独立にメモリセル行選択動作およびメモリセル列選択動作の活性化および非活性化の制御が可能な複数のアレイブロックと、これらの複数のアレイブロックに共通に配設され外部入出力データのビット幅に対応するビット幅を有する共通データバスと、アドレス信号に従ってこれら複数のアレイブロックのうちの１つのアレイブロックを選択し、この選択されたアレイブロックから共通データバスのビット幅と同じ数のメモリセルを選択し、かつ選択メモリセルデータを共通データバスへ読出すアレイ制御手段と、転送指示と転送アドレス信号とにตอบสนองして、アレイ制御手段により共通データバスへ読出されたメモリセルデータをこの転送アドレス信号が指定する

アレイブロックへ転送する転送手段と、アドレス信号と転送アドレス信号とをリンクして格納する格納手段と、外部からのアドレス信号と格納手段の格納するアドレス信号の一致／不一致を判別する手段と、この判別手段の一致検出時に格納手段ん対応の転送アドレス信号を選択しかつ判別手段の不一致検出時に外部からのアドレス信号を選択してアドレス信号として与える手段とを備える。

【 0 0 4 0 】

請求項 2 に係る半導体記憶装置は、アレイブロックの各々が、メモリセルの行に対応して配置される複数のワード線と、メモリセルの各列に対応して配置される複数のビット線対と、各列に対応して配置される複数のセンスアンプとを有する。このアレイ制御手段は、アドレス信号が指定するアレイブロックのセンスアンプを活性化する手段と、このアドレス信号に従って、選択アレイブロックの対応の列のセンスアンプを共通データバスへ接続する列選択手段とを含み、また転送手段が、転送アドレス信号に応答して共通データバス線を転送アドレス信号が指定する転送アレイブロックの列に接続する手段と、転送指示と転送アドレス信号に応答して、この転送アレイブロックのセンスアンプを活性化する手段とを備える。

10

【 0 0 4 1 】

請求項 3 に係る半導体記憶装置は、請求項 1 または 2 に係る半導体記憶装置において、アレイブロックそれぞれに対応して配置され、共通データバスと同一ビット幅のローカルデータバスをさらに備え、列選択手段が対応のアレイブロックの列のセンスアンプを対応のローカルデータバス線へ接続する手段と、アドレス信号に応答してこの対応のローカルデータバスを共通データバスへ接続する手段とを含み、転送手段は、転送アドレス信号に従って、共通データバスを転送アレイブロックのローカルデータバスに接続する手段と、この転送アドレス信号の指定する転送アレイブロックの列のセンスアンプをこのローカルデータバス線に接続する手段とを含む。

20

【 0 0 4 2 】

請求項 4 に係る半導体記憶装置は、転送手段が、転送指示と転送アドレス信号とに
応答して、転送アドレス信号が指定する転送アレイブロックのセンスアンプ活性化前にこの転送アドレス信号が指定する行のワード線を選択状態へ駆動する手段を備える。

【 0 0 4 3 】

請求項 5 に係る半導体記憶装置は、転送手段が、上記転送指示と上記転送アドレス信号とに
応答して、この転送アドレス信号が指定する転送アレイブロックのワード線を非選択状態に維持する手段を備える。

30

【 0 0 4 4 】

請求項 6 に係る半導体記憶装置は、請求項 5 の半導体記憶装置において、各列のビット線対とセンスアンプとの間に配置される接続ゲートをさらに備え、転送手段が、転送指示と転送アドレス信号とに
応答して、転送アレイブロックの接続ゲートを非導通状態に維持する手段を備える。

【 0 0 4 5 】

請求項 7 に係る半導体記憶装置は、請求項 1 ないし 6 のいずれかの半導体記憶装置が、共通データバス上のデータを増幅して出力バッファへ伝達するリードドライバと、このリードドライバの出力信号を受けるように結合される入力部を有し、入力バッファからのデータをバッファ処理して共通データバスへ伝達するライトドライバと、転送指示に
応答してこのライトドライバを所定期間活性化する手段を備える。

40

【 0 0 4 6 】

請求項 8 に係る半導体記憶装置は、請求項 3 の半導体記憶装置の転送手段が、転送指示に
応答して転送アレイブロックのセンスアンプと対応のローカルデータバスとの接続およびこのローカルデータバスと共通データバスとの接続の確立の後、転送アレイブロックのセンスアンプを活性化する手段を含む。

【 0 0 4 7 】

請求項 9 に係る半導体記憶装置は、請求項 7 の転送手段が、転送指示に
応答して転送アレイ

50

イブロックのセンスアンプの活性化の後ライトドライバを活性化する方法を含む。

【0048】

請求項10に係る半導体記憶装置は、請求項2ないし9のいずれかの半導体記憶装置が、さらに、容量手段と、センスアンプの各アレイブロックに対応して配置されるセンスアンプ活性化信号線と、アドレス信号に従ってこのアレイブロックのセンスアンプの活性化から非活性化への移行時にアレイブロックのセンスアンプ活性化信号線を容量手段へ結合する手段と、転送アドレス信号と転送指示とにตอบสนองして転送アレイブロックのセンスアンプ活性化信号線をこの転送アレイブロックのセンスアンプの非活性化から活性化への移行時に容量手段へ所定期間結合する手段を備える。

【0051】

請求項11に係る半導体記憶装置は、請求項1ないし10のいずれかの転送手段が、転送指示と同時に与えられる保持指示にตอบสนองして、この転送アレイブロックのセンスアンプを保持指示の活性期間中、活性状態に維持する手段をさらに備える。

【0053】

請求項12に係る半導体記憶装置は、請求項1ないし11のいずれかの半導体記憶装置が、外部から周期的に与えられる一定のパルス幅を有するクロック信号に同期して、外部から与えられる行および列アドレス信号を同時に取込んで内部アドレス信号を生成する手段を備える。

【0054】

請求項13に係る半導体記憶装置は、請求項12の半導体記憶装置が、アレイブロック各々に対応して配置され、クロック信号に同期して与えられるチップ活性化信号によりイネーブルされて内部アドレス信号をラッチするラッチ手段を含む。このラッチ手段は、内部アドレス信号が対応のアレイブロックを指定するときに、その与えられた内部アドレス信号をラッチする。

【0055】

請求項14に係る半導体記憶装置は、請求項12または13の半導体記憶装置が、クロック信号に同期して、外部から与えられる内部動作指定用制御信号を取込んで内部制御信号を発生する方法を含む。

【0056】

請求項15に係る半導体記憶装置は、請求項13の半導体記憶装置のアレイ制御手段は、アドレス信号により指定される選択アレイブロックを、チップ活性化信号の活性化から所定の時間のみ選択アレイブロックを活性状態に維持する方法を含む。

【0057】

請求項16に係る半導体記憶装置は、請求項1ないし15の半導体記憶装置がアドレス信号と転送アドレスとをリンクして格納する格納手段と、外部から与えられるアドレス信号とこの格納手段の格納されたアドレス信号の一致/不一致を判別する手段と、この判別手段の一致検出時には格納手段の対応の転送アドレスを選択し、かつ不一致検出時には外部から与えられるアドレス信号を選択してアドレス信号として各アレイブロックへ与える手段をさらに備える。

【0059】

請求項16に係る半導体記憶装置は、各々が、行列状に配列される複数のメモリセルと、各列に対応して配置される複数のビット線対と、各行に対応して配置される複数のワード線と、各列に対応して配置される複数のセンスアンプとを有する複数のアレイブロックと、これら複数のアレイブロックの隣接アレイブロックの各列を相互接続するための複数のゲートと、第1のアドレス信号と転送指示とにตอบสนองして、第1のアドレス信号が指定するアレイブロックのメモリセルを選択する第1の選択手段と、この第1のアドレス信号と第1の選択手段とにตอบสนองして、この第1のアドレス信号が指定する選択アレイブロックのセンスアンプを活性化する方法と、第1のアドレス信号と転送指示とにตอบสนองして、選択アレイブロックと隣接アレイブロックとの間のゲートを導通状態とする接続手段と、第2のアドレス信号と転送指示とにตอบสนองして、該隣接アレイブロックのセンスアンプを活性化す

10

20

30

40

50

る手段を備える。

【0060】

請求項16の半導体記憶装置は、さらに転送アレイブロックのセンスアンプの活性化時、リフレッシュ指示とリフレッシュアドレス信号とに従って、リフレッシュアドレス信号が指定するアレイブロックに隣接するアレイブロックに対してビット線対をフローティング状態として対応のゲートを導通状態としてリフレッシュアドレスが指定するアレイブロックのセンスアンプの保持データを該隣接アレイブロックに転送してゲートを非導通状態とし、リフレッシュアドレス信号に従ってリフレッシュを実行し、リフレッシュ指示の活性化から非活性化への移行時、この異なるアレイブロックのセンスアンプの保持データを転送アレイブロックのセンスアンプへ返送し、該センスアンプを活性状態としかつ異なるアレイブロックのセンスアンプを非活性状態とする手段をさらに備える。

10

【0082】

請求項1に係る半導体記憶装置においては、アレイ制御手段により共通データバス線上に読出されたメモリセルデータが、転送手段により転送先のアレイブロックへ転送されるため、メモリセルデータを、データ転送のために装置外部へ読出す必要がなく、高速でアレイブロック間のデータ転送を行うことができる。また、アドレス信号と対応の転送アドレス信号とをリンクして格納し、外部アドレス信号と格納アドレス信号との一致／不一致に従って外部アドレス信号および転送アドレス信号の一方を選択しており、センスアンプをキャッシュとして利用することができ、高速アクセスが可能となる。

【0083】

20

請求項2に係る半導体記憶装置においては、転送先のアレイブロックのセンスアンプを活性化しており、確実に選択メモリセルのデータを転送先へ転送し、そこにラッチすることができる。

【0084】

請求項3に係る半導体記憶装置においては、アレイブロック各々にローカルI/Oバスが配置されており、ローカルI/Oバス線から共通データバスを介して転送先のアレイブロックのローカルI/Oバスを介してデータを転送しており、余分のデータ転送経路を新たに設ける必要がない。

【0085】

請求項4に係る半導体記憶装置においては、転送アレイブロックのセンスアンプの活性化前にワード線を選択状態としており、センスアンプ活性化時に、メモリセルのデータをこの転送先のアレイブロックのメモリセルへ書込むことができる。

30

【0086】

請求項5に係る半導体記憶装置においては、ワード線は非選択状態を維持しており、センスアンプに転送データがラッチされる。これにより、センスアンプをキャッシュとして利用することができる。

【0087】

請求項6に係る半導体記憶装置においては、データ転送時に、転送先のアレイブロックのビット線対をセンスアンプと切離しており、センスアンプのセンスノードの容量を小さくすることができ、このセンスアンプのセンスノードの電位を転送データに応じて変化させることができ、確実にセンスアンプによる転送データの検知、増幅およびラッチを行なわせることができる。

40

【0088】

請求項7に係る半導体記憶装置においては、リードドライバで増幅されたデータがライトドライバを活性化して共通データバスへ伝達しているため、転送先のアレイブロックの対応の列へ確実に転送データを書込むことができる。

【0089】

請求項8に係る半導体記憶装置においては、転送先のアレイブロックの対応のセンスアンプと共通データバスとの接続の後センスアンプを活性化しており、データ転送のために大きな駆動力を有するドライバを新たに設けて用いる必要がなく、対応のセンスアンプのセ

50

ンスノードの電位をこの共通データバス上に伝達された転送データに応じて確実に変化させることができる。

【 0 0 9 0 】

請求項 9 に係る半導体記憶装置においては、転送先のアレイブロックのセンスアンプの活性化の後、ライトドライバを活性化しており、余分のデータ転送用のドライバを用いることなく通常のデータ書込動作と同様の動作シーケンスで転送データを転送アレイブロックの対応の列へ書込むことができる。

【 0 0 9 1 】

請求項 1 0 に係る半導体記憶装置においては、センスアンプ活性化信号線が容量に選択的に所定期間結合されるため、センスアンプ活性化信号線の充放電電流を容量に保存して次のセンスアンプ活性化信号の活性化時に再利用することができ、センスアンプ駆動部の消費電流を低減することができる。

10

【 0 0 9 4 】

請求項 1 1 に係る半導体記憶装置においては、保持指示に応答して、転送アレイブロックのセンスアンプを活性状態に維持するように構成しているため、この転送先のアレイブロックのセンスアンプをキャッシュとして利用することができる。

【 0 0 9 6 】

請求項 1 2 に係る半導体記憶装置においては、クロック信号に同期して行および列アドレス信号を取込んでおり、行選択系回路および列選択系回路を互いに独立に駆動することができ、複数のアレイブロックを重複的に活性状態としてデータ転送を行なうことができる。

20

【 0 0 9 7 】

請求項 1 3 に係る半導体記憶装置においては、アレイブロック各々に対応してアドレスラッチが配置されており、各アレイブロックにおいて互いに独立にアドレス指定を行なうことができる。

【 0 0 9 8 】

請求項 1 4 に係る半導体記憶装置においては、内部動作を指定する制御信号が外部クロック信号に同期して与えられており、信号取込タイミングおよび内部動作開始タイミングを容易に確立することができる。

【 0 0 9 9 】

30

請求項 1 5 に係る半導体記憶装置においては、各アレイブロックの活性化期間は、チップ活性化信号の活性化から所定期間とされており、各アレイブロックの活性化を重複して行なう際のアレイブロック活性化の制御が容易となる。

【 0 1 0 2 】

請求項 1 6 に係る半導体記憶装置においては、転送指示が与えられると、ゲートを用いて隣接アレイブロック間のビット線対を接続しており、高速で 1 行のメモリセルのデータを隣接アレイブロックへ転送することができる。

【 0 1 0 8 】

【 発明の実施の形態 】

[実施の形態 1]

40

図 1 は、この発明の第 1 の実施の形態である半導体記憶装置の全体の構成を概略的に示す図である。図 1 において、半導体記憶装置は、1 つのデータ入出力端子 D Q に対し 4 つのアレイブロック M B a ~ M B d を一例として含む。このアレイブロックの数は複数個であればよく、さらに多く設けられてもよい。

【 0 1 0 9 】

アレイブロック M B a ~ M B d の各々は、後にその構成は詳細に説明するが、行および列状に配置される複数のメモリセルと、各行に対応して配置される複数のワード線と、各列に対応して配置される複数のビット線対を含む。

【 0 1 1 0 】

アレイブロック M B a ~ M B d それぞれに対応して、活性化時、与えられた行アドレス信

50

号をデコードし、対応のアレイブロック M B a ~ M B d のワード線を選択する X デコーダ X D a ~ X D d と、対応のアレイブロックのビット線対それぞれに対応して配置され、対応のビット線対上の電位を検知し増幅しかつラッチする複数のセンスアンプを含むセンスアンプ帯 S A B a ~ S A B d と、列選択信号に従って、対応のアレイブロックの対応の列に配置されたセンスアンプをグローバル I / O バス G I / O へ接続するセクタ S T R a ~ S T R d が設けられる。

【 0 1 1 1 】

この図 1 に示す構成において、アレイブロック M B a ~ M B d それぞれに対応して、活性化時、列選択信号を発生するための Y デコーダ Y D a ~ Y D d が設けられる。 Y デコーダ Y D a ~ Y D d は、活性化時、対応のアレイブロックに対応して設けられたセクタに対してのみ列選択信号 (C S) を出力する。グローバル I / O バス G I / O に対しては、リード / ライトドライバ D R が設けられ、またリード / ライトドライバ D R は、内部リード / ライトバス R W B S を介して入出力バッファ B F に接続される。入出力バッファ B F は、データ入出力端子 D Q とデータの授受を行なう。

【 0 1 1 2 】

図 1 に示す半導体記憶装置はさらに、外部から周期的に与えられる一定のパルス幅を有するクロック信号 C L K を受けて内部クロック信号を生成するクロックバッファ 1 と、このクロックバッファ 1 からの内部クロック信号に同期して外部から与えられる制御信号 C E , W / R および を取込み内部制御信号を発生する制御回路 2 と、クロックバッファ 1 からの内部クロック信号と制御回路 2 からの指示信号に従って外部から与えられるアドレス信号を取込み内部アドレス信号 B A , R A および C A を生成するアドレスバッファ 3 を含む。制御信号 C E は、チップイネーブル信号であり、クロック信号 C L K の立上がり時に活性状態のハイレベルとされると、内部での行選択動作が開始される。信号 W / R は、データの書込 / 読出を示す信号であり、チップイネーブル信号 C E の活性化時に同時にデータの書込 / 読出を示す状態に設定される。制御信号 は、内部動作を指定する制御信号信号を総称的に示す信号であり、後に詳細に説明するが、転送指示、データ書換指示、データ保持指示などの各種制御信号を含む。制御信号 C E , W / R および をクロック信号 C L K に同期して取込み内部動作を開始する構成とすることにより、通常のアレイ分割構造の異なり、1つのアレイブロックが活性状態にあるときに、これと独立に別のアレイブロックを活性化することが可能となる。

【 0 1 1 3 】

アドレスバッファ 3 は外部から与えられるアドレス信号を取込み、行アドレス信号 R A および列アドレス信号 C A を同時に生成する。行アドレス信号 R A および列信号 C A をチップイネーブル信号 C E の活性化時に同時に生成することにより、各アレイブロックにおいて行選択系回路および列選択系回路の動作を互いに独立に制御することができ、かつセンスアンプの活性 / 非活性をワード線の選択 / 非選択と独立に制御することができる。

【 0 1 1 4 】

半導体記憶装置は、さらに、この制御回路 2 からの内部制御信号とアドレスバッファ 3 から与えられるブロックアドレス B A に従って、このブロックアドレス B A が所定するアレイブロックに対し、必要な制御信号を与えるアレイ活性制御回路 4 を含む。

【 0 1 1 5 】

このアレイ活性制御回路 4 は、後のその構成については詳細に説明するが、アレイブロック M B a ~ M B d 各々を互いに独立に活性化 / プリチャージする。すなわち、制御バッファ 2 から与えられるチップイネーブル信号 C E の活性化にตอบสนองして、アドレスバッファ 3 から与えられるブロックアドレス B A が指定するアレイブロックを一定の期間活性状態とする。アレイ活性制御回路 4 により、アレイブロック M B a ~ M B d を、互いに独立に駆動する構成とすることにより、1つのアレイブロックにおいて選択されたメモリセルのデータを高速で他のアレイブロックへ伝達することができる。

【 0 1 1 6 】

図 2 は、図 1 に示すアレイブロックの構成をより詳細に示す図である。図 2 において、図

10

20

30

40

50

55に示す従来の半導体記憶装置の構成要素と対応する構成要素には同一の参照符号を付し、それらの詳細説明は省略する。

【0117】

図2において、ビット線対BLPそれぞれに対し、メモリセルMCが配置される部分とプリチャージ/イコライズ回路EPおよびセンスアンプSAを含むビット線周辺回路との間に、ビット線分離信号BLIにตอบสนองして選択的に非導通状態とされるビット線分離ゲート5が配置される。このビット線分離ゲート5は、ビット線BLに対して設けられるnチャネルMOSトランジスタN10と、ビット線ZBLに対して設けられるnチャネルMOSトランジスタN11を含む。これらのMOSトランジスタN10およびN11のゲートへビット線分離信号BLIが与えられる。このビット線分離ゲート5を各ビット線対BLPに設けることによりメモリセルデータを別のアレイブロックへ転送するときには他のアレイブロックのセンスアンプをキャッシュとして利用することが可能となる（これについては後に詳細に説明する）。

10

【0118】

リード/ライトドライバDRは、従来と同様、リードドライバRDRおよびライトドライバWDRを含む。次に動作について、その動作波形図である図3を参照して説明する。

【0119】

今、アレイブロックMB A（アレイブロックMB a～MB dのいずれか）から他のアレイブロックMB Bへのデータ転送動作について説明する。

【0120】

クロックバッファ1へは、半導体記憶装置へのアクセスの有無にかかわらず、常時クロック信号CLKが印加される。アクセス時には、チップイネーブル信号CEをワンショットのパルスの形で制御バッファ2へ与える。制御バッファ2は、クロック信号CLKの立上がり時にチップイネーブル信号CEを取込み、内部チップイネーブル信号をアドレスバッファ3およびアレイ活性制御回路4へ与える。アドレスバッファ3は、この制御バッファ2からの内部チップイネーブル信号の活性化時、与えられたアドレス信号を取込み内部アドレス信号BA、RAおよびCAを出力する。アレイ活性制御回路4は、この制御バッファ2からの内部チップイネーブル信号の活性化時活性化され、アドレスバッファ3からのブロックアドレス信号BAを取込み、このブロックアドレス信号BAが指定するアレイブロックに対して設けられたXデコーダXDを活性化する。

20

30

【0121】

ブロックアドレス信号BAが指定するアレイブロックMB Aにおいては、対応のXデコーダXD A（XD a～XD dのいずれか）が活性化され、アドレスバッファ3からの内部行アドレス信号RAをデコードし、アレイブロックMB Aにおいてアドレス指定されたワード線WLAを選択状態へ駆動する。これにより、アレイブロックMB Aにおいては、この選択ワード線WLAに接続されるメモリセルデータが各ビット線対BLP上に読出される。ここで、図3においては、ワード線WLAに接続するメモリセルのハイレベルのデータがビット線対BLPAに読出された状態が一例として示される。このチップイネーブル信号CEの活性化時において書換指示信号が非活性状態のローレベルを維持しており、アレイ活性制御回路4の制御のもとに、この選択アレイブロックMB Aのセンスアンプ帯SAB Aの各センスアンプが所定のタイミングで活性状態とされ、選択されたワード線に接続されるメモリセルのデータの検知、増幅およびラッチが行なわれる。

40

【0122】

選択アレイブロックMB Aでのセンスアンプ活性化と並行してまたはその活性化の完了の後、新たにチップイネーブル信号CEがワンショットのパルス形態で印加され、制御バッファ2により、クロック信号CLKの立上がり時にチップイネーブル信号CEがハイレベルの活性状態であり、新たなアクセス動作が指定されたと判定され、内部チップイネーブル信号CEがアドレスバッファ3およびアレイ活性制御回路4へ与えられる。制御バッファ2は、またこのとき書換指示信号がワンショットのパルス形態で印加されるため、同様、クロック信号CLKが立上がりで、このハイレベルの活性状態にある書換指示信号

50

を取込み、アレイ活性制御回路 4 へ与える。アドレスバッファ 3 は、制御バッファ 2 からの内部チップイネーブル信号にตอบสนองして活性化され、クロック信号 C L K の立上がり時に与えられたアドレス信号 R A および C A ならびにブロックアドレス信号 B A を取込み内部アドレス信号を発生する。後に詳細に説明するが、アドレスバッファ 3 から新たに内部アドレス信号が与えられても、先に選択状態とされているアレイブロック M B A に対して設けられた X デコーダ X D A は、先に与えられたアドレス信号をラッチしており、この新たに与えられたアドレス信号によりそのラッチした、アドレス信号が変化するのは防止される。

【 0 1 2 3 】

アレイ活性制御回路 4 は、この制御バッファ 2 からの書換指示信号 にตอบสนองして、このアクセスサイクルで与えられたアドレス信号は、先に選択されたアレイブロックのメモリセルデータを転送するアレイブロックのメモリセルを指定するアドレスであると判定する。この状態においては、アレイ活性制御回路 4 の制御のもとに、新たにアドレス指定されたアレイブロック（転送アレイブロック）M B B において、ワード線選択が行なわれ、このアレイブロック M B B において選択されたワード線 W L B の接続するメモリセルのデータが各対応のビット線対 B L P 上に伝達される。

10

【 0 1 2 4 】

一方、アレイ活性制御回路 4 は、先に指定されたアレイブロック M B A に対し所定のタイミングで Y デコーダ Y D A を活性化する。活性化された Y デコーダ Y D A は、既にラッチしていた列アドレス信号 C A をデコードし、選択アレイブロック M B A の対応の列すなわちビット線対 B L P を選択するための列選択信号 C S を活性状態とする。これにより、アレイブロック M B A のセレクトア S T R の列選択ゲートが導通し、選択ビット線対 B L P がローカル I / O バス L I / O A に接続される。同様に、ブロックアドレス信号 B A に従ってブロック選択ゲート B S E L A が導通状態とされ、このローカル I / O バス L I / O A がグローバル I / O バス G I / O に接続される。これにより、選択アレイブロック M B A のアドレス指定されたメモリセルデータがグローバル I / O バス G I / O 上に伝達される。

20

【 0 1 2 5 】

アレイ活性制御回路 4 は、制御バッファ 2 から与えられた活性状態の書換指示信号 にตอบสนองして、転送先アレイブロックにおいては、センスアンプの活性化タイミングを遅らせる。グローバル I / O バス G I / O 上に転送されるべきメモリセルデータが現われるのを保証するためである。

30

【 0 1 2 6 】

次いで、この書換指示信号 が与えられてから所定期間経過後、内部書換信号 i が活性状態とされる。この内部書換信号 i の活性化にตอบสนองして、転送アレイブロックのセクタが Y デコーダ Y D B の出力信号および図示しないブロックデコーダの出力信号に従って導通し、アドレス指定された列のセンスアンプがグローバル I / O バス G I / O に接続される。この後、転送アレイブロック M B B のセンスアンプが活性状態とされ、選択メモリセルへ転送メモリセルデータが書込まれる。アレイブロック M B A および M B B においては、チップイネーブル信号 C E の活性化から所定期間経過後、アレイ活性制御回路 4 の制御のもとにアレイプリチャージ動作が実行される。

40

【 0 1 2 7 】

図 4 は、この発明の第 1 の実施の形態のデータ転送動作をより詳細に示す波形図である。以下、図 4 を参照してより具体的にデータ転送動作について説明する。

【 0 1 2 8 】

アレイブロック M B A においては、チップイネーブル信号 C E の活性化にตอบสนองして、イコライズ信号 E Q A がローレベルの非活性状態とされ、イコライズ / プリチャージ回路が非活性状態とされる。次いで、ビット線分離指示信号 B L I A がハイレベルとなり、ビット線対 B L P A がセンスアンプ S A A のセンスノードに結合される。ここで、センスアンプのセンスノードとは、交差結合されたセンスアンプの M O S トランジスタのゲートと

50

ドレインが接続されるノードを示す。次いで、行アドレス信号 R A に従ってワード線が選択され、選択ワード線 W L A の電位が立上がり、センスアンプ S A A のセンスノードの電位がこの選択ワード線 W L A に接続されるメモリセルデータに応じて変化する。センスノードの電位が十分に拡大した後、センスアンプ活性化信号 V p A および V n A が活性状態のハイレベルおよびローレベルとされ、このセンスアンプ S A A のセンスノードの電位が増幅される。センスアンプ S A A のセンスノードの電位が十分に増幅され後、Y デコーダ Y D A の出力する列選択信号 C S A がハイレベルとなり、この列選択信号 C S A が指定する列がローカル I / O バス L I / O A に接続され、ローカル I / O バス L I / O A の電位が変化する。次いでブロック選択ゲート B S E L A がブロック選択信号 T G A に活性化に従って導通し、ローカル I / O バス L I / O A がグローバル I / O バス G I / O に接続され、グローバル I / O バスの電位が変化する。

10

【 0 1 2 9 】

クロック信号 C L K の立上がり時に与えられたリード / ライト信号 W / R に従って、リードドライバ R D R および出力バッファ O B F が活性化され、このグローバル I / O バス G I / O 上のデータが増幅されてデータ入出力端子 D Q へ出力される。

【 0 1 3 0 】

一方、このアレイブロック M B A へのアクセス動作と並行して、アレイブロック M B B において、転送アドレス信号に従ってビット線分離信号 B L I B がハイレベルとなり、また選択ワード線 W L B の電位がハイレベルとなる。これにより、センスアンプ S A B のセンスノードへ、選択ワード線 W L B に接続されるメモリセルのデータが伝達され、センスアンプ S A B のセンスノード電位が変化する。書換指示信号 が活性状態とされているため、アレイブロック M B B のセンスアンプ活性化は、内部書換信号 i 活性状態とされるまで待合せられる。グローバル I / O バス G I / O 上のデータが確定状態とされた後にセンス動作を行なうためである。

20

【 0 1 3 1 】

内部書換信号 i が活性状態とされると、まずライトドライバが活性状態とされ、グローバル I / O バス G I / O 上の電位が増幅される。図 2 に示すように、内部リード / ライトバス R W B S はリードドライバ R D R の出力部に接続されかつライトドライバ W D R の入力部に接続されている。したがって、グローバル I / O バス G I / O 上の電位は、アレイブロック M B A において選択されたメモリセルのデータをさらに増幅した電位レベルとされる。次いでアレイブロック M B B において、列選択信号 C S B が活性状態となり、対応の列のビット線対 B L P B (センスアンプ S A B のセンスノード) がローカル I / O バス L I / O B に接続される。ローカル I / O バス L I / O B とビット線対との接続により、このセンスアンプ S A B のセンスノードの電位が変動しても、このセンスアンプ S A B のセンスノードの電位は、アレイブロック M B A からの転送データで書換えられるため、何ら問題は生じない。

30

【 0 1 3 2 】

次いでアレイブロック M B B に対するブロック選択信号 T G B がハイレベルの活性状態となり、ブロック選択ゲート B S E L B が導通し、ローカル I / O バス L I / O B がグローバル I / O バス G I / O に接続され、ローカル I / O バス L I / O B の電位がライトドライバ W D R から与えられた電位に従って変化し、応じてセンスアンプ S A B のセンスノード電位も変化する。次いでアレイブロック M B B のセンスアンプを活性化し、選択メモリセルへのデータの書込および選択ワード線 W L B に接続される残りのメモリセルデータのリストア動作を行ない、所定期間が経過した後に、データ転送サイクルが終了する。

40

【 0 1 3 3 】

以上のように、アレイブロックを互いに独立して駆動可能とすることにより、1つのアレイブロックが活性状態とされているときに、別のアレイブロックを活性状態とすることができ、ロウアドレスストローブ信号 Z R A S の 2 サイクル期間よりもはるかに短い期間でアレイブロック間のデータ転送を行なうことができる。

50

【 0 1 3 4 】

[転送動作の変更例]

図 5 は、この発明の第 1 の実施の形態である半導体記憶装置のデータ転送動作の第 1 の変更例を示す波形図である。

【 0 1 3 5 】

図 5 に示すデータ転送動作において、アレイブロック M B A からアレイブロック M B B へのデータ転送が行なわれる。この場合、アレイブロック M B A における動作は、先の図 4 に示す動作と同様の動作が行なわれる。書換指示信号 \overline{W} が与えられても、ライトドライバの活性化は行なわれず、したがってグローバル I / O バス G I / O 上の電位は、アレイブロック M B A から読出されたデータの電位を維持する。

10

【 0 1 3 6 】

アレイブロック M B B においては、転送アドレス信号に従って、ワード線 W L B が選択状態とされ、またビット線分離信号 B L I B もハイレベルの活性状態とされる。これにより、選択ワード線 W L B に接続されるメモリセルのデータが各ビット線対 B L P B を介してセンスアンプ S A B のセンスノードへ伝達される。書換指示信号 \overline{W} に応答して、所定時間経過後に、Y デコーダ Y D B からの列選択信号 C S B および図示しないブロックデコーダからのブロック選択信号 T G B がハイレベルとされる。これにより、選択列に対応して配置されたセンスアンプ S A B のセンスノードがグローバル I / O バス G I / O に接続される。センスアンプ S A B は非活性状態であるため、そのセンスノードの電位がグローバル I / O バス G I / O 上の電位に従って変化する。この後、センスアンプ活性化信号 V p B および V n B が活性状態とされ、センスアンプ S A B のセンスノードの電位が増幅され、メモリセルに書込まれる。センスアンプ S A B のセンスノードがローカル I / O バス L I / O B に接続されたとき、センスアンプ S A B のセンスノード電位が不定状態となっても、この不定データはグローバル I / O バス G I / O 上の電位により書換えられるデータであり、センスアンプ活性化信号 V p B および V n B の活性化前に、センスアンプ S A B のセンスノードの電位がグローバル I / O バス G I / O 上の電位に応じて変化すれば何ら問題は生じない。列選択信号 C S B およびブロック選択信号 T G B の活性化は、いずれが先に行なわれてもよい。またワード線 W L とビット線分離信号 B L I は、いずれが先に活性状態とされてもよい。

20

【 0 1 3 7 】

この図 5 に示すように、ライトドライバ W D R をデータ書換時において非活性状態に維持しても、転送アレイブロックのセンスアンプ S A B の活性化を、グローバル I / O バス G I / O とセンスノードとの接続の後に行なうことにより正確にデータを転送することができる。

30

【 0 1 3 8 】

[周辺回路の構成]

アレイ活性制御回路：

図 6 は、図 1 に示すアレイ活性制御回路 4 の内部構成を概略的に示すブロック図である。図 4 において、アレイ活性制御回路 4 は、アレイブロック M B a ~ M B d を互いに独立に駆動するために、アレイブロック M B a ~ M B d それぞれに対応して設けられるアレイ活性化 / プリチャージ制御回路を含む。すなわち、アレイ活性制御回路 4 は、チップイネーブル信号 C E に応答して活性され、ブロックアドレス信号 B A をデコードし、アドレス指定されたアレイブロックを指定する信号を出力するブロックデコーダ 1 0 と、ブロックデコーダ 1 0 からのブロック指定（活性化）信号に応答して活性化されて、活性化時、対応のアレイブロックのイコライズ回路を非活性状態とするイコライズ / プリチャージ制御回路 1 2 a ~ 1 2 d と、イコライズ / プリチャージ制御回路 1 2 a ~ 1 2 d によるイコライズ動作非活性化に応答して、対応のアレイブロックのワード線選択動作を活性化するワード線駆動制御回路 1 4 a ~ 1 4 d と、チップイネーブル信号 C E と書換指示信号 \overline{W} に対応して所定のタイミングで内部書換信号 $\overline{W_i}$ を出力する書換制御回路 1 5 と、ワード線駆動制御回路 1 4 a ~ 1 4 d からの出力信号と書換制御回路 1 5 からの内部書換指示信号

40

50

i とに 応答して、対応のアレイブロックのセンスアンプを活性化するセンスアンプ活性化信号 V p および V n を出力するセンスアンプ制御回路 1 6 a ~ 1 6 d と、ワード線駆動制御回路 1 4 a ~ 1 4 d からのワード線選択動作開始指示信号と書換制御回路 1 5 からの内部書換指示信号 i とに 応答して対応のアレイブロックの列選択動作を開始する列選択制御回路 1 8 a ~ 1 8 d を含む。

【 0 1 3 9 】

イコライズ / プリチャージ制御回路 1 2 a ~ 1 2 d は、ブロックデコーダ 1 0 からのブロック指定信号の活性化時、対応のアレイブロックに対し所定の時間期間イコライズ信号 E Q A ~ E Q D を非活性状態とする。ワード線駆動制御回路 1 4 a ~ 1 4 d の各々は、対応のイコライズ / プリチャージ制御回路 1 2 a ~ 1 2 d の出力信号の変化に 応答して、ビット線分離信号 B L I A ~ B L I D を所定期間活性状態のハイレベルとするとともに、後にその構成を説明する X デコーダを所定期間活性状態とする。

10

【 0 1 4 0 】

センスアンプ制御回路 1 6 a ~ 1 6 d は、内部書換指示信号 i の非活性化時には、ワード線駆動制御回路 1 4 a ~ 1 4 d からのワード線選択動作開始指示信号に 応答して所定期間所定のタイミングで対応のアレイブロックに対しセンスアンプ活性化信号 V p A , V n A ~ V p D , V n D を活性状態とする。内部書換指示信号 i の活性化時には、センスアンプ制御回路 1 6 a ~ 1 6 d は、この内部書換指示信号 i の活性化に 応答して対応のセンスアンプ活性化信号 V p A , V n A ~ V p D , V n D を所定期間活性状態とする。

【 0 1 4 1 】

列選択制御回路 1 8 a ~ 1 8 d は活性化時、所定のタイミングでブロック選択信号 T G A ~ T G D を所定期間活性状態とするとともに、対応の Y デコーダを活性状態とする。内部書換指示信号 i の活性化時には、列選択制御回路 1 8 a ~ 1 8 d は、この内部書換指示信号 i に 応答してブロック選択信号 T G A ~ T G D を活性化し、また対応の Y デコーダ Y D a ~ Y D d からの列選択信号を活性状態とする。

20

【 0 1 4 2 】

図 7 は、図 6 に示すブロックデコーダ 1 0 の構成および動作を示す図である。図 7 (A) において、ブロックデコーダ 1 0 は、制御バッファ 2 からの内部チップイネーブル信号 C E およびアドレスバッファ 3 からのブロックアドレス信号 B A をデコードするデコード回路 2 1 と、デコード回路 2 1 からの活性化信号 (ハイレベル信号) の立下がりを所定期間遅延する立下がり遅延回路 2 2 を含む。この立下がり遅延回路 2 2 から対応のアレイブロックを活性化するブロック活性化信号 b r が出力される。

30

【 0 1 4 3 】

デコード回路 2 1 は、たとえば A N D 型回路で構成され、内部チップイネーブル信号 C E およびブロックアドレス信号 B A (2 ビットのアドレス信号 : アレイブロックが 4 つの場合) がすべてハイレベルのときに選択状態を示すハイレベルの信号を出力する。立下がり遅延回路 2 2 は、パルス幅を拡張する機能を備える回路であれば任意の回路構成を利用することができる。次に図 7 (B) を参照して、この図 7 (A) に示すブロックデコーダ 1 0 の動作について説明する。

【 0 1 4 4 】

外部のクロック信号 C L K の立下がり時に外部チップイネーブル信号 e x t C E がハイレベルとされ、外部から与えられるブロックアドレス信号 e x t . B A が確定状態とされる。この状態において、チップアクセスが指定され、内部チップイネーブル信号 C E がクロック信号 C L K の立上りに 応答して所定期間ハイレベルとされ、また内部のブロックアドレス信号 B A も所定期間確定状態とされる。デコーダ回路 2 1 は、この確定状態とされた内部チップイネーブル信号 C E および内部ブロックアドレス信号 B A をデコードし、ブロックアドレス信号 B A が指定するアレイブロックにハイレベルの信号を出力する。これにより、立下がり遅延回路 2 2 から出力されるブロック活性化信号 b r が、デコード回路 2 1 の出力信号の立上がりから所定期間ハイレベルの活性状態とされる。立下がり遅延回路 2 2 を用いてブロック活性化信号 b r のパルス幅を十分な広さとするることにより、

40

50

クロック信号CLKのパルス幅が短く、内部のチップイネーブル信号CEおよびブロックアドレス信号BAの確定期間が短い場合においても、アドレス指定されたアレイブロックを確実に活性状態とする信号を出力することができる。

【0145】

図8(A)は、図6に示すイコライズ/プリチャージ制御回路12a~12dおよびワード線駆動制御回路14a~14dの構成の一例を示す図である。図8(A)においては、1つのアレイブロックに対するイコライズ/プリチャージ制御回路12およびワード線駆動制御回路14の構成を示す。図8(A)において、イコライズ/プリチャージ制御回路12は、ブロック活性化信号brの活性化にตอบสนองしてセットされるリセット優先型セット/リセットフリップフロップ24を含む。このフリップフロップ24の補出力ZQからイコライズEQが出力される。フリップフロップ24の真出力Qからの出力信号は、遅延回路26を介してリセット入力Rへフィードバックされる。遅延回路26の与える遅延時間によりイコライズ信号EQの非活性化期間が決定される。

10

【0146】

ワード線駆動制御回路14は、イコライズ/プリチャージ制御回路12に含まれるフリップフロップ24の真出力Qからの出力信号を所定時間遅延する遅延回路27と、この遅延回路27の出力信号の活性化(ハイレベル)時にセットされるリセット優先型フリップフロップ28を含む。フリップフロップ28から、ワード線選択動作活性化信号w1が出力される。このフリップフロップ28の出力信号w1は、また遅延回路29を介してフリップフロップ28のリセット入力Rへフィードバックされる。遅延回路29の有する遅延時間により、このワード線選択動作活性化信号w1の活性化期間が決定される。次にこの図8(A)に示す回路の動作を、その動作波形図である図8(B)を参照して説明する。

20

【0147】

ブロック活性化信号brの立上がりに対応してフリップフロップ24がセットされ、その補出力ZQからのイコライズ信号EQがローレベルとされる。フリップフロップ24の真出力Qの出力信号は遅延回路26を介してフリップフロップ24のリセット入力Rへフィードバックされる。したがって、イコライズEQがローレベルの非活性状態とされてから所定時間経過後、このフリップフロップ24がリセットされ、イコライズ信号EQがハイレベルへ復帰する。

30

【0148】

一方、ワード線駆動制御回路14においては、フリップフロップ24の真出力Qの出力する信号が遅延回路27を介してフリップフロップ28のセット入力Sへ与えられる。したがって、このイコライズ信号EQがローレベルの非活性状態とされてから遅延回路27が与える遅延時間が経過した後、フリップフロップ28の真出力Qからの信号w1がハイレベルの活性状態とされ、ワード線選択動作が行なわれる。この信号w1が活性状態とされてから遅延回路29が与える遅延時間が経過した後、このフリップフロップ28のリセット入力Rへ与えられる信号がハイレベルの活性状態とされ、フリップフロップ28がリセットされ、信号w1がローレベルの非活性状態とされる。

【0149】

各アレイブロックにおいて、ワード線選択期間をそれぞれ所定期間とする構成を用いることにより、アレイブロックそれぞれ独立にアレイブロックの活性化/プリチャージを行なうことができる。

40

【0150】

なお、図8(A)に示す構成において、遅延回路29の出力信号が遅延回路26の入力部へ与えられてもよい。この場合には、遅延回路26の有する遅延時間を小さくすることができ、装置回路規模を低減することができる。また、確実にワード線選択動作が完了した後にイコライズ信号EQをハイレベルとしてイコライズ/プリチャージ回路を活性化することができる。

【0151】

50

なおこの信号 $w1$ は、ビット線分離信号 BLI として利用されてもよい。

図9は、図6に示すセンスアンプ制御回路16の構成を概略的に示す図である。図9においては、センスアンプ制御回路16a～16dそれぞれは同一の構成を備えるため、1つのセンスアンプ制御回路16を代表的に示す。図9において、センスアンプ制御回路16は、ワード線選択動作活性化信号 $w1$ を所定時間遅延する遅延回路30と、書換指示信号とブロック活性化信号 br の論理積信号 $\cdot br$ に応答して、内部書換信号 i と遅延回路30の出力信号の一方を選択するセレクタ32と、セレクタ32の出力信号の活性化時にセットされるリセット優先型フリップフロップ34を含む。フリップフロップ34のリセット入力Rへは、ワード線選択動作活性化信号 $w1$ を受けるインバータ35の出力信号が与えられる。

10

【0152】

センスアンプ制御回路16は、さらに、フリップフロップ34の真出力Qの出力信号に応答して導通し、センスアンプ活性化信号 Vn を接地電位レベルへと駆動するセンスアンプ活性化トランジスタ36と、フリップフロップ34の補出力ZQの出力信号に応答して導通し、センスアンプ活性化信号 Vp を電源電圧または高電圧レベルのハイレベルへと駆動するセンスアンプ活性化用トランジスタ38を含む。

【0153】

セレクタ32は、書換指示信号がハイレベルの活性状態にあり、かつアレイブロック活性化信号 br がハイレベルの活性化のときに、内部書換信号 i を選択する。すなわち、転送アレイブロックとして指定されたアレイブロックに対しては、センスアンプの活性化タイミングは内部書換信号 i に従って決定される。信号 $\cdot br$ がローレベルの非活性化時には、セレクタ32は、遅延回路30の出力信号を選択する。フリップフロップ34は、セット入力Sへ与えられる信号がハイレベルとされると、その真出力Qをハイレベル、補出力ZQをローレベルとする。フリップフロップ34は、リセット入力Rへ与えられる信号がハイレベルへ立上るときにリセットされて、真出力Qをローレベルに、補出力ZQをハイレベルとする。したがって、センスアンプ活性化信号 Vn および Vp の活性化から非活性化への移行は、ワード線選択動作活性化信号 $w1$ の非活性化への移行により決定される。

20

【0154】

この図9に示す構成を利用することにより、転送アレイブロックにおいてのみセンスアンプの活性化タイミングを内部書換信号に従って決定することができる。

30

【0155】

図6に示す列選択制御回路18a～18dも、この図9に示すセンスアンプ制御回路16と同様の構成を備える。フリップフロップ34の出力部に設けられたトランジスタ36および38が用いられないだけである。フリップフロップの出力信号（出力QおよびZQいずれでもよい）に従って列選択動作（セレクタSTRの導通/非導通の制御）が行なわれる。

【0156】

図6に示す書換制御回路15は、チップイネーブル信号 CE および書換指示信号がともにハイレベルの活性状態のとき、所定時間経過後に、所定の幅を有する内部書換信号 i を出力する。この構成は、ワンショットパルス発生回路と遅延回路を用いることにより容易に実現できる。

40

【0157】

図10は、アレイブロックそれぞれに対応して配置されるアドレスラッチの構成の一例を示す図である。図10においては、1つのアレイブロックに対応して配置されるアドレスラッチを示し、参照番号40で総称的にアドレスラッチを示す。

【0158】

図10において、アドレスラッチ40は、アドレスバッファから与えられる内部アドレス信号A（行および列アドレス信号RAおよびCA両者を含む）をワンショットパルス発生回路41からの取込指示信号 br により取込み、かつワンショットパルス発生回路4

50

3からのショットパルスに従って、その内部アドレスA_iをリセットする。ワンショットパルス発生回路41は、アレイブロック活性化信号b_rの立上がりに対応して所定パルス幅を有するアドレス取込指示信号b_rを発生する。ワンショットパルス発生回路43は、対応のアレイブロックのイコライズ信号E_Qの非活性化に従って所定期間ローレベルとされるパルス信号E_Qを出力する。

【0159】

アドレスラッチ40は、アドレス取込指示信号b_rに対応して導通し、アドレスバッファから与えられるアドレス信号Aを通過させるnチャネルMOSトランジスタでたとえば構成されるトランスファゲート44と、トランスファゲート44を介して与えられたアドレス信号を増幅する2段の縦続接続されたインバータ45および46と、インバータ45の出力信号を受けて反転してインバータ45の入力部へ伝達するインバータ47を含む。インバータ47の駆動力はインバータ45のそれよりも小さくされる。インバータ46から内部アドレス信号A_iが出力され、インバータ45から内部アドレス信号Z A_iが出力される。

10

【0160】

アドレスラッチ40は、さらに、ワンショットパルス発生回路43からのパルス信号E_Qに対応して、内部アドレス信号A_iおよびZ A_iをローレベルにリセットするリセットトランジスタ48および49を含む。次に、この図10に示すアドレスラッチ40の動作を、その動作波形図である図11を参照して説明する。

【0161】

20

クロック信号C_{LK}の立上がり時に内部チップイネーブル信号C_Eがハイレベルの活性状態とされ、そのときに与えられたアドレス信号Aが確定状態とされる。このチップイネーブル信号C_Eの立上がりに対応して、図6に示すブロックデコーダ10から、アドレス指定されたアレイブロックに対して、ブロック活性化信号b_rが出力される。このブロック活性化信号b_rの活性化に対応して、ワンショットパルス発生回路41が、所定の時間幅(ブロック活性化信号b_rのパルス幅よりも短いパルス幅)を有する信号b_rを出力する。この信号b_rのハイレベルへの移行に対応して、トランスファゲート44が導通し、そのときに与えられているアドレス信号Aを通過させてインバータ45の入力部へ与える。一方、ワンショットパルス発生回路43は、また図8(A)に示すイコライズ/プリチャージ制御回路からのイコライズ信号E_Qに対応してパルス信号E_Qが所定期間ローレベルとし、リセット用トランジスタ48および49が非導通状態とされる。これにより、内部アドレスA_iおよびZ A_iがそのときに与えられたアドレス信号Aに従って変化し、インバータ45および47によりラッチされる。

30

【0162】

トランスファゲート44は、信号b_rがローレベルとなると、非導通状態とされる。これにより、アレイブロックに対して、有効状態とされたアドレスA_iおよびZ A_i(互いに相補なアドレス信号)が持続的に出力される。アドレスラッチ40が内部アドレス信号A_iおよびZ A_iのラッチ中に、次の転送アドレスが与えられても、この場合には、ワンショットパルス発生回路41の出力する信号b_rは転送アレイブロックに対してのみハイレベルの活性状態とされるため、先にアドレス指定されたアレイブロックにおいては何ら影響を受けることなく内部アドレス信号A_iおよびZ A_iが継続してラッチされる。

40

【0163】

信号E_Qがローレベルに立下がってから所定時間が経過すると、この信号E_Qがハイレベルに立上がり、リセットトランジスタ48および49が導通し、内部アドレス信号A_iおよびZ A_iがともにローレベルとされる。この信号E_Qがハイレベルとされてから所定期間経過後にイコライズ信号E_Qがハイレベルとなる。

【0164】

図12は、図1に示すXデコーダX_Dの具体的構成を示す図である。図12において1本のワード線W_Lに対して設けられるXデコーダ回路の構成を代表的に示す。図12におい

50

て、Xデコーダ回路は、内部アドレス信号をデコードし、対応のワード線を指定する行選択信号を生成するロウデコード回路50と、このロウデコード回路50の出力信号に従って対応のワード線WLを選択状態へと駆動するためのワードドライバ55を含む。ロウデコード回路60は、内部ノードZと接地ノードとの間に直列に接続され、それぞれが内部アドレス信号A1～A3をゲートに受けるnチャネルMOSトランジスタ50a, 50bおよび50cを含む。ロウデコード回路50は、NAND型デコード回路である。このロウデコード回路50の構成において、アドレス信号A3は、複数のワード線（たとえば4本）のワード線に対して設けられたロウデコード回路に対し共通に与えられてもよい。この4本のうちのワード線のうちの1本が残りのアドレス信号A1およびA2により選択される。

10

【0165】

ワードドライバ55は、高電圧Vppを受けるノードと接地ノードの間に接続され、そのゲートが内部ノードZに接続されるpチャネルMOSトランジスタ55aおよびnチャネルMOSトランジスタ55bを含む。MOSトランジスタ55aおよび55bはインバータを構成し、内部ノードZ上の電位がローレベルのときに、対応のワード線WLAへ高電圧Vppを伝達する。内部ノードZ上の電位がハイレベルのときには、対応のワード線WLは非選択状態のローレベルとされる。

【0166】

ワードドライバ55は、さらに、ワード線選択動作活性化信号w1の非活性化時に導通し、内部ノードZへ高電圧Vppを伝達するpチャネルMOSトランジスタ55cと、ワード線WL上の電位がローレベルのとき導通し、内部ノードZへ高電圧Vppを伝達するpチャネルMOSトランジスタ55dを含む。ワード線選択動作が行なわれるときには、信号w1はハイレベルであり、MOSトランジスタ55cは非導通状態である。この場合には、ロウデコード回路50の出力信号に従って内部ノードZの電位が決定されて、この内部ノードZ上の電位に従ってワード線WLの電位が決定される。信号w1がローレベルとされると、ワード線選択動作が完了し、MOSトランジスタ55cが導通し、内部ノードZが高電圧Vppレベルに充電される。このときには、アドレス信号A1～A3はすべてローレベルにリセットされており（図10のアドレスラッチ参照）、ロウデコード回路50は出力ハインピーダンス状態とされる。内部ノードZを高電圧Vppレベルに保持することにより、MOSトランジスタ55aを確実に非導通状態とし、非選択状態のワード線WLをMOSトランジスタ55bを介して接地電位レベルに保持する。

20

30

【0167】

[アレイの変更例]

図13は、この発明の第1の実施の形態の変更例の構成を示す図である。図13において、半導体記憶装置のアレイおよびデータ伝達のためのI/Oバスを概略的に示す。図13に示す構成において、アレイブロックMBA～MBDそれぞれに対応して複数ビット（図13において4ビット）のデータを伝達するためのローカルI/OバスLI/Oa～LI/Odが配置される。これらの4ビットローカルLI/Oa～LI/Odに共通に、4ビットのグローバルI/OバスGI/Oが配置される。ローカルI/OバスLI/Oa～LI/OdとグローバルI/OバスGI/Oの交差部には、それぞれブロック選択ゲートBSLEa～BSLEdが配置される。これらのブロック選択ゲートBSELa～BSELDの構成は、先の図2において示すものと同じである。

40

【0168】

グローバルI/OバスGI/Oに対し、1ビットのデータの入出力を行なうためのリード/ライトドライバRWD Rが配置される。このリード/ライトドライバRWD Rは、内部リード/ライトバスRWB Sを介して入出力バッファBFに結合される。

【0169】

図14は、この図13に示すリード/ライトドライバRWD Rの構成を概略的に示す図である。図14において、リード/ライトドライバRWD Rは、グローバルI/OバスGI/O1に対して設けられるリードドライバRD RaおよびライトドライバWD Raと、グロ

50

ーバル I / O バス G I O 2 に対して設けられるリードドライバ R D R b およびライトドライバ W D R b と、グローバル I / O バス G I O 3 に対して設けられるリードドライバ R D R c およびライトドライバ W D R c と、グローバル I / O バス G I O 4 に対して設けられるリードドライバ R D R d およびライトドライバ W D R d を含む。リードドライバ R D R a は、アレイブロック M B a を指定するブロックアドレス信号 B A a とプリアンブイネーブル信号（内部読出指示信号）P R がともに活性状態のときに活性状態とされてグローバル I / O バス G I O 1 上のデータを増幅して内部リード / ライトバス R W B S 上に伝達する。ライトドライバ W D R a は、ブロックアドレス信号 B A a と内部書込指示信号 W i がともに活性状態のときに活性化され、リード / ライトバス R W B S 上のデータを増幅してグローバル I / O バス G I O 1 上に伝達する。

10

【 0 1 7 0 】

リードドライバ R D R b は、アレイブロック M B b を指定するブロックアドレス信号 B A b とプリアンブイネーブル信号 P R がともに活性状態のときに活性状態とされてグローバル I / O バス G I O 2 上のデータを増幅して内部リード / ライトバス R W B S 上に伝達する。ライトドライバ W D R b は信号 W i および B 4 b の活性化時に活性化される。

【 0 1 7 1 】

リードドライバ R D R c は、アレイブロック M B c を指定するブロックアドレス信号 B A c とプリアンブイネーブル信号 P R がともに活性状態のときに活性化され、グローバル I / O バス G I O 3 上のデータを増幅して内部リード / ライトバス R W B S 上に伝達する。ライトドライバ W D R c は、ブロックアドレス信号 B A c と内部書込指示信号 W a がともに活性状態のときに活性化され、内部リード / ライトバス R W B S 上のデータを増幅してグローバル I / O バス G I O 3 上に伝達する。リードドライバ R D R d は、アレイブロック M B d を指定するブロックアドレス信号 B A d とプリアンブイネーブル信号 P R の活性化時に活性化され、グローバル I / O バス G I O 4 上のデータを増幅して内部リード / ライトバス R W B S 上に伝達する。ライトドライバ W D R d は、ブロックアドレス信号 B A d と内部書込指示信号 W i がともに活性状態のときに活性化され、内部リード / ライトバス R W B S 上のデータを増幅してグローバル I / O バス G I O 4 上に伝達する。

20

【 0 1 7 2 】

入出力バッファは、読出指示信号 R に応答して活性化されて内部リード / ライトバス R W B S 上のデータを増幅してデータ出力端子 D Q へ伝達する出力バッファ O B F と、書込指示信号 W の活性化時に活性化され、データ入出力端子 D Q 上のデータを増幅して内部リード / ライトバス R W B S 上に伝達する入力バッファ I B F を含む。

30

【 0 1 7 3 】

この図 1 3 および図 1 4 に示す構成によればリード / ライトドライバ R W D R に含まれるライトドライバ W D R a ~ W D R d をデータ転送時を用いない場合には、図 5 に示す動作波形図に従って、4 ビットのメモリセルデータを 1 つのアレイブロックから他のアレイブロックへ伝達することができる。データ転送時にライトドライバを用いる場合、転送元のアレイブロックにおいて列選択信号を非活性状態とすることにより、元のデータの書換を伴なうことなく、4 ビットのうちの 1 ビットのメモリセルデータを転送先アレイブロックへ転送することができる。この 4 ビットのうちの 1 ビットの選択は、たとえば最下位 2 ビットの列アドレスをデコードすることにより生成される。1 つのアレイブロックにおいて、4 つのビット線対が同時に選択状態とされるため、この同時に選択状態とされる 4 つのビット線対のうちの 1 対を選択する。この場合、図 4 に示す動作波形に従ってデータ転送が行なわれる。列選択信号 C S A および C S B が同時に選択状態となるのを避けることによりデータ読出と並行してデータ転送を行なうことができる。

40

【 0 1 7 4 】

[アレイの変更例 2]

図 1 5 は、この発明の第 1 の実施の形態である半導体記憶装置の第 2 の変更例を示す図である。図 1 5 において、1 つのアレイブロックの 1 列のメモリセルに関連する部分の構成のみを示す。図 1 5 に示す構成においては、ビット線がメインビット線とサブビット線の

50

階層構造とされる。すなわち、メインビット線 MBL および ZMBL からなるメインビット線対 MBLP に対し、複数のサブビット線対 SBLP1 ~ SBLPn が配置される。サブビット線対 SBLP1 が、ビット線分離信号 BLIA1 に応答して導通する選択ゲート SG1 を介してメインビット線対 MBLP に接続される。サブビット線対 SBLP2 が、ビット線分離信号 BLIA2 を通して導通する選択ゲート SG2 を介してメインビット線対 MBLP に接続される。サブビット線対 SBLPn は、ビット線分離信号 BLIAN に応答して導通する選択ゲート SGn を介してメインビット線対 MBLP に接続される。メインビット線対 MBLP には、センスアンプ SA およびプリチャージ/イコライズ回路 PE が配置される。このメインビット線対 MBLP が列選択ゲート CSEL を介してローカル I/O バス LI/OA に接続される。サブビット線対 SBLP1 ~ SBLPn それぞれとワード線との交差部にメモリセル（図示せず）が配置される。メインビット線対 MBLP にはメモリセルは直接接続されない。したがって、このメモリセルの有する寄生容量はメインビット線対 MBLP には接続されず、メインビット線対 MBLP の寄生容量を低減することができる。

【0175】

動作時においては、選択ワード線を含むサブビット線対 SBLPi (i = 1 ~ n のいずれか) のみがメインビット線対 MBLP に接続される。この図 15 に示すような階層ビット線の構成を備える半導体記憶装置であっても、上述の実施の形態と同様に、1つのアレイブロックから別のアレイブロックへデータ転送を行なうことができる。先の実施の形態におけるビット線分離信号 BLIA を、サブビット線対とメインビット線対とを接続する信号として利用すればよい。他の動作は全く同様にデータ転送を行なうことができる。

【0176】

以上のように、この発明の第 1 の実施の形態に従えば、アレイブロックをそれぞれ個々独立に駆動可能とし、かつクロック信号に同期して外部制御信号およびアドレス信号を取込むように構成しているため、複雑なタイミング制御を伴うことなく高速でアレイブロック間のデータ転送を行なうことができる。

【0177】

[実施の形態 2]

図 16 は、この発明の第 2 の実施の形態である半導体記憶装置の動作を示す信号波形図である。まずこの発明に従う第 2 の実施の形態の半導体記憶装置の動作について説明し、次いで、この動作を実現するための構成について説明する。

【0178】

この発明の第 2 の実施の形態において、2つの命令、すなわちアンプ転送命令 TA およびセル転送命令 TM が用いられる。アンプ転送命令 TA は、1つのアレイブロックのメモリセルのデータを、別のアレイブロックのセンスアンプに転送し、そこでラッチさせる命令である。セル転送命令 TM は、1つのアレイブロックのメモリセルのデータを別のアレイブロックのメモリセルへ転送しそこに書込む命令である。アンプ転送命令 TA を用いた場合には、転送先のアレイブロックのメモリセルへのデータ書込が行なわれず、センスアンプによるラッチのみが行なわれる。これにより、センスアンプを常時活性化することによりセンスアンプをキャッシュとして利用することができ、また1つのアレイブロックのメモリセルデータを別のアレイブロックのセンスアンプに退避させておくことができる。あるメモリセルのデータを外部で加工し、その加工したデータを元のメモリセルに書込むとともに、加工前のデータを別のアレイブロックのセンスアンプに保持しておく。必要なときに、加工前のデータを取出すことができ、たとえば演算処理において、同一の係数データを用いて連続して加算または乗算などの演算を行なうことができる。

【0179】

図 16 において、クロック信号 CLK の立上がりにはチップイネーブル信号 CE が活性状態のハイレベルとされる。この状態においては、アンプ転送命令 TA およびセル転送命令 TM はともに非活性状態のローレベルである。このときには通常のアクセス動作が行な

10

20

30

40

50

われ、このクロック信号CLKの立上がり時に与えられたアドレス信号が取込まれ、アドレス指定されたアレイブロックにおいて行および列の選択動作が行なわれる。すなわちアレイブロック(MB Aとする)において、アドレス指定されたワード線WLAが選択され、この選択ワード線WLAの電位が上昇する。これに应答して、選択ワード線WLAに接続するメモリセルデータが各対応のビット線対BLPAに伝達され、ビット線対BLPAの電位が変化する。次いで、適当な間隔において、チップイネーブル信号CEが再びクロック信号CLKの立上がり時に活性状態のハイレベルとされる。このとき、併せてアンプ転送命令TAが活性状態のハイレベルとされる。アンプ転送命令TAの活性化時には、このときに取込まれたアドレス信号の行アドレスを指定する部分は無視され、アレイブロックにおけるワード線選択は行なわれず、非選択状態を維持する。ブロックアドレス信号と列アドレス信号のみが利用される。

10

【0180】

一方、アレイブロックMB Aにおいては、通常動作時と同様に、列選択信号が列アドレス信号のデコード結果に従って活性状態のハイレベルとされ、対応のメモリセルのデータがグローバルI/O線上に伝達される。この後、アンプ転送命令TAの活性化に应答して所定のタイミングで(列選択信号CSAの活性化の後)内部転送信号TRIがハイレベルの活性状態とされる。この内部転送信号TRIに应答して、転送先のアレイブロック(MB Bとする)においてYデコードが活性化され、列選択信号CSBがハイレベルとされ、先にグローバルI/O線GI/O上に読出されたアレイブロックMB AからのデータがセンスアンプSA Bのセンスノードに伝達され、このセンスノードの電位が変化する。このとき、まだセンスアンプSA Bは活性化されていない。これにより、容易にセンスアンプSA Bのセンスノード電位がグローバルI/O線上の電位に従って変化する。次いで内部転送信号TRIが活性化されてから所定の期間が経過した後、その転送先アレイブロックMB BのセンスアンプSA Bの活性化が行なわれ、センスノードに現われた電位差(転送データ)の増幅およびラッチが行なわれる。上述の一連の動作により、アレイブロックMA Aのメモリセルデータが別のアレイブロックMA BのセンスアンプSA Bのセンスノードにラッチされる。

20

【0181】

図17は、アンプ転送動作時における内部信号を示す波形図である。以下、図17を参照してアレイの内部動作についてより詳細に説明する。

30

【0182】

まず図16に示すように、最初にチップイネーブル信号CEが活性状態とされると、アレイブロックMB Aにおいて、メモリセルの選択動作が実行される。すなわちイコライズ信号EQAが非活性状態のローレベルとされ、次いでワード線WLAが選択されてその電位が上昇する。このときまたビット線分離信号BLIAもハイレベルとされ、選択メモリセルのデータがセンスアンプSA Aのセンスノードへ伝達される。次いで、そのセンスアンプSA Aのセンスノードの電位が十分に拡大されると、センスアンプ活性化信号VpA, VnAが活性状態とされ、センスアンプSA Aのセンスノードの電位が差動的に増幅される。その後、Yデコードからの列選択信号CSAがハイレベルとされ、センスアンプSA Aのセンスノードの電位がローカルI/OバスLI/OA上に伝達される。次いでブロック選択ゲートBSELAがブロック選択信号TGAに従って導通し、このローカルI/OバスLI/OA上の電位がグローバルI/OバスGI/O上に伝達される。

40

【0183】

アレイブロックMB Bにおいては、このアレイブロックMB Bのメモリセル選択動作およびデータの読出動作と並行して、イコライズ信号EQBの非活性化が行なわれる。このとき、アンプ転送命令TAにより、ワード線選択が行なわれず、またビット線分離信号BLIBも非活性状態のローレベルを維持する。アンプ転送命令TAが与えられてから所定期間が経過すると内部転送信号TRIに应答して、列選択信号CSBおよびブロック選択信号TGBが所定期間ハイレベルの活性状態とされ、グローバルI/Oバス上に伝達されたデータがセンスアンプSA Bのセンスノードへ伝達され、センスアンプSA

50

Bのセンスノードの電位が変化する。このとき、ビット線分離信号B L I Bはローレベルの非活性状態を維持しており、センスアンプS A Bのセンスノードの寄生容量は小さく、容易にこのセンスアンプS A Bのセンスノードの電位はグローバルI / Oバス上の電位に従って変化する。センスアンプS A Bのセンスノード電位が変化し、この電位差が十分拡大されると、センスアンプ活性化信号V p BおよびV n Bが活性状態とされ、このセンスアンプS A Bのセンスノードの電位が活性化されたセンスアンプS A Bにより増幅されてラッチされる。以後、この状態を維持する。

【0184】

図18は、このアンプ転送動作時におけるメモリセルデータの転送経路を模式的に示す図である。この図18に示す半導体記憶装置の構成においては、ローカルI / OバスL I / O AおよびL I / O BおよびグローバルI / OバスG I / Oは、すべて4ビットの幅を備える構成が一例として示される。アレイブロックM B Aにおいて同時に選択された4ビットのメモリセルデータがグローバルI / OバスG I / Oを介して転送されて外部に読出され(1ビットのみが読出されてもよく、また4ビットデータが読出されてもよい)、これと同時に、アレイブロックM B BのローカルI / OバスL I / O Bを介してこのアレイブロックM B Bのセンスアンプへ転送されてここでラッチされる。なおこの図18に示す構成においては、先の図14に示す構成と同様、アレイブロックM B Bのセンスアンプへは、1ビットのデータのみが転送されてもよい。

【0185】

図19は、セル転送時における動作を示す信号波形図である。セル転送命令T Mの活性化時には、転送先アレイブロックにおいて、ワード線を選択が行なわれる。このときには、クロック信号C L Kの立上がり時に活性状態とされたチップイネーブル信号C Eと同期して与えられたアドレス信号は行アドレス信号、列アドレス信号、およびブロックアドレス信号すべてが利用される。この場合、すでに、先に与えられたチップイネーブル信号C Eとそれと同時に与えられたアドレス信号に従ってアレイブロックM B Aにおいては、先のアンプ転送動作時と同様にワード線選択およびメモリセルの選択動作が実行される。

【0186】

セル転送命令T Mの活性化時には、まず転送アレイブロックM B Bにおいて、ワード線選択が行なわれ、選択ワード線W L Bの電位が立上がる。このとき、また後に説明するが、ビット線分離信号B L I Bもハイレベルの活性状態とされ、この選択ワード線W L Bに接続されるメモリセルのデータがセンスアンプにより増幅される。アレイブロックM B Aにおいて、列選択信号C S Aがハイレベルに立上がり、選択メモリセルデータがグローバルI / OバスG I / Oへ転送された後、アレイブロックM B Bにおいては、内部転送信号T R iの活性化に应答して、列選択動作が行なわれ、選択された列に対する列選択信号C S Bがハイレベルとなり、グローバルI / OバスG I / OがこのアレイブロックM B BのセンスアンプS A Bのセンスノードに接続される。センスアンプS A Bはまだ活性状態とされていないため、アレイブロックM B Bの選択メモリセルデータが伝達されていても、センスアンプS A Bのセンスノードの電位(ビット線対B L P Bの電位)は、容易にこのグローバルI / OバスG I / O上の電位に従って変化する。センスアンプS A Bのセンスノードの電位が十分変化した後、センスアンプ活性化信号(図19には示さず)が活性状態とされ、センスアンプS A Bがセンス動作を行ない、このグローバルI / OバスG I / Oから伝達されたメモリセルデータを検知し増幅し、選択メモリセルへ書込む。これら一連の動作により、アレイブロックM B Aの選択メモリセルデータがアレイブロックM B Bのメモリセルへ書込まれる。

【0187】

図20は、セル転送動作時における内部信号波形を示す図である。アレイブロックM B Aにおいては、イコライズ信号E Q Aが立上がってから、選択ワード線W L Aおよびビット線分離信号B L I Aがハイレベルに立上がり、この選択ワード線W L Aに接続されるメモリセルデータがセンスアンプS A Aのセンスノードへ伝達される。次いで、所定のタ

10

20

30

40

50

イミングでセンスアンプ活性化信号 V_{pA} および V_{nA} が活性状態とされ、次いで、列選択信号 CSA がハイレベルとされ、このセンスアンプ SA のセンスノードの電位がローカル I/O バス LI/OA へ伝達される。この後、ブロック選択信号 TGA がハイレベルとされ、このローカル I/O バス LI/OA 上のデータがグローバル I/O バス GI/O 上に伝達される。

【0188】

一方、このアレイブロック MB A でのメモリセルデータの検知増幅およびグローバル I/O バス GI/O への伝達と並行して、アレイブロック MB B において同様にメモリセルの選択動作が行なわれる。すなわち、イコライズ信号 EQB がローレベルとされた後、ワード線 $WL B$ およびビット線分離信号 $BLIB$ がハイレベルに立上がり、選択メモリセルのデータがセンスアンプ SA B のセンスノードへ伝達される。この後、内部転送信号の活性化に従ってブロック選択信号 TGB および列選択信号 CSB がハイレベルとされ、グローバル I/O バス GI/O 上のデータがローカル I/O バス LI/OB を介してセンスアンプ SA B のセンスノードへ伝達される。このときまだセンスアンプ SA B は活性化されていないため、センスアンプ SA B のセンスノードは、グローバル I/O バス GI/O から伝達されたデータに応じて変化する。この後、センスアンプ活性化信号 V_{pB} および V_{nB} が活性化され、選択メモリセルのデータがこのアレイブロック MB B の選択メモリセルへ書込まれる。次いで選択ワード線 $WL B$ の電位が立上がり、イコライズ信号 EQB がハイレベルとされ、ビット線対の電位およびセンスアンプ SA B のセンスノードのイコライズが行なわれた後、ビット線分離信号 $BLIB$ がローレベルとされる。

【0189】

なお、図20において、列選択信号 CSA は、アレイブロック MB B の列選択信号 CSB と重なり合わないタイミングで活性化されているが、これは図20において破線で示すように、互いに重なり合うタイミングで活性状態を維持するように構成されてもよい。

【0190】

上述の一連の動作を行なうことにより、図21に示すように、アレイブロック MB A において選択されたメモリセルデータがローカル I/O バス LI/OA 、グローバル I/O バス GI/O 、およびローカル I/O バス LI/OB を介してアレイブロック MB B のメモリセルへ伝達されてそこに書込まれる。このときまたアレイブロック MB A の選択メモリセルのデータが外部に読出される。なお、図21においては、4ビットのメモリセルが1つのアレイブロックにおいて同時に選択される構成が一例として示されている。この場合、4ビットのメモリセルデータがアレイブロック MB A からアレイブロック MB B へ伝達されてもよい。

【0191】

図22は、この発明の第2の実施の形態の別の動作波形を示す図である。この図22においては、アンプ転送命令 TA およびセル転送命令 TM 両者が活性状態とされる。この状態においては、アレイブロック MB A において選択されたメモリセルのデータがアレイブロック MB B のメモリセルへ書込まれるとともに、センスアンプで持続的にラッチされる。すなわち先のアンプ転送動作およびセル転送動作両者が組合せて実行される。

【0192】

[センス保持データ書換動作]

図23は、センス転送動作により保持されたデータを書換える際の動作を示す信号波形図である。図23において、アレイブロック MB B においては、センスアンプが、センス転送動作による転送データを保持している。この状態において、再びアレイブロック MB A または別のアレイブロックからアレイブロック MB B の同一のアドレス位置へデータが転送される。この場合、アレイブロック MB A においては、先の動作と同様にして、ワード線 $WL A$ の選択およびビット線分離信号 $BLIA$ の活性化が行なわれ、次いでセンスアンプ SA A による検知増幅が行なわれて、この検知増幅されたデータがローカル I/O バス LI/OA およびグローバル I/O バス GI/O へ伝達される。センス転送命令が活性状態とされかつそのときの転送アドレスが先に与えられた転送アドレスと同じ場

合、アレイブロックM B Bにおいては、センスアンプ活性化信号V p BおよびV n Bが非活性状態とされかつイコライズ信号E Q Bが活性状態とされ、センスアンプS A Bのセンスノードのイコライズが行なわれる。次いで、イコライズ信号E Q Bを非活性状態とした後、列選択信号C S Bおよびブロック選択信号T G Bがハイレベルとされ、グローバルI / OバスG I / O上のデータがセンスアンプS A Bのセンスノードへ伝達される。この後、センスアンプ活性化信号V p BおよびV n Bが活性状態とされ、このグローバルI / OバスG I / Oから伝達されたデータがセンスアンプS A Bのセンスノードにおいて増幅されかつラッチされる。

【0193】

なお、図23において破線で示すように、センス転送動作時に、アレイブロックM B Bのイコライズ信号E Q Bを非活性状態のローレベルに維持し、かつセンスアンプ活性化信号V p BおよびV n Bを所定期間非活性状態とする構成が利用されてもよい。この場合、センスアンプS A Bのセンスノードが、その保持データに対する電位でフローティング状態とされる。この状態で、グローバルI / OバスG I / OとセンスアンプS A Bのセンスノードと接続すれば、このセンスアンプS A Bのセンスノードの電位はグローバルI / OバスG I / Oからの信号電位に応じて変化する。センスアンプS A Bのセンスノードの容量は、グローバルI / Oバスの容量に比べて十分小さく、したがってセンスアンプS A Bのセンスノード電位は十分このグローバルI / OバスG I / Oからのデータ信号(電荷)に従って充放電されてその電位を変化させることができる。

【0194】

なおこの図23に示す動作波形図において、メモリセルへのデータ書込が行なわれるセル転送動作が併せて行なわれる場合には、図23に示す信号波形図において、ワード線W L Bおよびビット線分離信号B L I Bがイコライズ信号E Q Bの非活性化の後センスアンプS A Bの活性化の前に活性状態のハイレベルとされる。

【0195】

[制御回路]

図24は、この発明の第2の実施の形態である半導体記憶装置のアレイ活性制御部の構成を概略的に示すブロック図である。この第2の実施の形態に従う半導体記憶装置の全体の構成は、図1に示す構成と同じである。

【0196】

図24において、アレイ活性制御部は、内部チップイネーブル信号C Eの活性化時に活性化され、内部ブロックアドレス信号B Aをデコードし、アドレス指定されたアレイブロックを活性化するためのブロック活性化信号b rを出力するブロックデコーダ10を含む。このブロック活性化信号b rが、各アレイブロックそれぞれに対応して発生される。活性状態とされたブロック活性化信号b r(b r a ~ b r d)のアレイブロックのみが活性状態とされる。

【0197】

アレイ活性制御部は、さらに、ブロックデコーダ10からのブロック活性化信号b rと内部チップイネーブル信号C Eとセンスアンプ転送指示信号(アンプ転送命令)T Aとメモリセル転送指示信号(セル転送命令)T Mを受けて、内部転送指示信号T R iを所定のタイミングで出力しかつイコライズ/プリチャージ制御回路120 a ~ 120 dのイコライズ/プリチャージ動作を制御する信号を発生する転送制御回路110を含む。イコライズ/プリチャージ制御回路120 a ~ 120 dは、アレイブロックM A a ~ M A dそれぞれに対応して設けられ、活性化時対応のアレイブロックのイコライズ/プリチャージ動作を実行する。アレイ活性制御部は、さらに、アレイブロックM A a ~ M A dそれぞれに対応して配置されるワード線駆動制御回路140 a ~ 140 d、センスアンプ制御回路160 a ~ 160 d、および列選択制御回路180 a ~ 180 dを含む。これらの回路部分の機能自体は先の実施の形態1において示したものと同一であるが、その内部構成が、転送指示信号T R iを受けるため異なる。この構成については後に説明する。

【0198】

10

20

30

40

50

次に各部の具体的構成について説明する。

ブロックデコーダ 10 の構成は、先の図 7 において示すものと同じであり、クロック信号 CLK の立上がり同期して発生された内部チップイネーブル信号 CE に従って活性化されて、そのときに与えられたブロックアドレス信号 BA をデコードし、アドレス指定されたアレイブロックに対し所定の時間幅を有するブロック活性化信号 br (bra ~ brd) を出力する。

【0199】

図 25 は、図 24 に示す転送制御回路 110 の構成を概略的に示す図である。この図 25 においては、転送制御回路 110 のうちの、内部転送指示信号を発生する部分の構成を示す。残りの部分（センスアンプ制御回路 160a ~ 160d を制御する部分およびイコライズ/プリチャージ制御回路 120a ~ 120d を制御する部分）の構成については後に各部分の構成と組合せて説明する。

10

【0200】

図 25 において、転送制御回路 110 は、センスアンプ転送指示信号 TA とメモリセル転送指示信号 TM を受ける OR ゲート 111 と、OR ゲート 111 の出力信号を所定時間遅延する遅延回路 112 と、遅延回路 112 の出力信号の立上がりに対応して、所定の時間幅を有するワンショットのパルスが発生するワンショットパルス発生回路 113 を含む。このワンショットパルス発生回路 113 は、先に説明したフリップフロップおよび遅延回路の構成を用いて実現されればよい。

【0201】

20

この図 25 に示す転送制御回路 110 においては、転送指示信号 TA および TM の少なくとも一方がハイレベルの活性状態とされたときに、ワンショットパルス発生回路 113 から、所定のタイミングでデータ転送を指示するワンショットのパルス信号 TRi が発生される。

【0202】

[イコライズ/プリチャージ制御回路およびワード線駆動制御回路の構成]

図 26 は、この発明の第 2 の実施の形態である半導体記憶装置のイコライズ/プリチャージ制御回路 120 (120a ~ 120d) およびワード線駆動制御回路 140 (140a ~ 140d) の構成を示す図である。図 26 において、ワード線駆動制御回路 140 は、先の第 1 の実施の形態において図 8 において示した構成と同じ構成を備え、対応する部分には同一の参照番号を付す。

30

【0203】

イコライズ/プリチャージ制御回路 120 は、信号 TA および TM を受ける OR ゲート 118 (OR ゲート 111 に対応) と、イコライズ信号 EQ (EQa ~ EQd) を所定時間遅延する遅延回路 119 と、遅延回路 119 の出力信号を偽入力に受け、ブロック活性化信号 br および OR ゲート 118 の出力信号を真入力に受けるゲート回路 121 と、ゲート回路 121 の出力信号がハイレベルのときに所定期間ハイレベルとなるパルス信号を発生するパルス発生回路 123 と、ブロック活性化信号 br を反転するインバータ 122 と、ゲート回路 121 の出力信号とインバータ 122 の出力信号を受ける NOR ゲート 125 と、NOR ゲート 125 の出力信号の立上がりに対応してセットされるリセット優先型セット/リセットフリップフロップ 124 を含む。

40

【0204】

このプリチャージ/イコライズ制御回路 120 は、さらに、フリップフロップ 124 の補出力 ZQ からの出力信号とパルス発生回路 123 からの出力信号とを受ける OR 回路 127 と、フリップフロップ 124 の補出力 ZQ からの出力信号を所定時間遅延する遅延回路 126 と、NOR 回路 125 の出力信号に対応してリセットされ、かつセンスアンプ転送指示信号 TA に対応してセットされるセット/リセットフリップフロップ 128 と、フリップフロップ 128 の真出力 Q からの出力信号と遅延回路 126 の出力信号とを受ける NOR 回路 129 を含む。NOR 回路 129 の出力信号はフリップフロップ 124 のリセット入 R へ与えられる。フリップフロップ 124 の Q 出力からの信号は、信号 TM を一

50

方入力に受けるＯＲ回路１３１を介して遅延回路２７へ与えられる。次にこのプリチャージ／イコライズ制御回路１２０の動作についてその動作波形図である図２７（Ａ）および（Ｂ）を参照して説明する。

【０２０５】

図２７（Ａ）において、ブロック活性化信号　ｂｒが指定するアレイブロックが既にセンスアンプにデータを保持している場合、イコライズ信号ＥＱはローレベルにある。この状態において、新たにこのセンスアンプにデータを保持している状態においてさらにセンスアンプ転送指示信号が活性状態とされると、ゲート回路１２１の出力信号がハイレベルとなり、パルス発生回路１２３から所定期間ハイレベルとなるパルス信号が出力される。このときゲート回路１２１の出力信号はハイレベルであり、ＮＯＲ回路１２５の出力信号はローレベルに固定され、フリップフロップ１２４のセット動作は禁止される。したがってＯＲ回路１２７からのイコライズ信号ＥＱが所定時間の間ハイレベルに立上がる。フリップフロップ１２４はリセット状態を維持している。この状態においては、信号　ＴＭはローレベルであり、ワード線駆動制御回路１４０においてワード線選択動作活性化信号　ｗ１はローレベルを維持しており、この転送アレイブロックにおいてのワード線選択動作は禁止される。

10

【０２０６】

遅延回路１１９が設けられているのは、このイコライズ信号ＥＱのローレベルからハイレベルへの移行時にゲート回路１２１の出力信号がローレベルとされ、フリップフロップ１２４がセット状態とされるのを防止するためである。

20

【０２０７】

転送アレイブロックがセンスアンプにデータを保持していない場合においては、イコライズ信号ＥＱはハイレベルにある。この状態においては、ゲート回路１２１の出力信号はローレベルにあり、パルス発生回路１２３のパルス発生動作は禁止される。この場合、ＮＯＲ回路１２５がインバータとして機能し、ブロック活性化信号　ｂｒに応答して、ハイレベルの信号を出力する。これにより、フリップフロップ１２４がセットされ、かつフリップフロップ１２８がリセットされる。このとき、センスアンプ転送指示信号　ＴＡも活性状態にあり、このセット／リセットフリップフロップ１２８は、セット優先型の構成を備えており、そのセット入力Ｓおよびリセット入力Ｒに活性状態の信号が与えられたときには、セット状態とされ、その真出力Ｑからの出力信号はハイレベルに設定される。これにより、ＮＯＲ回路１２９の出力信号はローレベルに固定され、フリップフロップ１２４のリセットが禁止される。フリップフロップ１２４がセットされて、その真出力Ｑからの出力信号がハイレベルに立上がると、遅延回路２７の出力信号が所定時間経過後に立上がり、フリップフロップ２８がセットされ、ワード線選択動作活性化信号　ｗ１が所定時間ハイレベルの活性状態とされる。

30

【０２０８】

図２７（Ｂ）に示すメモリセル転送動作時においては、信号　ＴＡがローレベルであり、ブロック活性化信号　ｂｒがハイレベルである。この場合には、メモリセル転送指示信号　ＴＭがハイレベルであり、ＯＲ回路１１８の出力信号がハイレベルとされ、ゲート回路１２１の出力信号は、イコライズ信号ＥＱがローレベルのときにはハイレベル、イコライズ信号ＥＱがハイレベルのときにはローレベルとなる。したがって、転送アレイブロックがセンスアンプにデータを保持しているか否かによってイコライズ信号ＥＱの活性／非活性が制御される。転送アレイブロックが既にセンスアンプにデータを保持している場合には、このメモリセル転送指示信号　ＴＭとフリップフロップ１２４の真出力Ｑの出力信号を受けるＯＲ回路１３１の出力信号がハイレベルとされ、遅延回路２７の出力信号によりフリップフロップ２８がセットされて所定期間ワード線選択動作活性化信号　ｗ１が活性状態とされる。これにより、転送アレイブロックがセンスアンプにデータを保持しているか否かにかかわらず、メモリセル転送指示信号　ＴＭが与えられると、転送アレイブロックにおいてワード線選択動作が実行される。

40

【０２０９】

50

〔センスアンプ制御回路の構成〕

図 28 は、図 24 に示すセンスアンプ制御回路の構成の一例を示す図である。図 28 において、センスアンプ制御回路 160 は、転送指示信号 TA および TM を受ける OR 回路 161 と、OR 回路 161 の出力信号とブロック活性化信号 br を受ける AND 回路 162 とを含む。回路 161 および 162 は、図 24 に示す転送制御回路 150 に含まれてもよい。この図 28 に示すセンスアンプ制御回路 160 は、図 9 に示すセンスアンプ制御回路の構成に加えて、さらに、センスアンプ転送指示信号 TA の活性化時ワード線選択動作活性化信号 w1 を受けるインバータ 35 の出力信号の伝達を禁止する禁止ゲート 163 と、ブロック活性化信号 br およびイコライズ信号 EQ を受けるゲート回路 164 と、禁止ゲート 163 の出力信号とゲート回路 164 の出力信号を受ける OR 回路 165 をさらに含む。他の構成は、先に図 9 において示したセンスアンプ制御回路の構成と同じであり、対応する部分には同一の参照番号を付す。

10

【0210】

禁止ゲート 163 はセンスアンプ転送指示信号 TA の活性化時、その出力信号をローレベルの非活性状態に固定的に設定する。この禁止ゲート 163 には、たとえば、センスアンプ転送指示信号 TA に応答して非導通状態とされ、信号 w1 の非活性化に応答して導通状態とされるラッチ回路を利用することができる。ゲート回路 164 は、イコライズ信号 EQ がローレベルにあり、かつブロック活性化信号 br がハイレベルのときハイレベルの信号を出力する。

【0211】

この図 28 に示す構成は、残りの構成は図 9 に示すセンスアンプ制御回路の構成と同じであり、対応する部分には同一の参照番号を付す。次に動作について図 29 を参照して説明する。

20

【0212】

ブロック活性化信号 br およびセンスアンプ転送指示信号 TA がともにハイレベルにあり、イコライズ信号 EQ がハイレベルのときには、先に図 26 を参照して説明した回路部分により、イコライズ信号 EQ がローレベルとされる。このときフリップフロップ 34 は、OR 回路 165 の出力信号により、リセットされる可能性はあるが、この場合、既にフリップフロップ 34 はリセット状態にあり、何ら問題は生じない。

【0213】

またこのとき、OR 回路 161 および AND 回路 162 の出力信号がハイレベルとされ、セクタ 32 は、内部転送指示信号 TRi を選択する状態に設定される。内部転送指示信号 TRi が活性状態とされると、セクタ 32 を介してフリップフロップ 34 のセット入力 S に活性状態の信号が与えられてフリップフロップ 34 がセットされ、トランジスタ 36 および 38 が導通し、センスアンプ活性化信号 Vn および Vp が活性状態とされる。信号 TA の活性化に応答して禁止ゲート 163 は、インバータ 35 の出力信号の伝達を禁止しているため、フリップフロップ 34 のリセットは行なわれず、フリップフロップ 34 はセット状態を維持する。これにより、センスアンプ活性化信号 Vp および Vn は活性状態を維持する。

30

【0214】

次いでこの状態で、このアレイブロックに対し再びアクセスが行なわれる場合には、イコライズ信号 EQ がローレベルのため、ゲート回路 164 の出力信号がブロック活性化信号 br の活性化に応答してハイレベルに立上がり、OR 回路 165 を介してフリップフロップ 34 がリセットされる。これにより、センスアンプ活性化信号 Vp および Vn が非活性状態とされる。ここで、イコライズ信号 EQ がローレベルから所定期間ハイレベルとなる構成は図 26 に示す構成により実現される。

40

【0215】

次いで、通常アクセス動作時においては、所定時間経過後にワード線選択動作活性化信号 w1 がハイレベルとされ、セクタ 32 を介してフリップフロップ 34 がセットされてセンスアンプ活性化信号 Vp および Vn が活性状態とされる。ワード線選択動作活性化信

50

号 w_1 が非活性状態とされると、禁止ゲート 163 は、信号 TA の非活性化のためインバータ 35 の出力信号を通過させ、フリップフロップ 34 が OR 回路 165 の出力信号に従ってリセットされ、センスアンプ活性化信号 V_p および V_n が非活性状態とされる。

【0216】

メモリセル転送動作時においては、信号 TM がハイレベルとされ、ゲート回路 162 の出力信号がハイレベルとなり、セクタ 32 は、内部転送指示信号 TRI を選択する状態に設定される。この場合においては、センスアンプ活性化信号 V_p および V_n は、内部転送指示信号 TRI の活性化にตอบสนองして活性状態とされる。その非活性化は、信号 w_1 の活性状態から非活性状態への移行にตอบสนองして行なわれる（メモリセル転送動作時には、信号 w_1 は活性状態とされる）。

10

【0217】

X デコーダの構成は、先の第 1 の実施の形態の図 12 に示す構成と同じである。またアドレスラッチの構成は、図 10 に示す第 1 の実施の形態のアドレスラッチの構成を利用することができる。

【0218】

以上のように、この発明の第 2 の実施の形態に従えば、各アレイブロックを互いに独立に駆動可能とし、かつ 1 つのアレイブロックから他のアレイブロックのセンスアンプまたはメモリセルデータを転送するように構成したため、処理用途に応じてメモリセルデータの退避、キャッシュ化を実現することができ、汎用性の高い半導体記憶装置を実現することができる。

20

【0219】

[実施の形態 3]

図 30 は、この発明の第 3 の実施の形態である半導体記憶装置の要部の構成を示す図である。この図 30 においては、アドレス入力部の構成が示される。この図 30 に示すアドレス入力部から出力される内部アドレス信号が先の実施の形態 1 および実施の形態 2 で示したブロックデコーダおよび各アレイブロックの行選択回路へ与えられる。

【0220】

図 30 において、アドレス入力部は、アドレス入力端子 199 へ与えられるアドレス信号をクロック信号 CLK に同期して取込むアドレスバッファ 200 と、メモリセルデータの転送前のアドレスを格納するマッピングメモリ 202 と、マッピングメモリ 202 に格納された転送前のアドレス信号のデータ転送後のアドレス信号を各転送前のアドレス信号に対応して格納するアドレス変換回路 204 と、アドレスバッファ 200 およびアドレス変換回路 204 の一方のアドレス信号を通過させ、内部アドレス信号を生成するマルチプレクサ 206 を含む。マッピングメモリ 202 は、たとえば連想メモリ (CAM) で構成され、アドレス変換回路 204 は、たとえばレジスタで構成される。

30

【0221】

このマッピングメモリ 202 およびアドレス変換回路 204 へのデータの格納を制御するために外部からのクロック信号 CLK 、チップイネーブル信号 CE 、キャッシュ信号 CH 、およびマップ信号 MP を受けて、指定されたモードを検出するモード検出回路 210 と、モード検出回路 210 の制御のもとに、アドレスバッファ 200 から与えられたアドレス信号をそれぞれラッチするアドレスラッチ 212 と、モード検出回路 210 の制御のもとに、このアドレスラッチ 212 に格納されたアドレスをマッピングメモリ 202 およびアドレス変換回路 204 へ書込む書込制御回路 214 を含む。アドレスラッチ 212 は、転送前のアドレスと転送後のアドレスを格納する。次に動作についてその動作波形図である図 31 を参照して説明する。

40

【0222】

クロック信号 CLK の立上がり時にチップイネーブル信号 CE がハイレベルの活性状態とされ、またデータ転送を指定するキャッシュ信号 CH がハイレベルの活性状態とされる。これにより、データ転送が指定されて、転送されるべきメモリセルのアドレス (A) がモード検出回路 210 の制御のもとにアドレスラッチ 212 に格納される。この状態にお

50

いては、マルチプレクサ 206 は、モード検出回路 210 の制御のもとに、アドレスバッファ 200 から与えられる元のアドレスすなわち転送前のアドレスを選択して各アレイブロックのアドレスラッチへ与える。

【0223】

次いで、転送先を指定するアドレス B が与えられ、チップイネーブル信号 CE およびマップ信号 MA がクロック信号 CLK の立上がり時にハイレベルの活性状態とされる。モード検出回路 210 は、このチップイネーブル信号 CE およびマップ信号 MA に従って、転送先アドレスが与えられたことを検知し、アドレスバッファ 200 から与えられたアドレス信号をアドレスラッチ 212 に格納する。この場合においても、マルチプレクサ 206 は、モード検出回路 210 の制御のもとに、アドレスバッファ 200 からのアドレス信号を選択して各アレイブロックへ与え、データ転送動作が行なわれる。

10

【0224】

一方、書込制御回路 214 は、このモード検出回路 210 の制御のもとにマッピングメモリ 202 およびアドレス変換回路 204 に対し書込アドレスを発生し、アドレスラッチ 212 に格納された元のアドレス（転送前アドレス）およびキャッシュ先アドレス（転送アドレス）を格納する。

【0225】

以後の動作時において、チップイネーブル信号 CE がクロック信号 CLK の立上がり時において活性状態とされ、アドレス入力端子 199 に元のアドレス（A）が与えられたとき、マッピングメモリ 202 は、この与えられたアドレスと格納している元のアドレス（キャッシュアドレスと称す）とを比較し、その比較結果を示す信号を出力する。かつこのマッピングメモリ 202 は、一致時においては、アドレス変換回路 204 から、対応の転送先アドレス（キャッシュ先アドレス）を讀出してマルチプレクサ 206 へ与える。マルチプレクサ 206 は、マッピングメモリ 202 からの一致信号に従ってアドレス変換回路 204 から与えられたアドレス信号を選択して各アレイブロックのアドレスラッチへ与える。これにより、外部から与えられたキャッシュアドレス（A）に対して、転送先アドレス（B）が内部アドレスとして指定される。アレイブロックにおいてセンスアンプがデータをラッチしている場合には、このセンスアンプをキャッシュとして利用して、転送アドレスに格納されたデータの讀出または書込を行なうことができる。

20

【0226】

上述のようにマッピングメモリ 202 およびアドレス変換回路 204 を利用することにより、別のアレイブロックのセンスアンプにデータが転送されている場合、その転送されたデータを高速で讀出すことができる。

30

【0227】

図 32 は、図 30 に示すマッピングメモリ 202 およびアドレス変換回路 204 の構成を概略的に示す図である。図 32 において、マッピングメモリ 202 は、各エントリが元のアドレス信号を格納する複数の連想メモリセルエントリ ENT1 ~ ENTn を含む。連想メモリセルエントリ ENT1 ~ ENTn の各々には、一致線 CHL1 ~ CHLn が接続される。一致線 CHL1 ~ CHLn は、それぞれ対応の連想メモリセルエントリ ENT1 ~ ENTn の格納するアドレス信号と、外部から与えられるアドレス信号の一致したときにハイレベルの活性状態とされる。

40

【0228】

アドレス変換回路 204 は、マッピングメモリ 202 の各エントリ ENT1 ~ ENTn に対応して設けられるレジスタ REG1 ~ REGn と、レジスタ REG1 ~ REGn それぞれに対応して設けられ、一致線 CHL1 ~ CHLn の活性化時、対応のレジスタの内容を讀出データ線 RD 上に伝達するリードゲート RG1 ~ RGn を備える。このアドレス変換回路 204 は、さらに、転送アドレス信号書込時に、書込制御回路の制御のもとにアドレスラッチにラッチされたデータを書込むためのライトゲート WG1 ~ W Gn を含む。これらのライトゲート WG1 ~ W Gn はレジスタ REG1 ~ REGn それぞれに対応して設けられ、書込制御回路からの活性化信号に従って選択的に活性状態とされ、対応のレジスタ

50

REG1～REGnを書込データバスWDに接続する。書込制御回路は、明確には示さないが、アドレスカウンタなどのアドレス発生器を備えており、アドレスラッチ212に格納されたアドレスをマッピングメモリ202およびアドレス変換回路204へ格納する。連想メモリセルエントリENT1～ENTnへのデータ書込は、通常の手法を用いて行なわれる。すなわちエントリ選択信号線（ワード線）を選択状態として、元のアドレス信号をこのマッピングメモリへ与えることにより、選択された連想メモリセルエントリへ元のアドレス信号が格納される。

【0229】

一致信号は、一致線CHL1～CHLn上の信号を受けるORゲート215から出力される。一致線CHL1～CHLnのいずれかが活性状態とされると一致信号が活性状態とされる。このとき、一致を示す一致線に対応して設けられたリードゲートが導通し、対応のレジスタの内容が読出されてマルチプレクサへ与えられる。

10

【0230】

アドレスラッチ212としては、単にモード検出回路210の制御のもとに、それぞれ元のアドレス信号および転送アドレス信号格納領域に、与えられたアドレス信号を格納する構成が用いられればよい。

【0231】

以上のように、この発明の第3の実施の形態の構成に従えば、元のアドレス信号と転送先アドレス信号とをリンクして（対応付けて）格納し、与えられた信号がこの登録された元のアドレス信号と一致するときには、転送アドレス信号を内部アドレス信号として出力するように構成しているため、この半導体記憶装置において転送先のメモリセルへ容易にアクセスすることができ、たとえばあるメモリセルのデータの加工時に退避された加工前のデータを再びアクセスすることができる。また転送先アレイブロックのセンスアンプをキャッシュとして利用することができ、高速アクセスが可能となる。

20

【0232】

[実施の形態4]

図33は、この発明の第4の実施の形態である半導体記憶装置の動作を示す波形図である。以下、図33に示す波形図を参照してこの発明の第4の実施の形態である半導体記憶装置の動作について説明する。

【0233】

クロック信号CLKの立上がり時に、チップイネーブル信号CEをハイレベルとし、かつデータ保持指示信号KEEPをハイレベルとする。この状態においては、時刻T1において与えられたアドレス信号に従って、アレイブロックにおいてワード線WLAが選択され、この選択ワード線WLAに接続されるメモリセルのデータがビット線上に読出され、次いでセンスアンプが活性状態とされ、次いで列選択が行なわれ、データDA1が読出される。データ保持指示信号KEEPがハイレベルであるため、所定期間経過後にワード線WLAがローレベルに立下がっても、この選択アレイブロックにおいて、センスアンプは活性状態を維持する。

30

【0234】

時刻T2において再びチップイネーブル信号CEが与えられると、その時点において与えられたアドレス信号に従って別のアレイブロックにおいてワード線WLBが選択され、このワード線WLBの電位が立上がり、選択ワード線WLBに接続されるメモリセルのデータがビット対上に読出され、次いで列選択動作が行なわれ、このワード線WLBに接続するメモリセルのうち選択列上に配置されるメモリセルのデータDBが読出される。

40

【0235】

時刻T3において、時刻T1に与えられたアドレスと同じ行アドレスを指定するアドレス信号が与えられて、ワード線WLAが指定された場合、信号KEEPにより、このワード線WLAのデータはセンスアンプにより保持されているため、行選択動作は行なわれず、列選択動作のみが行なわれ、このワード線WLAに接続するメモリセルのうちの対応のメモリセルのデータDA2が読出される。以降、信号KEEPがハイレベルのある間、選択

50

アレイブロックにおいては、すべてセンスアンプが活性状態を維持しており、いずれかのアレイブロックにおいて選択動作が指定された場合には、列選択動作のみが行なわれ、対応のメモリセルのデータが読出される。

【0236】

上述の一連の動作により、この半導体記憶装置を信号KEEPに従ってこの半導体記憶装置をキャッシュとして利用することができるため、選択ワード線を再度アクセスする場合に、行選択動作が必要とされず、高速でデータの読出が可能となる。

【0237】

図34は、この発明の第4の実施の形態である半導体記憶装置のアレイ活性制御部の構成を示す図である。図34において、アレイブロックMBAのアレイ活性制御部の構成のみを示す。残りのアレイブロックMBb~MBdに対しても同様の構成が用いられる。

10

【0238】

図34において、アレイ活性制御部は、チップイネーブル信号CEに응答して活性化され、アドレスバッファ3からのブロックアドレス信号BAをデコードし、ブロック活性化信号braを出力するブロックデコーダ10aと、ブロックデコーダ10aからのブロック活性化信号braと後に説明する比較器272からの一致信号IHaに응答して、イコライズ信号EQaを選択的に活性/非活性状態とするイコライズ/プリチャージ制御回路220と、イコライズ/プリチャージ制御回路220からのイコライズ信号EQaの立下がりに응答して、所定期間活性状態とされるワード線選択動作活性化信号wlaを出力するワード線駆動制御回路240と、データ保持信号KEEPとワード線駆動制御回路240の出力する信号wlaと、比較器272からの一致信号IHaに응答して、センスアンプ活性化信号VpaおよびVnaを選択的に活性状態にするセンスアンプ制御回路260を含む。イコライズ/プリチャージ制御回路220およびセンスアンプ制御回路260の内部構成については後に説明する。ワード線駆動制御回路240の構成は、先の第2の実施の形態において説明したものと同様である。

20

【0239】

アレイ活性制御部はさらに、比較器272の出力信号IHaとデータ保持信号KEEPに응答して、アドレスバッファ3から与えられた内部行アドレス信号RAおよび内部ブロックアドレス信号BAをラッチするラッチ270を含む。このラッチ270は、データ保持信号KEEPの活性化時(ハイレベル)のとき、一致信号IHaが不一致を示す場合には、そのときに与えられた行アドレス信号RAおよびブロックアドレス信号BAをラッチする。またラッチ270は、データ保持信号KEEPの非活性化時(ハイレベルからローレベルへの移行時)、そのラッチデータがリセットされる。

30

【0240】

比較器272は、データ保持信号KEEPの活性化時、このラッチ270にラッチされたアドレス信号とアドレスバッファ3から与えられる行およびブロックアドレス信号とを比較し、その比較結果に従って一致信号IHaを活性状態または非活性状態に駆動する。

【0241】

Xデコーダ276に対しては、ブロック活性化信号braと一致信号IHaに従ってアドレスバッファ3からの内部行アドレス信号をラッチするRAラッチ274が設けられる。Yデコーダ279に対しては、ブロック活性化信号braに응答してアドレスバッファ3から与えられる内部列アドレス信号をラッチするCAラッチ278が設けられる。Xデコーダ276は、ワード線駆動制御回路240からのワード線選択動作活性化信号wlaに응答して活性化される。RAラッチ274は、比較器272からの一致信号IHaが一致を示す場合にはブロック活性化信号braが活性状態とされてもリセット状態を維持する。Yデコーダ279は、ブロック活性化信号braに응答して活性化される列選択制御回路280によりそのデコード開始タイミングが決定される。列選択制御回路280はまた、ブロック活性化信号braに응答して、所定のタイミングでブロック選択信号(ローカルI/O線とグローバルI/O線とを接続するゲート)を導通を制御するブロック選択信号TGAを活性状態とする。

40

50

【 0 2 4 2 】

Xデコーダ276からの出力信号(ワード線駆動信号)は、アレイブロックM B aに配設されるワード線W L上に伝達される。Yデコーダ279の出力信号は、アレイブロックM B aに対して配設されたビット線対B L Pに設けられた列選択ゲートS E Lへ与えられる。このアレイブロックM B aの各ビット線対B L Pに設けられたセンスアンプS A aは、センスアンプ制御回路260からのセンスアンプ活性化信号V p aおよびV n aに応答して活性状態とされる。次にこの図34に示す制御の動作をその動作波形図である図35および図36を参照して説明する。

【 0 2 4 3 】

図35は、通常動作時の動作を示す波形図である。通常動作時においては、データ保持信号K E E Pは非活性状態のローレベルを維持する。この場合には、比較器272は非活性状態とされ、その比較動作が禁止され、一致信号I H aはローレベルに固定される。チップイネーブル信号C Eの活性化に응答して、アドレスバッファ3からのブロックアドレス信号B Aがブロックデコーダ10aでデコードされ、ブロック活性化信号b r aが活性状態とされる。これに응答して、イコライズ/プリチャージ制御回路220からのイコライズ信号E Q aが非活性状態のローレベルとされる。ワード線駆動制御回路240は、このイコライズ/プリチャージ制御回路220からのイコライズ信号E Q aの非活性化に응答して、所定時間経過後、ワード線選択動作活性化信号w l aを活性状態として、Xデコーダ276へ与える。R Aラッチ274は、一致検出信号I H aが非活性状態にあるため、ブロック活性化信号b r aに응答して、アドレスバッファ3から与えられた内部行アドレス信号R AをラッチしてXデコーダ276へ与える。Xデコーダ276は、ワード線駆動制御回路240からの信号w l aに응答して活性化され、このR Aラッチ274から与えられたアドレス信号をデコードし、ワード線W L aを所定期間選択状態へと駆動する。このワード線W L aが選択状態とされる期間は、ワード線駆動制御回路240から出力される信号w l aにより決定される。選択ワード線W L aに接続されるメモリセルデータがビット線対B L Pへ与えられ、その電位差が十分に拡大されると、センスアンプ制御回路260からのセンスアンプ活性化信号V p aおよびV n aが活性状態とされ、ビット線対B L Pのデータが増幅される。

【 0 2 4 4 】

一方、C Aラッチ278は、ブロック活性化信号b r aの活性化に응答して、アドレスバッファ3から与えられた内部列アドレス信号をラッチしている。Yデコーダ279が列選択制御回路280の制御のもとに活性化され、このC Aラッチ278のラッチする内部列アドレス信号をデコードし、列選択信号を出力する。これにより、選択列に対応するビット線対B L Pが列選択ゲートおよびブロック選択ゲート(S E Lで示す)を介してグローバルI/O線に接続される。この後リード/ライトドライバR W D Rがリード/ライト信号W/Rへ응答して所定のタイミングで活性化され、入出力バッファを介してデータの出力が行なわれる。

【 0 2 4 5 】

図36は、データ保持信号が活性状態のときの動作を示す波形図である。データ保持信号K E E Pがハイレベルの活性状態のときには、既に、センスアンプ活性化信号V p aおよびV n aは活性状態を維持している。チップイネーブル信号C Eが活性状態とされると、アドレスバッファ3からの内部アドレス信号が確定状態とされる。比較器272が、このラッチ270にラッチされている行アドレス信号R Aおよびブロックアドレス信号B Aとアドレスバッファ3から与えられた内部行アドレス信号およびブロックアドレス信号を比較する。両者が同じ場合、すなわちアレイブロックM B aの同じワード線が選択状態とされる場合には、この比較器272からの一致信号I H aが活性状態とされる。この一致信号I H aの活性化に응答して、イコライズ/プリチャージ制御回路220はその動作が禁止され、前のサイクルの状態、すなわち、非活性状態のローレベルを維持する。したがってこの状態においては、ワード線駆動制御回路240からのワード線選択動作活性化信号w l aは非活性状態を維持し、R Aラッチ274およびXデコーダ276による、

10

20

30

40

50

新たなワード線の選択動作は禁止される。センスアンプ制御回路 260 は、この比較器 272 からの活性状態の一致信号 IHa に応答して、センスアンプ活性化信号 Vpa および Vna を活性状態に維持する。

【0246】

CA ラッチ 278 が、このチップイネーブル信号 CE と同時に与えられたアドレス信号から内部列アドレス信号をラッチし、Y デコーダ 279 が列選択制御回路 280 の制御のもとに活性化される。これにより、既に選択状態とされているセンスアンプ SAa にラッチされている 1 行のメモリセルデータのうち内部列アドレス信号が指定するメモリセルのデータが選択されてグローバル I/O バス GIO 上に伝達されて、次いでリード/ライトドライバ RWR を介して入出力バッファ（図示せず）へ与えられる。

10

【0247】

チップイネーブル信号 CE の活性化時に与えられるアドレス信号がセンスアンプに保持されているメモリセルの行アドレスと異なる行アドレスを指定する場合には、比較器 272 の出力信号は非活性状態を維持する。この場合には、イコライズ/プリチャージ制御回路 220 は、ブロックデコーダ 10a からのブロック活性化信号 bra の活性化に応答して、所定期間イコライズ信号 EQa をハイレベルに維持する。このときまた、センスアンプ制御回路 260 が比較器 272 からの非活性状態の一致信号 IHa に応答して、センスアンプ活性化信号 Vpa および Vna を非活性状態に維持する。これにより、センスアンプ SAa に保持されていたメモリセルのデータがリセットされる。次いで、ワード線駆動制御回路 240 が、このイコライズ信号 EQa の立下がりに応答して、所定のタイミングで信号 wla を活性状態とする。

20

【0248】

RA ラッチ 274 は、比較器 272 の非活性状態の一致検出信号 IHa とブロック活性化信号 bra の活性化とに応答して、アドレスバッファ 3 からの内部行アドレス信号 RA をラッチして X デコーダ 276 へ伝達する。X デコーダ 276 が、このワード線選択動作活性化信号 wla に応答して所定期間活性状態とされ、新たにアドレス指定された行に対応するワード線を選択状態とする。

【0249】

このワード線選択動作活性化信号 wla の活性化に応答して、センスアンプ制御回路 260 が、一定のタイミングでセンスアンプ活性化信号 Vpa および Vna を活性状態とする。これにより、新たにアドレス指定された行のメモリセルのデータがセンスアンプ SAa により検知、増幅され、かつラッチされる。次いで、CA ラッチ 278 にラッチされた内部列アドレス信号が Y デコーダ 279 でデコードされ、対応の列を指定する列選択信号が活性状態とされる。これにより、新たにアドレス指定されたメモリセルのデータがグローバル I/O バス GIO 上に伝達される。データ保持信号 KEP のハイレベルのとき、センスアンプ制御回路 260 は、ワード線駆動制御回路 240 からの信号 wla が非活性状態とされても、センスアンプ活性化信号 Vpa および Vna を活性状態に維持する。X デコーダ 276 は、この信号 wla の非活性化に応答してプリチャージ状態とされる。

30

【0250】

またラッチ 270 は、比較器 272 からの非活性状態の一致検出信号 IHa に応答して、アドレスバッファ 3 から与えられた内部行アドレス信号 RA および内部ブロックアドレス信号 BA をラッチする。これにより、選択状態とされているワード線を示すアドレス信号の更新が行なわれる。

40

【0251】

データ保持信号 KEP が非活性状態のローレベルとされると、ラッチ 270 のラッチするアドレス信号がリセットされ、またセンスアンプ制御回路 260 からのセンスアンプ活性化信号 Vpa および Vna も非活性状態とされ、イコライズ信号 EQa がハイレベルへ立上がる。

【0252】

50

〔イコライズ／プリチャージ制御回路の構成〕

図３７は、図３４に示すイコライズ／プリチャージ制御回路の構成および動作を示す図である。図３７（Ａ）において、プリチャージ／イコライズ回路２２０は、信号KEEPおよびbraを真入力に受け、信号IHaを補入力に受けるゲート回路２２１と、ゲート回路２２１の出力信号の立上がりに対応して、所定の時間幅を有するパルス信号を発生するパルス発生回路２２２と、信号KEEPおよびbraを受けるOR回路２２３と、OR回路２２３の出力信号の立上がりに対応して、所定期間ローレベルとなるパルス信号を発生するパルス発生器２２４と、信号KEEPに対応してパルス発生器２２２および２２４の一方を選択的に低下させるセクタ２２５と、信号KEEPの立上がりに対応して立上がりかつ信号braの立上がりに対応して立下がるパルス信号を発生するパルス発生器２２６と、パルス発生器２２６の出力信号とセクタ２２５の出力を受けるOR回路２２７を含む。OR回路２２７からイコライズ信号EQaが出力される。次にこの図３７に示すイコライズ／プリチャージ制御回路２２０の動作をその動作波形図である図３７（Ｂ）を参照して説明する。

10

【０２５３】

信号KEEPがローレベルのとき、ゲート回路２２１の出力信号はローレベルに固定される。セクタ２２５は、パルス発生器２２４からのパルス信号p3を選択する状態に設定される。パルス発生器２２６は、信号KEEPがローレベルに固定されるため、パルスを発生しない。

【０２５４】

20

OR回路２２３は、バッファ回路として機能し、信号braをバッファ処理してパルス発生器２２４へ与える。パルス発生器２２４は、このOR回路２２３からの信号の立上がりに対応して、所定期間ローレベルとされるパルス信号p3を発生する。セクタ２２５はこのパルス発生器２２４からのパルス信号p3を選択して通過させる。OR回路２２７はいま、バッファ回路として機能しており（パルス発生器２２６出力信号はローレベル）、イコライズ信号p3がイコライズ信号EQaとして出力される。

【０２５５】

一方、信号KEEPがハイレベルに立上がると、この立上がりに対応してパルス発生器２２６が出力信号p1をハイレベルに立上げる。これにより、OR回路２２７からのイコライズ信号EQaがハイレベルとされる。アレイブロックMBaがプリチャージ状態にあれば、イコライズ信号EQaはハイレベルを維持するだけであり、何ら状態変化は生じない。

30

【０２５６】

この状態でブロック活性化信号braが活性状態とされると、最初のサイクルにおいては、比較器（図３４参照）の出力する一致信号IHaは不一致を示すローレベルである（図３４に示すラッチ２７０は、信号KEEPの立上がりに対応してリセットされており、いずれの行をも指定していない）。これに対応して、ゲート回路２２１の出力信号がハイレベルに立上がり、パルス発生器２２２からのパルス信号p2が所定期間ハイレベルとされる。セクタ２２５は信号KEEPに従ってパルス発生器２２２の出力信号を選択している。パルス発生器２２６からのパルス信号p1は、ブロック活性化信号braの立上がりに対応してローレベルとされる。パルス信号p1およびp2は、そのハイレベルの期間が互いに重なり合うようにタイミングが設定される。したがって、イコライズ信号EQaが、所定期間経過後、ハイレベルからローレベルとされ、ワード線選択動作が開始される。

40

【０２５７】

次いでアクセスが行なわれ、ブロック活性化信号braおよび一致信号IHaがともにハイレベルとされると、この場合には、ゲート回路２２１の出力信号はローレベルであり、パルス発生器２２２からのパルス信号p2はローレベルを維持する。したがってイコライズ信号EQaもローレベルを維持する。

【０２５８】

50

次に再びブロック活性化信号 $b r a$ がハイレベルとなり、一致信号 $I H a$ がローレベルのときには、パルス発生器 222 からのパルス信号 $p 2$ が発生され、イコライズ信号 $E Q a$ が所定期間ハイレベルとされ、アレイブロック $M B a$ のプリチャージが行なわれる。この後、ワード線が選択され、新たなメモリセルデータの選択が行なわれる。信号 $K E E P$ がローレベルとされると、セレクト 225 がパルス発生器 224 からのハイレベル状態にあるパルス信号 $p 3$ を選択し、応じてイコライズ信号 $E Q a$ がハイレベルに立上がる。

【0259】

ワード線駆動制御回路の構成は、先の第 1 の実施の形態と第 2 の実施の形態において用いた構成を利用することができる。

【0260】

[センスアンプ制御回路の構成]

図 38 は、図 34 に示すセンスアンプ制御回路の構成および動作を示す図である。

【0261】

図 38 (A) において、センスアンプ制御回路 240 は、ワード線選択動作活性化信号 $w l a$ を所定時間遅延する遅延回路 241 と、遅延回路 241 の出力信号の立上がりに対応してセットされるセット/リセットフリップフロップ 242 と、遅延回路 241 の出力信号を所定時間遅延させかつその出力信号を反転する反転遅延回路 213 と、データ保持信号 $K E E P$ と反転遅延回路 243 の出力信号とを受ける NOR 回路 244 と、信号 $K E E P$ の立下がりに対応して所定時間ハイレベルとされるパルス信号を発生するパルス発生器 245 と、パルス発生器 245 の出力信号と、図 37 に示すパルス信号 $p 2$ を受ける OR 回路 246 と、NOR 回路 244 の出力信号と OR 回路 246 の出力信号とを受ける OR 回路 247 とを含む。フリップフロップ 242 は、この OR 回路 247 の出力信号の立上がりに対応してリセットされる。

【0262】

フリップフロップ 242 の補出力 $Z Q$ からの出力信号は、センスアンプ活性化信号 $V p a$ を出力する p チャネル MOS トランジスタ 249 のゲートへ与えられる。フリップフロップ 242 の Q 出力からの出力信号は、センスアンプ活性化信号 $V n a$ を出力する n チャネル MOS トランジスタ 248 のゲートへ与えられる。次に図 38 (B) に示す動作波形図を参照してこの図 38 (A) に示すセンスアンプ制御回路動作について説明する。

【0263】

信号 $K E E P$ がローレベルのとき、NOR 回路 244 は、インバータとして機能する。フルロック活性化信号 $b r a$ がハイレベルとされると、イコライズ信号 $E Q a$ がハイレベルからローレベルへ立下がり、このイコライズ信号 $E Q a$ の立下がりに対応して、所定期間ワード線選択動作活性化信号 $w l a$ がハイレベルとされる。この信号 $w l a$ の立上がりに対応して、フリップフロップ 242 が遅延回路 241 の出力信号に従ってセットされ、次いで反転遅延回路 243、NOR 回路 244 および OR 回路 247 により、所定時間経過後にリセットされる。これにより、センスアンプ活性化信号 $V p a$ および $V n a$ が所定時間活性化状態とされる。

【0264】

データ保持信号 $K E E P$ がハイレベルとされると、パルス信号 $p 2$ が所定期間ハイレベルされ、OR 回路 246 および 247 を介してフリップフロップ 242 がリセットされる。このときには、センスアンプ活性化信号 $V n a$ および $V p a$ はリセット状態（非活性化状態）にあり、何ら問題は生じない。パルス信号 $p 2$ がローレベルに立下がると、イコライズ信号 $E Q a$ がハイレベルからローレベルに立下がり、応じてワード線選択動作活性化信号 $w l a$ が所定期間ハイレベルの活性化状態とされる。このワード線選択動作活性化信号 $w l a$ の立上がりに対応して、フリップフロップ 242 が所定時間経過後にセットされ、センスアンプ活性化信号 $V n a$ および $V p a$ が活性化状態とされる。信号 $K E E P$ がハイレベルであり、NOR 回路 244 の出力信号はローレベルに固定されるため、このフリップフロップ 242 のリセットが禁止され、センスアンプ活性化信号 $V n a$ および $V p a$

10

20

30

40

50

は活性状態を維持する。

【0265】

信号 bra および IHa がともにハイレベルの活性状態とされる場合、イコライズ信号 EQa はローレベルを維持しており、センスアンプ活性化信号 Vna および Vpa も活性状態を維持している。

【0266】

信号 bra がハイレベルであり、信号 IHa がローレベルのとき、パルス信号 $p2$ がハイレベルとされ、フリップフロップ242がリセットされ、センスアンプ活性化信号 Vpa および Vna が非活性状態とされる。イコライズ信号 EQa がパルス信号 $p2$ に従ってハイレベルからローレベルとされると、ワード線選択動作活性化信号 $w1a$ が所定期間ハイレベルとされ、新たなワード線選択動作が行なわれる。このワード線選択動作活性化信号 $w1a$ の立上がりに応答して、フリップフロップ242が所定時間経過後にセットされ、センスアンプ活性化信号 Vpa および Vna が活性状態とされる。以降、上述の動作が繰返される。信号 $KEEP$ がハイレベルからローレベルへ立下がると、パルス発生器245が所定時間幅を有するパルス信号を出力し、OR回路246および247を介してフリップフロップ242がリセットされ、センスアンプ活性化信号 Vna および Vpa が非活性状態とされる。

【0267】

以上のように、この発明の第4の実施の形態に従えば、アレイブロックをそれぞれ独立に駆動可能とし、かつ各アレイブロックにおいてセンスアンプにデータを保持するように構成しているため、各アレイブロックをキャッシュとして利用することができ、高速アクセスが可能となる。

【0268】

なお、この第4の実施の形態において、ビット線対とセンスアンプとの間にビット線分離ゲートが設けられており、センスアンプの活性化/非活性化に応じてビット線対とセンスアンプとの接続/分離が行なわれる構成が用いられてもよい。この場合、ビット線分離信号 BLI の活性/非活性の制御は、ワード線選択動作活性化信号 $w1a$ に従って行なわれればよい。

【0269】

[実施の形態5]

図39は、この発明の第5の実施の形態である半導体記憶装置のアレイ部の構成を示す図である。図39において、この半導体記憶装置のアレイは、複数のアレイブロック $MB A \sim MB F$ に分割される。これらのアレイブロック $MB A \sim MB F$ それぞれに対応して、互いに独立に動作可能なアレイ活性制御回路 $300a \sim 300f$ がそれぞれ配置される。またアレイブロック $MB A \sim MB F$ それぞれに対応して、センスアンプおよびイコライズ回路を含むアレイ活性化回路 $310a \sim 310e$ が設けられる。アレイ活性化回路は、各ビット線対に対して設けられるセンスアンプ SA と、隣接するアレイブロックのビット線対をそれぞれ接続するためのトランスファージゲート 301 を含む。図39においては、アレイブロック $MB C$ および $MB D$ の間のアレイ活性化回路 $310c$ におけるビット線対 $BLPC$ および $BLPD$ に対して設けられる部分の構成を示す。センスアンプ SA は、トランスファージゲート $301cd$ の導通時、アレイブロック $MB D$ のビット線対 $BLPD$ に接続可能である。通常動作時においては、センスアンプ SA はアレイブロック $MB C$ のビット線対 $BLPC$ にトランスファージゲート $301cc$ を介して接続される。

【0270】

図40は、このアレイブロックそれぞれに対して設けられるアレイ活性化回路の構成をより拡大して示す図である。図40に示すように、アレイブロック $MB A$ および $MB B$ の間のセンス活性化回路 $310a$ は、アレイブロック $MB A$ のビット線対 $BLPA$ にトランスファージゲート $301aa$ を介して接続されかつトランスファージゲート $301ab$ を介してアレイブロック $MB B$ のビット線対 $BLPB$ に接続されるセンスアンプ $SA A$ を含む。アレイ活性化回路 $310b$ は、アレイブロック $MB B$ のビット線対 $BLPB$ にトランスファ

10

20

30

40

50

ーゲート301bbを介して接続されかつアレイブロックMBCのビット線対BLPCにトランスファークゲート301bcを介して接続されるセンスアンプSABを含む。アレイ活性化回路310cは、アレイブロックMBCのビット線対BLPCにトランスファークゲート301ccを介して接続されかつアレイブロックMBDのビット線対BLPDにトランスファークゲート301cdを介して接続されるセンスアンプSACを含む。他のアレイブロックについても同様の接続が行なわれる。トランスファークゲート301ab, 301bc, 301cd...は、転送制御回路315の制御のもとに導通状態とされる。この転送制御回路315の制御により、隣接アレイブロック間での1行のメモリセルデータの転送を行なうことができる。次にこの図39および図40に示す半導体記憶装置の動作をその動作波形図である図41を参照して説明する。

10

【0271】

この半導体記憶装置は、アレイブロック間でのデータ転送を指定する転送指示信号TRと、転送先のアレイブロックに対しデータをメモリセルに書込む書込指示信号TRWを含む。

【0272】

時刻T1において、クロック信号CLKの立上がりによりチップイネーブル信号CEがハイレベルとされ、転送信号brが活性状態とされ、書込指示信号TRWがローレベルに設定される。この場合には、時刻T1において確定状態とされたアドレス信号に従ってアドレス指定されたアドレスアレイブロックMB Aにおいてワード線WLAが選択され、この選択されたメモリセルデータの読出しが行なわれる。転送信号TRの活性化時、次のクロックサイクルT2において与えられたアドレス信号に従って転送先アレイブロックが指定される。この転送先アレイブロックに対して、時刻T1においてアドレス指定されたアレイブロックにおけるワード線WLAに接続されるメモリセルのデータが転送される。次いでこの転送先アレイブロックにおいてセンスアンプが活性化され、センスアンプにデータが保持される。

20

【0273】

時刻T3において、チップイネーブル信号CEが活性状態のハイレベルとされ、転送信号TRおよび書込指示信号TRWがともにハイレベルとされると、この時刻T3においてアドレス指定されたアドレス信号に従ってアレイブロックMB Aにおいてワード線WLAが選択され、この選択ワード線WLAに接続されるメモリセルのデータが読出され、センスアンプにより検知、増幅されてラッチされる。次のクロックサイクルT4において与えられたアドレス信号に従って、転送先アレイブロックにおいてワード線WLBが選択状態とされ、転送先アレイブロックにおいてセンスアンプが次いで活性化され、この選択されたワード線WLBに接続するメモリセルにワード線WLAに接続されるメモリセルデータが書込まれる。

30

【0274】

図42は、この発明の第5の実施の形態である半導体記憶装置のより詳細な内部転送動作を示す図である。図42においては、アレイブロックMB Aからそれに隣接するアレイブロックMB Bへのデータ転送動作が示される。転送指示信号TRのみが活性状態のとき、アドレスA1に従ってアレイブロックMB Aのワード線WLAが選択される。このときまた、ビット線分離信号BLI Aがハイレベルとされ、センスアンプSA Aとビット線対BLP Aとが接続され、ワード線WLAに接続されるメモリセルデータがビット線対BL Aに伝達される。次いでセンスアンプ活性化信号VpAおよびVnAが活性状態とされ、このビット線対BLP A上のデータが増幅されラッチされる。次いで、ワード線WLAおよびセンスアンプ活性化信号VpAおよびVnAの非活性化の後、転送指示信号TLI Aがハイレベルとされ、アレイブロックMB Bのビット線対BLP BがセンスアンプSA Aと接続される。イコライズ信号EQ Bはローレベルであり、フローティング状態のビット線対BLP Bが、このセンスアンプSA Aのセンスノードにラッチされたデータ（およびビット線対BLP Aの充電電荷）により充放電され、緩やかにその電位が変化する。この転送指示信号TLI Aのハイレベルへの移行と同期

40

50

してビット線分離信号 B L I B もハイレベルとされる。これにより、アレイブロック M B B のビット線対 B L P B がセンスアンプ S A B に接続され、センスアンプ S A B のセンスノードの電位が変化する。次いで、センスアンプ活性化信号 V p B および V n B が活性化され、このセンスアンプ S A B が動作し、ビット線対 B L P B の電位が差動的に増幅される。

【0275】

このセンスアンプ S A B の活性前に転送指示信号 T L I A はローレベルとされており、トランスファークロウ 301 a b はオフ状態とされる。アレイブロック M B A においては、この転送指示信号 T L I A の非活性化（ローレベル）に反応して、センスノードおよびビット線対のイコライズが行なわれる。このイコライズ完了後、ビット線分離信号 B L I A がローレベルとされる。

10

【0276】

アレイブロック M B B においては、ビット線分離信号 B L I B がローレベルとされる。このとき、ビット線対 B L P B およびセンスアンプ S A B はその増幅した電位を保持している。

【0277】

なお、このアレイブロック M B B においては、ビット線対 B L P B が中間電位にイコライズされ、センスアンプ S A B のみが増幅したデータを保持するように構成されてもよい。この構成は、イコライズ回路をビット線対に接続し、センスアンプとイコライズ回路の間にトランスファークロウが配置される構成が用いられれば容易に実現される。

20

【0278】

転送指示信号 T R と書込指示信号 T R W がともにハイレベルとされたときには、アドレス信号 A 3 および A 4 に従ってアレイブロック M B A においてワード線 W L A が選択され、センスアンプ S A A によりこのアドレス線 W L A に接続されるメモリセルデータが検知増幅される。アレイブロック M B B においてもワード線 W L B が選択される。転送指示信号 T L I A および B L I B がハイレベルとされると、このアレイブロック M B A のセンスアンプ S A A のセンスノードおよびビット線対 B L P A に保持された電荷がアレイブロック M B B のビット線対 B L P B 上に伝達される。アレイブロック M B A の電位は電源電位レベルおよび接地電位レベルへ充放電されており、アレイブロック M B B においてワード線 W L B が選択状態とされても、その選択メモリセルデータはアレイブロック M B A から転送されたデータに従って変化する。次いで、センスアンプ S A B が活性化され、このアレイブロック M B B に転送されたデータの検知増幅が行なわれ、ワード線 W L B に接続されるメモリセルへのデータの書込みが行なわれる。所定時間が経過すると、センスアンプ S A B が非活性状態とされ、次いでビット線対 B L P B およびセンスアンプ S A B のセンスノードのイコライズが行なわれる。このとき、センスアンプ S A B は持続的に増幅データを保持する構成が用いられてもよい。

30

【0279】

上述のような動作シーケンスを用いることにより、隣接アレイブロック間で1行のメモリセルデータを容易に転送することができる。この動作を繰返し実行すれば、1つのアレイブロックから複数のアレイブロックへ1行のメモリセルデータを転送することができ、たとえば画像データ処理において、画像の複製、塗り潰しなどの処理を高速で実現することができる。

40

【0280】

図43は、この発明の第5の実施の形態である半導体記憶装置の動作を実現するための制御系の構成を示す図である。図43において、制御は、チップイネーブル信号 C E に反応して、転送指示信号 T R および書込指示信号 T R W を受け、指定されたモードを検出するモード検出器 400 と、モード検出回路 400 の制御のもとに、アドレス信号をクロック信号に同期して取込むアドレスバッファ 410 と、モード検出回路 400 の転送指示検出時にアドレスバッファ 410 から与えられるアドレス信号を各クロックサイクルごとにラッチするアドレスラッチ 412 と、アドレスラッチ 412 に格納されたアドレス信号

50

をデコードするクロックデコーダ 414 と、このブロックデコーダ 414 からのブロック活性化信号 br とモード検出回路 400 からのモード検出信号に従ってビット線分離信号 BLI および転送指示信号 TLI を出力する転送制御回路 416 (図 40 の転送制御回路 315 に相当) と、ブロックデコーダ 414 からのブロック活性化信号にตอบสนองしてアドレス指定されたアレイブロックを活性化するアレイ活性制御回路 418 を含む。このアレイ活性制御回路 418 は、図 39 に示すアレイ活性制御回路 300a ~ 300f に対応する。

【0281】

アドレスラッチ 412 は、モード検出器 400 からの転送モード指示信号に従って、アドレスバッファ 410 から与えられる 2 つのアドレス信号をラッチするアドレスラッチ 412a および 412b を含む。このアドレスラッチ 412a および 412b にラッチされたアドレス信号は、図示しない X デコーダおよび Y デコーダへ転送される。データ転送時には、データの書込 / 読出が禁止されてもよい。またデータの書込 / 読出が最初にアドレス指定されたアレイブロックに対して行なわれる方式が用いられてもよい。

【0282】

転送制御回路 416 は、ブロックデコーダ 414 からのブロック活性化信号に従って、このブロック活性化信号が指定するアレイブロックに対して設けられる転送指示信号 TLI を所定のタイミングでハイレベルの活性状態とする。アレイ活性制御回路 418 は、このモード検出器 400 からの転送モード検出時には、転送制御回路 416 からの転送指示信号 TLI の非活性化にตอบสนองしてイコライズ信号 (図示せず) を活性状態とする。転送制御回路 416 は、またモード検出器 400 からの転送モード検出信号に従ってブロック活性化信号 br が指定するブロックおよび隣接する (または転送先) アレイブロックに対しビット線分離信号 BLI の活性 / 非活性を実行する。

【0283】

このアレイ活性制御回路 418 および転送制御回路 416 の内部詳細構成は示さないが、先の第 1 ないし第 3 の実施の形態に示した制御回路の構成を適用することにより容易に実現することができる。転送モードが指定されたとき、最初のアレイブロックにおけるセンスアンプの非活性化が行なわれてから隣接 (転送先) アレイブロックにおいてセンスアンプの活性化が行なわれる構成が用いられればよい。

【0284】

以上のように、この発明の第 5 の実施の形態に従えば、隣接アレイブロック間で 1 行のワード線のデータを転送可能としたため、高速で複製データを複製を行なうことができ、たとえば画像処理における塗り潰し処理などを容易に実現することができる。

【0285】

[実施の形態 6]

図 44 は、この発明の第 6 の実施の形態である半導体記憶装置の要部の構成を示す図である。この図 44 において、アレイブロックの間に配置されるセンスアンプの構成を示す。アレイブロックの配置は図 39 に示す配置と同じである。図 44 においては、ビット線対 BLP_A およびビット線対 BLP_B とセンスアンプ SA とを接続するためのトランスファークロウは示していない。

【0286】

センスアンプ SA は、センスアンプ活性化信号線 450 および 452 を介して伝達されるセンスアンプ活性化信号 V_n および V_p にตอบสนองして活性化される。これらセンスアンプ活性化信号 450、452 の間には、イコライズ信号 EQ にตอบสนองして導通して、センスアンプ活性化信号線 450 および 452 にそれぞれプリチャージ電位 V_{bl} を伝達する n チャネル MOS トランジスタで構成されるトランスファークロウ 454 および 456 が配置される。このセンスアンプ活性化信号線をイコライズするための回路部分において、さらにセンスアンプ活性化信号線 450 および 452 を電氣的に短絡するイコライズトランジスタが配置されてもよい。

【0287】

センスアンプ活性化信号線 450 および 452 それぞれに対し、センスアンプ駆動信号 B S・S N および B S・S P に応答して導通するセンスアンプ活性化トランジスタ 458 および 460 が設けられる。センスアンプ活性化トランジスタ 458 は、導通時センスアンプ活性化信号線 450 を接地電位に結合する。センスアンプ活性化トランジスタ 460 は、導通時、センスアンプ活性化信号線 452 を電源電位 V_{cc} (または高電圧 $V_{pp} > V_{cc}$) に結合する。センスアンプ駆動信号 B S・S N は、ブロック指定信号 B S とセンスアンプ駆動信号 S N の論理積信号であり、両者が活性状態とされたとき、ハイレベルの活性状態とされる。信号 B S・S P は、ブロック選択信号 B S とセンスアンプ活性化信号 S P の論理積信号であり、両者の信号が活性状態とされたとき、ローレベルの活性状態とされる。

10

【0288】

センスアンプ活性化信号線 450 に対し、さらに、接続タイミング信号 B S に応答してキャパシタ 470 の一方電極とセンスアンプ活性化信号線 450 とを接続する n チャンネル MOS トランジスタで構成されるトランスファークゲート 462 が配置される。センスアンプ活性化信号線 452 に対しては、接続タイミング信号 Z B S の活性化時に導通し、センスアンプ活性化信号線 452 をキャパシタ 475 の一方電極に伝達する p チャンネル MOS トランジスタで構成されるトランスファークゲート 464 が配置される。キャパシタ 470 および 475 は、複数のアレイブロック (図 44 に示す) に対し共通に配置される。この接続タイミング信号 B S および Z B S は、センスアンプ活性化信号の B S・S N および B S・S P の非活性化から活性化の移行の前に所定期間活性状態とされ、かつセンスアンプ活性化信号 B S・S N および B S・S P の活性化から非活性化の後所定期間導通状態とされる。次にこの図 44 に示す回路の動作をその動作波形図である図 45 を参照して説明する。

20

【0289】

対応のアレイブロックの非選択時においては、信号 B S がローレベル、信号 Z B S がハイレベルであり、トランスファークゲート 462 および 464 はともに非導通状態にある。キャパシタ 470 および 475 はそれぞれ前のサイクルにおいて充放電されている。キャパシタ 470 の充電電位は中間電位よりも低く、キャパシタ 475 の充電電位は中間電位よりも高くされる (これについては後に詳細に説明する)。

【0290】

アレイブロックが指定されると、この指定されたアレイブロックに対するイコライズ信号 E Q がブロック活性化信号に従ってハイレベルからローレベルへ移行し、センスアンプ活性化信号線 450 および 452 のイコライズが停止される。センスアンプ活性化信号線 450 および 452 に対するイコライズ信号 E Q は、ビット線対 B L P に対して設けられたイコライズ/プリチャージ回路に対して与えられるイコライズ信号と別な信号であってもよい。すなわちこの図 44 に示すセンスアンプ活性化信号線に対するイコライズ信号 E Q は、センスアンプの非活性化時においてのみハイレベルの活性状態とされる構成が用いれてもよい。

30

【0291】

イコライズ信号 E Q がローレベルとされて所定期間が経過すると、図示しないワード線選択動作活性化信号 w l がハイレベルとされ、アドレス指定されたアレイブロックにおいて対応のワード線が選択状態とされる (アドレス指定されたアレイブロックにおいてワード線が選択状態とされるとき)。次いで所定時間が経過すると (各ビット線対に選択メモリセルデータが読出された後)、制御タイミング信号 B S が所定期間ハイレベルとされ、また信号 Z B S が所定時間ローレベルとされる。これにより、トランスファークゲート 462 および 464 が導通し、キャパシタ 470 および 475 に充電された電荷がセンスアンプ活性化信号線 450 および 452 にそれぞれ伝達される。これにより、キャパシタ 470 の充電電荷によりセンスアンプ活性化信号 V_n が中間電位からその電位レベルが低下し、またそのキャパシタ 475 からの充電電荷により、センスアンプ活性化信号 V_p が中間電位からその電位が上昇する。このキャパシタ 470 および 475 からの充電電荷に

40

50

より、センスアンプ活性化信号 V_n および V_p が活性化され、センスアンプ S_A が活性化状態とされ、センス動作を開始する。

【0292】

次いでタイミング信号 BS および ZBS が非活性状態とされると、次いでセンスアンプ駆動信号 $BS \cdot SN$ および $BS \cdot SP$ が活性状態とされ、センスアンプ活性化トランジスタ 458 および 460 が導通し、センスアンプ活性化信号 V_n がローレベル、センスアンプ活性化信号 V_p がハイレベルとされる。これにより、センスアンプ S_A が、対応のビット線対 BLP_A または BLP_B 上の電位をそれぞれ接地電位レベルおよび電源電位レベルへ高速で駆動する。このセンスアンプ S_A の活性化時に、キャパシタ 470 および 475 の充電電荷を利用することによりセンスアンプ活性化信号線 450 から接地電位へ流れる電荷およびセンスアンプ活性化信号線 452 へ電源電位（または高電圧印加ノード）から流入する電荷量を低減することができ、消費電流を低減することができる。またキャパシタ 470 および 475 の充電電荷によりセンスアンプ S_A を駆動することにより、センスアンプ S_A の活性化時、センスアンプ活性化信号 V_n および V_p の比較的緩やかに変化して、センスアンプ S_A が緩やかにセンス動作をし、確実に対応のビット線対 BLP_A （または BLP_B ）の電位を増幅することができる。

10

【0293】

センス動作が完了し、所定期間が経過すると、ワード線選択動作活性化信号 $w1$ がハイレベルからローレベルとなり、またセンスアンプ駆動信号 $BS \cdot SN$ および $BS \cdot SP$ も非活性状態のローレベルおよびハイレベルとされる。これにより、センスアンプ活性化トランジスタ 458 および 460 が非導通状態とされる。このセンスアンプ駆動信号 $BS \cdot SN$ および $BS \cdot SP$ の非活性化に応答して、制御タイミング信号 BS が所定期間ハイレベルとなり、また制御タイミング信号 ZBS が所定期間ローレベルとされる。このときまだ、イコライズ信号 EQ はローレベルを維持している。したがって、センスアンプ活性化信号線 450 がトランスファークロウ 462 を介してキャパシタ 470 に接続され、またセンスアンプ活性化信号線 452 がトランスファークロウ 464 を介してキャパシタ 475 を接続される。これにより、キャパシタ 470 の一方電極電位が低下し、またキャパシタ 475 の電位がセンスアンプ活性化信号線 452 からの充電電荷により上昇する。キャパシタ 470 および 475 の充電電位は、キャパシタ 470 および 475 のそれぞれの容量値とセンスアンプ活性化信号線 450 および 452 の寄生容量の容量値の比により決定される。センスアンプ活性化信号線 450 および 452 の充電電荷をキャパシタ 470 および 475 へ格納することにより、次のサイクルにおいてキャパシタ 470 および 475 の充電電荷を利用することができ、センスアンプ駆動のための消費電流を低減することができる。制御タイミング信号 BS および ZBS が非活性状態とされると、イコライズ信号 EQ がハイレベルとされ、トランスファークロウ 454 および 456 が導通し、センスアンプ活性化信号線 450 および 452 がプリチャージ電位 V_{bl} にプリチャージされかつイコライズされる。

20

30

【0294】

図 46 は、この発明の第 6 の実施の形態である半導体記憶装置の 1 つのアレイブロックのためのアレイ活性制御回路の構成を示す図である。図 46 においては、アレイ活性制御回路 300（図 43 に示すアレイ活性制御回路 418 のうちの 1 つのアレイブロックに対して設けられる回路部分）は、チップイネーブル信号 CE の活性化時に活性化され、図示しないアドレスバッファから与えられたブロックアドレス信号 BA をデコードしてブロック活性化信号 br を出力するブロックデコーダ 500 と、このブロックデコーダ 500 からのブロック活性化信号 br に従って、イコライズ信号 EQ を選択的に非活性化するイコライズ/プリチャージ制御回路 510 と、イコライズ/プリチャージ制御回路 510 からのイコライズ信号 EQ とモード検出回路 400 からのモード検出信号に従ってワード線選択動作活性化信号 $w1$ を出力するワード線駆動制御回路 520 を含む。このワード線駆動制御回路 520 は、モード検出回路 400 からのモード検出信号が対応のアレイブロックにおけるワード線非選択を示すときには、このワード線選択動作活性化信号 $w1$ を

40

50

ローレベルの非活性状態に維持する。なお、図46においては、モード検出回路400はブロックデコーダ500からのブロック活性化信号 br に従って、アドレス指定された回路部分に対し、それぞれモード検出信号および転送指示信号 M を発生するように示される。このモード検出回路400は、先の図39に示すモード検出回路と同様の構成を備える。

【0295】

アレイ活性制御回路300は、さらにモード検出回路400からの転送モード指示信号 M に従って、後に説明する転送制御回路416aからの転送指示信号 Ti およびワード線選択動作活性化信号 $w1$ の一方を選択するセレクタ531と、セレクタ531から与えられる信号を所定時間遅延する遅延回路532aと、遅延回路532aの出力信号の立上りに応答してワンショットのパルス信号を発生するワンショットパルス発生器533aと、セレクタ531の出力信号を所定時間遅延する遅延回路532bと、ワンショットパルス発生回路533aの出力するパルス信号の立下りに応答してセットされかつ遅延回路532bの出力信号の立上りに応答してリセットされるセット/リセットフリップフロップ534を含む。フリップフロップ534の真出力 Q からセンスアンプ駆動信号 $BS \cdot SN$ が出力され、補出力 ZQ からセンスアンプ駆動信号 $BS \cdot SP$ が出力される。

10

【0296】

センスアンプ制御回路300は、さらに、フリップフロップ534から出力されるセンスアンプ駆動信号 $BS \cdot SP$ の立上りに応答してワンショットのパルス信号を発生するパルス発生回路533bと、ワンショットパルス発生回路533aおよび533bのパルス信号を受けるOR回路535と、OR回路535の出力信号を受けるインバータ536を含む。OR回路535から、制御タイミング信号 BS が出力され、インバータ536から制御信号 ZBS が出力される。

20

【0297】

このセンスアンプ制御回路530は、さらに、インバータ536の出力信号の立上りに応答して所定の時間幅を有するパルス信号を出力するパルス発生回路533cと、センスアンプ駆動信号 $BS \cdot SN$ の立下りに応答してワンショットのパルス信号を出力するパルス発生回路533dと、パルス発生回路533cおよび533dの出力信号を受けるAND回路537を含む。このAND回路537からのリセット信号 RST がハイレベルとされると、イコライズ/プリチャージ制御回路510からのイコライズ信号 EQ が非活性状態から活性状態のハイレベルとされる（イコライズ信号 EQ のリセットが行なわれる）。

30

【0298】

転送制御回路416aは、モード検出回路からの転送モード検出信号 M に応答して、イコライズ信号 EQ の活性化から非活性化に従って、所定のタイミングで（第5の実施の形態参照）ビット線分離信号 BLI および転送ゲート接続信号 TLI および内部データ転送信号 Ti をそれぞれ選択的に活性/非活性状態とする。

【0299】

この図46に示すセンスアンプ制御回路300の構成においては、転送モード検出信号 M は、データ転送を受けるアレイブロックに対して活性状態とされ、データ転送するアレイブロックにおいては通常動作時と同様の非活性状態に設定される。セレクタ531は、この転送モード検出信号 M が転送モードを示すときには、内部転送信号 Ti を選択し、転送モード検出信号 M が非活性状態にあり、データ転送を受けることを示さないときには、ワード線選択動作活性化信号 $w1$ を選択する。

40

【0300】

この転送指示信号 Ti は、所定のタイミングで発生され、アレイブロック間においてビット線対の接続が行なわれて所定期間経過して再びアレイブロック間が分離された後に活性状態とされるタイミングで発生される。

【0301】

セレクタ531の出力信号はハイレベルとされ、所定期間が経過すると、ワンショットの

50

パルス信号がワンショットパルス発生回路 5 3 3 a から出力される。これにより信号 B S がハイレベル、信号 Z B S がローレベルとされる。このワンショットパルス発生回路 5 3 3 a からのパルス信号の立下がりに対応して、フリップフロップ 5 3 4 がセットされ、センスアンプ駆動信号 B S ・ S N がハイレベル、センスアンプ駆動信号 B S ・ S P がローレベルとされ、センスアンプが活性化される。センスアンプの活性化期間が経過すると、すなわち遅延回路 5 3 2 b の出力信号がハイレベルに立上がり、フリップフロップ 5 3 0 がリセットされ、センスアンプ駆動信号 B S ・ S N がローレベル、センスアンプ駆動信号 B S ・ S P がハイレベルとされる。パルス発生回路 5 3 3 b がこのセンスアンプ駆動信号 B S ・ S P の立上がりに対応して、ワンショットのパルス信号を発生する。これにより再び制御タイミング信号 B S がハイレベル、制御信号 Z B S がローレベルとされる。

10

【 0 3 0 2 】

センスアンプ駆動信号 B S ・ S N のハイレベルからローレベルの立下がりに対応して、パルス発生回路 5 3 3 d がワンショットのパルス信号を発生し、またパルス発生回路 5 3 3 c が、制御タイミング信号 Z B S の立上がりに対応してワンショットのパルス信号を発生する。このパルス発生回路 5 3 3 c および 5 3 3 d の出力するパルス信号がともにハイレベルとなると、リセット信号 R S T がハイレベルとされ、イコライズ信号 E Q がハイレベルとされる。パルス発生回路 5 3 3 c および 5 3 3 d を用いることにより、センスアンプの非活性化から活性化への移行時に誤ってイコライズ信号 E Q がリセットされるのを防止することができ、確実にセンス動作が完了し、かつキャパシタへの電荷の充電の完了後、イコライズ信号 E Q をハイレベルへ駆動することができる。

20

【 0 3 0 3 】

図 4 7 は、図 4 0 に示すキャパシタ 4 7 0 の構成を示す図である。図 4 7 (A) においては、キャパシタ 4 7 0 は、M O S キャパシタで構成される。この M O S キャパシタ 4 7 0 は、そのゲートが電源電位を受けるように接続され、ドレイン、ソースおよび基板が共通に結合されて、センスアンプ活性化信号線 4 5 0 に結合される。図 4 7 (B) に示す構成においては、キャパシタ 4 7 0 は、逆バイアスされた P N ダイオードで構成される。すなわち、このダイオード 4 7 0 のカソードが電源電位を受けるように接続され、アノードが信号線 4 5 0 に結合される。

【 0 3 0 4 】

30

図 4 8 は、図 4 4 に示すキャパシタ 4 7 5 の構成を示す図である。図 4 8 (A) におけるキャパシタ 4 7 5 は、そのゲート、ソースおよび基板が接地電位を受けるように結合され、そのゲートがセンスアンプ活性化信号線に結合される n チャネル M O S トランジスタで構成される。ゲート電位が、そのソースおよびドレイン電位よりも高くなるため、M O S トランジスタにチャンネルが形成され、このチャンネルがキャパシタ 4 7 5 の他方電極として機能する。図 4 8 (B) に示すキャパシタ 4 7 5 は、ゲートが接地電位に接続され、そのソース、ドレインおよび基板領域がセンスアンプ活性化信号線 4 5 2 に結合される p チャネル M O S トランジスタで構成される。この場合、ゲート電位は、ソースおよびドレイン電位よりも低いいため、同様にチャンネルが形成され、キャパシタ 4 7 5 の一方電極として機能する。図 4 8 (C) に示すキャパシタ 4 7 5 は、逆バイアスされた P N ダイオードで構成される。この P N ダイオードは、アノードが接地電位を受けるように接続され、カソードが信号線 4 5 2 に結合される。

40

【 0 3 0 5 】

図 4 9 は、アレイブロック M B A ~ M B A のセンスアンプ活性化信号 V p a ~ V p f それぞれとキャパシタ 4 7 5 との接続を示す図である。図 4 9 において、キャパシタ 4 7 5 の一方電極はトランスファ (セレクト) 4 6 4 a ~ 4 6 4 f を介してセンスアンプ活性化信号線 4 5 2 a ~ 4 5 2 f にそれぞれ接続される。トランスファークゲート 4 6 4 a ~ 4 6 4 f の各々は、制御タイミング信号 Z B S a ~ Z B S f に対応して導通される。図 4 9 においては、またセンスアンプ活性化信号線 4 5 2 a および 4 5 2 f それぞれに対して設けられるセンスアンプ駆動トランジスタ 4 6 0 a および 4 6 0 f を代表的に示す。センス

50

アンプ駆動トランジスタ460aは、センスアンプ駆動信号BSa・SPaにตอบสนองして導通し、センスアンプ駆動トランジスタ460fは、センスアンプ駆動信号BSf・SPfにตอบสนองして導通する。この図49に示す構成を利用することにより、データ転送時において、選択アレイブロックにおいて、センスアンプ駆動信号を活性化するために利用された電荷を、別のアレイブロックのセンスアンプの活性化時に再利用することができ、消費電流を低減することができる。

【0306】

図50は、キャパシタの配置を示す図である。図50においては、2つのアレイブロックMB AおよびMB Bの間に配置されるセンスアンプ帯SABにおけるセンスアンプSAを代表的に示す。アレイブロックMB AおよびMB Bには、それぞれワード線シャント領域WSが設けられる。ワード線シャント領域WSにおいては、ポリシリコン等で構成される比較的高抵抗のワード線が、その上層に形成されるたとえばアルミニウムなどで形成される低抵抗導体にコンタクト孔CTを介して接続される。この領域においては、ビット線は存在しない。この領域においてキャパシタCaおよびCbを形成し、かつトランスファークロウ462および464を配置する。図50においては、キャパシタCaおよびCbは、それぞれアレイブロックMB Aにおいてのみ設けられるように示される。しかしながら、並行電極型キャパシタを用いる（ワード線シャント用の低抵抗導体よりも上層の配線層を利用する）、またはPN接合を利用する構成を用いれば、このワード線シャント領域に、複数のアレイブロック（MBA～MBF）に対し共通にキャパシタを形成することができる。PN接合容量を用いる場合、ワード線シャント領域において基板領域にNウェル（またはPウェル）を形成し、その表面にP不純物領域（またはN不純物領域）を形成する。ワード線シャント領域WSにおけるコンタクト孔CTの影響を受けることなくすべてのアレイブロックに共通なキャパシタを形成することができる。

【0307】

なおすべてのアレイブロックに共通にキャパシタを設けるのではなく、各アレイブロックそれぞれに対しセンスアンプ活性化信号の充電電荷を再利用するためのキャパシタが個々に設けられてもよい。

【0308】

[他の構成の適用例]

図51は、この発明の第6の実施の形態の他の半導体記憶装置の適用例を示す図である。図51においては、標準のDRAMの動作波形が示される。標準のDRAM（ダイナミック・ランダム・アクセス・メモリ）においては、外部からのロウアドレスストローク信号ZRASが立下がるとメモリサイクルが始まり、そのときに与えられたアドレス信号に従ってワード線の選択が行なわれ、選択ワード線WLの電位が上昇する。この後、所定期間経過後に、制御タイミング信号BSをハイレベルとし、かつ制御タイミング信号ZBSをローレベルとする。この信号BSおよびZBSが非活性招待とされた後、センスアンプ駆動信号BS・Snをハイレベルとし、センスアンプ駆動信号BS・Spをローレベルとし、センスアンプを高速で活性化する。これにより、センスアンプ活性化信号Vn、Vpは、信号BSおよびZBSに従って緩やかに上昇した後、センスアンプ駆動信号BS・SnおよびBS・Spにตอบสนองして急速に立上がる。これによりビット線電位高速で差動的に電源電位および接地電位にまで駆動される。

【0309】

ロウアドレスストローク信号ZRASがローレベルからハイレベルへ立上がると、1つのメモリセルサイクルは完了する。このロウアドレスストローク信号ZRASの立上がりに対応して、センスアンプ駆動信号BS・Snがローレベルとされ、センスアンプ駆動信号BS・Spがハイレベルとされる。そのとき、センスアンプ駆動信号BS・SnおよびBS・Spの非活性化に対応して、制御タイミング信号BSおよびZBSが所定期間ハイレベルおよびローレベルとそれぞれされる。タイミング信号BSおよびZBSが非活性状態とされた後、イコライズ信号EQがハイレベルとされる。

【0310】

10

20

30

40

50

上述のような動作シーケンスを利用することにより、標準のＤＲＡＭにおいても、センスアンプ活性化のために用いられた電荷をセンスアンプ駆動回路部分で再利用することができ、センスアンプ駆動のために必要とされる消費電流を低減することができる。

【０３１１】

以上のように、この発明の第６の実施の形態の構成に従えば、センスアンプ活性化信号線を選択的にキャパシタに接続するように構成したため、センスアンプ活性化のために消費された電荷を再利用することができ、センスアンプ駆動時における消費電流を低減することができる。

【０３１２】

[実施の形態 ７]

図５２は、この発明の第７の実施の形態である半導体記憶装置の動作を示す波形図である。この第７の実施の形態において用いられる半導体記憶装置のアレイ構造は、図３９に示すアレイ構造と同様の構成を備える。すなわち、隣接アレイブロックは、トランスファークラップゲート３０１　　を介して相互接続される。すなわち、伝送指示信号ＴＬＩ　　に従ってアレイブロックＭＢ　　に設けられたセンスアンプは隣接アレイブロックＭＢ　　のビット線対に接続される。以下、図５２および図３９を参照してこの発明の第７の実施の形態の半導体記憶装置の動作について説明する。アレイブロックＭＢ　　（ＭＢＡ～ＭＢＦのいずれか）は、センスアンプＳＡ　　が活性状態にあり、１行のメモリセルデータを保持している。図５２においては、ワード線ＷＬＡも活性状態とされている状態が示されるが、ワード線ＷＬＡは非活性状態とされてもよい（図５２において破線で示す）。この状態において、外部からリフレッシュ指示信号ＲＥＦまたは内部リフレッシュ指示信号　　（ＲＥＦ）が与えられ、アレイブロックＮＢ　　のリフレッシュ動作が指定された場合を考える。センスアンプＳＡ　　がそのセンスノードに保持するデータは、リフレッシュにより消去されるべきではない。この状態においては、選択状態とされたワード線ＷＬＡが非選択状態とされ、かつセンスアンプ活性化信号　　（Ｖｐｎａ（ＶｐａおよびＶｎａを含めて示す）が非活性状態とされる。センスアンプ活性化信号　　が非活性状態とされた後、転送指示信号ＴＬＩ　　が所定期間活性状態とされ、ビット線対ＢＬＰＡ（図５２には示さず）およびセンスアンプＳＡ　　のセンスノードが隣接アレイブロックＭＢ　　のビット線対ＢＬＰＢに接続され、センスアンプＳＡ　　のセンスノードに保持されていた電荷が隣接アレイブロックＭＢ　　のビット線対ＢＬＰＢに伝達され、ビット線対ＢＬＰＢの電位が変化する。

【０３１３】

転送指示信号ＴＬＩ　　が非活性状態とされ、アレイブロックＭＢ　　とアレイブロックＭＢ　　が再び切り離されると、アレイブロックＭＢ　　においては、後に示すリフレッシュアドレス信号に従ってワード線ＷＬＡ　　が選択状態とされ、同時にビット線分離信号ＢＬＩ　　のハイレベルとされ、このリフレッシュ行に対応するワード線ＷＬ　　に接続されるメモリセルデータがセンスアンプＳＡ　　のセンスノードに伝達される。次いでセンスアンプ活性化信号　　（Ｖｐｎａ）が活性状態とされ、このワード線ＷＬＡ　　に接続されるメモリセルデータの検知、増幅が行なわれ、この増幅されたデータがワード線ＷＬＡ　　に接続されるメモリセルへ書込まれる。これにより、リフレッシュ行に対応するワード線ＷＬＡ　　に接続されるメモリセルのデータがリフレッシュされる。

【０３１４】

リフレッシュサイクルが完了すると、すなわち、ワード線ＷＬＡ　　が非選択状態とされ、センスアンプ活性化信号　　（Ｖｐｎａ）が非活性状態とされ、ビット線分離信号ＢＬＩ　　がローレベルとされると、次いで転送指示信号ＴＬＡ　　が所定期間ハイレベルとされる。これにより、隣接アレイブロックＭＢ　　に退避されていたデータが再びアレイブロックＭＢ　　のセンスアンプＳＡ　　のセンスノードに伝達される。このとき、単にセンスアンプＳＡ　　のセンスノードに保持されていた電荷がビット線対ＢＬＰＢへ伝達され、再びセンスアンプＳＡ　　へ転送されるだけであり、センスアンプＳＡ　　のセンスノードはその電位が十分容易にプリチャージ電位から変化する。その後、転送指示信号ＴＬＩ　　

10

20

30

40

50

Aの非活性化後センスアンプ活性化信号 V_{pna} が活性状態とされ、センスアンプ S_A のセンスノード電位が増幅され、アレイブロック M_B に退避されていたデータが再び増幅されてセンスアンプ S_A のセンスノードに保持される。これにより、センスアンプ S_A のセンスノードに保持されていたデータ（キャッシュデータ）は、再びキャッシュバック（復元）される。

【0315】

アレイブロック M_B においては、転送指示信号 TLI が最初に活性化されたときに、ビット対 $BLPB$ はフローティング状態とされており、最後に再び転送指示信号 TLI が所定期間活性状態とされた後、ビット線対 $BLPB$ はイコライズ/プリチャージされる。

10

【0316】

図53は、この発明の第7の実施の形態である半導体記憶装置の制御部の構成を示す図である。図53において、この発明の第7の実施の形態に従う半導体記憶装置の制御部は、外部から与えられるリフレッシュ指示信号 REF に応答してリフレッシュ指示信号 ref を出力するリフレッシュ制御回路600と、リフレッシュ制御回路600からのリフレッシュ指示信号に従ってリフレッシュ行を示すリフレッシュアドレスを出力し、かつリフレッシュ完了時に、そのカウント値が増分されるリフレッシュカウンタ602とを含む。このリフレッシュカウンタ602は、アレイブロックを指定するブロックアドレス BA およびアレイブロックにおけるワード線を指定する行アドレス信号 RA を出力する。

【0317】

20

この制御部は、さらに、アレイブロック $MBA \sim MBF$ それぞれに対応して設けられるアレイ活性制御回路620a～620fを含む。アレイ活性制御回路620a～620fはそれぞれ同じ構造を備えており、図53においては、アレイ活性制御回路620aの構成のみを示す。アレイ活性制御回路620aは、ブロックデコーダ618からのブロック活性化信号に応答して活性化され、アレイブロックのイコライズ/プリチャージ動作を制御するイコライズ/プリチャージ制御回路621と、イコライズ/プリチャージ制御回路621からのイコライズ指示信号の変化に応答して、ワード線選択動作活性化信号およびビット線分離信号 $BLIA$ を出力するワード線駆動制御回路624と、ワード線駆動制御回路624からのワード線選択動作活性化信号 $w1$ に応答してセンスアンプ活性化信号を出力するセンスアンプ制御回路626を含む。センスアンプ制御回路626からセンスアンプ活性化信号 V_{pna} が出力される。アレイ活性制御回路620b～620f各々から、センスアンプ活性化信号 $V_{pnb} \sim V_{pnf}$ が出力される。

30

【0318】

制御部は、さらに、アレイ活性制御回路620a～620fからのセンスアンプ活性化信号 $V_{pna} \sim V_{pnf}$ とリフレッシュ制御回路600からのリフレッシュ指示信号 REF を受け、リフレッシュ動作に必要な転送などの調停動作を行なうリフレッシュ調停回路610と、リフレッシュ調停回路610の出力信号に従って転送指示信号 TLI を出力する転送制御回路615を含む。この半導体記憶装置の制御部は、さらに、リフレッシュ調停回路610の制御のもとに、リフレッシュカウンタ602からのリフレッシュブロックアドレス信号 BA と外部から与えられるアドレス信号に含まれるブロックアドレス信号 BA の一方を選択してブロックデコーダ618に与えるセクタ616aと、リフレッシュ調停回路610の制御のもとに、リフレッシュ回路602から与えられるリフレッシュ行アドレス信号 RA と外部から与えられるアドレス信号に含まれる行アドレス信号 RA の一方を選択して図示しないXデコーダへ与えるセクタ616bを含む。

40

【0319】

リフレッシュ調停回路610は、アレイ活性制御回路620a～620fから出力されるセンスアンプ活性化信号 $V_{pna} \sim V_{pnf}$ の状態をモニタし、いずれのセンスアンプ活性化信号が活性状態にあるかを常時モニタする。リフレッシュ指示信号 ref が与えられたとき、リフレッシュ調停回路610は、リフレッシュカウンタ602からのリフレッシュブロックアドレス信号 BA に従って、このリフレッシュブロックアドレス信号

50

B A が指定するアレイブロックにおけるセンスアンプ活性化信号 V p n a が活性状態にあるか否かを識別する。リフレッシュブロックアドレス信号 B A が指定するアレイブロックにおいて、センスアンプ活性化信号 V p n が非活性状態のときには、リフレッシュ調停回路 6 1 0 はこのリフレッシュ指示信号 r e f に応答してセクタ 6 1 6 a および 6 1 6 b をそれぞれリフレッシュカウンタ 6 0 2 からのリフレッシュブロックアドレス信号およびリフレッシュ行アドレス信号 B A および R A を選択する状態に設定し、次いでブロックデコーダ 6 1 8 を活性状態とする。それにより、リフレッシュブロックアドレス信号 B A が指定するアレイブロックにおいてリフレッシュ行アドレス信号 R A に対応するワード線が選択状態とされ、このリフレッシュ行アドレスに対応するワード線に接続されるメモリセルのデータのリフレッシュが実行される。

10

【 0 3 2 0 】

リフレッシュ制御回路 6 0 0 からリフレッシュ指示信号 r e f が与えられたときにセンスアンプ活性化信号 V p n a ~ V p n f のいずれかが活性状態にあるときには、リフレッシュ調停回路 6 1 0 は、リフレッシュカウンタ 6 0 2 から与えられるリフレッシュブロックアドレス信号 B A が指定するアレイブロックのセンスアンプ活性化信号 V p n が活性状態にあるか否かを識別する。このリフレッシュブロックアドレス信号 B A が指定するアレイブロックのセンスアンプ活性化信号が活性状態にあるとき、リフレッシュ調停回路 6 1 0 は、ブロックデコーダ 6 1 8 を非活性状態に維持し、イコライズ/プリチャージ制御回路 6 2 1 からのイコライズ信号をハイレベルとし、かつ選択状態のワード線を非選択状態としかつセンスアンプ制御回路 6 2 6 からのセンスアンプ活性化信号を非活性状態とする。この図 5 3 においてはリフレッシュ調停回路 6 1 0 からのワード線駆動制御回路 6 2 4 およびセンスアンプ制御回路 6 2 6 への制御経路は示していない。この構成は、単にリフレッシュ調停回路 6 1 0 からワード線駆動制御回路 6 2 4 およびセンスアンプ制御回路 6 2 6 へリセット信号が与えられる構成が利用されればよい。

20

【 0 3 2 1 】

リフレッシュ調停回路 6 1 0 は、活性状態のセンスアンプ活性化信号 V p n を非活性状態とした後、次いで転送制御回路 6 1 5 へ、このブロックアドレス信号 B A に従って転送指示を行なうための信号を与える。これにより転送制御回路 6 1 5 は、リフレッシュブロックアドレス信号 B A が指定するアレイブロック M B A に対して設けられた転送指示信号 T L I (T L I A) を所定期間活性状態とする。リフレッシュ調停回路 6 1 0 は、この転送制御回路 6 1 5 からの転送指示信号 T L I (T L I A) が非活性状態とされると、ブロックデコーダ 6 1 8 を活性状態とする。セクタ 6 1 6 a および 6 1 6 b は、リフレッシュ調停回路 5 1 0 の制御のもとに、リフレッシュ指示信号 r e f に応答してリフレッシュブロックアドレス信号 B A およびリフレッシュ行アドレス信号 R A を選択する状態に設定されている。これにより、アレイブロック M B A において、リフレッシュ行アドレス信号 R A が指定するワード線が選択された後、センスアンプ活性化信号 V p n が活性状態とされ、リフレッシュ行アドレスが指定するワード線に接続されるメモリセルのデータのリフレッシュが実行される。

30

【 0 3 2 2 】

リフレッシュ調停回路 6 1 0 は、このセンスアンプ活性化信号 V p n の活性化から非活性化への移行を検出すると、転送制御回路 6 1 5 へ指示を与え、再びアレイブロック M B A に設けられたトランスファークゲートを導通状態とするように転送指示信号 T L I (T L I A) を所定期間活性状態とする。これにより、アレイブロック M B B からのデータが再びアレイブロック M B A へ戻される。リフレッシュ調停回路 5 1 0 は、この転送制御回路 6 1 5 からの転送指示信号 T L I が非活性状態とされると、アレイブロック M B A へのセンスアンプ活性化信号 V p n を再び活性状態とする。

40

【 0 3 2 3 】

なおリフレッシュ調停回路 6 1 0 はリフレッシュブロックアドレス信号 B A が指定するアレイブロックにおいてセンスアンプ活性化信号 V p n が活性状態のときには、その隣接アレイブロック M B B のイコライズ/プリチャージ制御回路 6 2 1 を制御し、イコラ

50

イズ信号 E Q をローレベルとする。このとき隣接アレイブロックにおけるワード線選択動作は禁止される。この構成は、リフレッシュ指示時において、リフレッシュ調停回路 610 は、隣接アレイブロック M B B のイコライズ信号 E Q のみをローレベルとし、ワード線選択動作を禁止する構成が用いられればよい。なおこの図 53 に示す構成において、隣接アレイブロックは、図 39 において、水平方向右側に隣接するアレイブロックへのデータ転送が行なわれる。一番右に配設されるアレイブロック M B F がリフレッシュを行なう場合には、このアレイブロック M B F に隣接するアレイブロック M B E へデータ転送が（キャッシュデータの対比）が行なわれる。

【0324】

リフレッシュ動作が完了するとリフレッシュ制御回路 500 は、リフレッシュカウンタ 602 のカウント値を 1 増分するとともに、リフレッシュ指示信号 r e f を非活性状態とする。リフレッシュ調停回路 610 は、このリフレッシュ指示信号 r e f の非活性化に
10 応答して、セクタ 616 a および 616 b を、外部から与えられるアドレス信号 B A および R A を選択する状態に設定する。この状態においては、ブロックデコーダ 618 は、図示しないチップイネーブル信号 C E の活性化時に活性状態とされる。

【0325】

以上のように、この発明の第 7 の実施の形態に従えば、センスアンプがデータを保持している状態において、このアレイブロックのリフレッシュを行なう場合、隣接アレイ
20 ブロックへそのセンスアンプの保持するデータを退避させるように構成したため、何らセンスアンプの保持データが損なわれることなくリフレッシュを行なうことができる。

【0326】

なおリフレッシュが 1 つのアレイブロックに行なわれている場合、退避先のアレイブロックにおいてセンスアンプが活性状態とされ、このセンスアンプへアクセスが行なわれる構成がさらに用いられてもよい。リフレッシュ退避時アドレス変換（ブロックアドレス変換）を行なう構成が用いられればよい。

【0327】

この場合には、セクタ 616 a および 616 b を、それぞれアレイブロックに対応して配置することにより、リフレッシュと外部アクセスとを同時に並行して行なうことができる。リフレッシュバンクアドレス信号 B A が指定するセクタのみをリフレッシュバンク
30 アドレス信号およびリフレッシュ行アドレス信号を選択する状態に設定する構成とすれば、アレイブロックそれぞれ個々に駆動することができるために、リフレッシュおよび外部アクセスを並行して行なうことができる。

【0328】

またこの発明の第 7 の実施の形態の構成に従えば、アレイブロック M B A から隣接アレイブロック M B B へのデータ転送時においては単にセンスアンプ S A A のセンスノードに蓄積された電荷を隣接アレイブロック A B B のビット線対 B L P B へ伝達している
だけであり、何ら電流は消費されない（電荷が分散されるだけであるため）。

【0329】

〔実施の形態 8〕

図 54 は、この発明の実施の形態 8 に従う半導体記憶装置の全体の構成を概略的に示す図
40 である。図 54 において、半導体記憶装置は、行列状に配列される複数のアレイブロック B 11 ~ B 14 ... B 41 ~ B 44 を含むメモリアレイ 1600 と、外部から与えられるアドレス入力を変換して内部アドレス信号を生成する入力変換部 1602 と、この入力変換部 1602 により変換された内部アドレス信号に従ってメモリアレイ 1600 のアレイブロック B 11 ~ B 44 の 1 つを選択状態へ駆動するためのブロックデコーダ 1603 x および 1603 y と与えられた命令をデコードし、入力変換部 1602 におけるアドレス変換指示およびその態様を決定する信号を生成して入力変換部 1602 へ与える命令デコード部 1604 を含む。

【0330】

先の実施の形態と同様に、アレイブロック B 11 ~ B 44 は互いに独立に選択状態 / 非選
50

択状態へ駆動することができる。これらのアレイブロック B 1 1 ~ B 4 4 は、特に、行列状に配置される必要はないが、通常の D R A M において複数のメモリマツが行列状に配置される構成に合わせた（このメモリアレイの各アレイブロックの詳細配置は後に説明する）。

【 0 3 3 1 】

また、メモリアレイ 1 6 0 0 において、アレイブロック B 1 1 ~ B 4 4 の各々は、行ブロック指定信号 R 1 ~ R 4 の 1 つと列ブロック指定信号 C 1 ~ C 4 の 1 つとにより選択状態とされる。これらのブロック指定信号 R 1 ~ R 4 および C 1 ~ C 4 は、複数ビットのアドレス信号に対応しているが、説明を簡略化するために、1 つの信号で各ブロック指定信号を示す。

10

【 0 3 3 2 】

命令デコード部 1 6 0 4 は、与えられた命令に従って、このアドレス変換を入力変換部 1 6 0 2 において行なう必要があるか否かを判定し、アドレス変換を行なう必要がある場合には、入力変換部 1 6 0 2 へ与えられた入力アドレス信号を変換してブロックデコーダ 1 6 0 3 x および 1 6 0 3 y へ与える。この入力変換部 1 6 0 2 においては、アレイブロックを指定するアレイブロックアドレスについてのみアドレス変換が行なわれており、アレイブロック内部におけるメモリセルを指定するためのアドレス信号についての変換は行なわれていない。したがってこの図 5 4 においては、単にアレイブロックを指定するためのアレイブロックアドレスに対する構成のみが示される。

【 0 3 3 3 】

20

図 5 5 (A) は、図 5 4 に示す入力変換部 1 6 0 2 の構成の一例を示す図である。図 5 5 (A) において、入力変換部 1 6 0 2 は、行アレイブロックを指定するアドレスビット A 1 および A 2 を受け、これらのビット位置を交換して内部アドレス信号ビット A R 1 および A R 2 を出力する入替回路 1 6 0 2 a と、列ブロックを指定するアドレスビット A 3 および A 4 を受け、これらの論理の一致を検出する一致検出回路 1 6 0 2 b と、アドレスビット A 4 を論理を反転して出力する反転回路 1 6 0 2 c を含む。一致検出回路 1 6 0 2 b から内部アドレスビット A C 1 が出力され、反転回路 1 6 0 2 c から内部アドレスビット A C 2 が出力される。内部アドレスビット A R 1 および A R 2 は、図 5 4 に示すブロックデコーダ 1 6 0 3 x へ与えられ、内部アドレスビット A C 1 および A C 2 は、図 5 4 に示すブロックデコーダ 1 6 0 3 y へ与えられる。

30

【 0 3 3 4 】

入替回路 1 6 0 2 a 、一致検出回路 1 6 0 2 b および反転回路 1 6 0 2 c の処理機能は、命令デコード部 1 6 0 4 からのデコード信号により指定される。すなわち、この命令デコード部 1 6 0 4 がアドレス変換を指令したときにのみ図 5 5 (A) に示すアドレス変換機能が実行される。次にこの入力変換部 1 6 0 2 の動作について図 5 5 (B) および (C) を示す表を参照して説明する。

【 0 3 3 5 】

まず、図 5 5 (B) に示す表を参照して、入替回路 1 6 0 2 a の動作について説明する。アドレスビット A 1 , A 2 が、(A 1 , A 2) = (0 , 0) 、 (0 , 1) 、 (1 , 0) および (1 , 1) のときに、それぞれ行アレイブロック指定信号 R 1 , R 2 , R 3 および R 4 がそれぞれ選択状態とされる。入替回路 1 6 0 2 a は活性化時、このアドレスビット A 1 および A 2 のビット位置を変更する。したがって、図 5 5 (B) に示すように、アドレスビット (A 1 , A 2) は、そのビット位置が変換されて、内部アドレス信号ビット A R 1 および A R 2 が出力される。したがって、アドレスビット A 1 および A 2 が (0 , 0) および (1 , 1) のときには、入替回路 1 6 0 2 a においてビット位置が変換されても、選択状態とされるブロック指定信号は、変化せず、R 1 および R 4 である。一方、アドレスビット A 1 , A 2 が、(0 , 1) および (1 , 0) であり、行アレイブロック指定信号 R 2 および R 3 が選択状態とされる場合には、変換により、行アレイブロック指定信号 R 3 および R 2 がそれぞれ選択状態とされる。

40

【 0 3 3 6 】

50

次に、図 5 5 (C) を参照して、アドレスビット A 3 および A 4 の変換態様について説明する。今、アドレスビット (A 3 , A 4) が (0 , 0) 、 (0 , 1) 、 (1 , 0) および (1 , 1) のときに、列ブロック指定信号 C 1 , C 2 , D 3 および C 4 がそれぞれ選択状態とされるとする。一致検出回路 1 6 0 2 b は、アドレスビット A 3 および A 4 の論理が一致したときに H レベル (“ 1 ”) の信号を出力する。したがって、内部アドレスビット A C 1 は、アドレスビット (A 3 , A 4) が (0 , 0) および (1 , 1) のときに “ 1 ” となる。一方、反転回路 1 6 0 2 c は、アドレスビット A 4 を反転しているため、内部アドレス信号ビット A C 2 は、アドレスビット A 4 が 0 , 1 のときにそれぞれ 1 , 0 となる。したがってアドレスビット A 3 , A 4 が列アレイブロック指定信号 C 1 , C 2 , C 3 および C 4 を選択状態とするときこの入力変換部 1 6 0 2 の変換機能により、それぞれ列アレイブロック指定信号 C 4 , C 1 , C 2 および C 3 が選択状態とされる。

10

【 0 3 3 7 】

今、たとえばアレイブロック B 1 1 が選択状態とされる場合を考える。この場合、外部から与えられるアドレス信号ビット A 1 , A 2 , A 3 , A 4 は、0 , 0 , 0 , 0 である (図 5 5 (B) および (C) 参照) 。入力変換部 1 6 0 2 によりアドレス信号ビットの変換が行なわれると、内部アドレス信号ビット A R 1 , A R 2 , A C 1 , A C 2 は 0 , 0 , 1 , 1 となる。したがって、行アレイブロック指定信号 R 1 および列アレイブロック指定信号 C 4 が選択状態とされ、アレイブロック B 4 1 が選択状態とされる。これにより、外部アドレス信号ビット A 1 ~ A 4 が指定するアレイブロック B 1 1 と異なる別のアレイブロック B 4 1 が選択状態とされる。

20

【 0 3 3 8 】

次に、このアドレス変換機能を用いた半導体記憶装置へのアクセス動作について図 5 6 に示す波形図を参照して説明する。

【 0 3 3 9 】

今、1つのアレイブロック B a (たとえば図 5 4 のアレイブロック B 1 1) においてワード線 W L 1 (1 ページに相当) が選択され、このワード線 W L 1 に接続されるメモリセルへのアクセス動作が行なわれている場合を考える。この場合、出力データ Q がワード線 W L 1 が選択されてから所定時間経過後に出力される。このワード線 W L 1 に接続するメモリセルへのページモードでのアクセスの後、このワード線 W L 1 と異なるワード線 W L 2 を次いで (ページモードで) アクセスする動作を考える。アドレス変換を入力変換部 1 6 0 2 において行なえば、このアレイブロック B a を指定するアドレスビットが与えられても、別のアレイブロック B b が選択され、この別のアレイブロック B b (たとえば図 5 4 のアレイブロック B 4 1) が選択状態とされ、この選択された別のアレイブロック B b においてワード線 W L 2 が選択状態とされる。したがって、通常、R A S プリチャージ時間 t R P と呼ばれる時間アクセス期間を待ち合わせることなく、高速で連続してアレイブロック B b にアクセスしてワード線 W L 2 を選択状態とすることができる。

30

【 0 3 4 0 】

したがって、図 5 6 に示すように、ブロック B a のワード線 W L 1 が非選択状態とされ、即座にアドレス信号を与えて別のアレイブロック B b へアクセスすることができる。したがって時刻 t 2 において、このブロック B b のワード線 W L 2 に接続されるメモリセルのデータを読み出すことができる。このアドレス変換を行なわない場合、ワード線 W L 2 は、ブロック B a に含まれており、このアレイブロック B a を一旦非選択状態へ駆動し、R A S プリチャージ時間 t R P 経過後にこのアレイブロック B a へ再びアクセスして、ワード線を選択状態とする必要がある (図 5 6 において、このワード線の立上がりを破線で示す) 。この図 5 6 において破線で示すワード線が選択状態へ駆動されてからデータ Q が出力される。したがって、この場合ワード線 W L 1 におけるメモリセルのデータ Q が出力されてから R A S プリチャージ時間 t R P と R A S アクセス時間 t R A C が経過した時刻 t 3 において、このワード線 W L 2 に接続されるメモリセルのデータが出力データ Q として出力される。この図 5 6 に示す動作波形図から明らかなように、アドレス変換を行なう場合に、同じアレイブロックの異なるページ (ワード線) が連続してアクセスされる場

40

50

合、アレイブロックの切換えにのみ必要とされる時間だけで、別のページ（ワード線）のメモリセルへアクセスすることができる。一方、このアドレス変換を行なわない場合には、ページ変更のために、RASプリチャージ時間およびRASアクセス時間が、この別のページのメモリセルデータを読み出すために必要とされる。したがって、この異なるページを連続的にアクセスする場合アドレス変換を行ない、異なるアレイブロックを順次アクセスすることにより、高速で選択メモリセルへアクセスすることができる。

【0341】

この連続アクセス時におけるアドレス変換を行なうか否かの判定および動作制御は、図54に示す命令デコード部1604により実行される。通常、CPU（中央演算処理装置）からは、アクセスするデータが演算に用いられるデータであるのか命令であるのかを示す情報が与えられる。この情報に、シリアルアクセスが行なわれるデータであるのか否か、すなわちたとえば画像データまたは音声データなどのデータの属性（種類）を示す情報を含ませておくことにより、命令デコード部1604でこの命令に含まれるデータ属性情報をデコードし、同一アレイブロックの異なるページが連続的にアクセスされるデータ（たとえば画像データ）の場合、ページ切替時にアドレス変換を実現することにより、高速でデータのアクセスを行なうことができる。

【0342】

図57は、図55（A）に示す入替回路1602aの構成の一例を示す図である。図57において、入替回路1602aは、アドレス信号ビットA1およびA2をそれぞれ入力aiおよびbiに受け、変換活性化信号ACVに従って一方を選択的に通過させる選択回路1602aaと、アドレスビットa1およびa2を入力biおよびaiにそれぞれ受け、変換活性化信号ACVに従って与えられたビットの一方を選択して通過させる選択回路1602abを含む。選択回路1602aaおよび1602abから内部アドレス信号ビットAR1およびAR2がそれぞれ出力される。

【0343】

選択回路1602aaおよび1602abは、変換活性化信号ACVが活性状態にあり、アドレス変換を指定する場合には、入力biに与えられたアドレス信号ビットを選択して出力する。一方、このアドレス変換活性化信号ACVの非活性化時には、選択回路1602aaおよび1602abは、その入力aiに与えられたアドレスビットを選択する。選択回路1602aaおよび1602abを用いて、アドレス変換活性化信号ACVに従ってこれらの選択回路を介してのアドレス信号ビットA1およびA2の伝播経路を切換えることにより、必要とされるときにのみアドレス変換を行なうことができる。

【0344】

図58は、図55（A）に示す一致検出回路1602bの構成の一例を示す図である。図58において、一致検出回路1602bは、変換活性化信号ACVを受けるインバータ回路1602baと、インバータ回路1602baの出力信号とアドレスビットA4を受け取るOR回路1602bbと、OR回路1602bbの出力信号とアドレスビットA3を受け取るEXNOR回路1602bcを含む。このEXNOR回路1602bcは、その両入力に与えられた信号の論理が一致するときに、その出力する内部アドレス信号AC3の論理を“1”とする。

【0345】

アドレス変換活性化信号ACVがHレベル（“1”）の活性状態のとき、インバータ回路1602baの出力信号はLレベル（“0”）となり、OR回路1602bbは、バッファ回路として作用し、アドレスビットA4を変換することなく通過させる。したがってEXNOR回路1602bcにより、アドレスビットA3およびA4の論理の一致／不一致が判定され、その判定結果に従った論理のアドレスビットAC3が出力される。

【0346】

アドレス変換活性化信号ACVが非活性状態のLレベルのとき、インバータ回路1602baの出力信号はHレベルであり、OR回路1602bbの出力信号がHレベルとなる。EXNOR回路1602bcは、バッファとして機能し、アドレスビットA3がHレベル

10

20

30

40

50

のときには、内部アドレス信号ビットAC3をHレベルとし、一方、アドレスビットA3がLレベルのときには、内部アドレスビットAC3をLレベルとする。

【0347】

図59は、図55(A)に示す反転回路1602cの構成の一例を示す図である。図59において、反転回路1602cは、アドレスビットA4とアドレス変換活性化信号ACVを受けるEXOR回路1602bcを含む。EXOR回路1602bcは、その両入力の論理が不一致のときに、その出力する内部アドレス信号ビットAC4を論理“1”とする。したがって、アドレス変換活性化信号ACVがHレベルの活性状態のときには、このEXOR回路1602bcは、インバータとして機能し、アドレスビットA4の論理を反転して内部アドレスビットAC4として出力する。一方、アドレス変換活性化信号ACVが非活性状態のLレベルのときには、このEXOR回路1602bcは、バッファとして機能し、アドレスビットA4がHレベルのときには、内部アドレスビットAC4がHレベルとなり、アドレスビットA4が、Lレベルのときには、アドレスビットAC4はLレベルとなる。

10

【0348】

この図57ないし図59に示すように、入力変換部1602に含まれる入替回路1602a、一致検出回路1602bおよび反転回路1602cの機能を、アドレス変換活性化信号ACVに従って選択的に実現することにより、必要とされるときのみアドレス変換機能を実現することができ、連続アクセス時において複数のアレイブロックを用いて交互にアクセスすることができ、高速アクセスが可能となる。このアドレス変換活性化信号ACVは、2つのアレイブロックを用いる場合演算処理装置から、各ページごとにページ変換を示すデータが与えられて、そのページ変換ごとにアドレス変換活性化信号ACVの活性/非活性化が交互に行なわれてもよい。またこれに代えて、ブロックアドレス信号ビットA1~A4の変化を検出するブロックアドレス変化検出回路を設け、このブロックアドレス変化検出回路の出力信号に 응답してその出力がHレベルとLレベルの間で交互に変換するTフリップフロップを用いてアドレス変換活性化信号ACVを発生するように構成してもよい。

20

【0349】

図60は、図54に示す入力変換部の一般的構成を示す図である。図60においては、8ビットのアドレス信号A1~A8により1つのアレイブロックが指定される。したがって、256個のアレイブロックのうちの1つのアレイブロックが選択される。図60において、入力変換部1602は、アドレス信号ビットA1およびA2を受けてOR演算を行ない、内部アドレスビットAB1およびAB2として出力するOR回路1602dと、アドレスビットA4およびA5のビット位置を交換してアドレスビットAB4およびAB5として出力する入替回路1602eと、アドレスビットA6論理を反転して内部アドレスビットAB6を出力する反転回路1602fと、アドレスビットA7およびA8の論理積を取って内部アドレスビットAB7を生成するAND回路1602gを含む。アドレスビットA8は内部アドレスビットAB8として出力される。

30

【0350】

これらの回路1602d~1602gも、それぞれ図54に示す命令デコーダからの信号に従ってその機能の活性/非活性が制御される。この構成により、アドレス変換を行ない、メモリアレイに含まれるアレイブロックに対するブロックアドレスを任意のシーケンスで割当てることが可能となる。したがって、隣接するアレイブロックがセンスアンプを形成するシェアードセンスアンプ構成においても、常に、1つのセンスアンプを共有するアレイブロックが同時に選択状態とされるのを防止するようにアドレス変換を行なうことができ、センスアンプの活性/非活性制御を行なう必要がない。すなわち、シェアードセンスアンプ構成において、内部アレイ活性化の制御が容易となるとともに、活性状態のセンスアンプを一旦非活性状態とした後に再びセンスアンプを活性化して別のアレイブロックを選択状態へ駆動する必要がなく、高速アクセスが可能となる。

40

【0351】

50

このアドレス変換は、動作モードに応じて命令デコーダの制御の下にアドレス変換の実行／非実行が制御されてもよい。またこれに代えて、アドレス変換が常時動作モードにかかわらず行なわれるように構成されてもよい。以下に、アドレス変化が常時行なわれる構成について説明する。

【0352】

図61は、この発明の実施の形態8に従う半導体記憶装置メモリアレイ部の他の構成を概略的に示す図である。図61において、この半導体記憶装置は、2行2列に配列される上位バンクB A、B B、B C、およびB Dを含む。この半導体記憶装置は、16Gビットの記憶容量を備えており、上位バンクB A～B Dの各々は、4Gビットの記憶容量を備える。

10

【0353】

上位バンクB A～B Dの各々は、さらに、2行4列に配列される8個の中位バンクを含む。すなわち、上位バンクB Aは、中位バンクA-1～A-8を含み、上位バンクB Bは、中位バンクB-1～B-8を含み、上位バンクB Cは、中位バンクC-1～C-8を含み、上位バンクB Dは、中位バンクD-1～D-8を含む。これらの中位バンクA-1～D-8の各々は、512Mビットの記憶容量を備える。中位バンクA-1～D-8の各々は、それぞれ8個の下位バンク（アレイブロックに対応）を含む。また中位バンクA-1～D-8の各々は、各下位バンク（アレイブロック）それぞれに対応して設けられるロウデコーダRDと、各中位バンクA-1～D-8それぞれに対して、それぞれに含まれる下位バンクに共通に設けられるコラムデコーダCDを含む。

20

【0354】

下位バンクは、先の実施の形態と同様、互いに独立に選択状態へ駆動することができる。上位バンクB A～B Dそれぞれにおいて、中央部に配置された中位バンク（バンクA2，A3，A6およびA7）は、そのバンク境界線を中心として、ロウデコーダが互いに反対方向に配置される。この場合、上位バンクB A～B Dは、そのバンクの列方向についての中心線について鏡面对称となるようにアドレスが配置されてもよい。デコーダのレイアウトが簡略化される。上位バンクB A～B Dそれぞれにおいて、互いに対向して配置されるロウデコーダの間の領域に周辺制御回路PHCが配置される。これらの周辺回路PHCへは、後に説明するクロック信号が伝達される。アドレス変換後のアドレスがバンク指定信号として伝達される。このアドレス変換後のアドレスは、上位バンクB A～B Dを指定してもよく、また中位バンクを指定してもよく、さらに中位バンクに含まれる下位バンク（アレイブロック）を指定してもよい。このアドレス変換を受けるブロックアドレスが、どのレベルのバンクを指定するかは、この半導体記憶装置の用途に応じて適宜定められる。ここでは、変換後のアドレスが、下位バンクを指定する場合を想定する。

30

【0355】

図62は、図61に示す半導体記憶装置のバンクに対するアドレス信号ビットの割当、すなわちアドレスマッピングを示す図である。図62において、上位バンクB A～B Dの各々は、アドレス信号ビットA1およびA2（補のアドレス信号ビット/A1および/A2を含む）により指定される。すなわち、上位バンクB Aは、アドレス信号ビットA1およびA2がともにHレベル“1”のときに指定され、上位バンクB Bは、アドレス信号ビット/A1およびA2がともにHレベルのときに指定され、上位バンクB Cは、アドレス信号ビットA1および/A2がともにHレベルのときに指定され、上位バンクB Dは、アドレス信号ビット/A1および/A2がともにHレベルのときに指定される。

40

【0356】

これらの上位バンクB A～B Dに含まれる中位バンクおよび下位バンクに対するアドレス信号ビットの割当は同じであり、中位バンクに対するアドレス信号ビットの割当を上位バンクB Aに対してのみ代表的に示す。また下位バンクに関しては、中位バンクC-5に対する下位バンクLB1～LB8に対するアドレス信号ビットの割当を代表的に示す。

50

【 0 3 5 7 】

アドレス信号ビット A 3 により、2 行 4 列に配列される中位バンク A 1 - A - 8 のうち、2 列に配列される 4 つの中位バンクが指定される。すなわち、アドレス信号ビット A 3 が H レベルのときには、中位バンク A - 1 , A - 2 , A - 5 および A - 6 が指定され、アドレス信号ビット / A 3 が H レベルのときには、中位バンク A - 3 , A - 4 , A - 7 および A - 8 が指定される。

【 0 3 5 8 】

アドレス信号ビット A 3 および / A 3 により指定された 4 つの中位バンクのうち、1 列に配列される 2 つの中位バンクがアドレス信号ビット A 4 , / A 4 により指定される。図 6 2 においては、中位バンク A - 1 , A - 2 , A - 5 , A - 6 に対してのみアドレス信号ビット A 4 , / A 4 を示すが、中位バンク A - 3 , A - 4 , A - 7 および A - 8 も同様、アドレス信号ビット A 4 および / A 4 により指定される。アドレス信号ビット A 4 が H レベルのときには、中位バンク A - 1 および A - 5 が指定され、アドレス信号ビット / A 4 が H レベルのときには、中位バンク A - 2 および A - 6 が指定される。

【 0 3 5 9 】

2 行の中位バンク A - 1 ~ A - 8 のうち、1 行の中位バンクがアドレス信号ビット A 5 および / A 5 により指定される。アドレス信号ビット A 5 が H レベルのときには、中位バンク A - 1 ~ A - 4 が指定され、アドレス信号ビット / A 5 が H レベルのときには、中位バンク A - 5 ~ A - 8 が指定される。

【 0 3 6 0 】

中位バンクは、それぞれが 6 4 M ビットの記憶容量を有する 8 個の下位バンク L B 1 ~ L B 8 を含む。8 個の下位バンク L B 1 ~ L B 8 のうち、4 つの下位バンクがアドレス信号ビット A 6 および / A 6 により指定される。このアドレス信号ビット A 6 および / A 6 により指定された 4 つの下位バンクのうち、2 つの下位バンクがアドレス信号ビット A 7 および / A 7 により指定される。このアドレス信号ビット A 7 および / A 7 により指定された 2 つの下位バンクのうち、アドレス信号ビット A 8 および / A 8 により、1 つの下位バンクが指定される。相補アドレス信号ビット A 1 , / A 1 ~ A 8 , / A 8 により、1 つの下位バンクが指定される。

【 0 3 6 1 】

[アドレス変換の適用例]

図 6 3 は、この発明の実施の形態 8 に従うアドレス変換の適用例の一例を示す図である。図 6 3 において、この半導体記憶装置は、図 6 1 および図 6 2 に示すバンク配置を備える。1 6 G ビットのような大記憶容量の半導体記憶装置の場合、そこに含まれるメモリセルの数が数多くなり、パーティクルまた製造パラメータのばらつきなどにより、不良メモリセルが存在し、このため半導体記憶装置の歩留りが低下し、完全動作する半導体記憶装置の収率が低下する。大記憶容量の半導体記憶装置および小記憶容量の半導体記憶装置を同じ面積のウェハ上に形成した場合に不良メモリセルが同じ割合で分布した場合、不良メモリセルにより 1 つの小記憶容量の半導体記憶装置を不良とすることにより他の小記憶容量の半導体記憶装置への影響を排除することができる。しかしながら、大記憶容量の半導体記憶装置の場合、1 つが複数の小記憶容量の半導体記憶装置に相当するため、1 つの小記憶容量の半導体記憶装置に相当する部分が不良とされた場合、この大記憶容量の半導体記憶装置全体を不良として処分する必要がある（半導体記憶装置は 1 つのチップで構成される）。このため、大記憶容量の場合、小記憶容量の半導体記憶装置に比べて、収率が低下する。

【 0 3 6 2 】

この不良メモリセルの存在は、比較的大きなパーティクルに起因し、1 つのアレイブロックに集中的に存在するため、冗長メモリセルで救済できず、使用不能アレイブロック（最下位バンク）D F L B a および D F L B b が存在する。これらの使用不能な最下位バンク D F L B a および D F L B b が指定されたときには、アドレス変換を行なって、この不良アレイブロック（最下位バンク）に対するアクセスを禁止し、別の正常に動作する正常（

10

20

30

40

50

完全使用可能)アレイブロック(最下位バンク)へアクセスする。この正常(完全使用可能)アレイブロック(最下位バンク)は、全く不良メモリセルが存在しない領域であってもよく、また内部に含まれる冗長セルにより、これらの不良セルがすべて救済される領域であってもよい。この使用不能アレイブロック(最下位バンク)と置換される正常アレイブロック(最下位バンク)は、通常のアレイブロックに加えて、置換用に余分に設けられている場合には、そのアレイブロックが利用されればよい(スペアアレイブロックの利用)。また通常のアレイブロック(最下位バンク)のみを利用し、アドレス変換により、この不良アレイブロック(最下位バンク)を他の正常アレイブロック(最下位バンク)に置換してもよい。図63においては、スペアアレイブロックは設けられておらず、アドレス変換により、他の正常アレイブロック(最下位バンク)に対するアドレス変換が行なわれる構成が示される。この場合、不良(使用不能)アレイブロック分の記憶容量が低下するが、16 Gビットのような大記憶容量の場合、1つの最下位バンクの記憶容量は64 Mビットであり、全体の1/256であり、このような使用不能なアレイブロック(最下位バンク)の救済を他の正常なアレイブロック(最下位バンク)を用いて行なっても、その記憶容量の低下はほとんどCPUアドレス空間に対し影響は及ばさない。

10

【0363】

図63において、入力アドレス(00000111)が使用不能アレイブロック(最下位バンク)に対応し、この使用不能アレイブロックアドレスが、別の正常アレイブロック(最下位バンク)を指定するようにアドレス変換が行なわれる。図63において、入力アドレス信号A1~A8は、不良アレイブロックを避けるように1つつシフトしてアドレス変換が行なわれるように示される。このアドレス変換は、たとえばPROMまたはRAM(ランダム・アクセス・メモリ)などの記憶素子を用いてアドレス変換をテーブル状に格納する構成により容易に実現することができる。すなわち、入力アドレス信号それぞれに対応して、変換後のアドレス信号を格納し、アドレス変換時には、この変換用記憶素子の内容を読み出して変換後のアドレスとして利用する。これにより、不良アレイブロックへのアクセスを禁止するようにアドレス変換を行なうことができる。

20

【0364】

この図63に示す構成において、さらに、アレイブロックにおいて、冗長セルで救済できない不良メモリセルが所定数以下の場合、この所定数以下の不良メモリセルの存在を許容し、マージナル(使用可能)アレイブロック(最下位バンク)MDFLBaおよびMDFLBbとして利用する。通常の処理操作において、数値データ、プログラム命令、および一時記憶される計算用データなどの記憶の場合には、その記憶データは1ビットの破壊も許されない。したがってこれらのデータは、完全使用可能な正常アレイブロック(最下位バンク)GLBに格納する。図63において、これらのデータの格納領域をシリアルデータ領域として示す。

30

【0365】

一方、画像データおよび音声データなどの時系列データの場合、時間的に前後するデータワードの相関性が強く、多少のビットエラーが存在しても、相関処理によりこのようなビットエラーが相殺される。この場合、記憶データに対し、多少のビットエラーは許容される。そこで、許容可能な不良が存在するアレイブロック(最下位バンク)をマージナル不良ブロックとして、このような音声データおよび画像データなどを記憶するために用いる。ここで、多少の不良ビットは、多くの場合、1つのアレイブロック(最下位バンク)内において疎らに存在するビット不良程度を意味する。

40

【0366】

しかしながら、使用するデータのビットの破壊(エラー)許容量が多くまたこのようなエラーが連続しても問題が生じない場合には、ワード線単位の不良またはビット線単位の不良の場合でも使用することが可能な場合がある。たとえば表示画像データを格納する場合、ワード線単位またはビット線単位の不良が存在する場合、表示画像において、最大1水平線または1垂直線の画像の不連続が生じるだけであり、致命的な欠点とはならず、許容可能な範囲である。このような許容可能な不良ビットが存在するアレイブロックすなわち

50

マージナルブロックに対しこのマージナルブロックを示すフラグを立て、音声データおよび画像データを専用に格納する領域として利用する。

【0367】

したがって、図63に示すように、このような不完全使用可能なマージナルブロックMDFLBaおよびMDFLBbには、音声データ領域を示すアドレス11111000および11111001がそれぞれ割当てられる。使用不能であるアレイブロックDFLBbは、音声データおよび画像データに対しても利用されない。この不良アレイブロック（最下位バンク）DFLBbを指定するアドレス11111010が与えられたときにはこのアドレスを変換し、別の正常なアレイブロックGLBを指定するようにする。

【0368】

この図63に示す構成において、音声データ領域の不良アレイブロックDFLBbの救済は正常なアレイブロックGLBを用いて行なわれている。したがってこの音声データ領域の最大アドレス11111111が割当てられる領域は存在しないが、この場合、マージナルブロックMDFLBaおよびMDFLBbへ割当てられるアドレス領域が、このアドレス11111111の示すアレイブロック（最下位バンク）であってもよい。

【0369】

なお、マージナルブロックとして利用されるアレイブロックに含まれる不良ビットの数は、処理用途に応じて適当に定められればよい。

【0370】

図64は、アドレス変換を行なう入力変換部の具体的構成を示す図である。図64において、入力変換部1602は、アドレス変換を行なうべきアレイブロック（最下位バンク）を指定するアドレスを格納するマッピングメモリ1610と、このマッピングメモリ1610に格納されたバンクアドレス（A1～A8）の変換後のアドレスをそれぞれ対応して格納するアドレス変換回路1612と、外部からのアドレスA1～A8を受けるアドレスバッファ1614と、アドレスバッファ1614の出力する内部アドレス信号とアドレス変換回路1612から読出された変換アドレス信号の一方を選択して内部アドレス信号として出力するマルチプレクサ1616を含む。

【0371】

このマッピングメモリ1610は、与えられたアドレスA1～A8と格納しているアドレスとの比較を行ない、かつこの比較結果を示す信号を出力する。アドレス変換回路1612は、マッピングメモリ1610からの一致検出信号に従って対応の変換アドレス信号を出力する。マルチプレクサ1616は、マッピングメモリ1610からの一致指示信号に従ってアドレス変換回路1612から読出されたアドレス信号を選択して内部アドレス信号として出力し、一方、マッピングメモリ1610から不一致指示信号が出力された場合には、マルチプレクサ1616はアドレスバッファ1614から与えられたアドレス信号を選択して内部アドレス信号として出力する。

【0372】

この図64に示す入力変換部1602の構成は、図30および図32に示すアドレス変換部の構成と実質的に同じである。格納されるアドレスが、不良アレイブロック（マージナル不良領域および使用不能領域両者を含む）を指定するアドレス信号が格納されている点が図30および図32に示す構成と異なるだけである。したがってその動作はおなじであり、その詳細動作については繰返さない。

【0373】

図65は、図64に示すアドレス変換を行なう入力変換部によるアドレス変換態様を示す図である。図65において、マッピングメモリ1610内に、不良アレイブロックMDFLB0、MDFLB1およびDFLB0を示すアドレスAD2、AD3およびAD4が格納され、アドレス変換回路1612には、これらのアドレスAD2、AD3およびAD4それぞれに対応して、アドレスADx、ADyおよびADzが格納される。さらに、マッピングメモリ1610において、アドレスADuおよびADvが格納され、これらのアドレスADuおよびADvに対応して、アドレスA2およびAD3がアドレス変換回路16

10

20

30

40

50

12に格納される。したがって、正常アレイブロック（最下位バンク）GLB0, GLB1, GLBj, ..., GLBwを指定するアドレスAD0, AD1, AD5, ...およびADwが与えられたとき、この入力変換部1602は、与えられるアドレスを選択して内部アドレス信号として出力し、アドレス変換は行なわれず、対応の正常アレイブロック（最下位バンク）が指定される。

【0374】

一方、アドレスAD2, AD3またはAD4が与えられたとき、この入力変換部1602によりアドレス変換が行なわれ、それぞれアドレスADx, ADyまたはADzがそれぞれ対応して出力される。したがって、アレイブロック（最下位バンク）MDFLB0, MDFLB1およびMDFLB0が指定されたときには、正常アレイブロックGLBx, GLByおよびGLBzがそれぞれ指定される。また、外部からのアドレス信号が正常アレイブロックGLBuおよびGLBvを指定したときには、入力変換部1602によりアドレス変換が行なわれ、マージナルアレイブロックMDFLB0およびMDFLB1がそれぞれ指定される。

10

【0375】

このアドレス変換においては、外部からのアドレスADx, ADyおよびADzは使用されない。この場合、半導体記憶装置からCPU（中央演算処理装置）に対し、上位バンクにおける利用可能なバンクの数を指定する情報を転送し、CPUで、利用可能なアドレス空間を決定するように構成してもよい。

【0376】

このマッピングメモリ1610およびアドレス変換回路1612へアドレスを書込む際、この変換を受けるべきアドレスおよび変換後のアドレスの決定は、半導体記憶装置のテスト時において、テスターにおいて不良アレイブロックを示すアドレス情報を管理し、この管理された不良アレイブロックアドレス情報に基づいて各不良アレイブロックに対するアドレスおよび変換後のアドレスが決定されてもよい。

20

【0377】

図66は、この不良アレイブロック識別のための構成の一例を示す図である。図66において、アレイブロック（最下位バンク）に対応して、レジスタRG0, RG1, ..., RGi, RGa, ..., Rgm, Rgn, ..., RGxおよびRGyが配置される。このレジスタRG0 ~ Rgyは、対応のアレイブロックの良/不良およびマージナル/非マージナルを示す情報を格納する（2ビットのフラグレジスタ）。これらのレジスタRG0 ~ Rgyの各々は、互いに直列に接続され、クロック信号CLKに従ってその保持内容を転送するシフトレジスタを構成する。図66において、アレイブロックLB0 ~ LBnを代表的に示す。これらのアレイブロックLB0 ~ LBnの良/不良およびマージナル/非マージナルを示す情報（フラグ）が対応のレジスタRG0 ~ Rgnにそれぞれ格納される。

30

【0378】

このレジスタRG0 ~ Rgyに対し、フラグを書込むために、テスターからの情報に従って必要とされる情報を発生して、クロック信号CLKに従って入力ポート1625を介してレジスタRGyへ与える書込回路1620と、読出時、出力ポート1626から与えられるレジスタRG0の情報を読出す読出回路1622と、この読出回路1622の読出した情報に従ってマッピングメモリ1610およびアドレス変換回路1612（図64参照）へ格納すべきアドレスを発生するアドレス発生器1624を含む。これらの書込回路1620、読出回路1622およびアドレス発生器1624は、周辺回路として半導体記憶装置内部に設けられてもよく、また単に装置外部に設けられてもよい。

40

【0379】

テスト動作時において、各アレイブロックLB0 ~ LBnの良/不良およびマージナル/非マージナルの判定が行なわれる。この判定は、装置外部に設けられたテスターまたは、ビルトインテスト回路により実施され、そのテスト結果を示す情報が書込回路1620へ与えられる。書込回路1620は、テスト動作時に、この各アレイブロックのテストごとにクロック信号CLKを発生し、各対応のアレイブロックの状態を示すフラグを発生

50

して入力ポート1625を介してレジスタRGiへ与える。各アレイブロックに対する情報が書込回路1620を介してレジスタRGyへ格納され、順次このシフトレジスタを介してこれらのレジスタRG0～RGyの格納データが転送される。すべてのアレイブロックのテスト完了時においては、アレイブロックLB0～LBnについての情報が、レジスタRG0～RGnにそれぞれ格納される。すべてのアレイブロックのテスト動作完了後、読出回路1622が読出動作を行なう。このとき書込回路1620は、クロック信号CLKを発生し、また最終レジスタを示す所定のパターンを発生する。読出回路1622により読出されるフラグデータが正常を示す場合には、アドレス発生器1624は変換後のアドレスは発生しない。一方、読出回路1622から与えられた情報が、対応のアレイブロックが不良であり、完全に使用できないことを示している場合には、アドレス発生器1624は、この対応のアレイブロックを示すアドレス信号を発生してマッピングメモリ1610へ格納し、その変換後のアドレスを、アドレス変換回路1612へ与える。この場合、上位バンクまたは中位バンクそれぞれにおいて、不良ブロックを救済すべき正常アレイブロックのアドレス領域が予め定められて、この予め定められたアドレス領域の先頭アドレスから順次アドレス発生器1624から変換後のアドレスが発生される。この構成は、カウンタ(クロック信号CLKをカウントする)を用いて容易に実現される。読出回路1622が、対応のアレイブロックがマージナルアレイブロックであることを示す場合には、アドレス発生器1624は、対応のアレイブロックのアドレス信号をアドレス変換回路1612へ与え、またその特定領域すなわち音声データまたは画像データ格納領域の最終または先頭最下位バンクアドレスを生成してマッピングメモリ1610へ与える。これらのアドレス発生器1624からの不良アレイブロックに対するアドレスを発生する構成は、マージナルブロックおよび使用不能アレイブロック両者に対しそれぞれカウンタを設け、それぞれのカウンタのカウント値の初期値を各上位または中位のバンクにおける転送最下位バンクを示すアドレスに設定しておけば容易に実現される。

【0380】

上述のような、レジスタをアレイブロック(最下位バンク)それぞれに対応して設け、これらのレジスタをシフトレジスタを構成するように直列に接続することにより、容易にアドレス変換を行なうべきアドレスを識別し、必要とされるアドレスを生成することができる。

【0381】

図67は、不良アレイブロックの処置態様を示す図である。図67においては、アレイブロックLBa～LBhを代表的に示す。アレイブロックLBa～LBhに共通にコラムデコーダCDが設けられ、アレイブロックLBa～LBhそれぞれに対してロウデコーダRDが設けられる。アレイブロックLBa～LBhに共通に、各種内部電圧、電源電圧VCC、接地電圧VSS、ビット線プリチャージ電圧VBL、昇圧電圧VPPおよびセルプレート電圧VCPを伝達する電源線が配設される。図67において、電圧線VCC、VSSおよびVBLを代表的に示す。

【0382】

アレイブロックLBa～LBhそれぞれに対して、これらの電圧線VCC、VSS、VBL(VPP、VCP)を選択的に対応のアレイブロックへ伝達するスイッチング素子SWと、これらのスイッチング素子SWの導通/非導通を制御するプログラミング回路PGA～PGHが設けられる。プログラミング回路PGA～PGHの各々は、たとえばヒューズ素子などによりその記憶情報がプログラムされる。このプログラミング回路PGA～PGHは、また先の図66に示すレジスタで構成されてもよい。

不良アレイブロック(使用不能アレイブロック)に設けられたスイッチング素子SWは、対応のプログラミング回路PG(PGA～PGHのいずれか)の制御のもとに、非導通状態とされる。これにより、使用不能アレイブロックにおいてたとえばワード線不良による電源線と接地線との間の短絡が発生した場合において、この使用不能アレイブロックを介して短絡電流が流れるのを防止することができ、消費電流を低減することができる。また、たとえワード線短絡などが生じない場合においても、使用不能アレイブロックを電圧線か

10

20

30

40

50

ら分離することにより、これらの電圧線の負荷が軽減され、制御アレイブロックに対し安定に必要なとされる電圧を供給することができる。

【0383】

また、ヒューズ素子に代えてスイッチング素子SWを用いて各アレイブロックに対し必要とされる電圧VCC, VSS, VPL, VPPおよびVCPを供給する構成とすることにより、各アレイブロックごとにそれらの電圧のリーク電流をテストすることができ、電圧線の異常を容易に検出することができる。

【0384】

[入力変換部の変更例]

図68は、図54に示す入力変換部の変更例の構成を概略的に示す図である。図68において、入力変換部1632は、それぞれが互いにアドレス変換態様を記憶するアドレス変換部AC 1 ~ AC 5を含む。これらのアドレス変換部AC 1 ~ AC 5の各々は、プログラム書込回路1634により、そのアドレス変換態様を示す情報が格納され、そのアドレス変換態様が決定される。命令デコーダ1636が与えられた命令またはデータの属性を示す情報をデコードし、この入力変換部1632に含まれるアドレス変換部AC 1 ~ AC 5のうちの1つを活性状態とする。これにより、複数のアドレス変換態様のうち1つのアドレス変換態様が用いられる。この入力変換部1632は、たとえば、スタティック・ランダム・アクセス・メモリSRAM、フィールド・プログラムゲートアレイFPGA、プログラマブルリードオンリメモリPROMなどの、電源遮断時におけるバックアップ機能を有しかつその内容の書換が可能なプログラミング素子を用いて構成される。プログラム書込回路1634は、通常のメモリへの書込回路で構成される。

【0385】

このプログラム書込回路1634により、アドレス変換部AC 1 ~ AC 5の内容を動作モードに応じて書換え、またたとえば図64に示すマッピングメモリまたはアドレス変換回路の内容を変更することが自由にでき、その処理内容に従って時系列的にアドレス変換対象を任意に変更することができる。以下に、この処理内容に応じたアドレス変換態様の変更の操作について具体的に説明する。

【0386】

今、図69(A)に示すように、アドレス信号ADが、変換時アレイブロック(最下位バンク)BRG0を規定しており、処理P 0に従ってこのアレイブロックBRG0が利用される場合を想定する。この処理P 0が、サブルーチンP 1を含んでおり、サブルーチンP 1の処理において、アドレス変換を行ない、アレイブロックBRG1を用い、処理P 1を実行する。この場合、処理P 0に割当てられているアドレス領域が予め定められている場合、そのアドレス領域を実質的に拡張して処理を行なうことができ、処理結果格納領域のアドレス領域を実質的に拡張することができる。この処理P 1実行時において、さらにサブルーチンP 2を実行する場合、アドレス信号ADを変換して、アレイブロックBRG2を指定する。これにより、処理時において、CPUのアドレス空間において同じアドレス領域内に、それぞれ異なる処理結果が異なるアレイブロックBRG0 ~ BRG2に格納される。したがってこのようなネスティング構造の処理の実行結果を格納する場合、この処理に必要なとされるデータ格納のためのアドレス領域を変更することなくかつ処理結果を互いに衝突することなく格納することができる。

【0387】

図69(B)においては、アレイブロックBRGの変換先が、アレイブロックBRG2からさらにアレイブロックBRG3へ変更される。処理内容に応じてアドレス変換先を変更することにより、たとえば2つのCPUがこの半導体記憶装置へアクセスする場合、一方のCPUがアレイブロックBRG2へアクセスし、他方のCPUが別のアレイブロックBRG3へアクセスし、それぞれのCPUがこの半導体記憶装置の同一のアドレス領域を介して異なるアレイブロックを作業用メモリ領域として利用することができる。

【0388】

またこの場合、アレイブロックBRG2およびBRG3を同時に選択状態とするようにア

10

20

30

40

50

ドレス変換を行なった場合、バックアップ用のデータを格納することができ、データの信頼性が改善される。

【0389】

図69(C)は、アレイブロックBRGaおよびBRGbそれぞれを指定するアドレス信号が、その処理動作に応じてドレス変換を受けて、同じアレイブロックBRGcをアドレス指定する。この場合、CPUの異なるアドレス領域のデータを、実質的に1つの半導体記憶装置のアドレスエリアに対応させることができ、実効的に半導体記憶装置の入力可能なアドレス空間を拡張することができる。また、異なるCPUアドレス領域に同じ半導体記憶装置のアドレス領域が対応するため、実効的にCPUアドレス領域間でのデータコピー操作を実現させることができる。

10

【0390】

またこの図68に示す入力変換部1632の構成の場合、ドレス変換部AC1~AC5それぞれの内容をその処理操作に応じて変更することにより、この図69(A)~(C)に示す処理操作を各アドレス領域に応じて変更することができる。また、ドレス変換部AC1~AC5それぞれを命令デコーダ1636の制御のもとに選択的に活性状態とすることにより、必要とされる処理操作をこれらのドレス変換部AC1~AC5それぞれに予め格納しておくことにより、処理操作と平行してプログラム書込回路1634によりこのドレス変換部AC1~AC5の内容を書換える必要がなく、容易に必要とされるドレス変換を実現することができる。

【0391】

20

また、たとえば画像データなどのような大量のデータが順次アクセスされる場合、このドレス変換を利用することにより、1つのアレイブロック選択時において、連続ページを別々のアレイブロックへ割当てることができ、1つのアレイブロック内でページ変更する構成に比べて、高速でページ変更を行ない(アレイブロックの変換があり、RASプリチャージは必要とされない)、高速アクセスが可能となる。

【0392】

以上のように、この発明の実施の形態8に従えば、外部からのアドレス信号を内部で変換して、この外部アドレス信号が指定するアレイブロックと異なるアレイブロックを指定するように構成しているため、ページ変更時において、RASプリチャージ時間が必要とされず、高速アクセスが可能となる。また、不良アレイブロック存在時においても、このドレス変換を行なうことにより、この外部からのアドレス信号により指定される不良アレイブロックを非選択状態へ駆動する必要がなく、不良アレイブロックへのアクセスは完全に禁止されるため、高速で不良アレイブロック指定時においてもアクセスすることができる。

30

【0393】

[実施の形態9]

図70は、この発明の実施の形態9に従う半導体記憶装置の全体の構成を概略的に示す図である。図70において、この半導体記憶装置1640は、それぞれが別々のチップで構成されるモジュールMOD0~MOD3を含む。これらのモジュールMOD0~MOD3それぞれに対して、ドレス変換を行なう入力変換部1650と、この入力変換部1650におけるドレス変換態様を規定する変換演算部1645が設けられる。

40

【0394】

モジュールMOD0~MOD3の各々は、その内部は、図54に示す半導体記憶装置と同様の構成を備える。変換演算部1645は、これらのモジュールMOD0~MOD3の各アレイブロック(最下位バンク)の良/不良を判定し、その判定結果に従って、不良アレイブロックへのアクセスが禁止されるようにドレス変換を行なうように入力変換部1650におけるドレス変換態様を決定する。この変換演算部1645の動作態様は、図示しないコントローラからの制御信号により決定される。

【0395】

図71は、図70に示すモジュールMOD0~MOD3の内部構成を概略的に示す図であ

50

る。図 7 1 において、モジュール MOD 0 ~ MOD 3 の各々は、入力ポート I P と出力ポート O P の間に直列に接続されるレジスタ R G を含む。これらのレジスタ R G は、各モジュール MOD 0 ~ MOD 3 それぞれに含まれるアレイブロックに対応して配置される。このレジスタ R G 内に、対応のアレイブロックの良 / 不良を示す情報が格納される。モジュール MOD 0 ~ MOD 3 の入力ポートと出力ポートが順次このレジスタ R G が 1 つのシフトレジスタを構成するように接続される。

【 0 3 9 6 】

変換演算部 1 6 4 5 は、このレジスタ R G のデータ格納およびそれらのレジスタ R G には、それぞれ対応のモジュール MOD 0 ~ MOD 3 内の各アレイブロックの良 / 不良を示す情報が、図示しないコントローラまたは各モジュール内部に設けられた制御回路の制御のもとに格納される。このレジスタ R G への良 / 不良データ（フラグ）の書込は、先の実施の形態 8 において、図 6 6 を参照して説明したものと同様の構成を用いて実行されてもよい。変換演算部 1 6 4 5 は、このレジスタに格納された良 / 不良データに基づいて、内部に含まれるアドレス変換部 1 6 4 7 の制御のもとに演算して、アドレス変換態様を決定する。

10

【 0 3 9 7 】

アドレス変換部 1 6 4 7 は、このレジスタ R G に対し共通にループを形成するように配設されるクロック制御信号線 1 6 6 0 上にクロック信号 C L K を送出し、レジスタ R G に格納されるデータを順次転送する。このレジスタ R G を順次ループ状に直列に接続する信号線 1 6 6 2 上には、アドレス変換部 1 6 4 7 から、1 つのモジュール内に許容される不良ブロックの数よりも多い不良ブロックを示すデータが連続的に出力される。クロック信号 C L K の発生に従って、モジュール MOD 0 から順次そのレジスタ R G の格納データが読出され、アドレス変換部 1 6 4 7 は、読出データに基づいて、いずれのモジュールのアレイブロックが不良であり、アドレス変換を行なうべきか否かを判別する。

20

【 0 3 9 8 】

図 7 2 は、図 7 1 に示すアドレス変換部の構成を概略的に示す図である。図 7 2 において、アドレス変換部 1 6 4 7 は、モジュール MOD 0 ~ MOD 3 に含まれるレジスタ R G の内容の読出を制御するスキャンレジスタ制御部 1 6 4 7 a と、このスキャンレジスタ制御部 1 6 4 7 a から読出されたデータのうち、不良アレイブロックを指定するデータが与えられたとき、対応のアレイブロックのアドレスを格納するレジスタメモリ 1 6 4 7 b と、このレジスタメモリ 1 6 4 7 b に格納されたアドレスに従ってマッピングメモリ 1 6 5 0 a に格納されるアドレス信号およびアドレス変換回路 1 6 5 0 b に格納されるアドレスを算出する演算部 1 6 4 7 c を含む。ここで、マッピングメモリ 1 6 5 0 a およびアドレス変換回路 1 6 5 0 b は、入力変換部 1 6 5 0 に含まれている。この入力変換部 1 6 5 0 の構成は、先の図 6 4 に示す入力変換部の構成と同じである。図 7 2 においては、必要とされるマッピングメモリ 1 6 5 0 a およびアドレス変換回路 1 6 5 0 b のみを示す。

30

【 0 3 9 9 】

スキャンレジスタ制御部 1 6 4 7 a は、たとえばカウンタを格納しており、クロック信号 C L K の送出ごとに、そのカウント値を増分し、そのカウント値をアレイブロック指定用のアドレスとし、レジスタ R G から不良アレイブロックを示すデータ “ 0 ” が与えられたときにカウンタのカウント値をレジスタメモリ 1 6 4 7 b に格納する。スキャンレジスタ制御部 1 6 4 7 a は、また、1 つのモジュール内において許容される不良アレイブロックの数よりも大きな数の不良アレイブロックを示す情報を連続的に送出する。このスキャンレジスタ制御部 1 6 4 7 a から送出されるレジスタの終了を示すパターン（所定数以上の不良アレイブロック指示ビットのパターン）がレジスタ R G の出力ポート O P からスキャンレジスタ制御部 1 6 4 7 a へ返送されると、このスキャンレジスタ制御部 1 6 4 7 a は、モジュール MOD 0 ~ MOD 3 のレジスタ R G の内容がすべて読出されたと判定する。モジュール MOD 0 ~ MOD 3 に含まれるアレイブロックの数は予め定められている。したがってスキャンレジスタ制御部 1 6 4 7 a は、このクロックのカウント数を見ることにより、半導体記憶装置 1 6 4 0 内に含まれるチップ（モジュール）の数を知らることができ

40

50

る。この半導体記憶装置 1 6 4 0 内に含まれるモジュールの数は、図示しない経路を介してスキャンレジスタ制御部 1 6 4 7 a から C P U へ送出されてもよい。C P U が、その場合、半導体記憶装置のモジュールの数に合わせて、その C P U アドレス空間を設定することができる。

【 0 4 0 0 】

演算部 1 6 4 7 c が行なう演算内容は、単にレジスタメモリ 1 6 4 7 b に格納されたアドレス情報をマッピングメモリ 1 6 5 0 a に格納し、各モジュール内において、予め定められたアドレス領域内の先頭アドレスから順次変換先のアドレスを決定してアドレス変換回路 1 6 5 0 b へ送出する。この場合、単に使用不可のアレイブロックに対してのみアドレス変換が行なわれる。先の実施の形態 8 と同様に、このモジュールにおいて、画像データまたは音声データが用いられる場合、マージナルアレイブロックを示す情報がまた、レジスタ R G に格納されており、レジスタメモリ 1 6 4 7 b 内に、このマージナルアレイブロックであるか否かを示すフラグとともに対応のアドレスが格納されて演算部 1 6 4 7 c により、変換前のアドレスおよび変換後のアドレスが決定される構成が用いられてもよい。

10

【 0 4 0 1 】

この図 7 0 ないし図 7 2 に示すようなモジュール構成の場合でも、先の実施の形態 8 と同様、アドレス変換を行なって、不良アレイブロックへのアクセスを容易に禁止することができる。この場合、通常の冗長アレイブロックを用いて不良アレイブロックの救済を行なう場合、プログラム回路による判定動作を行なって、不良アレイブロックを非選択状態へ駆動する必要がある。しかしながら、本実施の形態 9 においては、このような不良アレイブロックアドレスを格納するプログラム回路における一致 / 不一致判定結果に従って不良アレイブロックを非選択状態へ駆動する必要はなく、高速アクセスが実現される。

20

【 0 4 0 2 】

なお、この実施の形態 9 において、モジュール M O D 0 ~ M O D 3 の各々は、その内部に含まれるアレイブロックはそれぞれバンクを構成するように示している。しかしながら、このモジュール M O D 0 ~ M O D 3 に含まれるアレイブロックは、バンクでなく、モジュール内において 1 つのメモリブロック (アレイブロック) のみが選択状態へ駆動される構成が用いられてもよい。

【 0 4 0 3 】

その場合、複数のモジュール M O D 0 ~ M O D 3 それぞれにおいて、1 つのメモリブロックが選択状態へ駆動される。したがって、先の実施の形態 8 と同様、アレイブロックをモジュールに置換えることにより、容易にページ変更時の高速アクセスを実現することができる。

30

【 0 4 0 4 】

以上のように、この発明の実施の形態 9 に従えば、半導体記憶装置がモジュール構成の場合においても、各モジュール内にメモリブロックの良 / 不良を示すレジスタを配置し、このレジスタをモジュール間でシフトレジスタを構成するように相互接続するため、各モジュール内の良 / 不良アレイブロックを外部に設けられた変換演算部において容易に識別することができ、不良アレイブロックへのアドレス指定された場合にこの不良アレイブロックへのアクセスを禁止するようにアドレス変換を容易に行なうことができる。

40

【 0 4 0 5 】

なお、上述の実施の形態 9 の説明において、最終レジスタを識別するために、1 つのモジュール内において許容される不良ブロックの数以上の不良ビットを連続的にスキャンレジスタ制御部 1 6 4 7 a から出力している。これに代えて、スキャンレジスタ制御部 1 6 4 7 a からは、特定のビットパターンを有するデータ系列をレジスタ最終レジスタ識別情報として送出する構成が用いられてもよい。

【 0 4 0 6 】

[実施の形態 1 0]

図 7 3 は、この発明の実施の形態 1 0 に従う半導体記憶装置の要部の構成を概略的に示す図である。図 7 3 において、半導体記憶装置は、2 つのバンク A および B を含むよう

50

に示される。さらに多くのバンクが設けられてもよい。図 7 3 において、この半導体記憶装置は、外部から与えられるクロック（制御信号）M A C を受けるクロック入力バッファ 1 6 6 2 と、外部から与えられる入力アドレス信号を受けるアドレス入力バッファ 1 6 6 4 と、クロック入力バッファ 1 6 6 2 およびアドレス入力バッファ 1 6 6 4 からの信号を受け、所定の変換処理を行なってバンク A および B へ与える変換演算部 1 6 6 6 を含む。この変換演算部 1 6 6 6 は、先の実施の形態 8 と同様の機能を備える。この変換演算部 1 6 6 6 は、アドレス入力バッファ 1 6 6 4 から与えられるバンクアドレス信号に変換処理を施しかつその変換後のバンクアドレス信号に従ってクロック入力バッファ 1 6 6 2 から与えられるクロック信号を変換し、その変換後のバンクアドレス信号が指定するバンクへのみ活性状態の内部クロック信号を与える。すなわち、変換演算部 1 6 6 6 において、外部からのクロック信号 M A C に対しても変換処理を施す。

10

【 0 4 0 7 】

図 7 4 は、図 7 3 に示す変換演算部 1 6 6 6 の構成の一例を示す図である。図 7 4 において、変換演算部 1 6 6 6 は、入力アドレス信号を受け、所定の変換処理を行なう入力変換部 1 6 6 6 a と、クロック入力バッファ 1 6 6 2 からの内部クロック信号 M A C に応答して活性化され、入力変換部 1 6 6 6 a から与えられる内部アドレス信号をデコードし、バンク A およびバンク B それぞれに対するローカルクロック信号 M A C a および M A C b を出力するバンクデコーダ 1 6 6 6 b を含む。このバンクデコーダ 1 6 6 6 b は、入力変換部 1 6 6 6 a から与えられた内部変換後の（または変換されていない）内部バンクアドレス信号をデコードし、アドレス指定されたバンクに対してのみ、活性状態とされるクロック信号を出力する。

20

【 0 4 0 8 】

この図 7 4 に示す構成の場合、クロック入力バッファ 1 6 6 2 からの内部クロック信号をバンク A およびバンク B それぞれへ与え、バンク A およびバンク B それぞれにおいてデコード動作を行なって活性状態とする構成に比べて以下の利点を得ることができる。すなわち、バンクデコーダ 1 6 6 6 b は、バンク A およびバンク B に共通に設けることができ、そのクロック信号生成のためのバンクデコーダの数を低減することができ、装置占有面積を低減することができる。また、クロック入力バッファ 1 6 6 2 の出力信号をバンク A および B 共通に与える場合、このクロック入力バッファ 1 6 6 2 の出力負荷が大きくなる。一方、バンクデコーダ 1 6 6 6 b から、バンク A およびバンク B それぞれに対し別々にローカルクロック信号 M A C a および M A C b を出力することにより、このバンクデコーダ 1 6 6 6 b の出力負荷は、1 つのバンクのみとなり、出力負荷が軽減され、高速で信号を伝搬することができ、高速アクセスが可能となる。

30

【 0 4 0 9 】

このクロック信号 M A C は、D R A M（ダイナミック・ランダム・アクセス・メモリ）の場合に用いられる信号、/ R A S、/ C A S、および / W E、/ O E、および / C A S であってもよい。この場合、ライトイネーブル信号 / W E および出力イネーブル信号 / O E は、半導体記憶装置において、バンク A および B に共通に設けられる入出力バッファへ与えられ、また各バンクに対し、データの書込 / 読出を行なうためのローカルライトイネーブル信号およびローカル出力イネーブル信号が与えられる（各バンクに対し個々に書込回路および読出回路が設けられている場合）。

40

【 0 4 1 0 】

なお、図 7 4 に示す変換演算部 1 6 6 6 の構成において、バンクデコーダ 1 6 6 6 b は、プリデコーダの構成を備えていてもよい。その場合、変換演算部 1 6 6 6 から、プリデコードされたローカルクロック信号が出力され、各バンクにおいて、さらにデコードされて、対応のバンクが活性状態とされる。このバンクは先の実施の形態のいずれかにおいて説明した、アレイブロックであってもよい。

【 0 4 1 1 】

以上のように、この発明の実施の形態 1 0 に従えば、クロック信号に対しても処理を行ない、アドレス指定されたバンク（アレイブロック）に対してのみ内部のクロック信号を伝

50

達するように構成したため、そのクロック信号の伝達する信号線の負荷が軽減され、高速で内部クロック信号を各アレイブロック（バンク）へ伝達することができる。

【0412】

[実施の形態11]

図75は、この発明の実施の形態11に従う半導体記憶装置の要部の構成を概略的に示す図である。図75において、この半導体記憶装置は、2つのバンクAおよびBを含む。これらのバンクAおよびBに対して、動作モードおよびアドレスの指定を行なうために、外部からのクロック信号MCAを受けるクロック入力バッファ1662と、外部からの入力アドレス信号を受けるアドレス入力バッファ1664と、これらのバッファ1662および1664からの信号に対し変換処理を行なって、制御バスCTaおよびCTbを介してバンクAおよびBに対しそれぞれローカル制御信号を伝達する変換演算部1666と、バンクAおよびBに内部データバスIOaおよびIObを介して接続される変換演算部1670と、この変換演算部1670を介してバンクAおよび/またはBとデータの入出力を行なうデータ入出力バッファ1672を含む。このデータ入出力バッファ1672は、外部データバスに接続される。

10

【0413】

クロック入力バッファ1662、アドレス入力バッファ1664および変換演算部1666は、図73に示す実施の形態10の構成と同じである。

【0414】

変換演算部1670は、内部データバスIOaおよびIObとデータ入出力回路1672の間の接続を制御する。この内部データバスIOaおよびIObの各々は、外部データバスのバス線と同じ数のバス線を備える。

20

【0415】

変換演算部1670は、外部バス（データ入出力バッファ1672のデータ入出力端子）のそれぞれの所定数のバス線（データ入出力端子）を有する複数のグループEDB0～EDB3に分割し、各グループ単位で内部データバスIOaおよびIObのデータに出力バッファ1672との間の接続を確立する。これにより、外部データバスと内部データバスとのデータ入出力バッファ1672を介しての接続態様が変更される。

【0416】

通常、バンクAおよびバンクBの一方が、内部データバスIOaまたはIObのすべてのバス線を用いて外部データバスEXDBとデータの授受を行なう。しかしながら、外部データバスEXDBのバス線の数が多い場合（図76においては、32ビット幅）、常に32ビットワードが外部データバスEXDBと内部データバスIO（IOaまたはIOb）の間で転送されるとは限らない。16ビットワードまたは8ビットワードが用いられる場合もある。この場合、図76に示すように、その用いられるワード数に応じて、外部データバスEXDBと内部データバスの接続が変更される。このとき、またバンクAおよびバンクBが同時に活性状態とされる。バンクAおよびバンクBが、それぞれ内部データバスIOaおよびIObの使用されるバス線は変換演算部1670により決定される。したがって、バンクAおよびバンクBが並列に、外部データバスEXDBとデータの授受を行なう。

30

40

【0417】

たとえばバンクBを介して図76に示すサブデータバスEDB2およびEDB3を用いてデータ転送が行なわれる場合、この空きサブデータバスEDB0およびEDB1を用いてバンクAとデータの授受を行なう。これにより、データ転送効率が大幅に改善される。サブデータバスEDB2およびEDB3がプロセッサCPUAにデータを転送し、またサブデータバスEDB0およびEDB1が別のCPUBにデータを転送する構成とすれば、マルチプロセッサシステムにおいて、複数のCPUが、同時に必要とされるデータの転送を行なうことができる。

【0418】

図77は、図75に示す半導体記憶装置を利用する処理システムの構成の一例を示す図で

50

ある。図 77 において、CPU 1682 およびプロセッサ 1684 が外部データバス (EXDB) 1685 を介して半導体記憶装置 1680 に接続される。この外部データバス 1685 は、半導体記憶装置 1680 に含まれる変換演算部 1670 に接続される。CPU 1682 およびプロセッサ 1684 は、制御バス 1687 を介してバスコントローラ 1686 に接続される。このバスコントローラ 1686 は、また変換演算部 1670 と制御バス 1689 を介して結合される。CPU 1682 およびプロセッサ 1684 は、この半導体記憶装置 1680 に含まれるバンク A およびバンク B それぞれをアクセス領域としており、たとえばインターリーブ態様でこれらのバンク A および B にアクセスする。このプロセッサ 1684 は、CPU であってもよく、また所定の演算機能のみを実行する機能モジュールであってもよい。ここでは、簡単化のため、CPU 1682 は、演算処理操作を行ない、プロセッサ 1684 は、画像データの表示操作を制御するものとする。CPU 1682 およびプロセッサ 1684 は、バスコントローラ 1686 に対し、外部データバス 1685 の使用の要求を出力する。このとき、また CPU 1682 は、バスコントローラ 1686 に対し、この外部データバス 1685 のいずれのデータバス線を使用するかを示す情報を併せて送出する。バスコントローラ 1686 は、この CPU 1682 からのバス使用要求に従って、対応のバスが空状態とされたとき (プロセッサ 1684 が使用していないとき)、CPU 1682 に対し、半導体記憶装置 1680 に対するアクセスを許可する。

【0419】

変換演算部 1670 は、この CPU 1682 からの命令に含まれるバス情報に従って、内部データバスと外部データバス 1685 との間の接続態様を決定する。この場合、変換演算部 1670 は、CPU 1682 のアクセス時には、バンク A の内部データバス IOa を外部データバス 1685 に接続して、データの授受を行なう。このとき、CPU 1682 が、外部データバス 1685 のすべてのバス線を使用しない場合、変換演算部 1670 に対し、この情報を与える。変換演算部 1670 は、この CPU 1682 からのバス使用情報に応じてその内部データバスと外部データバス 1685 との接続態様を決定する。この変換演算部 1670 は、CPU 1682 からの命令に従って、外部データバス 1685 のすべてのバス線が使用されていない場合、その空きサブデータバスを示す情報を制御バス 1689 を介してバスコントローラ 1686 へ与える。バスコントローラ 1686 は、この変換演算部 1670 から与えられるサブデータバス情報に従ってプロセッサ 1684 にその空きサブデータバスの使用許可情報を与える。プロセッサ 1684 は、この空き情報に従って、空きサブデータバスを利用して、半導体記憶装置 1680 へアクセスする。CPU 1682 およびプロセッサ 1684 は、インターリーブ態様でしか半導体記憶装置 1680 に対してアクセスできない場合において、CPU 1682 の使用する演算データのビット幅が、外部データバス 1685 のバス幅よりも小さい場合には、プロセッサ 1684 がその空きサブデータバスを利用してデータの転送を行なうことができ、外部データバス 1685 の利用効率を改善することができる。

【0420】

なお、変換演算部 1670 は、バスコントローラ 1686 からの制御のもとに、内部データバスと外部データバスとの接続態様を決定するように構成されてもよい。この場合、CPU 1682 は、バスコントローラ 1686 に対し、外部データバス 1685 のいずれのサブデータバスグループを利用するかを示す情報を併せて送出する。

【0421】

なお上述の説明において、プロセッサ 1684 は、たとえば画像データを処理しており、1 画素データがたとえば 8 ビットと 1 つのサブデータバスのビット幅に等しい場合を想定している。逆に、プロセッサ 1684 が同様の演算処理を行なっており、このプロセッサ 1684 がバスコントローラ 1686 に対し、外部バスのうちの使用すべきサブデータバスを示す情報を与え、変換演算部 1670 に内部データバスと外部データバスとの接続態様を決定する情報を与えるように構成してもよい。

【0422】

10

20

30

40

50

図 7 8 は、図 7 7 に示す変換演算部の構成の一例を概略的に示す図である。図 7 7 において、変換演算部 1 6 7 0 は、CPU、プロセッサまたはバスコントローラから与えられる命令に従って、内部データバスと外部データバスとの変換態様を決定する変換決定部 1 6 9 0 と、内部データバス I O a 0 ~ I O a 7 および I O b 0 ~ I O b 7 に対応して設けられ、演算決定部 1 6 9 0 からの選択指示信号 S S 0 に従って、これらの内部データバス I O a 0 ~ I O a 7 および I O b 0 ~ I O b 7 のうちの一方を選択する選択回路 B S E L 0 と、変換決定部 1 6 9 0 からの選択制御信号 S S 1 に応答して、内部データバス I O a 8 ~ I O a 1 5 および I O b 8 ~ I O b 1 5 の一方を選択する選択回路 B S E L 1 と、変換決定部 1 6 9 0 からの選択制御信号 S S 2 に応答して、内部データバス I O a 1 6 ~ I O a 2 3 と内部データバス I O b 1 6 ~ I O b 2 3 の一方を選択する選択回路 B S E L 2 と、変換決定部 1 6 9 0 からの選択制御信号 S S 3 に従って、内部データバス I O a 2 4 ~ I O a 3 1 と内部データバス I O b 2 4 ~ I O b 3 1 の一方を選択する選択回路 B S E L 3 を含む。選択回路 B S E L 0 ~ B S E L 3 と外部データバス E D B 0 ~ E D B 3 の間には、入出力回路 1 6 9 2 - 0 ~ 1 6 9 2 - 3 が設けられる。

10

【 0 4 2 3 】

演算決定部 1 6 9 0 は、与えられた命令 (CPU、プロセッサまたはバスコントローラ) に含まれる使用バス幅およびバス位置情報に従って、選択制御信号 S S 0 ~ S S 3 の論理状態を決定する。たとえば、CPU 1 6 8 2 が、半導体記憶装置のバンク A を利用し、プロセッサ 1 6 8 4 が、この半導体記憶装置 1 6 8 0 のバンク B を使用する構成を考える。CPU がその命令により、外部データバス 1 6 8 5 のサブデータバス E D B 0 ~ E D B 3 のいずれを使用するかを示す情報を変換決定部 1 6 9 0 へ与える。変換決定部 1 6 9 0 はこの与えられた命令に含まれるビット幅情報およびビット位置情報をデコードし、選択制御信号 S S 0 ~ S S 3 の論理状態を設定する。

20

【 0 4 2 4 】

たとえば CPU 1 6 8 2 が、外部データバス 1 6 8 5 のサブデータバス E D B 0 ~ E D B 3 をすべて使用する場合には、選択制御信号 S S 0 ~ S S 3 は、すべて H レベルとされる。この状態において、CPU 1 6 8 2 のみが半導体記憶装置 1 6 8 0 へアクセスすることができ、外部データバス 1 6 8 5 は、CPU 1 6 8 2 により占有される。CPU 1 6 8 2 が、この外部データバス 1 6 8 5 のサブデータバス E D B 0 ~ E D B 2 のみを使用する場合、この情報が変換演算部に含まれる変換決定部 1 6 9 0 へ与えられ、変換決定部 1 6 9 0 は、選択制御信号 S S 0、S S 1 および S S 2 を H レベルとし、選択制御信号 S S 3 は L レベルとする。これにより、外部のサブデータバス E D B 3 は、バンク B に接続され、プロセッサ 1 6 8 4 がこのサブデータバス E D B 3 を介して半導体記憶装置 1 6 8 0 に含まれるバンク B にアクセスすることができる。

30

【 0 4 2 5 】

なおこの図 7 8 に示す構成において、選択回路 B S E L 0 ~ B S E L 3 は、それぞれ択一的に対応の入出力回路と内部データバスとを接続している。入出力回路を対応の内部サブデータバスへ両方同時に接続する構成を付加すれば、同じデータを、バンク A およびバンク B へ同時に書込むことができ、コピー操作を容易に実現することができる。

【 0 4 2 6 】

まず、逆に、1つの内部サブデータバスを複数の入出力回路へ同時に接続する構成を用いれば、CPU 1 6 8 2 およびプロセッサ 1 6 8 4 へ同一データを転送することができる。

40

【 0 4 2 7 】

なお、この実施の形態 1 1 においては、バンク A およびバンク B 2つのバンクのみを対象としている。この場合、先の図 6 0 に示すような半導体記憶装置において、最上位のバンクに対して上述のような構成が用いられてもよい。

【 0 4 2 8 】

以上のように、この発明の実施の形態 1 1 に従えば、内部データバスと外部データバスとの接続態様を変更を行なうようにしているため、高速・高効率のデータ転送が可能となる。

50

【 0 4 2 9 】

[変更例]

図 7 9 は、この発明の実施の形態 1 1 の変更例の半導体記憶装置の構成を概略的に示す図である。図 7 9 において、半導体記憶装置 6 9 9 は、複数のアレイブロックを含むメモリアレイ 7 0 0 と、このメモリアレイ 7 0 0 に結合される内部データバス I O と外部データバス E X D B との接続態様を決定する演算回路 7 0 4 と、この演算回路 7 0 4 の接続態様を決定する演算プログラミング回路 7 0 2 を含む。この図 7 9 においては、データ入出力バッファは図面を簡略化するために示していない。演算回路 7 0 4 と外部データバス E X D B の間にデータ入出力バッファ（入出力回路）が設けられてもよく、またデータ入出力バッファ（入出力回路）と外部データバス E X D B との間に演算回路 7 0 4 が設けられてもよい。

10

【 0 4 3 0 】

メモリアレイ 7 0 0 に含まれるアレイブロックは、通常の半導体記憶装置と同様、互いにその活性 / 非活性が依存する構成であってもよく、また先の実施の形態と同様、これらのアレイブロックは互いに独立に活性 / 非活性化を行なうバンク構成であってもよい。通常のアレイブロックの構成の場合（非バンク構成の場合）、複数のアレイブロックが選択状態とされ、これらの選択状態とされたアレイブロックの所定数のビットのメモリセルが内部データバス I O に結合される。アレイブロックがバンク構成の場合、選択バンクの選択メモリセルが内部データバス I O に結合される。選択メモリセルが複数のアレイブロックにわたるか（ノンバンク構成の場合）または 1 つのアレイブロック内に存在する（バンク構成）場合のみがあり、1 ワードのデータビットの分布（物理的位置）が異なるだけであり、実質的な差は存在しない。以下では、この両者の構成を含めて説明する。

20

【 0 4 3 1 】

演算回路 7 0 4 は、この内部データバス I O と外部データバス E X D B のバス線の接続態様を決定する。通常動作時においては、図 8 0 に示すように、内部データバス I O に含まれるすべてのバス線 I B L と外部データバス E X D B のバス線 E B L が 1 対 1 対応でそれぞれすべて予め定められた態様で結合される。したがってこの状態において、外部データバス E X D B のすべてのバス線 E B L を用いてデータの転送が行なわれる。このデータ転送時においては、1 つの C P U または機能モジュール（または処理装置）が外部データバス E X D B を占有する。

30

【 0 4 3 2 】

図 8 1 は、内部データバス I O と外部データバス E X D B との第 1 の変換接続態様を示す図である。図 8 1 に示す接続においては、内部データバス I O は、各々が 8 本の内部データバス線 I B L を含む 2 つのサブデータバス I D B i および I D B j に分割される。外部データバス E X D B も同様、各々が 8 ビットの外部データバス線 E B L を含むサブデータバス E D B i および E D B j に分割される。サブデータバス I D B i および E D B i のみが相互に接続される。サブデータバス I D B j および E D B j は互いに分離される。この状態においては、外部データバス E X D B のサブデータバス E D B i のみを用いて半導体記憶装置とのデータの転送が行なわれる。サブデータバス E D B j は空き状態である。したがって、別のプロセッサまたは機能モジュールは、この空き状態のサブデータバス E D B j を用いてプロセッサ間またはプロセッサ / 機能モジュール間でデータ転送を行なうことができる。

40

【 0 4 3 3 】

図 8 2 は、内部データバス I O と外部データバス E X D B との第 2 の変換接続態様を示す図である。この図 8 2 に示す接続においては、内部データバス I O のサブデータバス I D B i が、外部データバス E X D B のサブデータバス E D B j に接続され、バイト位置が変換される。内部データバス I O のサブデータバス I D B j は、利用されていない。外部データバス E X D B のサブデータバス E D B i は、半導体記憶装置のアクセスには用いられない。したがって、外部の C P U またはプロセッサまたは機能モジュール間で、データ転送をこの空き状態のサブデータバス E D B i を用いて行なうことができ、常時外部データ

50

バス E X D B のすべてのバス線 E B L を使用状態とすることができ、データ転送効率が改善される。

【 0 4 3 4 】

なお、図 8 1 および図 8 2 において、内部データバス I O のサブデータバス I D B j が分離状態とされている場合、選択アレイブロックにおける対応のメモリセルが選択状態とされている。この場合、外部からのデータのこれらのサブデータバス I D B j に対応するメモリセルへの書込は行なわれなため、単にこれらの選択メモリセルに対しては、リフレッシュ動作が行なわれるだけである。

【 0 4 3 5 】

この図 8 2 に示すバス変換構成の場合、この半導体記憶装置へアクセスする外部の C P U が、8 ビット情報を利用する場合、その 8 ビット情報を内部に含まれる下位バイトレジスタへ格納することができる。したがって、C P U は、たとえばバイトハイイネーブル信号を用いて、半導体記憶装置の上位バイト (サブデータバス I D B i に対応) を外部データバス E X D B のサブデータバス E D B i を介して読出し、そのサブデータバス E D B i を介して与えられたデータを、内部で下位バイトレジスタへ変換する処理操作は不要となり、このバイト位置変換のためのバイトスワップ操作が簡略化され、この必要とされるデータを所定の位置に即座に格納することにより、C P U の処理効率が改善される。

図 8 3 は、内部データバス I O と外部データバス E X D B との第 3 の変換接続態様を示す図である。この図 8 3 に示す接続において、内部データバス I O のサブデータバス I D B j が、外部データバス E X D B のサブデータバス E D B i および E D B j に接続される。サブデータバス I D B j 上に読出されたデータは、外部データバス E X D B のサブデータバス E D B i および E D B j に同時に伝達される。サブデータバス E D B i が 8 ビット C P U A に結合され、サブデータバス E D B j が 8 ビット C P U B に結合される。内部データバス I O のサブデータバス I D B j に読出されたデータは、したがって C P U A および C P U B に同時に伝達される。バス変換機能が設けられていない場合、この C P U A および C P U B が同時に同じデータを利用する場合、外部データバス E X D B のサブデータバス E D B j に結合される C P U B がデータを読出し、次いでバッファメモリに格納した後、C P U A がこの外部に設けられたバッファメモリへアクセスして必要とされるデータを読出す。したがって、この場合、C P U A および C P U B に同じデータを伝達するための構成が複雑となり、またそのデータ転送のための時間も長くなる。この図 8 3 に示すように、半導体記憶装置内部において、バス接続変換機能を設けておくことにより、高速で同一データを、C P U A および C P U B に転送することができ、高速データ処理が可能となるとともに、外部データバス E X D B のバス線 E B L をすべて使用状態とすることができ、バス利用効率が改善される。

【 0 4 3 6 】

図 8 4 は、内部データバス I O と外部データバス E X D B との第 4 の変換接続態様を示す図である。図 8 4 においては、外部データバス E X D B のサブデータバス E D B j が、内部データバス I O のサブデータバス I D B i および I D B j にそれぞれ結合される。したがって、このサブデータバス E D B j 上に転送されるデータがサブデータバス I D B i および I D B j に同時に転送される。それにより、メモリアレイにおいて、2 つの領域 (サブデータバス I D B i および I D B j それぞれに対応する領域) に同じデータが格納される。これにより、格納データの信頼性のためのバックアップデータを 1 度の書込シーケンスでメモリ内の別の領域に格納することができる。サブデータバス E D B i はこの書込動作時において、半導体記憶装置へのアクセスには利用されないため、他のプロセッサ / 機能モジュール間でのデータ転送に利用される。

【 0 4 3 7 】

図 8 5 は、内部データバス I O と外部データバス E X D B との第 5 の変換接続態様を示す図である。図 8 5 において、内部データバス I O のサブデータバス I D B i および I D B j が、外部データバス E X D B のサブデータバス E D B j および E D B i にそれぞれ接続される。バイト位置が交換される。この場合、内部データバス I O および外部データバス

10

20

30

40

50

ＥＸＤＢを先の図８０に示すように通常の接続態様でデータを半導体記憶装置内部に格納し、各サブデータバス単位でパリティを生成する。読出時において、通常の接続態様（図８０参照）でデータを読出し、外部において、各サブデータバスＥＤＢｉおよびＥＤＢｊそれぞれでパリティを生成してエラーチェック／訂正を行なう。次いで、この図８５に示すバイトスワップ接続を行ない、再び外部データバスＥＤＢｉおよびＥＤＢｊそれぞれのデータについてパリティチェック／訂正を行なう。通常接続時およびバイトスワップ接続時において、パリティが一致していれば、この読出データは正確であると判定される。このバイトスワップ接続構成は、先の図８４に示す二重書込を利用することができる。すなわち、二重書込されたデータが、バイトスワップ時においても、同じパリティを生成するか否かを識別することにより、この二重書込されたバックアップデータの信頼性がより保証され、システム性能が改善される。

10

【０４３８】

図８６は、図７９に示す半導体記憶装置を利用する処理システムの構成の一例を示す図である。図８６において、半導体記憶装置６９９は、外部データバスＥＸＤＢを介してマイクロプロセッサＭＰＵに結合され、サブデータバスＥＤＢｉを介してＣＰＵＡに結合され、またサブデータバスＥＤＢｊを介してＣＰＵＢに結合される。ＭＰＵはサブデータバスＥＤＢｊおよびＥＤＢｉ両者を用いて半導体記憶装置６９９にアクセスすることができる。ＭＰＵ、ＣＰＵＡおよびＣＰＵＢに共通に、制御バス７０９を介してバスコントローラ６９５が接続される。このバスコントローラ６９５は、外部データバスＥＸＤＢのアクセス状況を常時監視し、制御バス７０９を介して与えられるアクセス要求信号に従ってバスＥＸＤＢの使用状況に応じてバス使用可能情報をアクセス要求したプロセッサ（ＭＰＵ、ＣＰＵＡまたはＣＰＵＢ）へ返送する。この図８１ないし図８５に示す内部バス変換接続制御機能を半導体記憶装置６９９が備えている。バス接続機能は、ＭＰＵ、ＣＰＵＡおよびＣＰＵＢからの命令に従って半導体記憶装置６９９内部に設けられる変換演算部でバス接続態様が決定されてもよい。また、これ代えてバスコントローラ６９５の制御のもとに、使用バス情報が半導体記憶装置６９９の変換演算部へ与えられ（この経路は示さず）、バス接続制御が行なわれてもよい。

20

【０４３９】

この図８６に示すように、ＣＰＵＡおよびＣＰＵＢがそれぞれ異なるサブデータバスＥＤＢｉおよびＥＤＢｊを利用する場合においても、図８１に示すバス接続を利用することにより、これらのＣＰＵＡおよびＣＰＵＢが同じアレイブロックへアクセスすることができる。また、図８３に示すバス接続を利用することにより、このＣＰＵＡおよびＣＰＵＢは、半導体記憶装置６９９から同じデータを同時に受けることができる。ＭＰＵは、この外部データバスＥＸＤＢの使用状況に応じて、たとえばＣＰＵＡがサブデータバスＥＤＢｉを用いて半導体記憶装置６９９とデータ転送を行なっている場合、ＣＰＵＢとサブデータバスＥＤＢｊを介してデータ転送を並列に実行することができる。これにより、バス使用効率が改善され、また異なる処理を行なうプロセッサが並列に外部データバスＥＸＤＢを利用することができ、データ転送効率が改善される。

30

【０４４０】

図８７は、図７９に示す演算回路７０４の具体的構成の一例を示す図である。図８７においては、サブデータバス単位での構成が示される。したがって各回路は、複数ビットを同時に転送する。

40

【０４４１】

図８７において、演算回路７０４は、演算プログラミング回路７０２からの接続制御信号ＳＳＢ０に応答して導通し、内部サブデータバスＩＢＬｉを外部のサブデータバスＥＤＢｉに選択的に接続する選択回路ＳＥＬ０と、演算プログラミング回路７０２からの接続制御信号ＳＳＢ１に応答して導通し、内部サブデータバスＩＢＬｊを外部のサブデータバスＥＤＢｉに接続する選択回路ＳＥＬ１と、演算プログラミング回路７０２からの接続制御信号ＳＳＢ２に応答して導通し、サブデータバスＩＢＬｊを外部のサブデータバスＥＤＢｉに接続する選択回路ＳＥＬ２と、演算プログラミング回路７０２からの接続制御

50

信号SSB3にตอบสนองして導通し、サブデータバスIBLiを外部のサブデータバスEDBiに接続する選択回路SEL3を含む。

【0442】

演算プログラミング回路702は、各プロセッサ(MPU, CPUまたはバスコントローラ)からの命令を受ける。これらの命令が使用バスおよびデータ転送モード(図80ないし図85に示すいずれかのデータ転送動作)を示す情報を含み、演算プログラミング回路702はこの命令をデコードし、必要とされるバス接続が実現されるようにこの接続制御信号SSB0~SSB3を選択的に活性/非活性状態とする。この演算プログラミング回路702は、通常の命令デコードの構成を備えていればよい。

【0443】

[変更例]

図88(A)および(B)は、この発明の実施の形態11の変更例の構成を示す図である。図88(A)において、半導体記憶装置750は、互いに独立にアクセス可能な複数のモジュール(チップ)MOD0~MOD3と、これらのモジュールMOD0~MOD3それぞれと内部データバスIOa, IOb, IOcおよびIODを介して接続されるバス変換演算部755を含む。このバス変換演算部755は、図示しないデータ入力バッファを介して外部データバスEXDBと接続される。この図88(A)に示す構成においては、モジュールMOD0~MOD3の各々は、先の図79または図75に示す構成を備える。これらのモジュールMOD0~MOD3はバンクを構成し互いに独立にアクセス可能である。これらのモジュールMOD0~MOD3は当然、先の図79および図75と同様、内部がバンク構成であってもよく、また通常のノンバンクのアレイブロック構成であってもよい。バス変換演算部755は、先の図75に示す構成と同様、与えられた命令に従って、モジュールMOD0~MOD3それぞれに対応して設けられる内部データバスIOa~IODを選択的に外部データバスEXDBに結合する。したがって、たとえばモジュールMOD0が内部データバスIOaの所定数のデータバス線を用いて外部データバスEXDBの部分的なサブデータバスとデータの授受を行なう場合、他のモジュールが残りのサブデータバスを用いてデータ転送を行なうことができる。

【0444】

図88(B)は、半導体記憶装置750の他の構成を示す図である。この図88(B)においても、複数のメモリモジュールMOD0~MOD3が配置される。モジュールMOD0~MOD3各々は共通内部データバスCIOを介してバス変換演算部755に結合される。バス変換部755は、この共通内部データバスCIOに含まれる内部データバス線(サブデータバス)を選択的に外部データバスEXDBに結合する。この図88(B)に示すバス変換演算部755は、したがって図79に示す演算回路704と同様のバス変換操作を行なう。したがって、この場合、図79に示すメモリアレイの選択アレイブロックをそれぞれメモリモジュールMOD0~MOD3に対応させることに、同様のアドレスバス変換操作が実現される。

【0445】

この図88(A)に示す構成および図88(B)に示す構成両者を組合せてもよい。またメモリモジュールMOD0~MOD3の各々は、さらにこの図74から図79に示す構成を備えていてもよい。これらの組合せにより、階層的なバス変換操作を行なうことができ、データ転送をより柔軟に実現することができる。

【0446】

図89(A)は、半導体記憶装置がバンク構成のアレイブロックを備える場合の、内部データバスの選択的接続態様を実現するための構成を示す図である。図89(A)において、2つのアレイブロックLBiおよびLBaを示す。アレイブロックLBiに対し、下位バイトデータを転送するための下位ローカルIOバスLIOlと、上位バイトデータを転送するための上位ローカルIOバスLIOhが配置される。これらのローカルIOバスLIOhおよびLIOlは、アレイブロックLBiの選択ワード線WLに接続されるメモリセルMCと同時にデータの授受を行なう。このローカルIOバスLIOhおよび

10

20

30

40

50

L I O Lは、アレイブロックL B_iに対してのみ設けられている。隣接アレイブロックL B_jは、また図示しないローカルI Oバスとデータの授受を行なう。

【0447】

このローカルI OバスL I O HおよびL I O Lは、バンク選択ゲートB S G HおよびB S G Lを介して内部データバスを構成するグローバルI OバスG I O HおよびG I O Lにそれぞれ接続される。グローバルI OバスG I O Hは、上位バイトデータを転送し、グローバルI OバスG I O Lは下位バイトデータを転送する（通常動作モード時）。

【0448】

このバンク選択ゲートB S G HおよびB S G Lは、それぞれバンク/バイト選択信号B A H aおよびB A L aに応答して導通する。このバンク選択/バイト指示信号B A H aは、バンク、すなわちアレイブロック指定情報および上位バイト（通常動作モード時）のバス使用を示す情報両者を含む。バンク/バイト指定信号B A L aは、バンク指定信号および下位バイト（通常動作モード時）データバス使用情報両者を含む。このバンク指定/バイト指定信号B A H aおよびB A L aは、後に構成は説明するが、バンクアドレス信号のデコード結果と、プロセッサから与えられるバス使用情報のデコード結果とに基づいて生成される。この図89（A）に示すようにアレイブロックそれぞれに設けられるローカルI Oバスと、複数のアレイブロックに共通に設けられるグローバルI Oバスとの接続のためのバンク選択スイッチB S G HおよびB S G Lの導通制御信号にバンク指定情報およびバス使用情報両者を含めることにより半導体記憶装置内部で、接続態様切替時においても、正確に必要とされるメモリセルへの動作モードに応じたアクセスを実現することができる。

【0449】

図89（B）は、図89（A）に示すバンク/バイト指定信号発生部の構成を示す図である。図89（B）においては、ブロックデコーダB Dがバンクアドレスと命令デコーダから与えられる上位バイト/下位バイト使用情報H/Lを受けて、バンク/バイト指定情報B A H aおよびB A L aを生成する。このブロックデコーダB Dは、各アレイブロックそれぞれに対応して設けられていてもよく、また複数のアレイブロックに共通に設けられ、選択アレイブロックに対してのみこのバンク/バイト指定情報B A H aおよびB A L aが伝達される構成が用いられてもよい。ブロックデコーダB Dへ与えられるバンクアドレスは、先のアドレス変換を行なう構成の場合、変換後のバンクアドレス（メモリブロック指定アドレス）である。

【0450】

以上のように、この発明の実施の形態11に従えば、内部データバスと外部データバスとの間の接続態様を選択的に実現するように構成したために、外部データバスをすべてバスから常時使用してデータ転送を行なうことができ、効率的なデータ転送を実現することができる。また、内部データバスをそれぞれ複数のアレイブロック対応に設け、これらのアレイブロック対応の内部データバスを選択的に外部データバスに接続することにより、データのコピー操作および同一データの複数プロセッサへの転送などを容易に実現することができる。

【0451】

[実施の形態12]

図90（A）は、この発明の実施の形態12が適用される処理システムの構成の一例を示す図である。図90（A）においては、表示装置の表示画面D P L上の、画素P Xが水平方向に配置される走査線H L 0～H L nを示す。この水平方向に従って配列される画素P Xが順次アクセスされた後、次の走査線上の画素がアクセスされるいわゆるラスタスキャン方式で画素P Xが順次アクセスされる（画像データ書込時および読出時いずれにおいても）。この表示画面D P L上の走査線H L 0～H L nの走査時、インターレース方式の場合には、1本おきの走査線（たとえば偶数番号の走査線）が順次アクセスされ、次いで残りの走査線（たとえば奇数番号の走査線）が順次アクセスされる。ノンインターレース方式の場合には、この表示画面D P L上の走査線H L 0～H L nが順次アクセスされる。ノンインターレース方式の場合には、画素データはフレーム単位で与えられ、インターレー

10

20

30

40

50

ス方式の場合には、フィールド単位で与えられる。すなわち、奇数フィールドの走査線がすべて与えられた後に偶数フィールドの走査線の画素データが与えられる。

【0452】

画像データは大量の画像データである（通常、表示画面DPLには、現在、動画像処理に用いられているMPEG規格において720列・520行の画素PXが配置される）。画素PXは、通常4ビットで構成される。これらのデータは、所定の順序で順次高速にアクセスされる。通常、このような画像データを格納する場合、走査線HLを1つのページ（ワード線）に対応させることが行なわれる。ページモードアクセスを用いて画素データPXを順次アクセスすることができるためである。同一バンク（アレイブロック）内のページが連続してアクセスされる場合、このアレイブロックはページ変更時一旦選択ワード線を非選択状態に駆動してから次の新しいページに対するワード線を選択状態へ駆動する必要がある。半導体記憶装置はダイナミック・ランダム・アクセス・メモリを利用しており、選択ワード線のデータはセンスアンプSAにラッチされているため、次のページ選択時においては、このセンスアンプにラッチされたデータを一旦プリチャージ状態にリセットする必要があるためである。このため、同一アレイブロック内でページ変更を行なった場合、アクセス時間が増加する。

10

【0453】

そこで、図90（B）に示すように、本実施の形態12においては、この順次アクセスされる走査線に対応するページ（ワード線）は互いに異なる最下位バンクに対応するアレイバンクに含まれるようにアドレス変換を行なう。図90（B）において、アレイバンク（最下位バンク）AB₁～AB₄が画像データ格納領域として利用され、このアレイバンクAB₁～AB₄が順次アクセスされる。これらのアレイバンクAB₁～AB₄は、バンク構成を備えており、互いに独立に活性/非活性化を行なうことができる。したがって、アレイバンクAB₁におけるデータがアクセスされている間に、次のアレイバンクAB₂のページ（ワード線）を選択状態とすることができる。したがってページ変更は、アレイブロック変更であり、RASプリチャージ時間tRPは不要となり、高速アクセスが可能となる。

20

【0454】

図91は、この発明の実施の形態12に従う半導体記憶装置の要部の構成を概略的に示す図である。図91において、アレイブロック（最下位バンク）AB₁～AB₆と、これらのアレイバンクAB₁～AB₆それぞれに対応して設けられるワード線活性化回路WACA～WACFを代表的に示す。

30

【0455】

ワード線活性化回路WACA～WACF各々は、ワード線活性化信号（最下位バンク指定情報を含む）RASに应答して活性化される。このワード線活性化回路WACA～WACFは、またアドレスバッファ回路を介して与えられるワード線選択アドレス（ページアドレス）をデコードし、このデコード結果に従って対応のワード線（ページ）を選択状態へ駆動する信号を発生する。この選択ワード線（ページ）を選択状態へ駆動するために、アレイバンクAB₁～AB₆それぞれに対応してワード線ドライバWDA、WDB、WDC...が設けられる。図91において、各アレイバンクAB₁～AB₃それぞれに対してワード線WLA, WLB, WLCを選択状態へ駆動するワード線ドライバWDA, WDB, WDCのみを代表的に示す。これらのアレイバンクAB₁～AB₆それぞれに対応して、センスアンプを活性状態へ駆動するセンスアンプドライバSDA, SDB, SDC, ...が設けられる。これらのセンスアンプ帯A, B, C, ...は、対応のセンスアンプドライバSDA, SDB, SDC, ...から与えられるセンスアンプ活性化信号SAA, SAB, SAC, ...に应答して活性状態とされる。

40

【0456】

この図91に示す構成において、ワード線WLA, WLB, WLCは、図90（A）に示す順次連続的にアクセスされる走査線に対応する（ノンインターレース方式およびインターレース方式において走査線とワード線との対応関係は異なっても同じでもよい）。この

50

場合、ワード線WLA, WLB, WLCは、外部からのCPUからの与えられるアドレスは、連続的に変化するページアドレスである。半導体記憶装置内部において、この連続的に与えられるCPUページアドレスは、それぞれ異なるバンクの同じページ(ワード線)アドレスへ変換する。これにより、連続的にアクセスされる走査線に対応するページ(ワード線)を互いに異なるバンクにおいて非同期的に選択状態へ駆動することができる。

【0457】

図92は、この図91に示す半導体記憶装置のデータ読出動作を示す図である。以下、この図91および図92を参照してデータ読出動作について説明する。まずアレイバンクAB1が指定され、ワード線活性化回路WACAが活性状態とされ、ワードドライバWDAを介してワード線WLAが選択状態とされる。これにより、センスアンプ帯Aのセンスノード(ビット線に接続されるノード)の電位が中間電位のプリチャージ状態から変化する。ついでセンスドライバSDAからのセンスアンプ活性化信号SAが活性状態とされ、このセンスアンプ帯Aの各センスノードの電位が選択メモリセルのデータに応じて変化しかつラッチされる。次いで、所定の期間が経過すると、ページモードのコラムアクセスが行なわれ、このワード線WLA上に接続されるメモリセルのデータQA1, QA2, QA3, QA4が順次読出される。

【0458】

このワード線WLA上のメモリセルのデータQA1~QA4の読出動作と並行して、アレイバンクAB2が指定され、このアレイバンクAB2に含まれるワード線WLBがワード線活性化回路WACBを介して選択されてワードドライバWDBにより選択状態へ駆動される。このワード線WLBの選択状態への駆動およびセンスアンプ帯SABの活性化により、センスアンプ帯Bのセンスノードの電位がプリチャージ状態から変化し、メモリセルデータをラッチする。この状態で、アレイブロックAB1のワード線WLA上の必要なメモリセルのデータがすべて読出されるまで待機する。次いで、ワード線WLA上のメモリセルデータのうち必要なデータがすべて読出されると、アレイブロックAB2に対するページモードでのコラムアクセスが開始され、データQA4に続いて、ワード線WLB上のメモリセルのデータQB1, QB2, ... QB5が順次読出される。

【0459】

このアレイブロックAB1のワード線WLAおよびアレイブロックAB2のワード線WLBを互いに非同期的に選択状態へ駆動することにより、RASプリチャージ時間およびRASアクセス時間tRACの待ち時間を必要とすることなく、連続的にワード線WLA上のデータからワード線WLB上のデータを読出すページ変更を行なうことができる。

【0460】

このアレイバンクAB1、AB2、AB3...それぞれにおいて、順次ワード線WLA, WLB, WLCを、互いに選択状態が重なる期間を有するように選択状態へ駆動する動作を、「非同期動作」と称す。このように、アレイブロックが互いに独立に選択状態へ駆動することのできる場合、各アレイブロックを非同期的に選択状態へ駆動し、ページ変更が必要となる前に、必要とされるワード線を選択状態へ駆動してセンスアンプでメモリセルデータをラッチしておくことにより、高速でメモリセルデータを読出すことができる。特に、連続的にアクセスされるページを異なるバンク(アレイブロック)に分散的に配置させることにより、このアレイブロックの非同期動作を利用して、高速でデータの読出を行なうことができる。

【0461】

図93は、この半導体記憶装置へ与えられるアドレスの構成を示す図である。図93に示すように、プロセッサ(CPU)から与えられるアドレスはバンクを特定するバンクアドレス、バンク内のページ(ワード線)を指定するページアドレス、およびこのページ上のコラム(列)を指定するコラムアドレスを含む。バンクアドレスは、図61に示す構成においては、最上位バンクから最下位バンクすべてを指定するアドレスを含む。ページアドレスは、したがってこの最下位バンク(アレイブロック)内のワード線を指定する。コラムアドレスが指定する列の数は、この1つのアレイブロックから並列に読出されるデータ

10

20

30

40

50

ビットの数に応じて決定される。

【0462】

図94は、アドレス変換部の構成を概略的に示す図である。図94において、アドレス変換部は、ページアドレスを入力する入力バッファ760と、バンクアドレス信号を入力する入力バッファ761と、入力バッファ760から与えられるページアドレス信号の変化を検出するATD回路762と、命令デコーダ763の制御のもとに活性化され、入力バッファ761から与えられる下位バンクアドレスビットBADLを初期値としてプリセットし、かつATD回路762からのアドレス変化検出信号に従ってカウント動作を行なうプリセットカウンタ764と、命令デコーダ763の制御のもとに活性化され、入力バッファ760から与えられるページアドレスの下位ビットPADLを初期値としてセットし、かつプリセットカウンタ764からのカウントアップ信号CUPに应答してカウント動作を行なうプリセットカウンタ765と、命令デコーダ763の制御のもとに、プリセットカウンタ764の出力するカウント値および入力バッファ761から与えられる下位バンクアドレス信号ビットBADLの一方を選択するセクタ766と、命令デコーダ763の制御のもとにプリセットカウンタ765の出力するカウント値および入力バッファ760から与えられる下位ページアドレス信号ビットPADLの一方を選択するセクタ767を含む。

10

【0463】

命令デコーダ763は、プロセッサ(CPU)から与えられる命令(大量のデータを連続してアクセスすることを示す命令)が与えられると、セクタ766および767をそれぞれカウンタ764および765の出力するカウント値を選択する状態に設定する。また、命令デコーダ763は、この大量データ連続アクセス命令が与えられると、カウンタ764および765に、入力バッファ761および760から与えられるアドレス信号ビットBADLおよびPADLをそれぞれ初期値としてセットさせると同時に、カウンタ760および765を活性状態とする。

20

【0464】

ATD回路762は、入力バッファ760から与えられる上位ページアドレス信号ビットPADUおよび下位ページアドレス信号ビットPADLの変化を検出し、この変化検出信号をプリセットカウンタ764へ与える。この命令デコーダ763は、連続データアクセス時において、最初のバンクアドレス信号およびページアドレス信号が与えられて、次のバンクアドレスおよびページアドレスが与えられる前に、カウンタ764および765およびセクタ760および767を所定の状態にセットするように構成されてもよい。またこれに代えて、命令デコーダ763は、大量データアクセス時において、最初のページアドレスおよびバンクアドレスが与えられるとき、この最初のバンクアドレスおよびページアドレスが与えられて所定時間経過後にプリセットカウンタ764および765ならびにセクタ760および767を、それぞれアドレス変換を行なうように制御してもよい。いずれの構成が用いられてもよい。

30

【0465】

通常動作時において、セクタ766および767は、入力バッファ761および760から与えられるアドレス信号ビットBADLおよびPADLを選択する。したがって通常動作時においては、外部から与えられるバンクアドレス信号およびページアドレス信号に従って内部のバンクおよびページアドレス選択が行なわれる。

40

【0466】

一方、大量データアクセス時においては、セクタ766および767はカウンタ764および765の出力するカウント値を選択する。最初に与えられたページアドレスおよびバンクアドレスに従って対応のバンクおよびページが選択される。次いで、同じバンクアドレスが与えられかつ異なるページアドレスが与えられるとき、ATD回路762の出力信号が、アドレス変化を示す活性状態とされ、プリセットカウンタ764がカウント動作を行ない、この最初にセットされたバンクアドレスの下位アドレス信号ビットBADLの値を1増分する。したがって、外部のバンクアドレスが同じであっても、内部のバンクア

50

ドレスは隣接バンクを指定することになる。このプリセットカウンタ764は、A T D回路762からのアドレス変化検出信号の活性化時カウント動作を行なう。異なるページアドレスが順次与えられるときに、プリセットカウンタ764がカウント動作を行ない、順次隣接するバンクが指定される。このとき、プリセットカウンタ765はまだプリセットカウンタ764からのカウントアップ信号C U Pは非活性状態であり、その初期値を維持している。したがって連続する異なるバンクにおいて同じページが順次選択状態とされる。

【0467】

この大量データアクセスに対して割当てられたバンクが順次選択状態とされると、プリセットカウンタ764からのカウントアップ信号C U Pが活性状態とされ、プリセットカウンタ765がカウント値を1増分する。これにより、先頭ページアドレス信号P A D Lの値が1増分される。したがって次のサイクルにおいては、最初のアレイブロック(バンク)に戻り、次のページが指定される。

10

【0468】

図95(A)は、この図94に示すアドレス変換部の動作を具体的に説明する図である。図95(A)においては、バンクアドレスが4ビットにより構成され、かつまたページアドレスが4ビットで構成される場合が一例として示される。大量データアクセスのために4つのバンクが使用される。また、プリセットカウンタ764およびプリセットカウンタ765はそれぞれ2ビットのカウンタである。

【0469】

20

いま、C P Uまたはプロセッサから与えられるバンクアドレスは0000であり、同じバンクを指定する。ページアドレスが順次1増分される。最初のサイクルにおいては、カウンタはその初期値を出力するため、外部から与えられるバンクアドレスおよびページアドレスが内部バンクアドレスおよび内部ページアドレスとして出力される。

【0470】

次のサイクルにおいては、ページアドレスが1増分されると、A T D回路762の出力する変化検出信号に従って、プリセットカウンタ764のカウント値が1増分され、バンクアドレスが1増分される。したがって、バンク0001が指定される。このとき、ページアドレスは変化せず、0000を維持する。

【0471】

30

次のサイクルにおいて、再びページアドレスが1増分されると、またバンクアドレスが1増分され、バンク0010が指定される。この状態においても、ページアドレスは変化せず初期値0000を維持する。

【0472】

さらに次のサイクルにおいて、ページアドレスが1増分されると、同様にバンクアドレスが再び1増分され、バンク0010が指定される。この状態において、ページアドレスは変化せず初期値を維持する。

【0473】

再びページアドレスが1増分され、ページ0100が指定されると、プリセットカウンタ764は2ビットカウンタであり、そのカウント値は初期値へ戻る。したがってバンク0000が指定される。このとき、プリセットカウンタ764からのカウントアップ信号C U Pに従ってプリセットカウンタ765がカウントを行ない、ページアドレスが1増分され、ページ0001が指定される。

40

【0474】

したがって、図95(B)に示すように、外部からのC P U(またはプロセッサ)アドレスが、バンク0000を指定し、そのバンク0000内においてページ0000から順次連続するページを指定する場合、変換後においては、バンク0000, 0001, 0010, 0011においてページ0000が順次指定される。バンク0010において、ページ0000が選択状態とされた後には、再びもとのバンク0000において次のページ0001が指定される。したがって各バンクにおいて、4サイクルごとに順次次のページが

50

選択状態とされる。これにより、ページモードアクセスにおいて、各バンクを非同期的に選択状態としてデータアクセスを行なうことができる。

【0475】

なお、上述の説明において、ページが1ずつ増分されている。しかしながら、用いられる画像データのインターレースおよびノンインターレース方式およびフレーム/フィールド形式に従ってこの変換態様は適宜修正されればよい。また、用いられるバンクの数は任意であり、最小2つであればよい。

【0476】

さらに、上述の説明においては、画像データを説明しているが、CPU（またはプロセッサ）がバーストモードでアクセスを行なう演算データの場合であっても、バーストモードで転送が行なわれるデータ領域を予め複数のバンク領域に分散させておくことにより、同様ページモードで高速でデータを転送することができる。

10

【0477】

図96は、この半導体記憶装置内における大量データアクセスに用いられるアドレス領域を示す図である。図96において、上位バンクB A ~ B Dが配置され、各バンクB A ~ B Dにおいて、中位バンクが配置される。この中位バンクにおいて、斜線で示す領域が高速データアクセスに用いられる専用領域として利用される。したがって、中位バンク単位では、他の用途のために別の中位バンクが選択状態とされていても、この選択状態とされた中位バンクのデータとの衝突を伴うことなく、この専用領域を用いて高速データアクセスを実現することができる。

20

【0478】

また上述の説明において、CPUが指定するバンクアドレスを初期値として順次隣接バンクを選択している。隣接バンクではなく、1つおきのバンクが指定されるようにバンクアドレスの変換が行なわれるように構成されてもよい。この場合、半導体記憶装置がシェードセンスアンプ構成を有し、各アレイブロックがバンクの場合において、センスアンプの活性/非活性制御を行なうことなく、順次高速で各アレイブロックを選択状態とすることができる（センスアンプを共有するアレイブロックは同時に選択状態とされない）。

【0479】

また、プリセットカウンタ764および765は、この入力バッファ761および760から与えられるアドレス信号ビットを初期値としてプリセットするのではなく、命令デコーダ763の制御のもとに予め割当てられたアドレス領域内にこのCPUが要求する大量データアクセスのための領域が設定されていてもよい。すなわち、図96において、斜線で示す領域は、常に高速データアクセス領域として専用により、各処理用途においてそのアドレス領域が変換されず常時固定とされる構成が用いられてもよい。

30

【0480】

さらに、上述の説明において、半導体記憶装置内部でアドレス変換を行なっている。しかしながら、図70に示すように、半導体記憶装置が、モジュール単位で構成されている場合においては、これらのモジュールに対し共通にアドレス変換部を設けておくことにより、最小2つのモジュールを用いて交互にページを割当ててアクセスすることができる（この場合、用いられるモジュールは、他の用途においてのデータアクセスのために選択状態とされていないことが必要とされる）。

40

【0481】

以上のように、この発明の実施の形態12に従えば、高速データアクセス時において、連続してアクセスされるページを異なるバンクへ分散させるようにアドレス変換を行なっているため、ページモードを用いて各アレイブロックを非同期的に選択状態へ駆動してアクセスすることができ、RASプリチャージ時間およびRASアクセス時間がページ変更時不要となり、高速アクセスが可能となる。

【0482】

なお、図94に示す構成において、プリセットカウンタ764および765は、それぞれバンクアドレス信号ビットおよびページアドレス信号ビットの全ビットが初期値としてセ

50

ットされ、それぞれ所定のシーケンスでカウント動作を行なうように構成されてもよい。この場合、連続的なバンク／ページがアクセスされるのではなく、特定の所定のシーケンスに従ってバンクおよびページが選択状態とされる。この場合においても、CPUアドレス空間において連続するページが異なるバンクに分散的に配置されるため、同様の効果を得ることができる。

【0483】

【発明の効果】

以上のように、この発明に従えば、複数のアレイブロックそれぞれを互いに独立に駆動可能としたため、複数のワード線を同時に選択状態とすることができ、高速アクセスを実現する半導体記憶装置を得ることができる。

10

【0484】

すなわち、請求項1に係る発明に従えば、共通内部データバス線に接続される複数のアレイブロックに対し、転送指示信号と転送アドレス信号とに従ってメモリセルデータを、この転送アドレス信号が指定するアレイブロックへ転送するように構成しているため、装置外部へ一旦読出すことなくアレイブロック間でデータ転送を高速で行なうことができる。また、アドレス信号と対応の転送アドレス信号とをリンクして格納し、外部アドレス信号と格納アドレス信号との一致／不一致に従って外部アドレス信号および格納アドレス信号の一方を選択しているため、外部アドレス信号と格納アドレス信号の一致時には転送アドレス信号を選択することにより、外部アドレス信号が指定するアレイブロックにおいてワード線を選択する必要がなく、転送アレイブロックのセンスアンプをキャッシュとして

20

【0485】

請求項2に係る半導体記憶装置に従えば、転送アレイブロックにおいて、データが転送されたとき、センスアンプを活性化するように構成しているため、転送アレイブロックにおいて、転送されたメモリセルデータをラッチし保持することができ、この転送データを元のメモリセルへアクセスすることなく再利用することができ、高速アクセスが可能となる。さらに、元のメモリセルデータが加工されてその内容が変化している場合においても、この後のメモリセルデータの加工前のデータを容易に再利用することができ、元のデータと加工後のデータの比較、元のデータと加工後のデータの乗算および元のメモリセルのデータとさまざまなデータとの演算を容易に行なうことができ、種々の演算を複雑な回路構成を用いることなく実現することができる。

30

【0486】

請求項3に係る半導体記憶装置に従えば、アレイブロックそれぞれに設けられたローカルI/Oバスと共通データバスを介してアレイブロック間でのデータ転送を行なっているため、アレイブロック間でのデータ転送に余分のデータ転送経路を設ける必要がなく、配線占有面積を増加させることなくアレイブロック間のデータ転送を実現することができる。

【0487】

請求項4に係る半導体記憶装置に従えば、転送アレイブロックにおいてセンスアンプ活性化の前に転送アドレス信号に従って対応のワード線を選択状態とするように構成しているため、転送アレイブロックへ転送されたメモリセルデータの転送アレイブロックの対応のメモリセルへ書込むことができ、メモリセルデータのコピーなどの処理を高速で行なうことができる。

40

【0488】

請求項5に係る半導体記憶装置に従えば、転送アレイブロックにおいてはワード線は非選択状態を保持し、センスアンプのみを活性状態としているため、このアレイブロックの記憶するメモリセルデータに何ら悪影響を及ぼすことなく転送アレイブロックのセンスアンプを擬似的なキャッシュとして利用することができ、高速アクセスが可能な半導体記憶装置を実現することができる。

【0489】

請求項6に係る半導体記憶装置に従えば、アレイブロック間のデータ転送時に転送アレイ

50

ブロックのビット線対とセンスアンプとを切離すように構成しているため、転送アレイブロックのセンスアンプのセンスノードの寄生容量を小さくすることができ、転送アレイブロックのセンスアンプのセンスノードの電位を容易に転送メモリセルデータに応じて変化させることができ、確実にセンスアンプによる転送メモリセルデータの検知、増幅およびラッチを行なうことができ、正確なメモリセルデータのアレイブロック間転送を実現することができる。

【0490】

請求項7に係る半導体記憶装置に従えば、共通データ線に設けられたリードドライバで増幅されたデータを再びライトドライバを介して内部共通データバスへ転送するように構成しているため、転送アレイブロックのセンスアンプの活性/非活性化にかかわらず確実に転送アレイブロックの対応のセンスアンプへ転送メモリセルデータを転送してラッチさせることができる。

10

【0491】

請求項8に係る半導体記憶装置に従えば、転送アレイブロックの対応のセンスアンプと共通データバスとの接続の確立の後センスアンプを活性化するように構成しているため、非活性状態のセンスアンプのセンスノードの電位を共通データバス線上の電位において確実に変化させることができ、大きな駆動力を有するドライバを用いることなく対応の転送アレイブロックの対応のセンスアンプのセンスノード電位を転送メモリセルデータに応じて変化させることができ、確実にメモリセルデータの転送を行なうことができる。

【0492】

20

請求項9に係る半導体記憶装置に従えば、転送アレイブロックのセンスアンプの活性化の後、ライトドライバを活性化して対応のセンスアンプへ転送メモリセルデータを書込むように構成しているため、新たなデータ転送用ドライバを用いることなく確実に転送メモリセルデータを転送アレイブロックの対応のセンスアンプへ転送してそこにラッチさせることができる。

【0493】

請求項10に係る半導体記憶装置に従えば、センスアンプ活性化信号の非活性化から活性化への移行時および活性化から非活性化への移行時に、センスアンプ活性化信号線を容量に選択的に結合するように構成しているため、センスアンプ活性化信号線の電荷を保存して再利用することができ、応じてセンスアンプ駆動のために消費される電流を低減することができる。

30

【0496】

請求項1_1に係る半導体記憶装置に従えば、データ保持指示信号に応答して転送アレイブロックのセンスアンプを活性状態に維持するように構成しているため、転送アレイブロックのセンスアンプをキャッシュとして利用することができる。またこのデータ保持指示信号に従って各選択アレイブロックにおけるセンスアンプも活性状態を維持しており、複数のセンスアレイブロックのセンスアンプをキャッシュとして利用することができ、キャッシュデータ量を多くすることができ、キャッシュヒット率が高くされた高速アクセス可能な半導体記憶装置を得ることができる。

【0498】

40

請求項1_2に係る半導体記憶装置に従えば、外部から周期的に与えられるクロック信号に同期して行および列アドレス信号を取込むように構成しているため、行選択系回路および列選択系回路を互いに独立に駆動することができ、複数のアレイブロックを重複的にまたは互いに独立に活性状態とすることができ、容易にデータ転送を行なうことができる。

【0499】

請求項1_3に係る半導体記憶装置に従えば、アレイブロック各々に対応して、対応のアレイブロックがアドレス指定されたときに与えられたアドレス信号をラッチするアドレスラッチを配置するように構成したため、各アレイブロックを互いに独立にアドレス指定を行なうことができ、異なるアレイブロック間の異なる行の間のデータ転送を容易に実現することができる。

50

【 0 5 0 0 】

請求項 1 4 に係る半導体記憶装置に従えば、この半導体記憶装置の内部動作を指定する制御信号も外部からの周期的に与えられるクロック信号に同期して取込むように構成しているために、信号取込タイミング、内部動作開始タイミングについて信号のスキューを考慮する必要がなく、これらのタイミングの確立が容易となる。またクロック信号に同期して制御信号を与える構成により、各クロックサイクルごとに個々のアレイブロックに対しアクセス動作を指定することも可能となる。

【 0 5 0 1 】

請求項 1 5 に係る半導体記憶装置に従えば、各アレイブロックの活性化期間はチップイネーブル信号に従って所定期間に設定されているため、各アレイブロックの活性化を重複して行なう際のアレイブロック活性化の制御が容易となる。また 1 つのアレイブロックの活性化 / 非活性化が他のアレイブロックの活性 / 非活性に何ら悪影響を及ぼすことがなく、アレイブロックそれぞれを互いに独立に駆動することができる。

10

【 0 5 0 4 】

請求項 1 6 に係る半導体記憶装置に従えば、転送指示命令が与えられたとき、隣接アレイブロック間のビット線対を接続するように構成しているため、高速で 1 行のメモリセルのデータを隣接アレイブロックへ転送することができ、データのコピーまたは塗り潰しなどの画像処理を高速で行なうことができる。

【 0 5 0 5 】

請求項 1 6 に係る半導体記憶装置に従えば、また、センスアンプがデータ保持状態においてこのアレイブロックのリフレッシュを行なう場合、センスアンプの保持データを隣接アレイブロックのビット線対に転送した後リフレッシュを行なうように構成しているため、センスアンプが保持するデータ（キャッシュデータ）が破壊されることなくこのアレイブロックのリフレッシュを行なうことができる。また、単に隣接アレイブロックへはセンスアンプの保持データを転送しているだけであり、電荷の移動が生じるだけであり、何らこの転送のために不必要な電流が消費されることはない。

20

【 図面の簡単な説明 】

【 図 1 】 この発明の実施の形態 1 に従う半導体記憶装置の全体の構成を概略的に示す図である。

【 図 2 】 図 1 に示す半導体記憶装置のアレイブロックの内部構成をより詳細に示す図である。

30

【 図 3 】 この発明の実施の形態 1 の半導体記憶装置の動作を示す信号波形図である。

【 図 4 】 この発明の実施の形態 1 に従う半導体記憶装置のアレイブロック内部の信号波形を示す図である。

【 図 5 】 この発明の実施の形態 1 に従う半導体記憶装置の変更例の動作を示す信号波形を示す図である。

【 図 6 】 図 1 に示すアレイ活性制御回路の構成を示す図である。

【 図 7 】 図 6 に示すブロックデコードの構成および動作を示す図である。

【 図 8 】 図 6 に示すイコライズ / プリチャージ制御回路およびワード線駆動制御回路の構成および動作を示す図である。

40

【 図 9 】 図 6 に示すセンスアンプ制御回路の構成を示す図である。

【 図 10 】 図 1 に示す X デコードそれぞれに対応して設けられるアドレスラッチの構成を示す図である。

【 図 11 】 図 9 および図 10 に示す回路の動作を示す信号波形図である。

【 図 12 】 図 1 に示す X デコードの構成を示す図である。

【 図 13 】 この発明の実施の形態 1 に従う半導体記憶装置の第 1 の変更例の構成を示す図である。

【 図 14 】 図 13 に示すローレベル I / O バスとリード / ライトドライバの構成を示す図である。

【 図 15 】 この発明の実施の形態 1 に従う半導体記憶装置の第 2 の変更例のアレイプロ

50

ックの 1 列の構成を示す図である。

【図 1 6】 この発明の実施の形態 2 に従う半導体記憶装置の動作を示す信号波形を示す図である。

【図 1 7】 この発明の実施の形態 2 における半導体記憶装置の内部動作をより詳細に示す信号波形を示す図である。

【図 1 8】 この発明の実施の形態 2 における半導体記憶装置のデータ転送動作を説明するための図である。

【図 1 9】 この発明の実施の形態 2 に従う半導体記憶装置の動作を示す信号波形図である。

【図 2 0】 この発明の実施の形態 2 の動作をより詳細に示す信号波形図である。 10

【図 2 1】 この発明の実施の形態 2 に従う半導体記憶装置のデータ転送動作を説明するための図である。

【図 2 2】 この発明の実施の形態 2 に従う半導体記憶装置の動作を示す信号波形図である。

【図 2 3】 この発明の実施の形態 2 に従う半導体記憶装置の動作をより詳細に示す内部信号の波形図である。

【図 2 4】 この発明の実施の形態 2 を実現するための制御部の構成を示す図である。

【図 2 5】 図 2 4 に示す転送制御回路の構成を概略的に示す図である。

【図 2 6】 図 2 4 に示すイコライズ / プリチャージ制御回路の構成を示す図である。

【図 2 7】 図 2 6 に示すイコライズ / プリチャージ制御回路の動作を示す信号波形図である。 20

【図 2 8】 図 2 4 に示すセンスアンプ制御回路の構成を示す図である。

【図 2 9】 図 2 8 に示すセンスアンプ制御回路の動作を示す信号波形図である。

【図 3 0】 この発明の実施の形態 3 に従う半導体記憶装置のアドレス入力部の構成を示す図である。

【図 3 1】 図 3 0 に示すアドレス入力部の動作を示す信号波形図である。

【図 3 2】 図 3 0 に示すマッピングメモリおよびアドレス変換回路の構成をより詳細に示す図である。

【図 3 3】 この発明の実施の形態 4 に従う半導体記憶装置の動作を示す信号波形図である。 30

【図 3 4】 図 3 3 に示す動作を実現するための制御部の構成を示す図である。

【図 3 5】 この発明の実施の形態 4 における通常動作時の信号波形を示す図である。

【図 3 6】 この発明の実施の形態 4 におけるデータ保持時の転送 / 書込動作を示す波形図である。

【図 3 7】 図 3 4 に示すイコライズ / プリチャージ制御回路の構成および動作波形を示す図である。

【図 3 8】 図 3 4 に示すワード線駆動制御回路の構成および動作波形を示す図である。

【図 3 9】 この発明の実施の形態 5 に従う半導体記憶装置のアレイ部の構成を概略的に示す図である。

【図 4 0】 図 3 9 に示すアレイブロックの構成をより具体的に示す図である。 40

【図 4 1】 図 3 9 に示す半導体記憶装置の動作を示す信号波形図である。

【図 4 2】 図 4 1 に示す動作波形図のより詳細な内部信号の波形を示す図である。

【図 4 3】 この発明の実施の形態 5 において用いられる制御部の構成を概略的に示す図である。

【図 4 4】 この発明の実施の形態 6 に従う半導体記憶装置の要部の構成を示す図である。

【図 4 5】 図 4 4 に示す半導体記憶装置の動作を示す信号波形図である。

【図 4 6】 この発明の実施の形態 6 の半導体記憶装置の制御部の構成を示す図である。

【図 4 7】 図 4 4 に示すセンスアンプ活性化信号 V_n に結合されるキャパシタの構成を示す図である。 50

【図４８】 図４４に示すセンスアンプ活性化信号 V_p に結合されるキャパシタの構成を示す図である。

【図４９】 この発明の実施の形態６に従う半導体記憶装置のキャパシタの接続を全体を概略的に示す図である。

【図５０】 この発明の実施の形態６において用いられるキャパシタの配置位置を示す図である。

【図５１】 この発明の実施の形態６の変更例の動作を示す波形図である。

【図５２】 この発明の実施の形態７に従う半導体記憶装置の動作を示す信号波形図である。

【図５３】 この発明の実施の形態７に従う半導体記憶装置の制御部の構成を示す図である。 10

【図５４】 この発明の実施の形態８に従う半導体記憶装置の全体の構成を概略的に示す図である。

【図５５】 (Ａ)は、図５４に示す入力変換部の構成を示し、(Ｂ)および(Ｃ)はこの入力変換部の動作を示す図である。

【図５６】 この発明の実施の形態８に従う半導体記憶装置の動作を示す波形図である。

【図５７】 図５５(Ａ)に示す入替回路の構成の一例を示す図である。

【図５８】 図５５(Ａ)に示す一致検出回路の構成の一例を示す図である。

【図５９】 図５５(Ａ)に示す反転回路の構成を概略的に示す図である。

【図６０】 図５４に示す入力変換部の変更例の構成を示す図である。 20

【図６１】 この発明の実施の形態８に従う半導体記憶装置の変更例のアレイ部の構成を示す図である。

【図６２】 図６１に示すメモリアレイ部のアドレス割当てを示す図である。

【図６３】 図６１に示すメモリアレイのアドレス変換操作を示す図である。

【図６４】 図６３に示すアドレス変換を実現するアドレス変換部の構成を概略的に示す図である。

【図６５】 図６４に示すアドレス変換部の操作を説明するための図である。

【図６６】 この発明の実施の形態８の変更例における変換アドレスを発生するための構成を示す図である。

【図６７】 この発明の実施の形態８の変更例における不良メモリブロックに対する処置の一例を示す図である。 30

【図６８】 この発明の実施の形態８に従う入力変換部のさらに他の構成を示す図である。

【図６９】 (Ａ)ないし(Ｃ)は、図６８に示すアドレス入力変換部の処理操作態様を示す図である。

【図７０】 この発明の実施の形態９に従う半導体記憶装置の全体の構成を概略的に示す図である。

【図７１】 図７０に示す半導体記憶装置の不良メモリブロック(アレイブロック)識別のための構成を示す図である。

【図７２】 図７１に示す半導体記憶装置の変換演算部の構成をより詳細に示す図である。 40

【図７３】 この発明の実施の形態１０に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図７４】 図７３に示す変換演算部の構成を概略的に示す図である。

【図７５】 この発明の実施の形態１１に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図７６】 図７５におけるバス変換演算部のバス変換態様の一例を示す図である。

【図７７】 この発明の実施の形態１１に従う半導体記憶装置を用いる処理システムの構成の一例を示す図である。

【図７８】 図７７に示す変換演算部の構成の一例を示す図である。 50

【図 7 9】 この発明の実施の形態 1 1 に従う半導体記憶装置の変更例の構成を示す図である。

【図 8 0】 図 7 9 に示す半導体記憶装置の外部バスと内部データバスとの接続態様を示す図である。

【図 8 1】 図 7 9 に示す半導体記憶装置の内部データバスと外部データバスとの接続態様を示す図である。

【図 8 2】 図 7 9 に示す半導体記憶装置の内部データバスと外部データバスとの接続態様を示す図である。

【図 8 3】 図 7 9 に示す半導体記憶装置の内部データバスと外部データバスとの接続態様を示す図である。

10

【図 8 4】 図 7 9 に示す半導体記憶装置の内部データバスと外部データバスとの接続態様を示す図である。

【図 8 5】 図 7 9 に示す半導体記憶装置の内部データバスと外部データバスとの接続態様を示す図である。

【図 8 6】 図 7 9 に示す半導体記憶装置を用いる処理システムの構成の一例を示す図である。

【図 8 7】 図 7 9 に示す演算回路の構成の一例を示す図である。

【図 8 8】 この発明の実施の形態 1 1 の変更例の構成を示す図である。

【図 8 9】 この発明の実施の形態 1 1 のバンク構成の内部バス切替構成を示す図である。

20

【図 9 0】 (A) はこの発明の実施の形態 1 2 に従う半導体記憶装置が適用される画像データのスキャン内容を示す図であり、(B) はこの発明の実施の形態 1 2 に従う半導体記憶装置におけるデータアクセス順序を示す図である。

【図 9 1】 この発明の実施の形態 1 2 に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図 9 2】 図 9 1 に示す装置の動作波形図である。

【図 9 3】 この発明の実施の形態 1 2 において用いられる CPU アドレスの構成の一例を示す図である。

【図 9 4】 この発明の実施の形態 1 2 における半導体記憶装置のアドレス変換部の構成を概略的に示す図である。

30

【図 9 5】 図 9 4 に示すアドレス変換部の動作を説明するための図である。

【図 9 6】 この発明の実施の形態 1 2 において高速データアクセスに利用される領域の分布を示す図である。

【図 9 7】 従来の半導体記憶装置のアレイ部の構成を示す図である。

【図 9 8】 図 9 7 に示す半導体記憶装置のアレイブロックの 1 列の構成を示す図である。

【図 9 9】 図 9 7 に示す半導体記憶装置の動作を示す信号波形図である。

【符号の説明】

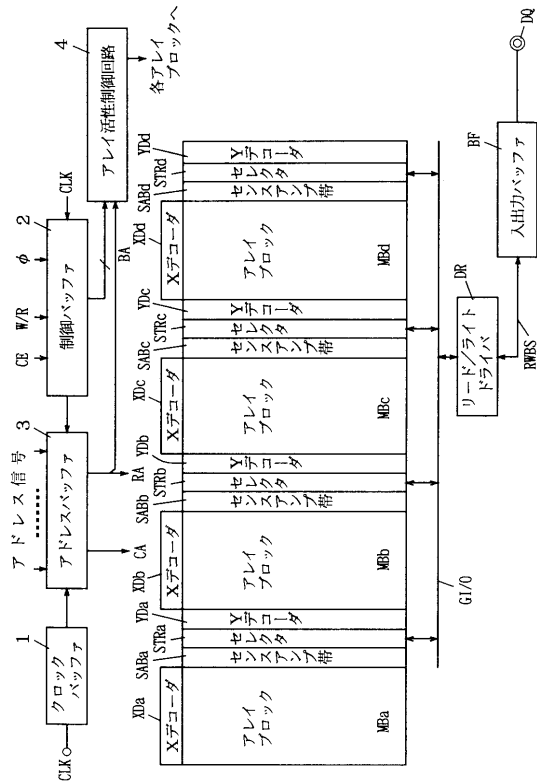
1 クロックバッファ、2 制御バッファ、3 アドレスバッファ、4 アレイ活性制御回路、X D a ~ X D d X デコーダ、M B a ~ M B d アレイブロック、S A B a ~ S A B d センスアンプ帯、S T R a ~ S T R d セレクタ、G I / O グローバル I / O バス (共通データバス)、D R リード/ライトドライバ、B F 入出力バッファ、S A センスアンプ、M C メモリセル、B L P ビット線対、L I / O ローカル I / O バス、5 ビット線分離ゲート、C S E L 列選択ゲート、B S E L A ブロック選択ゲート、1 0 ブロックデコーダ、1 2 a ~ 1 2 d イコライズ/プリチャージ制御回路、1 4 a ~ 1 4 d ワード線駆動制御回路、1 6 a ~ 1 6 d センスアンプ制御回路、1 8 a ~ 1 8 d 列選択制御回路、1 5 書替制御回路、R W D R リード/ライトドライバ、1 2 0 a ~ 1 2 0 d イコライズ/プリチャージ制御回路、1 4 0 a ~ 1 4 0 d ワード線駆動制御回路、1 6 0 a ~ 1 6 0 d センスアンプ制御回路、1 8 0 a ~ 1 8 0 d 列選択制御回路、2 0 0 アドレスバッファ、2 0 2 マッピングメモリ、2 0 4 アドレス変換回路

40

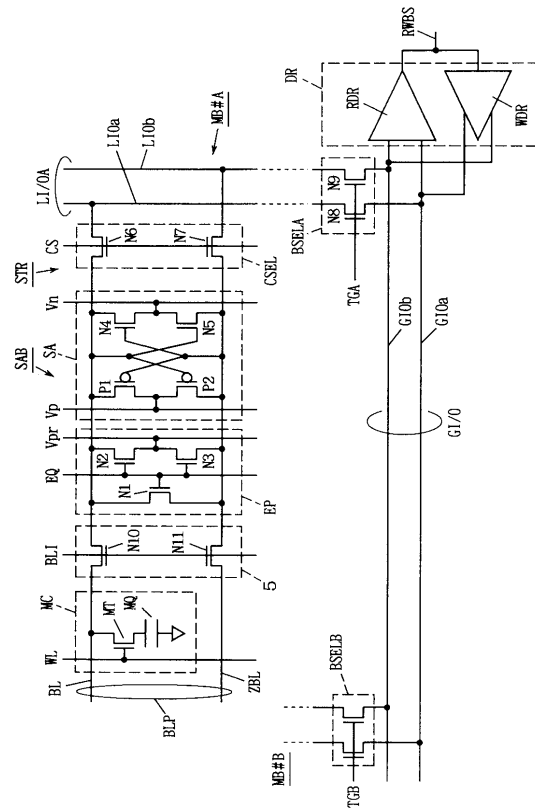
50

、 2 0 6 マルチプレクサ、 2 1 0 モード検出回路、 2 1 2 アドレスラッチ、 2 1 4 書込制御回路、 2 2 0 イコライズ/プリチャージ制御回路、 2 4 0 ワード線駆動制御回路、 2 6 0 センスアンプ制御回路、 2 7 0 アドレスラッチ回路、 2 7 2 比較器、 2 7 4 R A ラッチ、 2 7 6 X デコーダ、 2 7 8 C A ラッチ、 2 7 9 Y デコーダ、 2 8 0 列選択制御回路、 3 0 0 a ~ 3 0 0 f アレイ活性制御回路、 N B A ~ N B F アレイブロック、 3 1 0 a ~ 3 1 0 e アレイ活性化回路、 3 0 1 a a , 3 0 1 a b , 3 0 1 b b , 3 0 1 b c , 3 0 1 c c , 3 0 1 c d トランスファークゲート、 3 1 5 転送制御回路、 4 0 0 モード検出回路、 4 1 0 アドレスバッファ、 4 1 2 アドレスラッチ、 4 1 4 ブロックデコーダ、 4 1 6 転送制御回路、 4 1 8 アレイ活性制御回路、 4 5 0 , 4 5 2 センスアンプ活性化信号線、 4 5 8 , 4 6 0 センスアンプ駆動トランジスタ、 4 6 2 , 4 6 4 トランスファークゲート、 4 7 0 , 4 7 5 キャパシタ、 5 0 0 ブロックデコーダ、 5 1 0 イコライズ/プリチャージ制御回路、 5 2 0 ワード線駆動制御回路、 5 3 0 アレイ活性制御回路、 4 6 4 a ~ 4 6 4 f トランスファークゲート、 6 0 0 リフレッシュ制御回路、 6 0 2 リフレッシュカウンタ、 6 1 0 リフレッシュ調停回路、 6 1 5 転送制御回路、 6 2 0 a ~ 6 2 0 f アレイ活性制御回路、 6 2 1 イコライズ/プリチャージ制御回路、 6 2 4 ワード線駆動制御回路、 6 2 6 センスアンプ制御回路、 1 6 0 0 メモリアレイ、 1 6 0 2 入力変換部、 1 6 0 3 x , 1 6 0 y ブロックデコーダ、 1 6 0 4 命令デコード部、 B A ~ B D 上位バンク、 A - 1 ~ A - 8 ~ D - 1 ~ D 8 中位バンク、 L B 1 ~ L B 8 最下位バンク、 1 6 1 0 マッピングメモリ、 1 6 1 2 アドレス変換回路、 1 6 1 4 アドレスバッファ、 1 6 1 6 マルチプレクサ、 R G 0 ~ R G n , R G u , R G x , R g y レジスタ、 1 6 2 0 書込回路、 1 6 2 2 読出回路、 1 6 2 4 アドレス発生器、 1 6 3 2 入力変換回路、 1 6 3 4 プログラム書込回路、 1 6 3 6 命令デコーダ、 1 6 4 5 変換演算部、 1 6 5 0 入力変換部、 M O D 0 ~ M O D 3 モジュール、 R G レジスタ、 1 6 4 7 アドレス変換部、 I P 入力ポート、 O P 出力ポート、 1 6 4 7 a スキャンレジスタ制御部、 1 6 4 7 b レジスタメモリ、 1 6 4 7 c 演算部、 1 6 6 2 クロック入力バッファ、 1 6 6 4 アドレス入力バッファ、 1 6 6 6 変換演算部、 1 6 7 0 変換演算部、 1 6 7 2 データ入出力バッファ、 1 6 8 2 C P U、 1 6 8 4 プロセッサ、 1 6 8 6 バスコントローラ、 1 6 8 0 半導体記憶装置、 7 0 0 メモリアレイ、 I O 内部データバス、 7 0 4 演算回路、 E X D B 外部データバス、 I B L 内部データバス線、 E B L 外部データバス線、 I D B i , I D B j 内部サブデータバス、 E D B 外部サブデータバス、 7 5 0 半導体記憶装置、 7 5 5 バス変換演算部、 M O D 0 ~ M O S 3 モジュール(チップ)、 A B 1 ~ A B 5 アレイブロック、 S D A ~ S D C センスアンプドライバ、 W D A ~ W D C ワード線ドライバ、 W A S A ~ W A C F ワード線活性化回路。

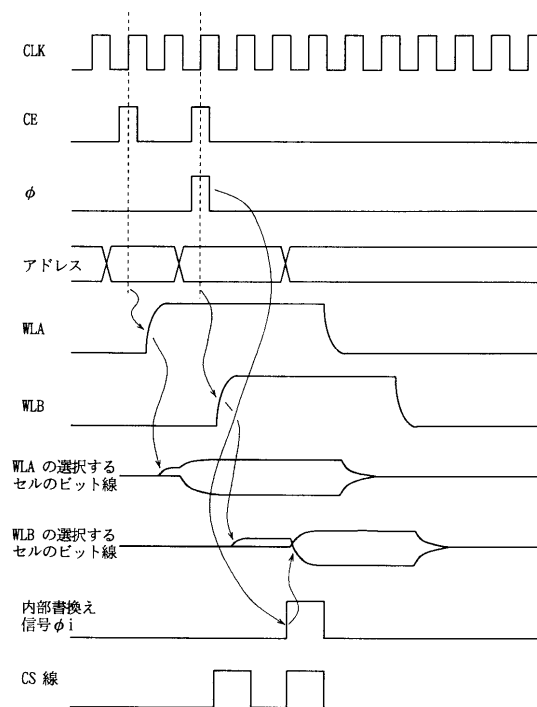
【図 1】



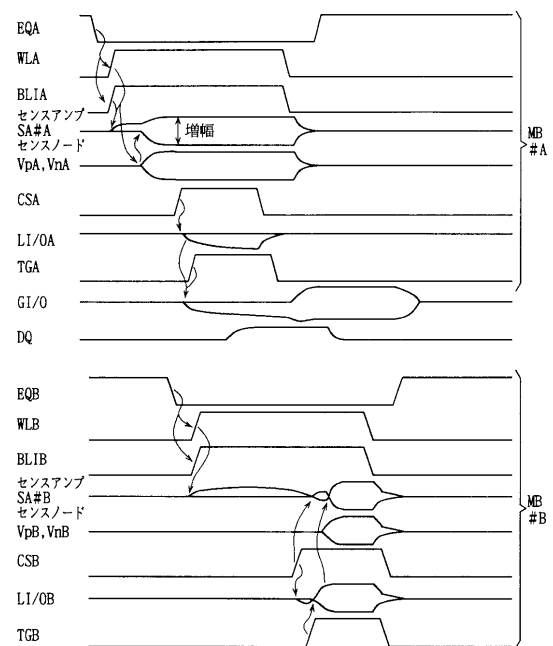
【図 2】



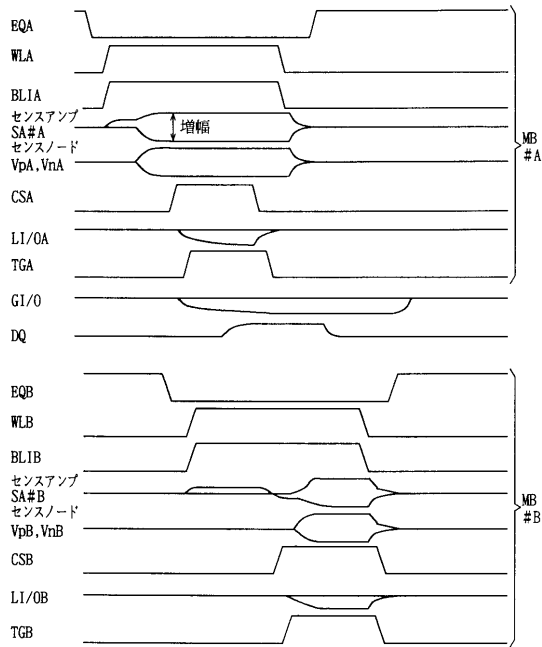
【図 3】



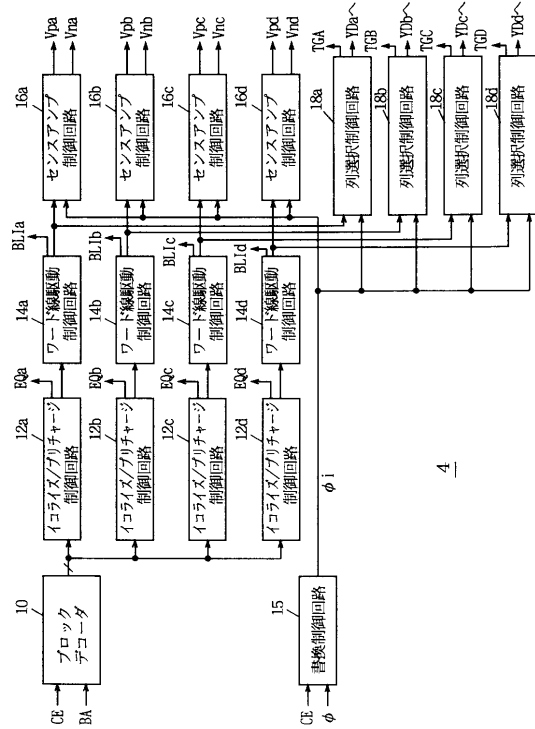
【図 4】



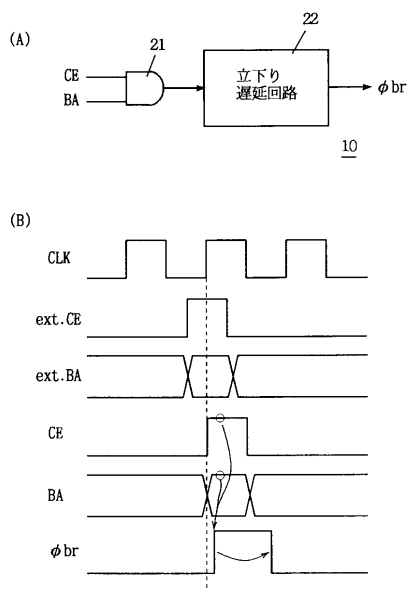
【図 5】



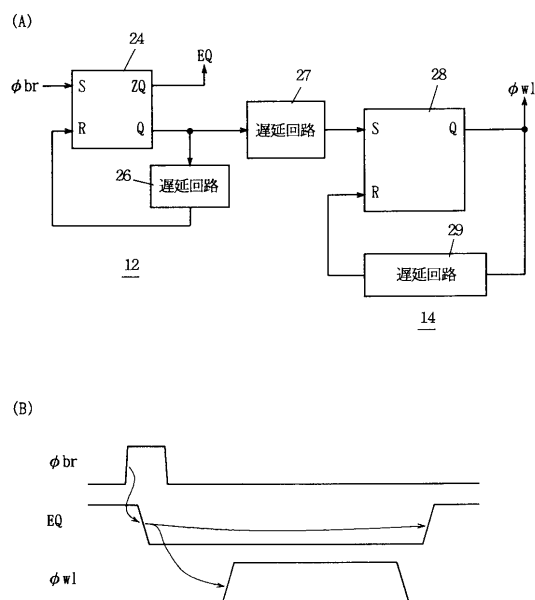
【図 6】



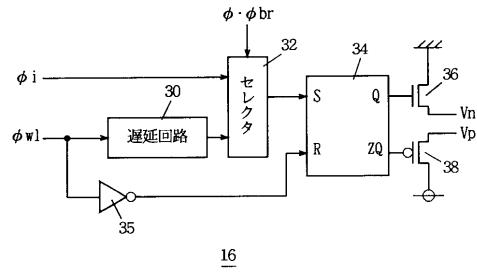
【図 7】



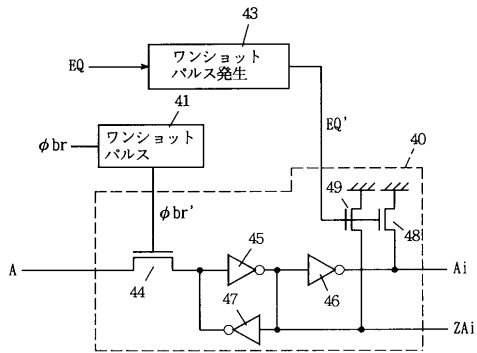
【図 8】



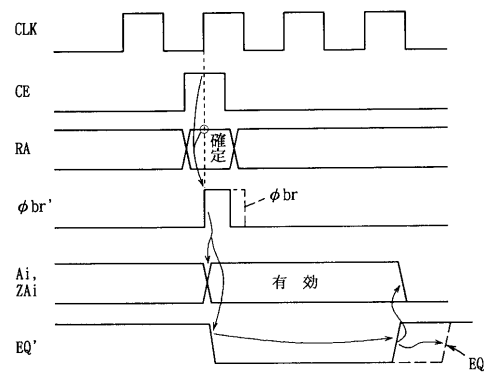
【図 9】



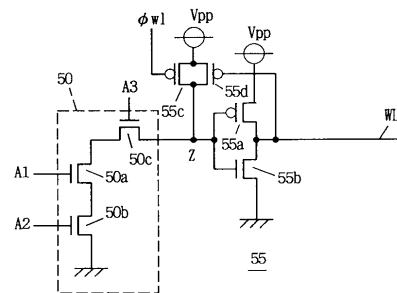
【図 10】



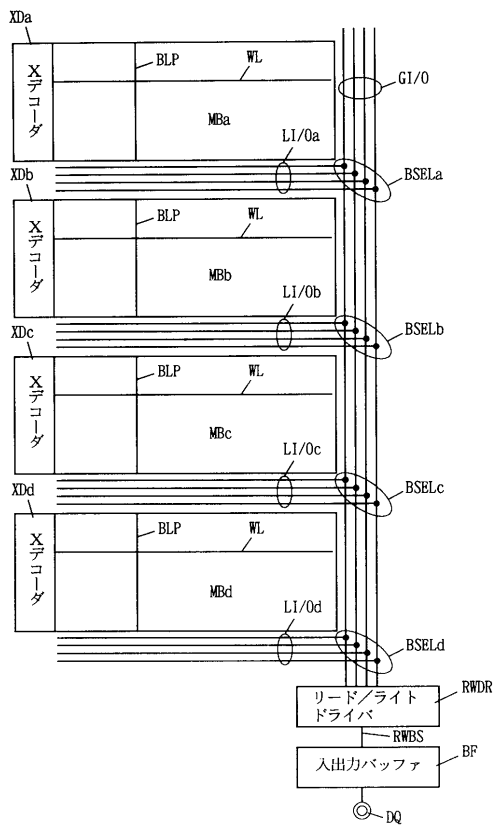
【図 11】



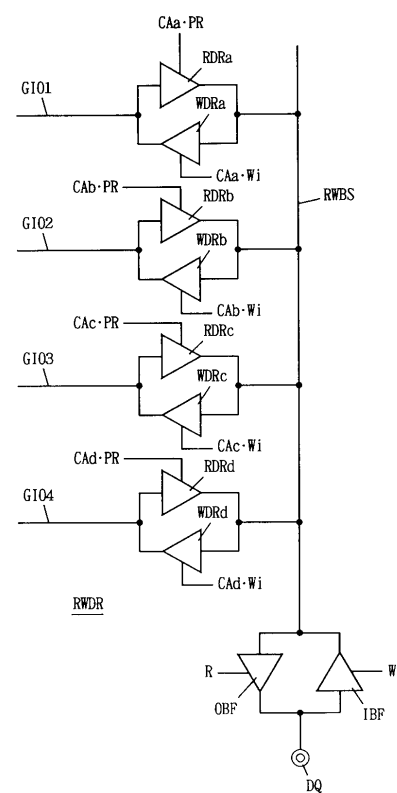
【図 12】



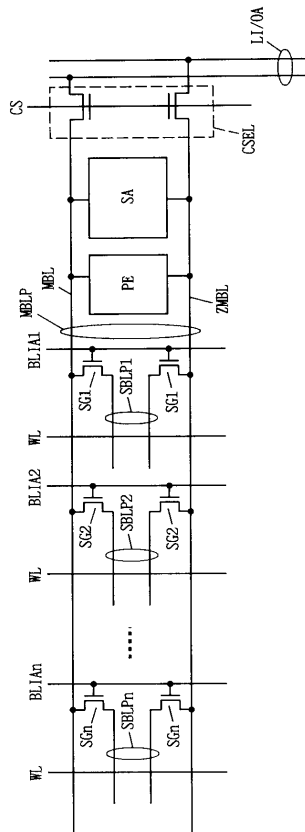
【図 13】



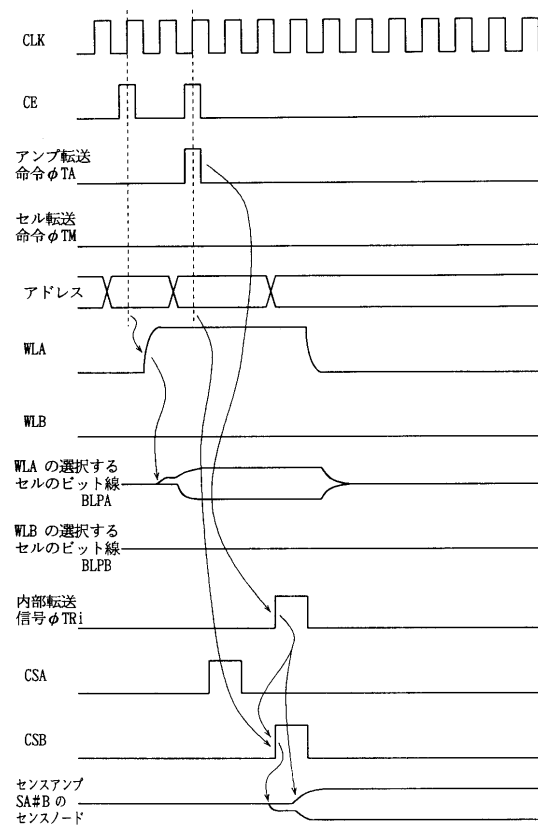
【図 14】



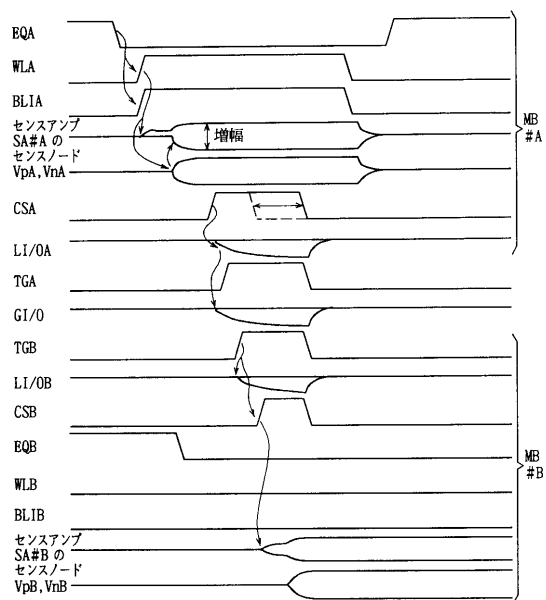
【図 15】



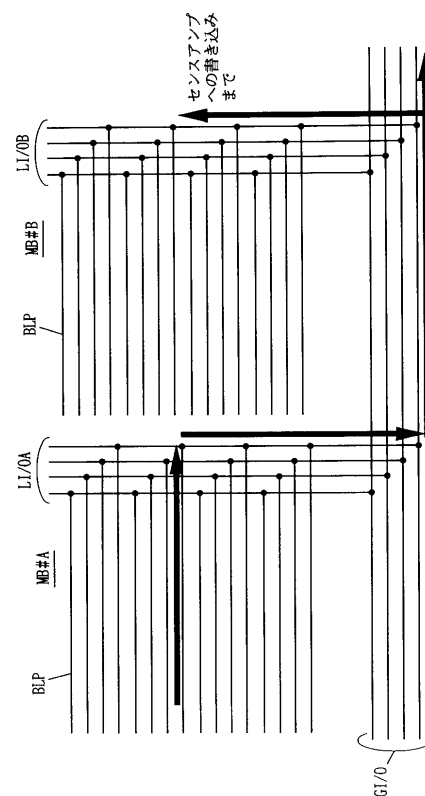
【図 16】



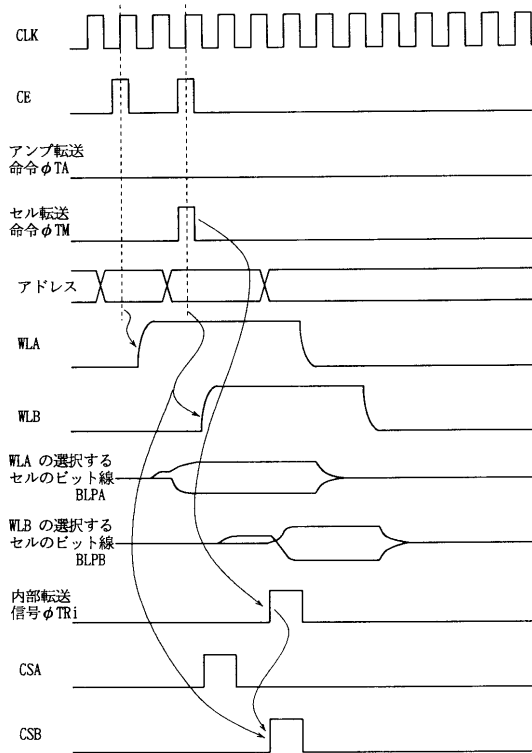
【図 17】



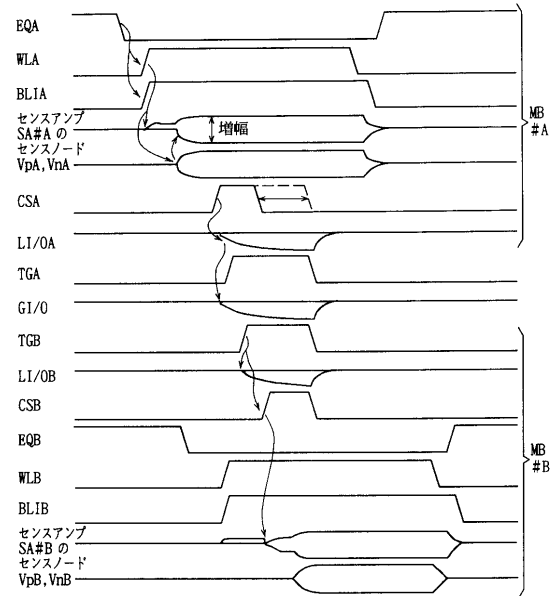
【図 18】



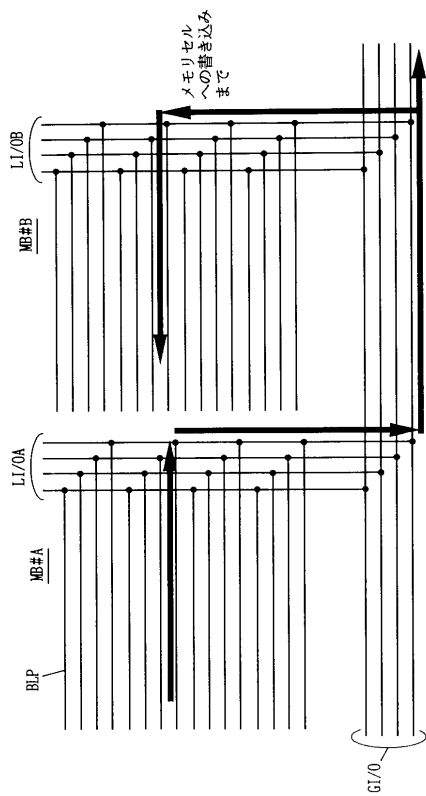
【図 19】



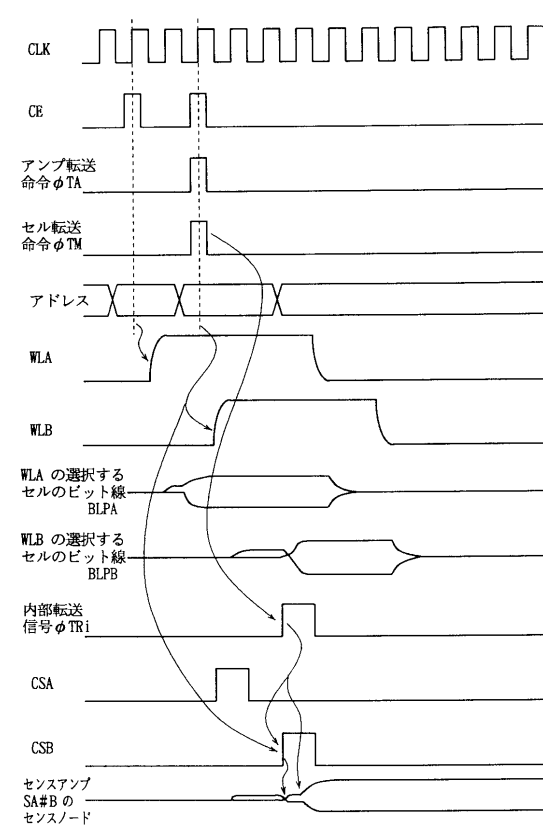
【図 20】



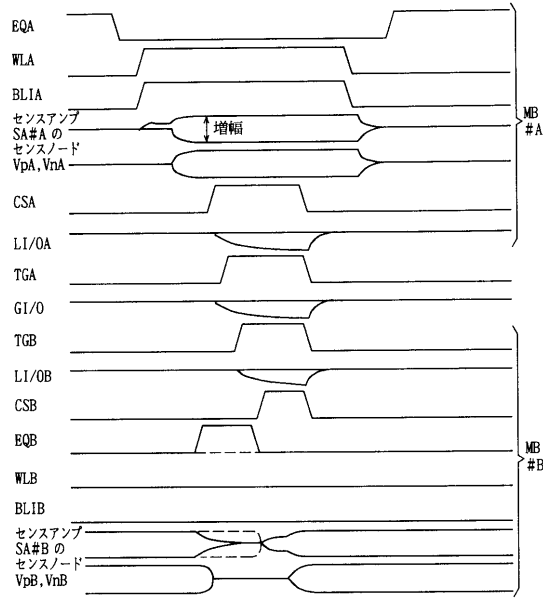
【図 21】



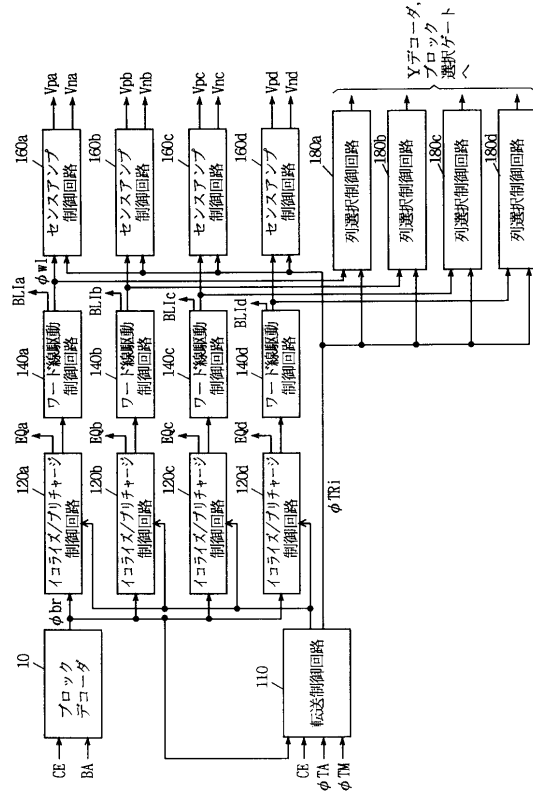
【図 22】



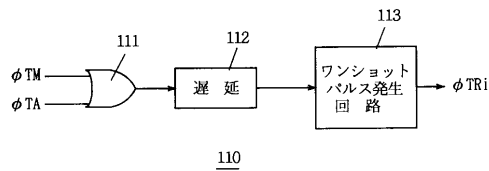
【図 2 3】



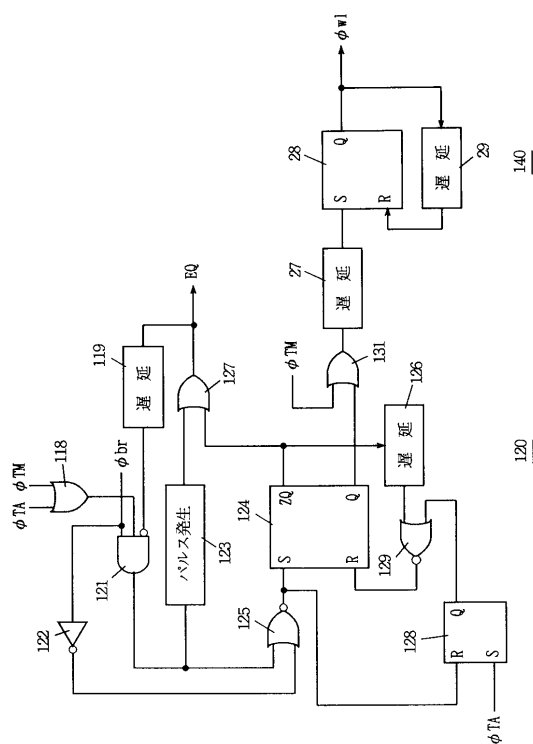
【図 2 4】



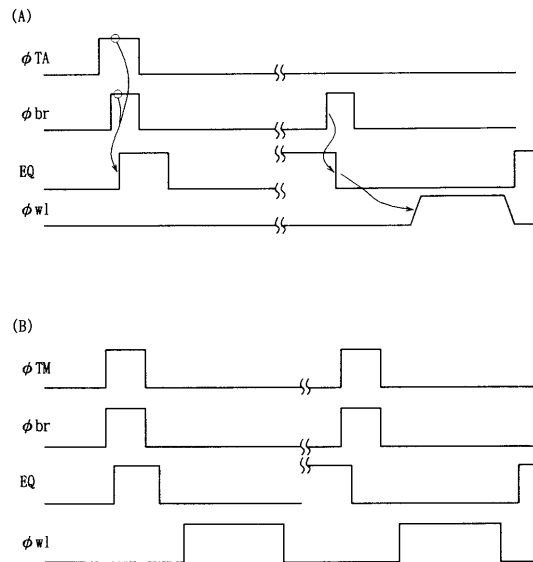
【図 2 5】



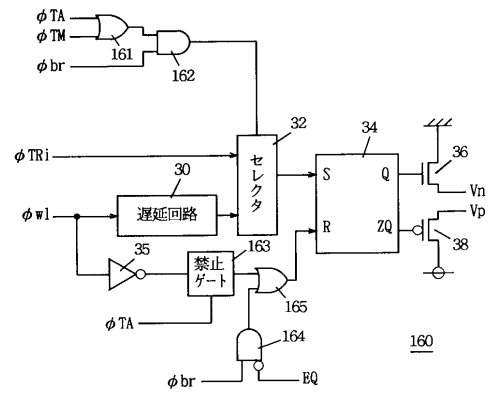
【図 2 6】



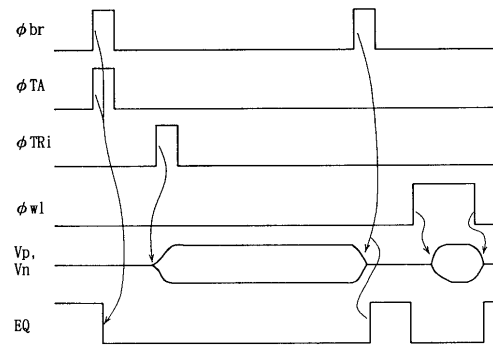
【図 27】



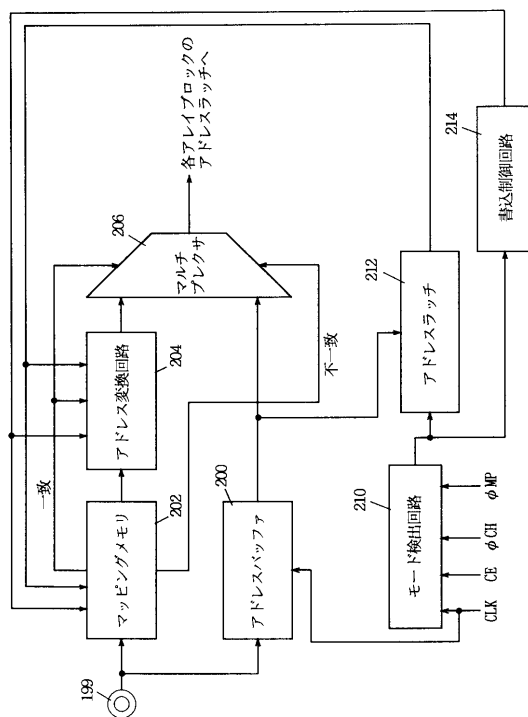
【図 28】



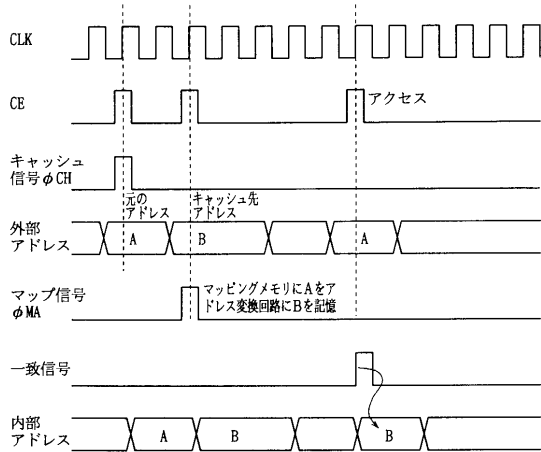
【図 29】



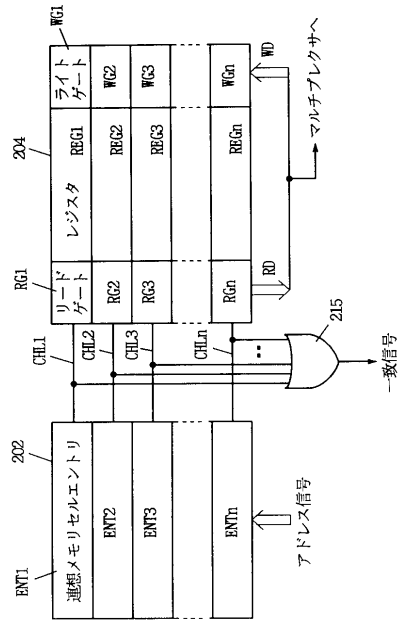
【図 30】



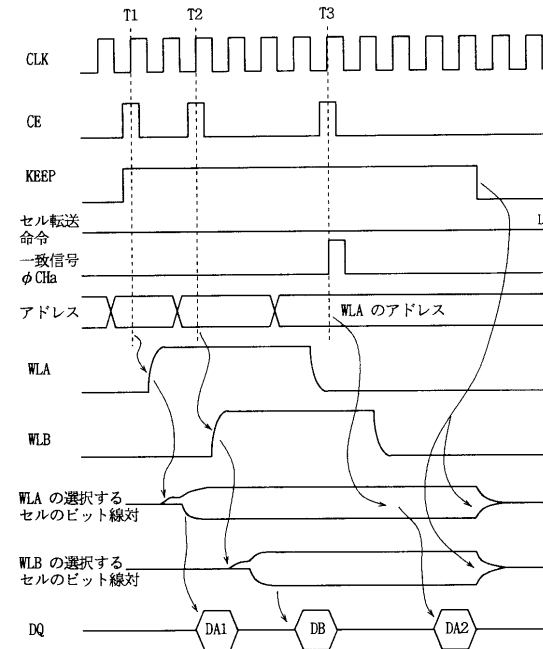
【図 31】



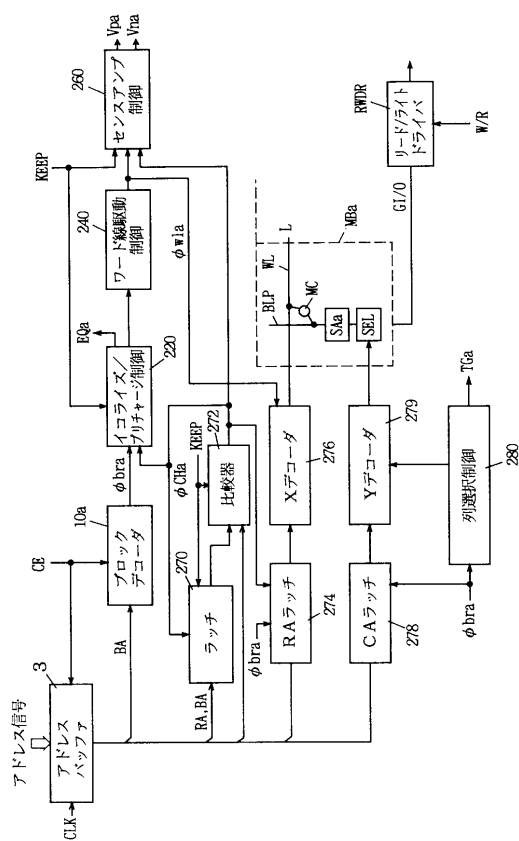
【図 3 2】



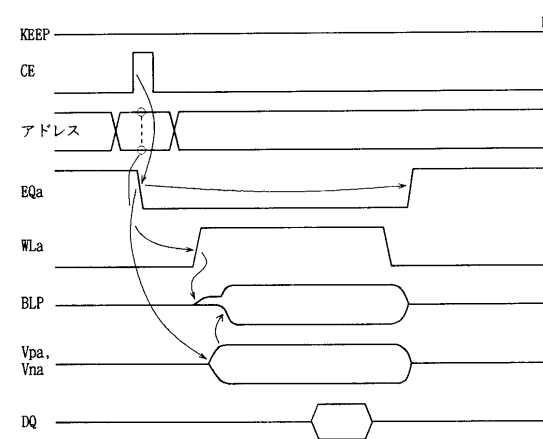
【図 3 3】



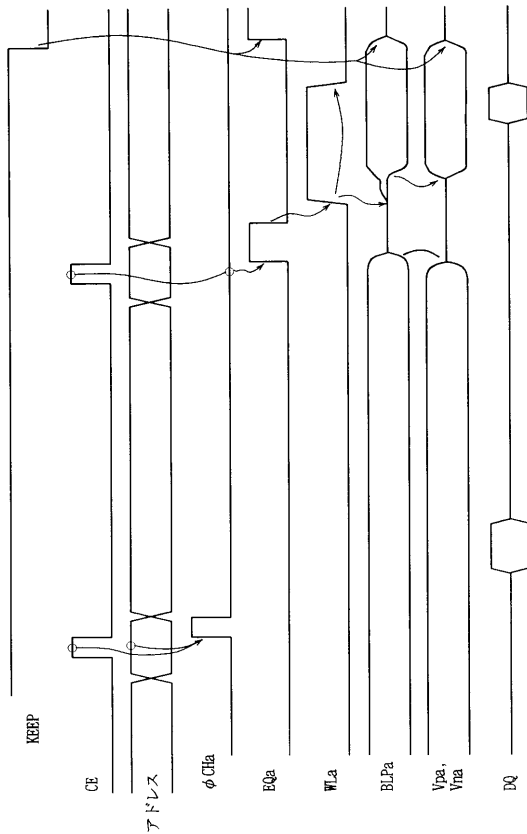
【図 3 4】



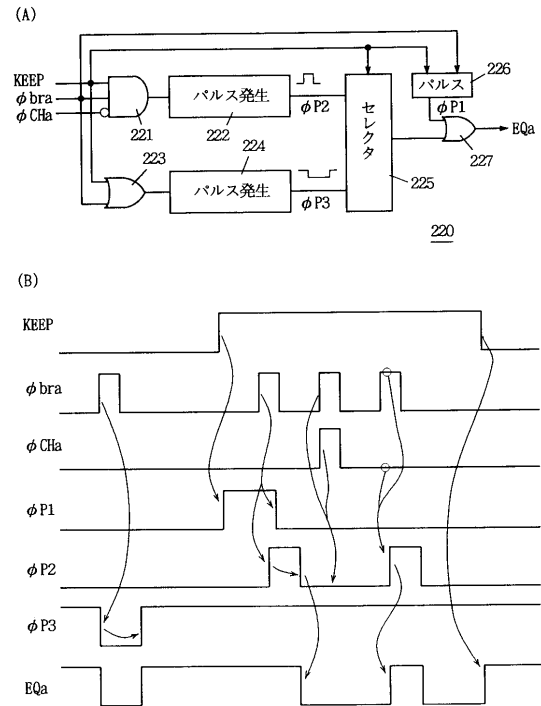
【図 3 5】



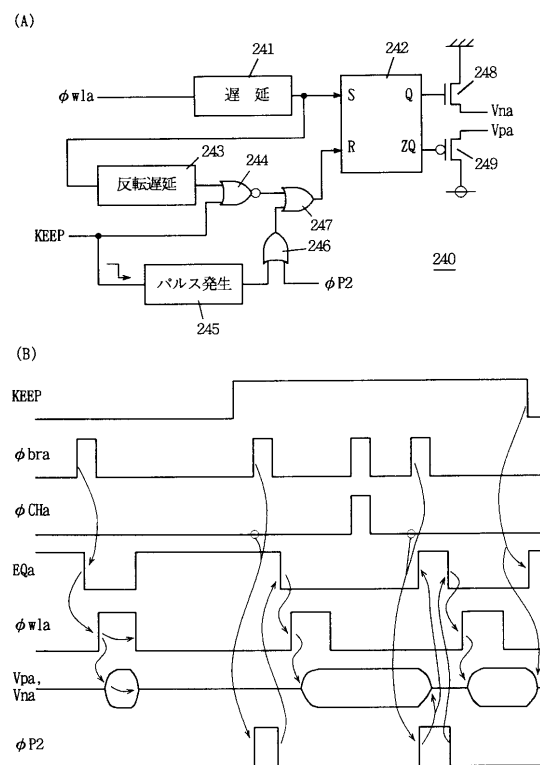
【図 36】



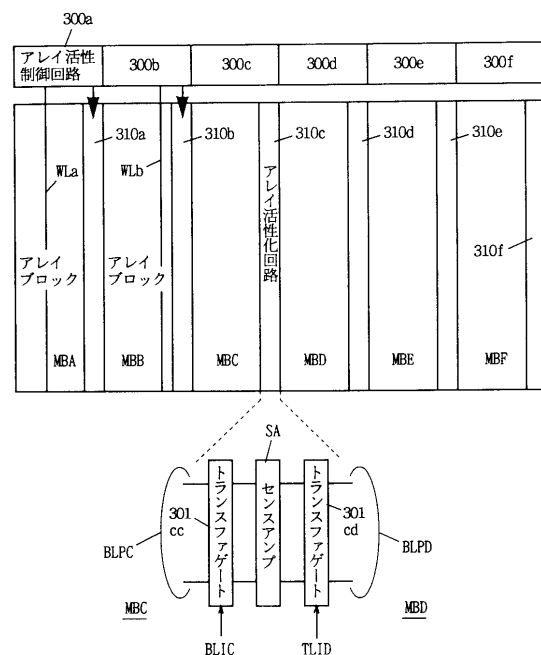
【図 37】



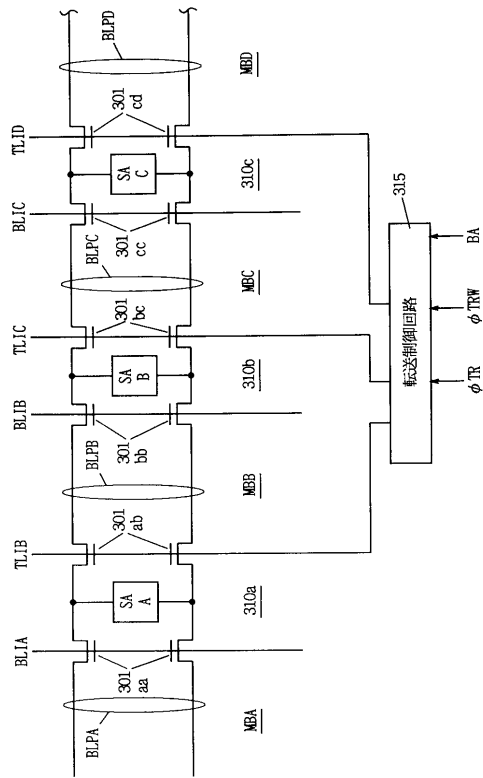
【図 38】



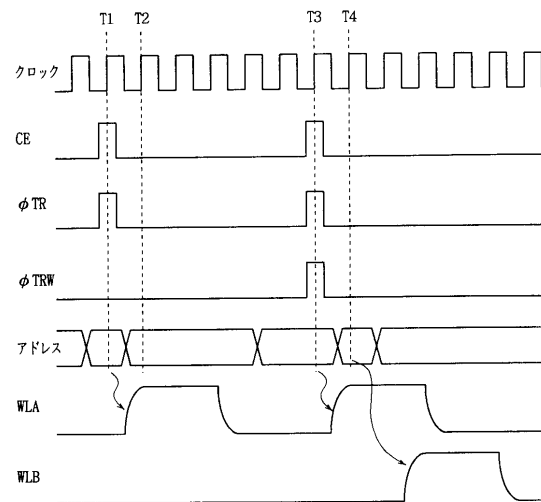
【図 39】



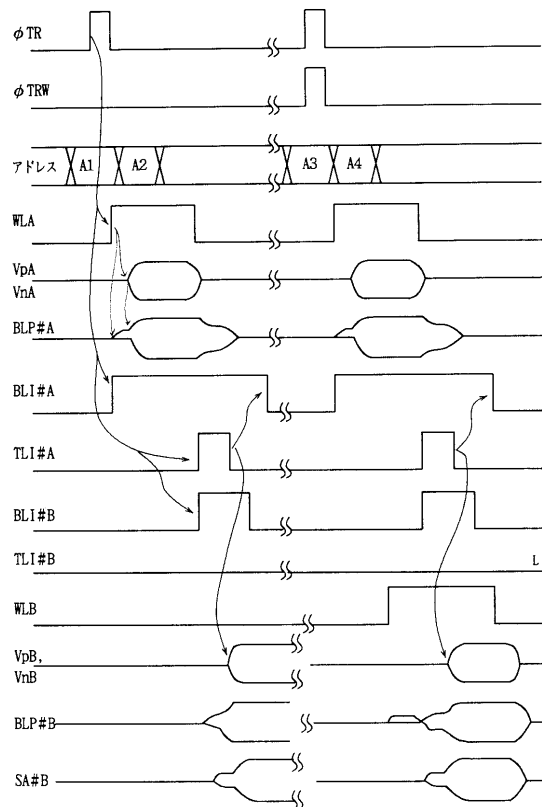
【図 40】



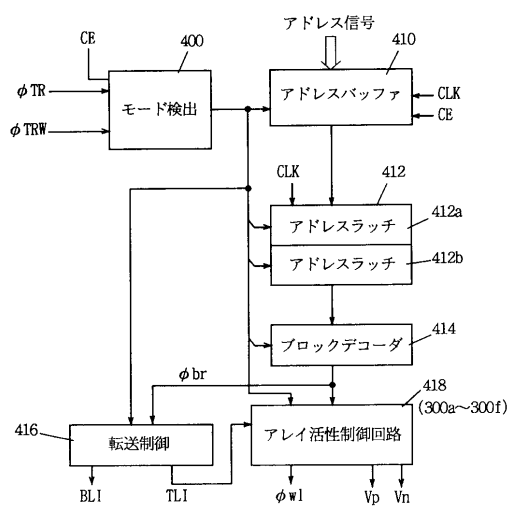
【図 41】



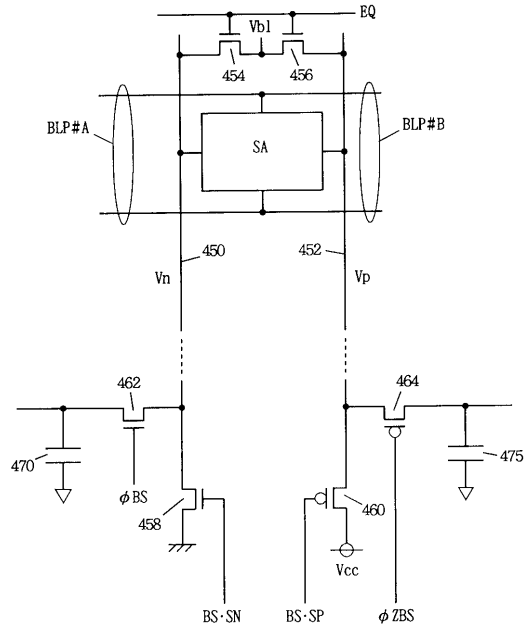
【図 42】



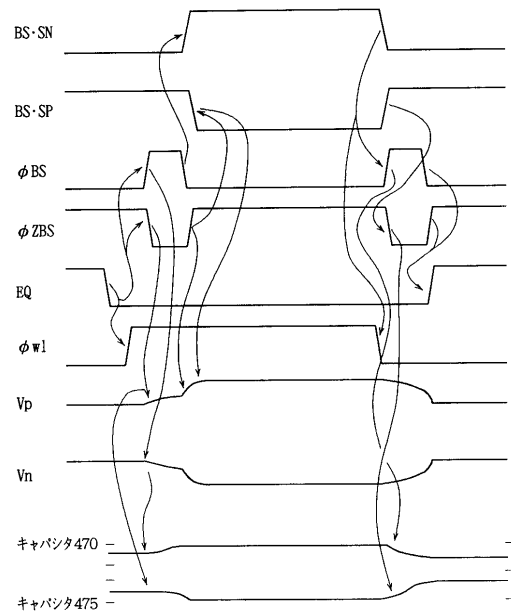
【図 43】



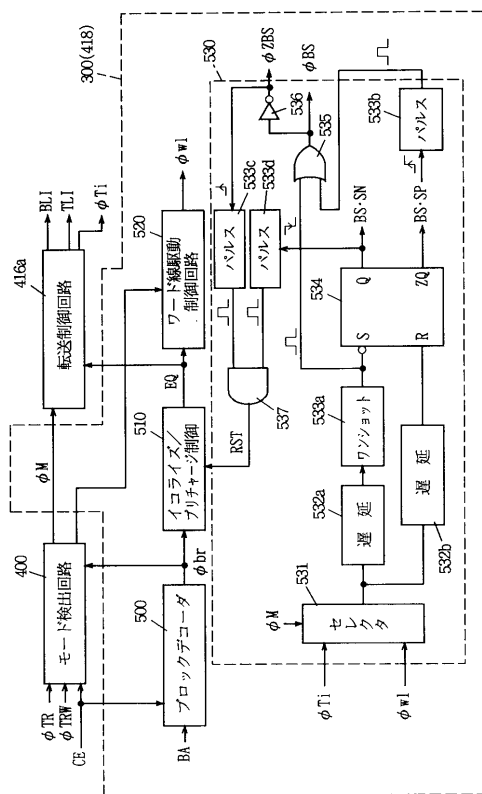
【図 4 4】



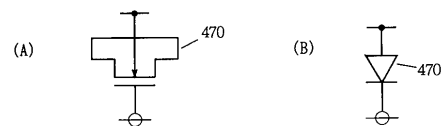
【図 4 5】



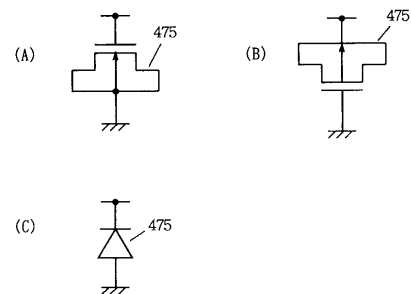
【図 4 6】



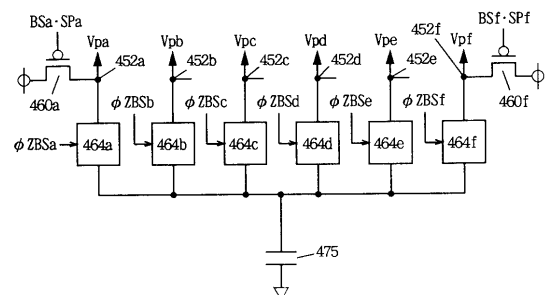
【図 4 7】



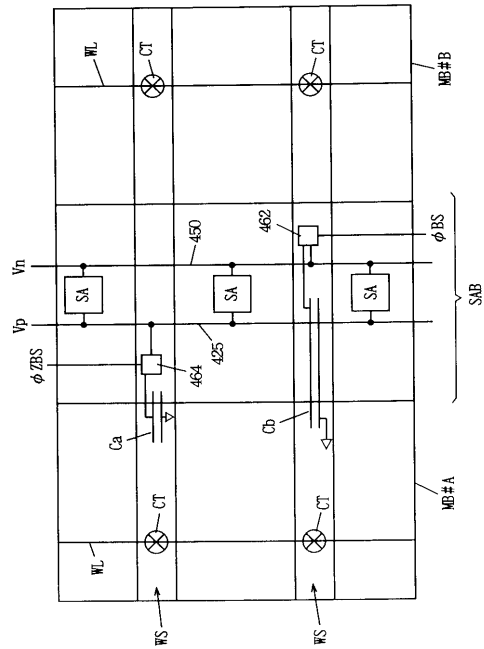
【図 4 8】



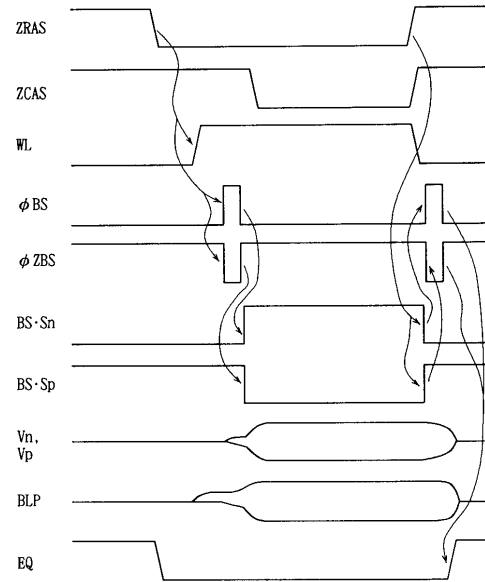
【図 4 9】



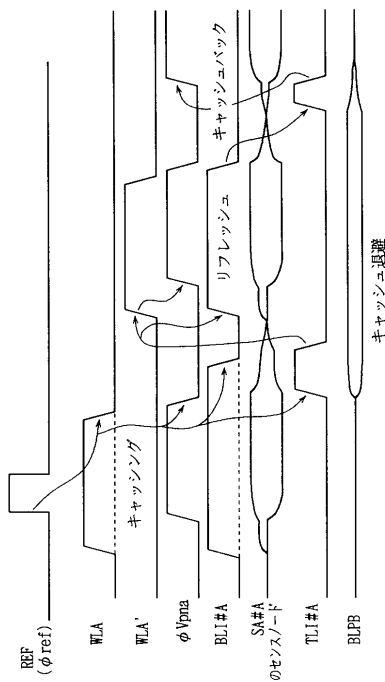
【図 50】



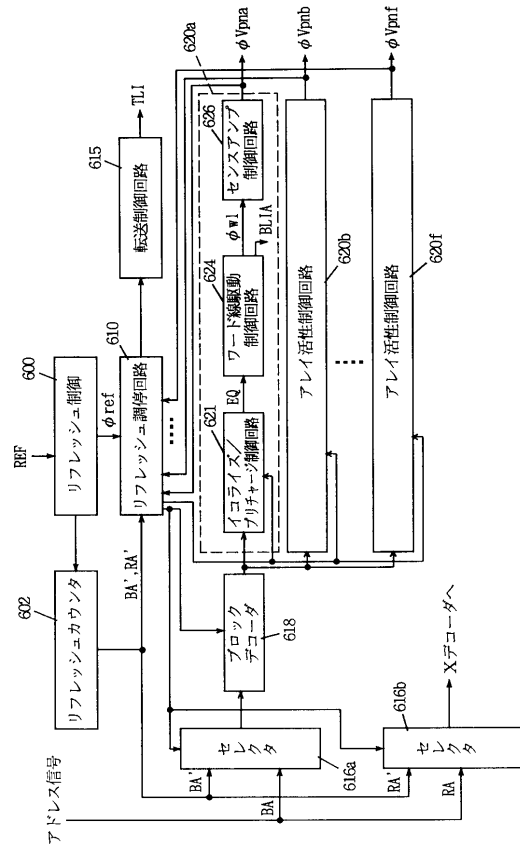
【図 51】



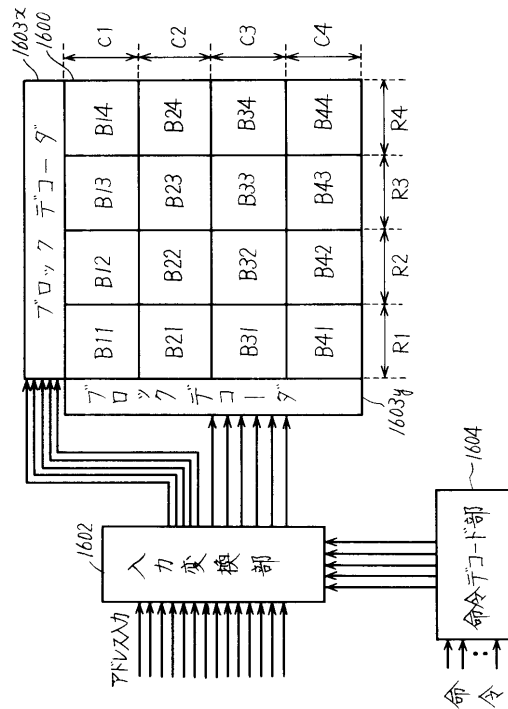
【図 52】



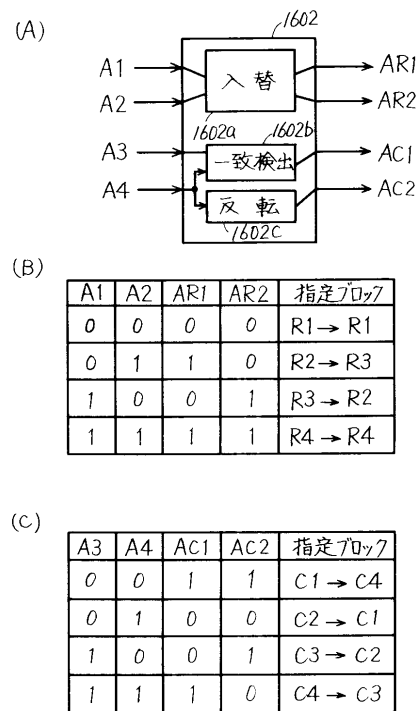
【図 53】



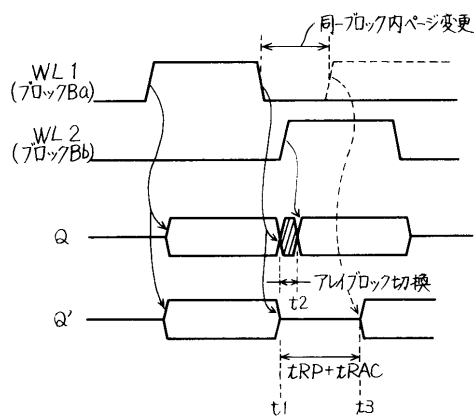
【図 5 4】



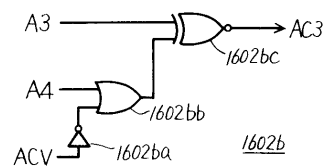
【図 5 5】



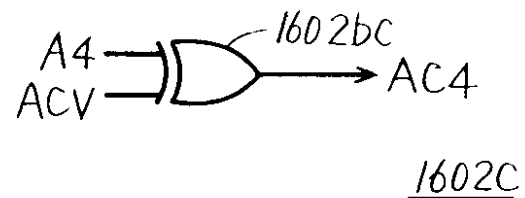
【図 5 6】



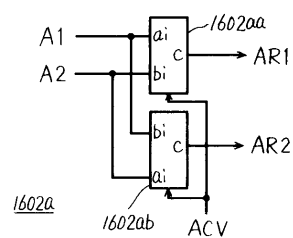
【図 5 8】



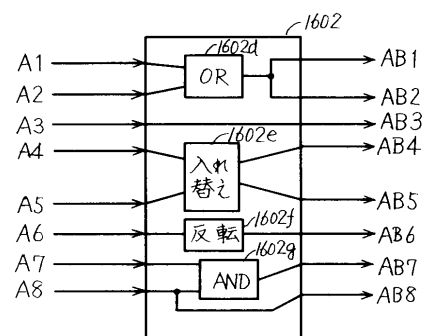
【図 5 9】



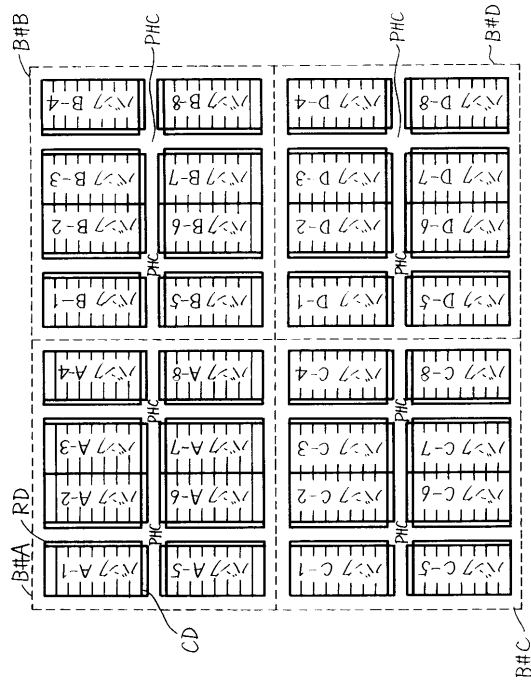
【図 5 7】



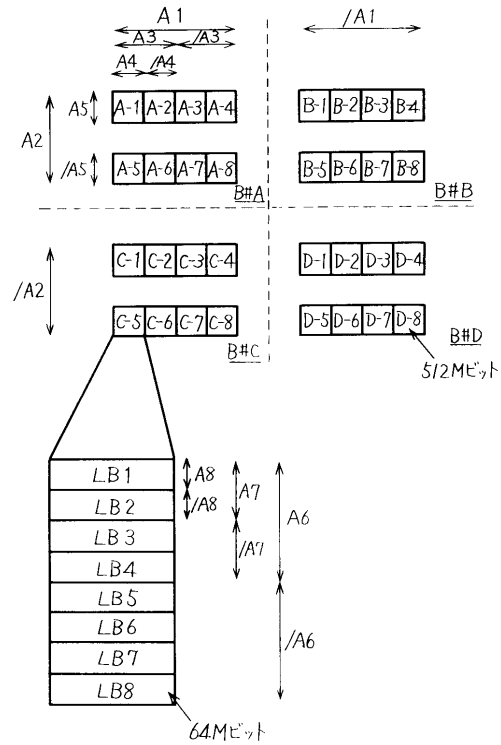
【図 6 0】



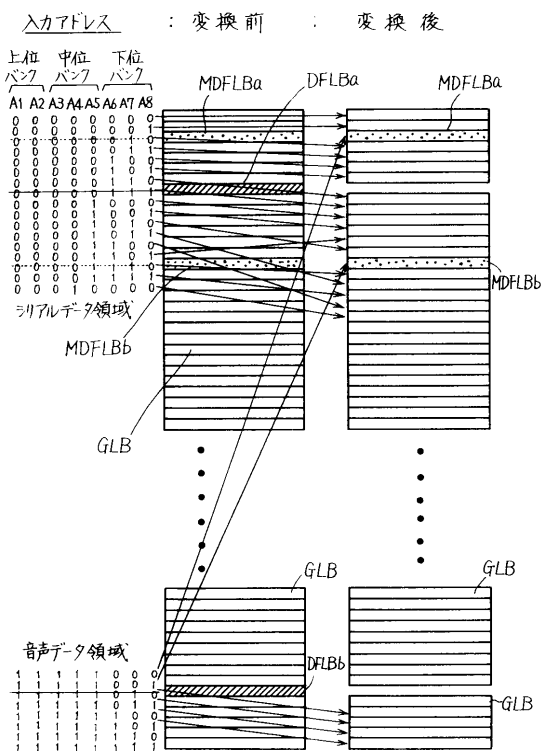
【図 6 1】



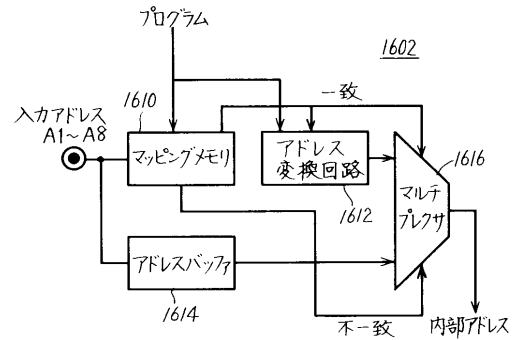
【図 6 2】



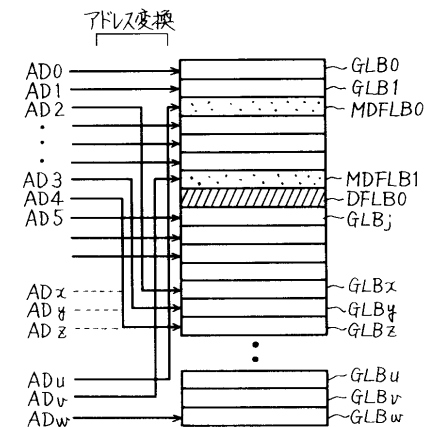
【図 6 3】



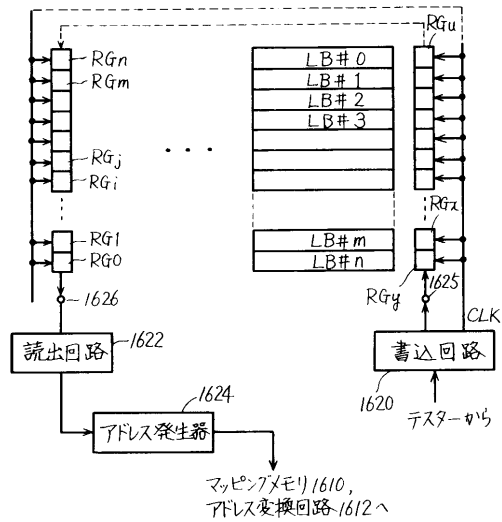
【図 6 4】



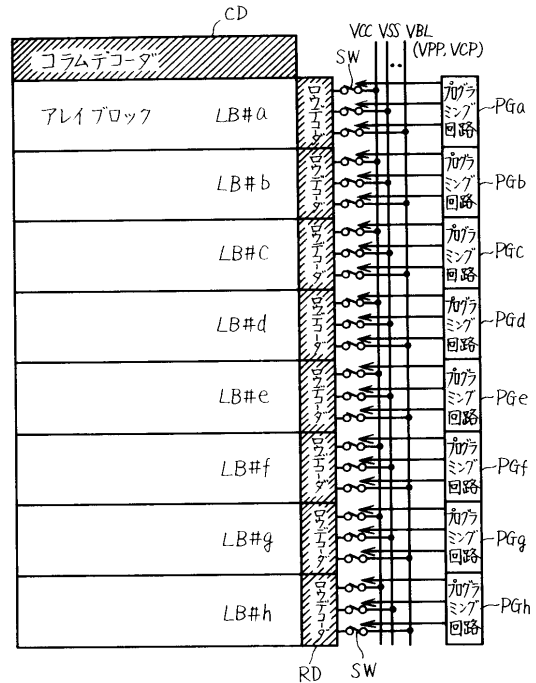
【図 6 5】



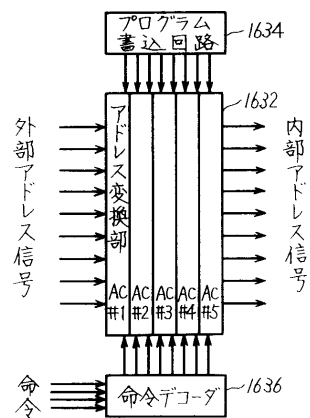
【図 6 6】



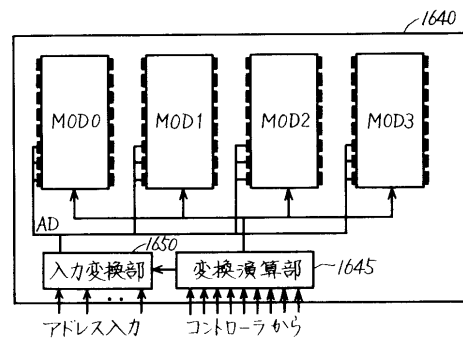
【図 6 7】



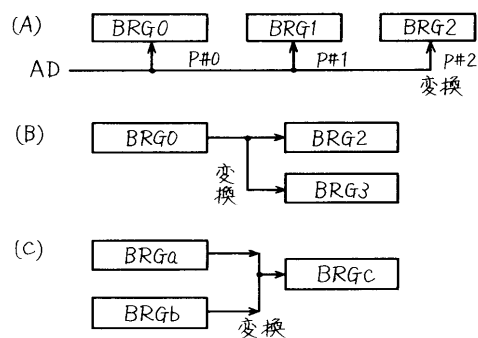
【図 6 8】



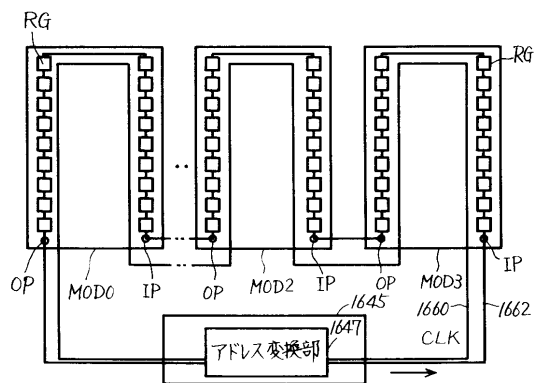
【図 7 0】



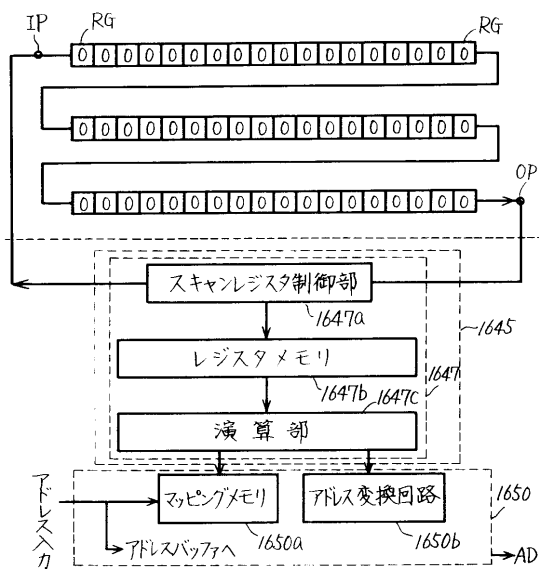
【図 6 9】



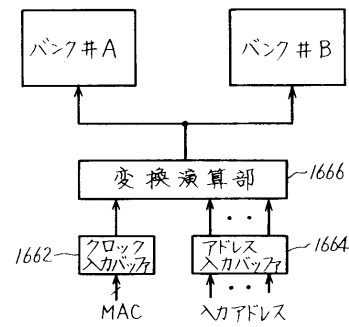
【図 7 1】



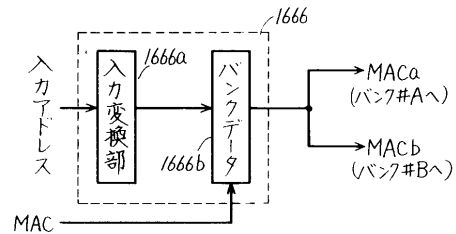
【図 7 2】



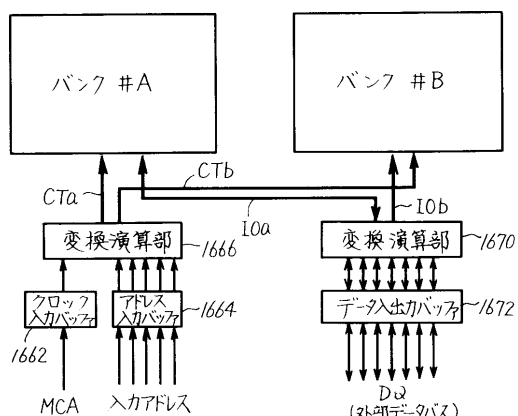
【図 7 3】



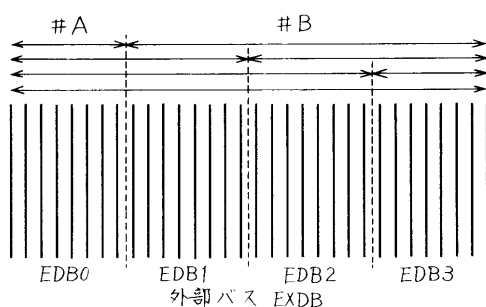
【図 7 4】



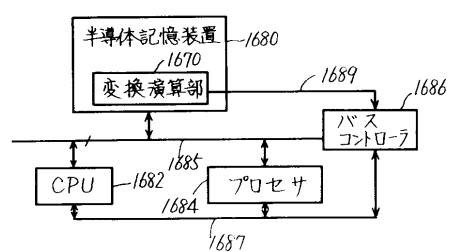
【図 7 5】



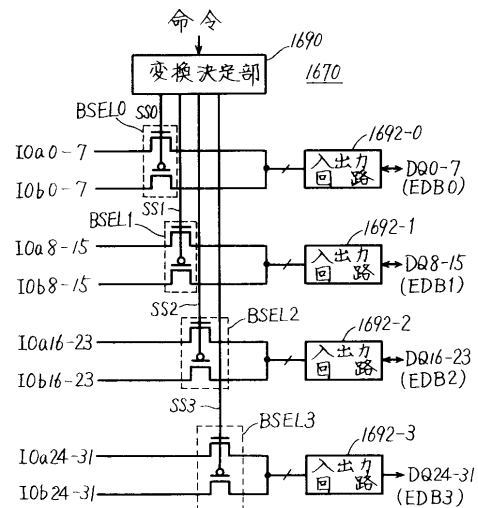
【図 7 6】



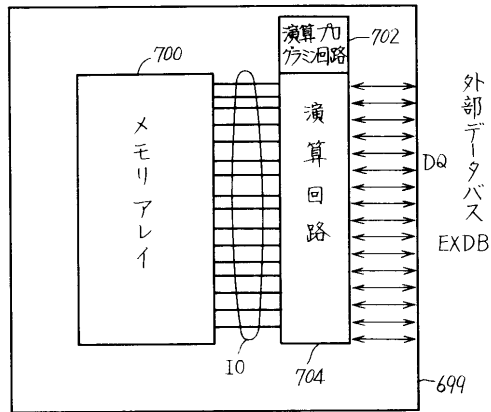
【図 7 7】



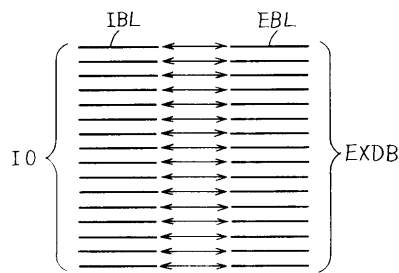
【図 7 8】



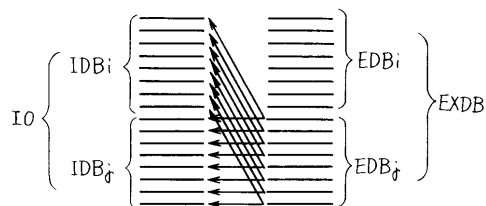
【図 79】



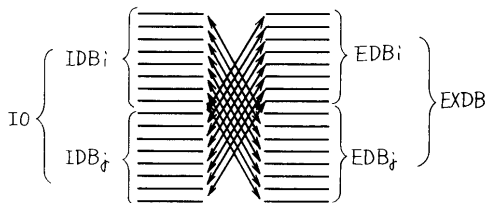
【図 80】



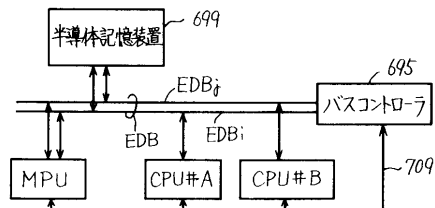
【図 84】



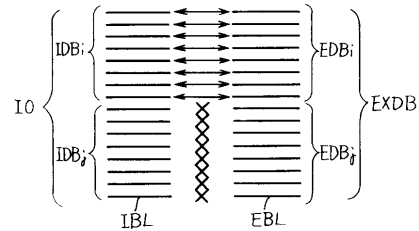
【図 85】



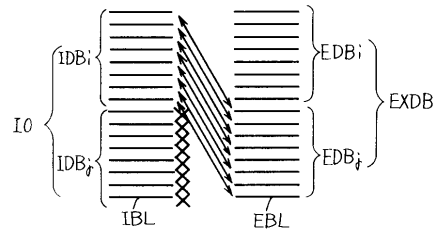
【図 86】



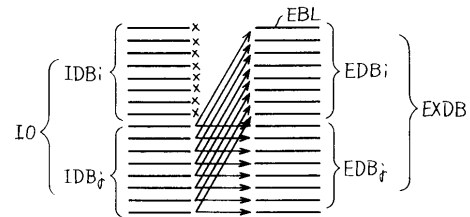
【図 81】



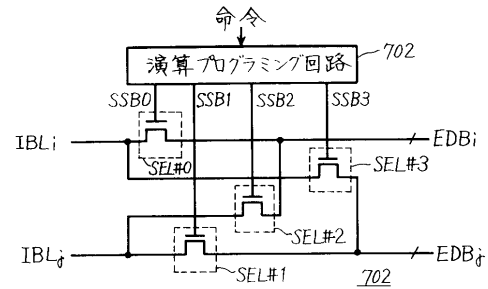
【図 82】



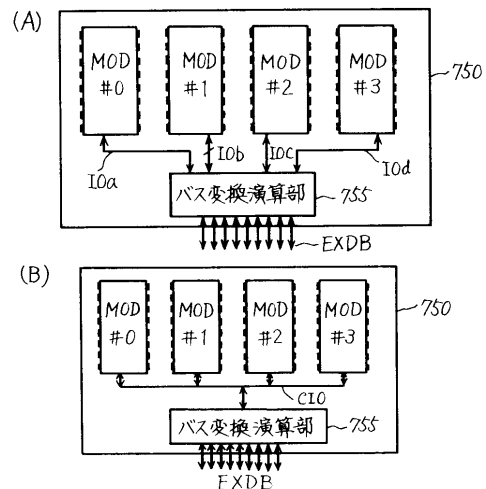
【図 83】



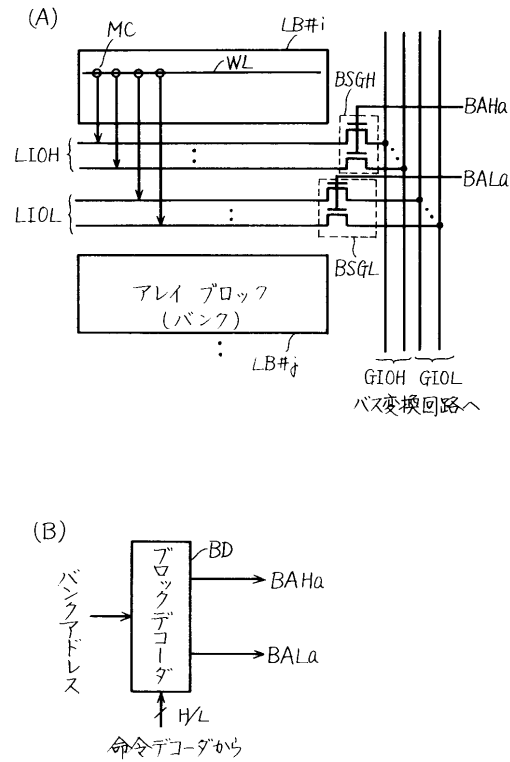
【図 87】



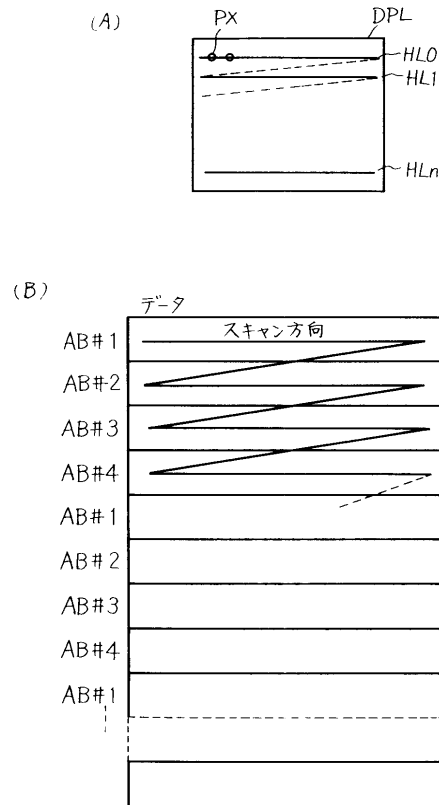
【図 88】



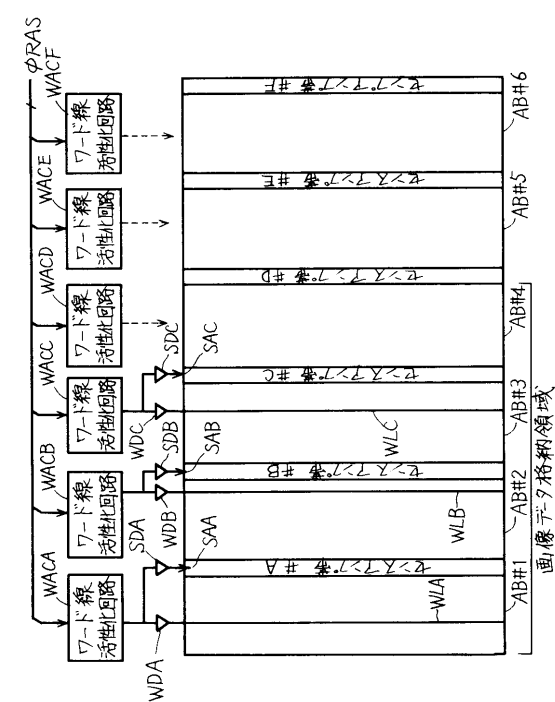
【図 89】



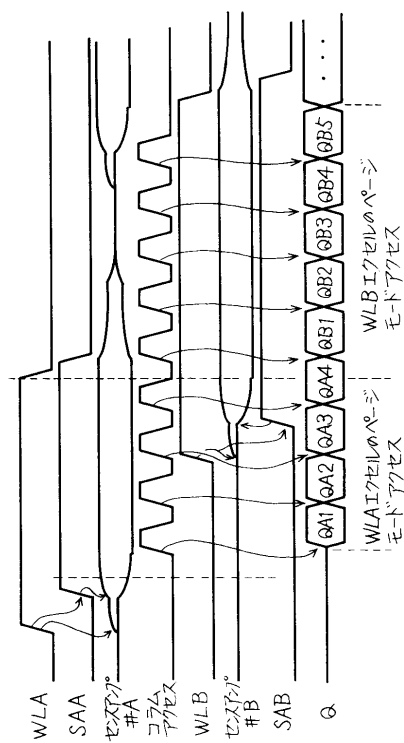
【図 90】



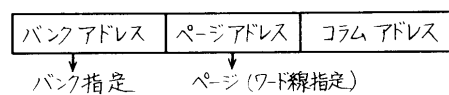
【図 91】



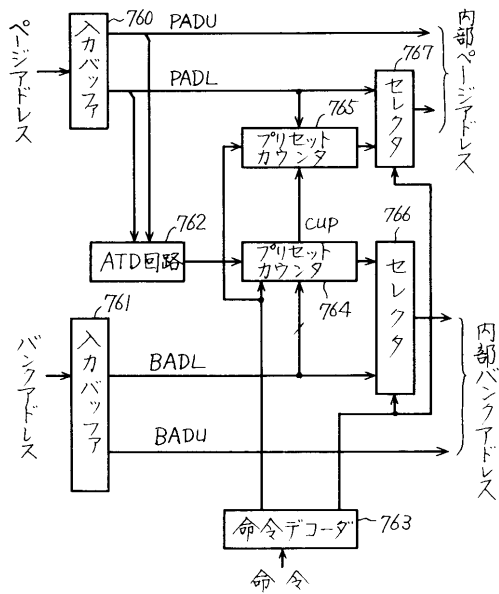
【図 92】



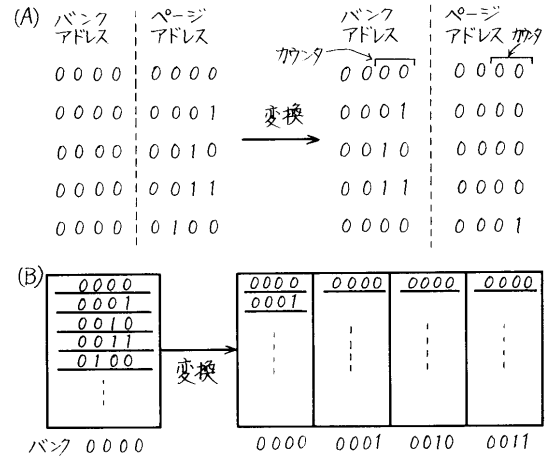
【図 93】



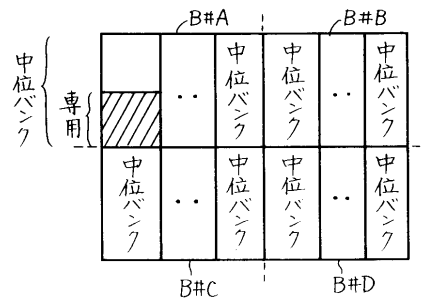
【図 94】



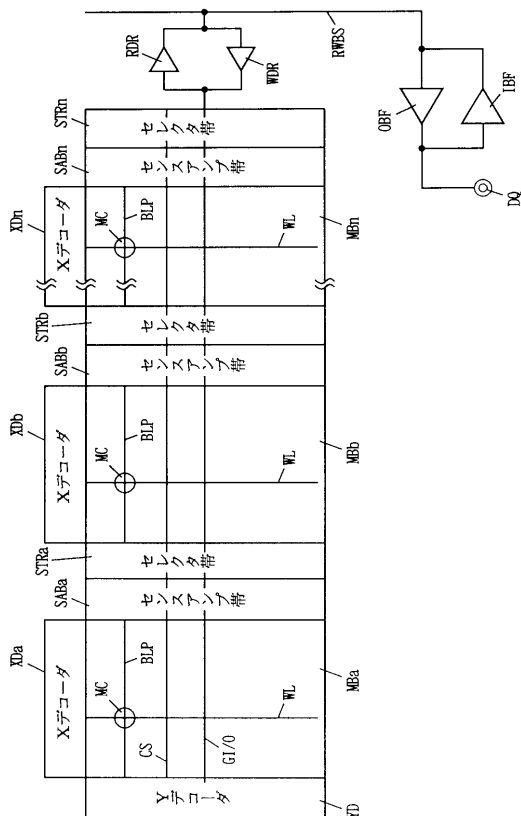
【図 95】



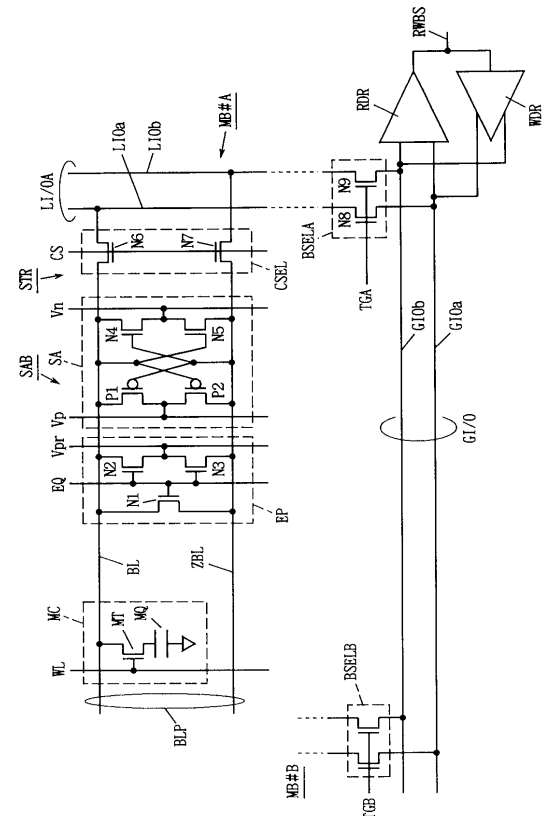
【図 96】



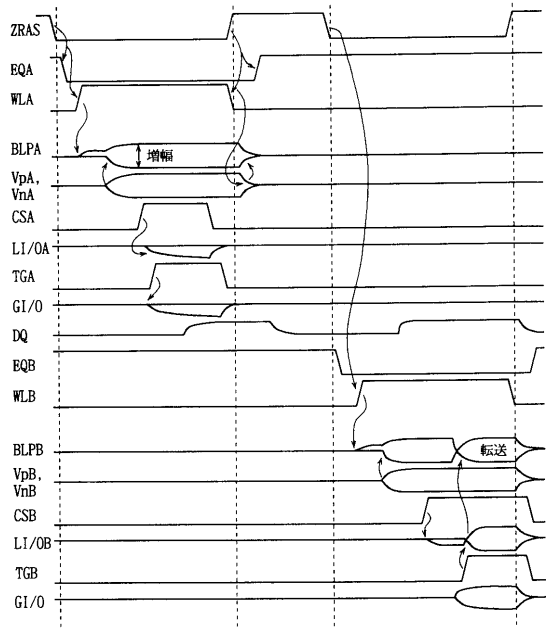
【図 97】



【図 98】



【図 99】



フロントページの続き

(72)発明者 大石 司
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 須原 宏光

(56)参考文献 特開平06-290587(JP,A)
特開平05-159566(JP,A)
特開平07-141877(JP,A)
特開昭63-183694(JP,A)
特開平05-006657(JP,A)
特開平02-087392(JP,A)
特開平05-182452(JP,A)
特開平08-031168(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 11/40-11/419