

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6089751号
(P6089751)

(45) 発行日 平成29年3月8日 (2017.3.8)

(24) 登録日 平成29年2月17日 (2017.2.17)

(51) Int.Cl.		F I	
HO2M 7/48 (2007.01)		HO2M 7/48	Z
HO2M 7/483 (2007.01)		HO2M 7/483	
HO2M 7/12 (2006.01)		HO2M 7/12	G O I D

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2013-27328 (P2013-27328)	(73) 特許権者	000006105
(22) 出願日	平成25年2月15日 (2013.2.15)		株式会社明電舎
(65) 公開番号	特開2014-158349 (P2014-158349A)		東京都品川区大崎2丁目1番1号
(43) 公開日	平成26年8月28日 (2014.8.28)	(74) 代理人	100086232
審査請求日	平成27年12月10日 (2015.12.10)		弁理士 小林 博通
		(74) 代理人	100104938
			弁理士 鶴澤 英久
		(74) 代理人	100096459
			弁理士 橋本 剛
		(72) 発明者	小太刀 圭一
			東京都品川区大崎2丁目1番1号 株式会
			社明電舎内
		(72) 発明者	山本 裕加
			東京都品川区大崎2丁目1番1号 株式会
			社明電舎内

最終頁に続く

(54) 【発明の名称】 マルチレベルコンバータ

(57) 【特許請求の範囲】

【請求項 1】

複数の半導体スイッチング素子を選択的に ON , OFF 制御することにより、1つの直流電圧源の正負極間における直流電圧を複数の電圧レベルに変換した交流電圧を出力する、または複数の電圧レベルを直流電圧に変換するマルチレベルコンバータであって、

前記複数の半導体スイッチング素子は、回路構成上における2つの出力端子までの距離および直流電圧源の端子までの距離に基づいて、同一の端子に近い前記半導体スイッチング素子が同一の列に配置されるように、2つの列に分けて配置し、

前記各半導体スイッチング素子を接続するための複数の導体は、半導体スイッチング素子の端子と接続される接続部と、接続部から前記半導体スイッチング素子の端子側における前記2つの列の中央側まで延設された延設部と、延設部の前記中央側端部から半導体スイッチング素子と反対方向に立設した立設部と、を有し、

前記立設部は、半導体スイッチング素子の端子側における2つの列の中央側で積層され積層導体を構成することを特徴とするマルチレベルコンバータ。

【請求項 2】

前記延設部は、

複数の導体により積層されることを特徴とする請求項 1 記載のマルチレベルコンバータ

。

【請求項 3】

前記マルチレベルコンバータ内のコンデンサを、半導体スイッチング素子の端子側に積

10

20

層導体を挟んで対向して配置し、積層導体の立設部から突出した端子により接続したことを特徴とする請求項 1 または 2 に記載のマルチレベルコンバータ。

【請求項 4】

前記半導体スイッチング素子の一部または全てを、回路構成上において、直列数を 2 以上としたことを特徴とする請求項 1 ～ 3 の何れかに記載のマルチレベルコンバータ。

【請求項 5】

前記半導体スイッチング素子の一部または全てを、回路構成上において、並列数を 2 以上としたことを特徴とする請求項 1 ～ 4 の何れかに記載のマルチレベルコンバータ。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、直流電圧からマルチレベルの交流電圧への変換、またはマルチレベルの交流電圧から直流電圧への変換を行うためのマルチレベルコンバータに係り、特にこのマルチレベルコンバータの半導体スイッチング素子間の導体配置に関する。

【背景技術】

【0002】

1 つの直流電圧源の正負極間における直流電圧をマルチレベルの交流電圧に変換するマルチレベルインバータが知られている。また、マルチレベルの交流電圧を直流電圧に変換するものも知られている。

【0003】

20

また、複数の半導体スイッチング素子を相互に接続するための導体配置として、以下の特許文献 1 ～ 4 が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2010—288415 号公報

【特許文献 2】特開 2006 - 280191 号公報

【特許文献 3】特開 2005 - 287267 号公報

【特許文献 4】特開平 11 - 4584 号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献 1 ～ 4 に示されているような導体配置の場合、ユニットが大型化する、導体形状が複雑化しコストが上がる、組立性が悪い、コンデンサと半導体スイッチング素子間の距離が長い等の問題点がある。以下、それぞれの特許文献の問題点について説明する。（ただし、下記に示す導体配置はマルチレベルインバータやマルチレベルコンバータに適用されているものではない。）

図 21 に示す特許文献 1 では、半導体スイッチング素子 S とコンデンサ C が同一平面上に配置されているため、コンデンサ C の接続端子と半導体スイッチング素子 S の接続端子との接続導体 4 が長くなり、サージ電圧低減の効果が期待できない。

40

【0006】

図 22 に示す特許文献 2 では、半導体スイッチング素子 S とコンデンサの配置からコンデンサの接続端子と半導体スイッチング素子 S の接続端子との接続導体 4 が長くなり、サージ電圧上昇の原因となる。また、半導体スイッチング素子 S の接続端子が縦横に広がりユニットが大型化してしまっていた。

【0007】

図 23 に示す特許文献 3 は、半導体スイッチング素子 S の端子面が向き合うように配置されているため、組立順序が複雑となり、組立性が悪い。また、構造上、寸法精度が低いと半導体スイッチング素子 S とヒートシンク 5 の接触状態が不良となることや、半導体スイッチング素子 S と導体との接続部に応力が掛かってしまう。そのため、構成する部品の

50

寸法精度を高くしなければならず、コスト上昇の問題を引き起こす。

【 0 0 0 8 】

図 2 4 に示す特許文献 4 では、半導体スイッチング素子 S の接続端子が縦方向に並び、かつ、その列が横方向に複数存在し、さらに接続導体 4 同士を積層しているため、接続導体 4 の形状が複雑になりコストが上がる。また、コンデンサと半導体スイッチング素子 S との距離が長いので、接続導体 4 が長くなり、サージ電圧を低減できない。

【 0 0 0 9 】

以上示したように、コンデンサと半導体スイッチング素子間の距離が長い、組立性が悪い、コストが高い、ユニットが大型化する、導体のインダクタンスが増大するという問題点を解消したマルチレベルコンバータを提供することが課題となる。

【課題を解決するための手段】

【 0 0 1 0 】

本発明は、前記従来の問題に鑑み、案出されたもので、その一態様は、複数の半導体スイッチング素子を選択的に ON , OFF 制御することにより、1つの直流電圧源の正負極間における直流電圧を複数の電圧レベルに変換した交流電圧を出力する、または複数の電圧レベルを直流電圧に変換するマルチレベルコンバータであって、前記複数の半導体スイッチング素子は、回路構成上における2つの出力端子までの距離および直流電圧源の端子までの距離に基づいて2つの列に分けて配置し、前記各半導体スイッチング素子を接続するための複数の導体は、半導体スイッチング素子の端子と接続される接続部と、接続部から前記半導体スイッチング素子の端子側における前記2つの列の中央側まで延設された延設部と、延設部の前記中央側端部から半導体スイッチング素子と反対方向に立設した立設部と、を有し、前記立設部は、半導体スイッチング素子の端子側における2つの列の中央側で積層され積層導体を構成することを特徴とする。

【 0 0 1 1 】

また、前記延設部は、複数の導体により積層されることを特徴とする。

【 0 0 1 2 】

さらに、前記マルチレベルコンバータ内のコンデンサを、半導体スイッチング素子の端子側に積層導体を挟んで対向して配置し、積層導体の立設部から突出した端子により接続したことを特徴とする。

【 0 0 1 3 】

また、前記半導体スイッチング素子の一部または全てを、回路構成上において、直列数を2以上としてもよく並列数を2以上としてもよい。

【発明の効果】

【 0 0 1 4 】

本発明によれば、コンデンサと半導体スイッチング素子間の距離が長い、組立性が悪い、コストが高い、ユニットが大型化する、という問題点を解消し、かつ、サージ電圧を抑制できるマルチレベルコンバータを提供することが可能となる。

【図面の簡単な説明】

【 0 0 1 5 】

【図 1】実施形態 1 におけるマルチレベルコンバータを示す回路図である。

【図 2】実施形態 1 におけるマルチレベルコンバータを示す斜視図である。

【図 3】実施形態 1 におけるマルチレベルコンバータを示す平面図である。

【図 4】実施形態 1 におけるマルチレベルコンバータを示す側面図である。

【図 5】実施形態 1 における積層導体を示す斜視図である。

【図 6】実施形態 1 における各導体を示す斜視図である。

【図 7】実施形態 1 における各導体を示す斜視図である。

【図 8】実施形態 1 における各導体を示す斜視図である。

【図 9】実施形態 1 における各導体を示す斜視図である。

【図 10】実施形態 1 における導体の電流の流れを示す図である。

【図 11】実施形態 2 におけるマルチレベルコンバータを示す回路図である。

10

20

30

40

50

【図 1 2】実施形態 2 におけるマルチレベルコンバータを示す斜視図である。

【図 1 3】実施形態 2 における積層導体を示す斜視図である。

【図 1 4】実施形態 2 におけるマルチレベルコンバータを示す平面図である。

【図 1 5】実施形態 2 におけるマルチレベルコンバータを示す側面図である。

【図 1 6】実施形態 2 における積層導体を示す斜視図である。

【図 1 7】実施形態 2 における導体を示す斜視図である。

【図 1 8】実施形態 2 における導体を示す斜視図である。

【図 1 9】実施形態 2 における導体を示す斜視図である。

【図 2 0】実施形態 2 における導体を示す斜視図である。

【図 2 1】特許文献 1 における電力変換装置を示す構成図である。

10

【図 2 2】特許文献 2 における電力変換器を示す構成図である。

【図 2 3】特許文献 3 における電力変換装置を示す構成図である。

【図 2 4】特許文献 4 におけるインバータ装置を示す構成図である。

【発明を実施するための形態】

【0016】

以下、本発明の実施形態 1, 2 におけるマルチレベルコンバータを図面に基づいて詳細に説明する。

【0017】

[実施形態 1]

図 1 は、本実施形態 1 におけるマルチレベルコンバータ（本実施形態 1 では 5 レベルインバータ）を示す回路構成図である。なお、実施形態 1, 2 では、半導体スイッチング素子に IGBT を用いた例で説明を行うが、半導体スイッチング素子の種類は限定しない。

20

【0018】

図 1 に示すように、第 1 ~ 第 4 の半導体スイッチング素子 $S_1 \sim S_4$ を直列接続して直列回路が構成されている。この直列回路の両端間には第 1 および第 2 のコンデンサ C_1 , C_2 が直列に接続されている。

【0019】

V_{DC} は直流電圧源であり、この直流電圧源 V_{DC} の正極端 P , 負極端 N 間には、分圧コンデンサ C_3 , C_4 が直列接続されている。直流電圧源 V_{DC} の正極端 P と、半導体スイッチング素子 S_1 およびコンデンサ C_1 との共通接続点との間には、第 5 の半導体スイッチング素子を構成する半導体スイッチング素子 S_5 , S_6 が直列接続されている。半導体スイッチング素子 S_4 およびコンデンサ C_2 の共通接続点と、直流電圧源 V_{DC} の負極端 N との間には、第 6 のスイッチング素子を構成する半導体スイッチング素子 S_7 , S_8 が直列接続されている。前記第 5, 6 のスイッチング素子は耐圧を考慮して 2 個の半導体スイッチング素子 S_5 , S_6 および S_7 , S_8 を用いているが、これに限らず 2 倍の耐圧を有する 1 個の半導体スイッチング素子で構成してもよい。

30

【0020】

半導体スイッチング素子 S_1 および S_2 の共通接続点と、半導体スイッチング素子 S_3 , S_4 の共通接続点との間には、図示極性のダイオード D_1 , D_2 が直列に接続されている。

40

【0021】

ダイオード D_1 および D_2 の共通接続点はコンデンサ C_1 およびコンデンサ C_2 の共通接続点 NP' (Floating Neutral Point; 浮動中点) に接続されている。この浮動中点 NP' と、分圧コンデンサ C_3 および C_4 の共通接続点 (中点 NP) との間には、スイッチング手段としての半導体スイッチング素子 S_9 および S_{10} が互いに逆の耐圧方向に直列に接続されている。なお、このスイッチング手段は、半導体スイッチング素子 S_9 , S_{10} に限らず、互いに逆の耐圧方向に制御可能な 1 個の双方向スイッチで構成してもよい。

【0022】

前記半導体スイッチング素子 S_2 および S_3 の共通接続点を出力端子 A とし、前記分圧

50

コンデンサC 3およびC 4の共通接続点(中点NP)を出力端子Bとしている。なお、前記直流電圧源 V_{DC} の電源電圧は固定でも可変でもよい。

【0023】

前記半導体スイッチング素子S 1～S 10は、図示省略の制御手段によって、5レベルの電圧を出力するためのスイッチングパターンに従ってオン、オフ制御され、その結果、出力端子A，出力端子B間に5レベルの電圧が出力されるものである。

【0024】

図2～図4は、本実施形態1におけるマルチレベルコンバータの構成図である。図2(a)はマルチレベルコンバータの斜視図、図2(b)は積層導体の斜視図、図3はマルチレベルコンバータの平面図、図4はマルチレベルコンバータの側面図を示している。

10

【0025】

図2(a)に示すように、本実施形態1におけるマルチレベルコンバータは、ヒートシンク1と、そのヒートシンク1上に配置された半導体スイッチング素子S 1～S 10，ダイオードD 1，D 2と、前記半導体スイッチング素子S 1～S 10，ダイオードD 1，D 2を接続する積層導体2と、を備えている。導体を積層導体2で構成することにより、配線インダクタンスを小さくし、サージ電圧を抑える形状としている。

【0026】

前記半導体スイッチング素子S 1～S 10とダイオードD 1，D 2は、ヒートシンク1を長手方向に2列並べるように配置する。そして、回路構成上において出力端子Aに近いスイッチング素子S 1～S 4，ダイオードD 1，D 2を図3中の上側に配置し、回路構成上において直流電圧源 V_{DC} 側に近いスイッチング素子S 5～S 10を図3中の下側に配置している。すなわち、素子の配置は、素子間に無駄な隙間を作らない様に配列して回路構成上における出力端子A，直流電圧源 V_{DC} ，正極端子P，負極端子Nとの接続距離の遠近距離で分けている。

20

【0027】

また、図3において、eは半導体スイッチング素子のエミッタ端子，cはコレクタ端子，aはダイオードのアノード端子，kはダイオードのカソード端子を示している。

【0028】

図3(a)に示すように、半導体スイッチング素子S 5のコレクタ端子cはP入力点として直流電圧源 V_{DC} の正極端子Pと接続し、半導体スイッチング素子S 10のコレクタ端子cは中点NPの入力点としてコンデンサC 3，C 4の共通接続点に接続し、半導体スイッチング素子S 8のエミッタ端子eはN入力点として直流電圧源 V_{DC} の負極端子Nと接続し、A端子は出力端子Aと接続する。

30

【0029】

図4の側面図に示すように、コンデンサC 1，C 2が半導体スイッチング素子の端子側に積層導体2を挟んで対向して配置されており、D端子，E端子，F端子(それぞれ、図1の接続点D，E，F(中点NP)に接続されている端子)によって接続されている。図4に示すように、半導体スイッチング素子の端子とコンデンサC 1，C 2の端子との距離を短くできるため、導体の長さを短くすることが可能となりサージ電圧を低減することができる。

40

【0030】

図5に本実施形態1における積層導体2の斜視図を示し、図6(a)～図9(a)に積層導体2を構成する各導体2 1～2 9の斜視図を示し、図6(a)～図9(b)に前記各導体2 1～2 9の回路構成上における位置を示す。なお、図5では積層導体2のみを表示、導体間の絶縁紙については省略している。

【0031】

図6(a)(b)に示すように、導体2 1は半導体スイッチング素子S 5のエミッタ端子と半導体スイッチング素子S 6のコレクタ端子とを接続し、導体2 2は半導体スイッチング素子S 9のエミッタ端子と半導体スイッチング素子S 10のエミッタ端子を接続し、導体2 3は半導体スイッチング素子S 8のコレクタ端子と半導体スイッチング素子S 7の

50

エミッタ端子とを接続する。

【0032】

前記各導体21～23は、半導体スイッチング素子の端子（エミッタ端子やコレクタ端子）と接続される接続部3a1～3a6と、接続部3a1～3a6からヒートシンク1と平行かつヒートシンク1の短手方向の素子配列中央側に延設された延設部3b1～3b6と、延設部3b1～3b6の前記素子配列中央側の端部からヒートシンク1と反対方向に垂直に立設した立設部3c1～3c3と、を有している。

【0033】

図7(a)(b)に示すように、導体24は半導体スイッチング素子S1のコレクタ端子と半導体スイッチング素子S6のエミッタ端子とD端子とを接続し、導体25は半導体スイッチング素子S9のコレクタ端子とダイオードD1のアノードとダイオードD2のカソードとF端子とを接続し、導体26は半導体スイッチング素子S4のエミッタ端子と半導体スイッチング素子S7のコレクタ端子とE端子とを接続する。導体24～26も導体21～23と同様に接続部3a7～3a13と、延設部3b7～3b13と、立設部3c4～3c6と、を有している。また、導体24～26において、D端子、E端子、F端子は立設部3c4～3c6からヒートシンク1と反対側に延設されて形成される。

【0034】

図8(a)(b)に示すように、導体27は半導体スイッチング素子S1のエミッタ端子と半導体スイッチング素子S2のコレクタ端子とダイオードD1のカソードとを接続し、導体28は半導体スイッチング素子S3のエミッタ端子と半導体スイッチング素子S4のコレクタ端子とダイオードD2のアノードとを接続する。導体27～28も同様に接続部3a14～3a19と、延設部3b14～3b19と、立設部3c7、3c8と、を有している。

【0035】

図9(a)(b)に示すように、導体29は半導体スイッチング素子S2のエミッタ端子と半導体スイッチング素子S3のコレクタ端子と出力端子Aとを接続する。導体29も同様に、接続部3a20、3a21と、延設部3b20、3b21と、立設部3c9と、を有している。また、導体29において、出力端子Aは立設部3c9の他の素子や導体と絶縁できる位置からヒートシンク1と平行方向に延設している。

【0036】

ここで、図10に基づいて、積層導体2に流れる電流について説明する。ここでは一例として、半導体スイッチング素子S3、S4、S7～S9を各々オフ、半導体スイッチング素子S1、S2、S5、S6、S10を各々オンとした場合のスイッチングパターンについて説明する。このスイッチングパターンでは、電流がB→NP→C3→P→S5→S6→S1→S2→Aの経路で流れ、出力端子A、B間の電位が2Eとなる。

【0037】

図10(a)では、前記電流の経路に含まれない導体22、23、25、26、28については図示を省略し、電流の経路に含まれる導体21、24、27、29のみ表している。図10(b)は前記スイッチングパターンにおける電流経路を示す回路図である。

【0038】

図10(a)に示すように、電流は半導体スイッチング素子S5のエミッタ端子から導体21の接続部3a2、延設部3b2、立設部3c1、延設部3b1、接続部3a1の順に流れ、半導体スイッチング素子S6のコレクタ端子に入力される。次に、電流は半導体スイッチング素子S6のエミッタ端子から導体24の接続部3a8、延設部3b8、延設部3b7、接続部3a7の順に流れ、半導体スイッチング素子S1のコレクタ端子に入力される。次に、電流は半導体スイッチング素子S1のエミッタ端子から導体27の接続部3a14、延設部3b14、立設部3c7、延設部3b15、接続部3a15の順に流れ、半導体スイッチング素子S2のコレクタ端子に入力される。次に、電流は半導体スイッチング素子S2のエミッタ端子から導体29の接続部3a20、延設部3b20、立設部3c9、出力端子Aの順に流れ、出力端子Aから出力される。

【 0 0 3 9 】

この時、導体 2 1 の延設部 3 b 1 と導体 2 4 の延設部 3 b 8 , 導体 2 4 の延設部 3 b 7 と導体 2 7 の延設部 3 b 1 4 , 導体 2 1 の立設部 3 c 1 と導体 2 7 の立設部 3 c 7 , 導体 2 7 の延設部 3 b 1 5 と導体 2 9 の延設部 3 b 2 0 のそれぞれに逆向きの電流が流れる。このように、近接する導体に逆向きの電流が流れることにより、それぞれ電流によって発生する磁界が相殺される。また、本実施形態 1 では、特定のスイッチングパターンについてのみ説明したが、その他のスイッチングパターンでも近接する導体に逆向きの電流が流れることにより、磁界を相殺することができる。その結果、インダクタンスを抑制することが可能となる。

【 0 0 4 0 】

10

また、コンデンサ C 1 , C 2 を接続するための導体も前記積層導体 2 と積層することにより、磁界を相殺し、インダクタンスを低減することでサージ電圧を抑制することができる。

【 0 0 4 1 】

さらに、コンデンサ C 1 , C 2 を積層導体 2 を挟んで半導体スイッチング素子と対向して配置させ、前記積層導体 2 にコンデンサ C 1 , C 2 との接続端子 D , E , F を設けることにより、半導体スイッチング素子とコンデンサ C 1 , C 2 との距離を短くすることができ、この素子の配置によってもサージ電圧を低減することが可能となる。

【 0 0 4 2 】

また、積層導体 2 を用いることにより、導体面積が小さくなり、装置の小型化を図ることが可能となる。さらに、積層導体 2 を用いることにより、導体の組立性が向上する。また、構造上、素子の端子と接続する接続部と素子間を結ぶ立設部の配置を分けているため、多少寸法精度が低くても導体の取付けが可能のため、コストの削減を図ることが可能となる。

20

【 0 0 4 3 】

[実施形態 2]

本実施形態 2 におけるマルチレベルコンバータの回路構成図を図 1 1 に示す。図 1 1 に示すように、本実施形態 2 におけるマルチレベルコンバータは、実施形態 1 のマルチレベルコンバータに対して、半導体スイッチング素子 S 9 , S 1 0 の耐圧を上げるために、半導体スイッチング素子 S 9 , S 1 0 に対して、半導体スイッチング素子 S 1 1 , S 1 2 を並列に接続したものである。

30

【 0 0 4 4 】

図 1 2 ~ 図 1 5 に本実施形態 2 におけるマルチレベルコンバータの構成を示す。図 1 2 はマルチレベルコンバータの斜視図、図 1 3 は積層導体 2 の斜視図、図 1 4 はマルチレベルコンバータの平面図、図 1 5 はマルチレベルコンバータの側面図を示している。実施形態 1 と同様の箇所は同一符号を付してその説明を省略する。

【 0 0 4 5 】

図 1 4 に示すように、本実施形態 2 におけるマルチレベルコンバータは、実施形態 1 におけるマルチレベルコンバータの構成に対して、半導体スイッチング素子 S 9 を図 1 4 (a) における上側の列に移動し、新たに設けた半導体スイッチング素子 S 1 1 , S 1 2 を図 1 4 (a) における下側の列に配置したものである。

40

【 0 0 4 6 】

積層導体 2 は、実施形態 1 における導体 2 2 が導体 2 2 a , 2 2 b に置き換わり、導体 2 5 が導体 2 5 a , 2 5 b に置き換わっている。

【 0 0 4 7 】

図 1 7 (a) (b) に示すように、導体 2 2 a は半導体スイッチング素子 S 1 0 のエミッタ端子と半導体スイッチング素子 S 1 2 のエミッタ端子とを接続し、導体 2 2 b は半導体スイッチング素子 S 1 1 のエミッタ端子と半導体スイッチング素子 S 1 2 のコレクタ端子と接続する。導体 2 2 a , 2 2 b も同様に接続部 3 a 2 2 ~ 3 a 2 5 と、延設部 3 b 2 2 ~ 3 b 2 5 と、立設部 3 c 1 0 ~ 3 c 1 1 とを有している。

50

【 0 0 4 8 】

図 1 8 (a) (b) に示すように、導体 2 5 a は半導体スイッチング素子 S 9 のエミッタ端子と半導体スイッチング素子 1 1 のエミッタ端子とダイオード D 1 のアノードとダイオード D 2 のカソードと端子 F , F とを接続し、導体 2 5 b は半導体スイッチング素子 S 9 のエミッタ端子と半導体スイッチング素子 S 1 0 のコレクタ端子とを接続する。導体 2 5 a , 2 5 b も同様に接続部 3 a 2 6 ~ 3 a 3 1 , 延設部 3 b 2 6 ~ 3 b 3 1 , 立設部 3 c 1 2 , 3 c 1 3 と、を有している。

【 0 0 4 9 】

なお、積層導体における電流の流れは実施形態 1 と同様であるためここでの説明は省略する。

10

【 0 0 5 0 】

以上示したように、本実施形態 2 におけるマルチレベルコンバータによれば、実施形態 1 と同様の作用効果を奏する。

【 0 0 5 1 】

また、本実施形態では、直流電圧からマルチレベルの交流電圧への変換で動作説明を行ったが、マルチレベルの交流電圧から直流電圧への変換にも本技術が適用できるのはもちろんのことである。

【 符号の説明 】

【 0 0 5 2 】

S 1 ~ S 1 2 ... 半導体スイッチング素子

20

V_{DC} ... 直流電圧源

A ... 出力端子

B ... 出力端子

P ... 直流電圧源の正極端

N ... 直流電圧源の負極端

2 ... 積層導体

2 1 ~ 2 9 ... 導体

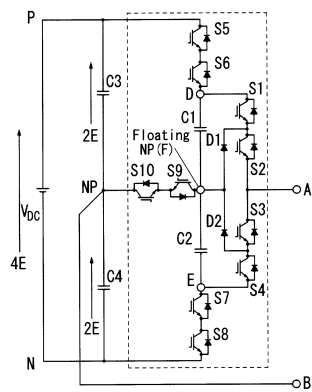
3 a 1 ~ 3 a 2 1 ... 接続部

3 b 1 ~ 3 b 2 1 ... 延設部

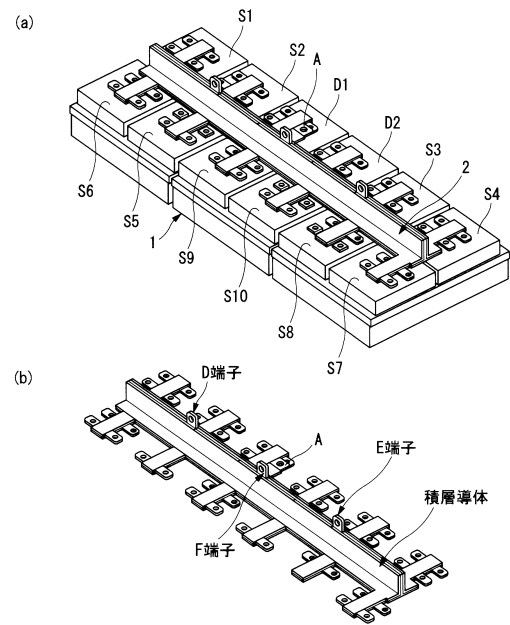
3 c 1 ~ 3 c 9 ... 立設部

30

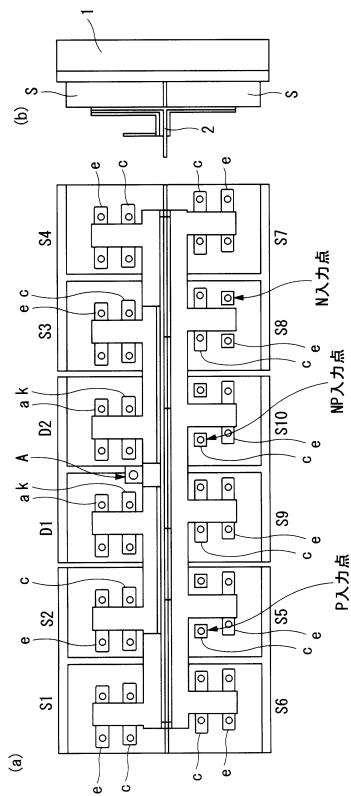
【図 1】



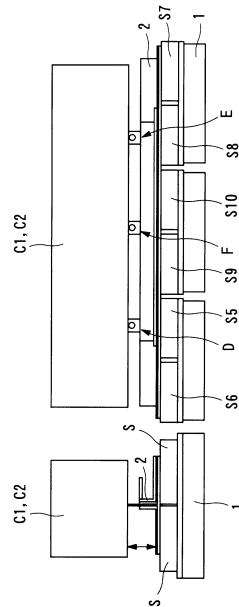
【図 2】



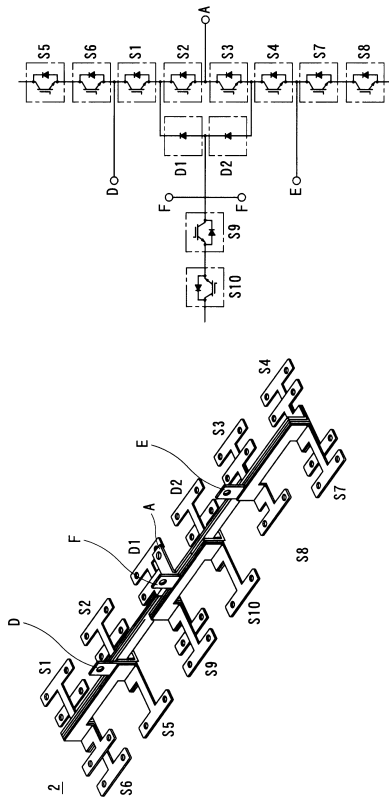
【図 3】



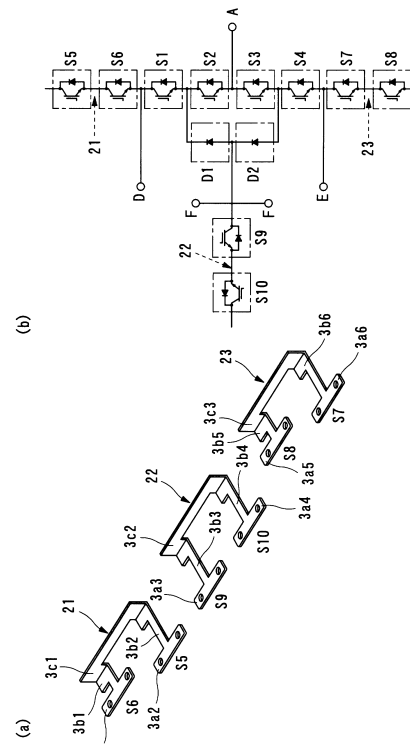
【図 4】



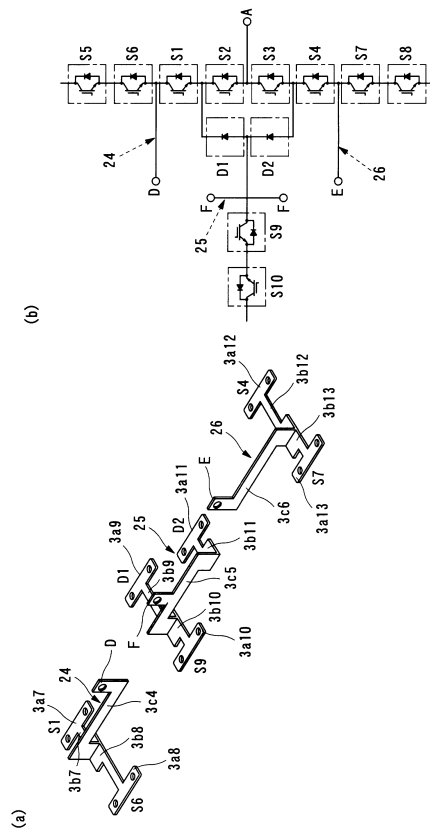
【図 5】



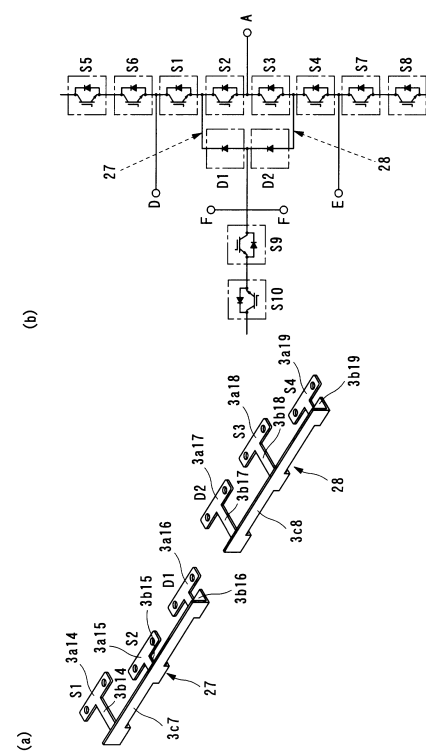
【図 6】



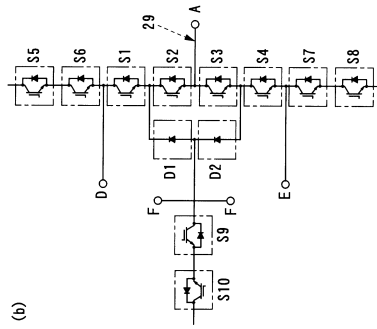
【図 7】



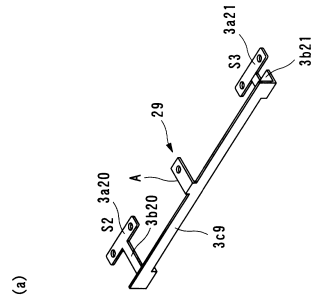
【図 8】



【図 9】

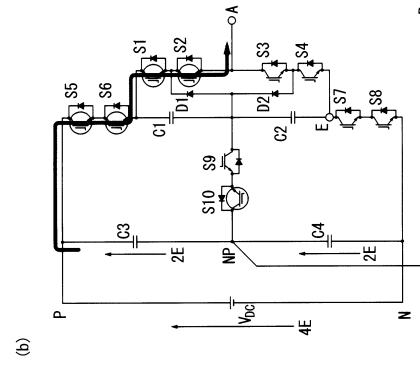


(b)

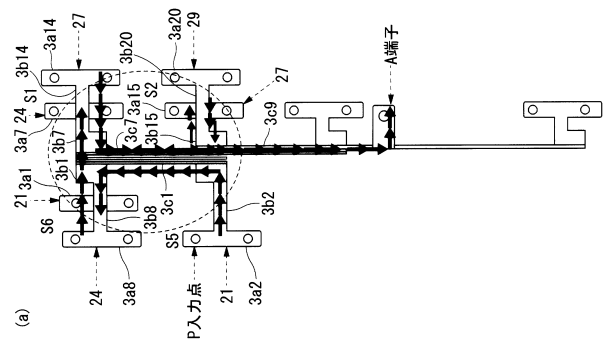


(a)

【図 10】

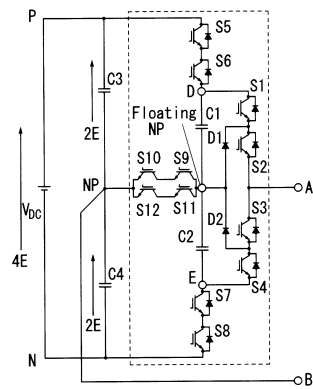


(b)

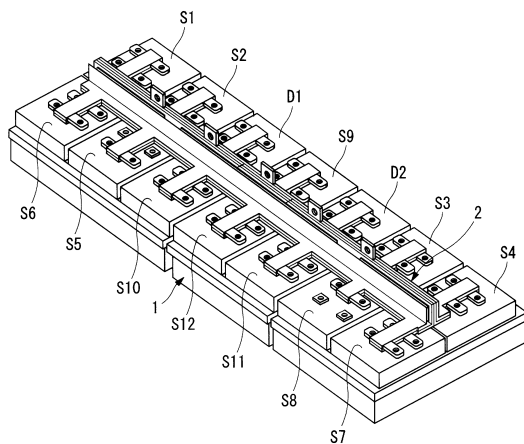


(a)

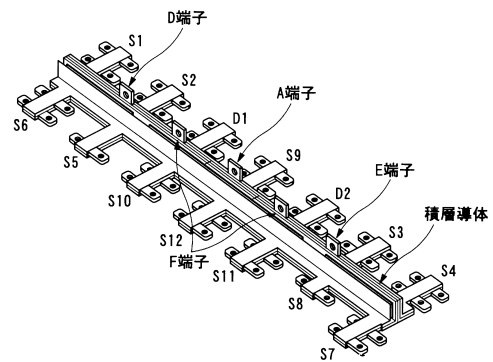
【図 11】



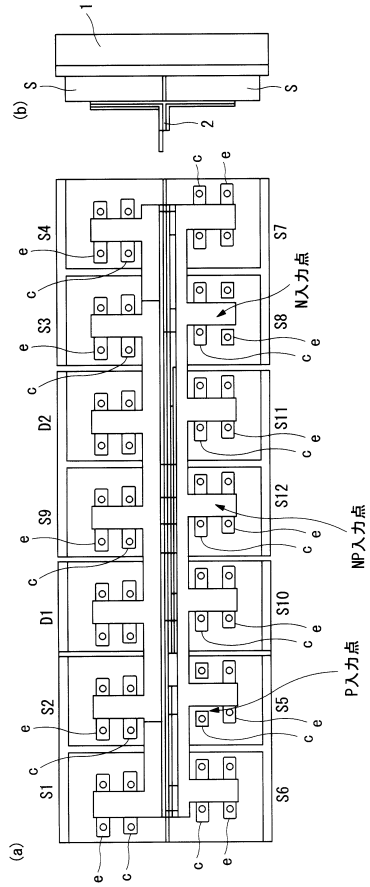
【図 12】



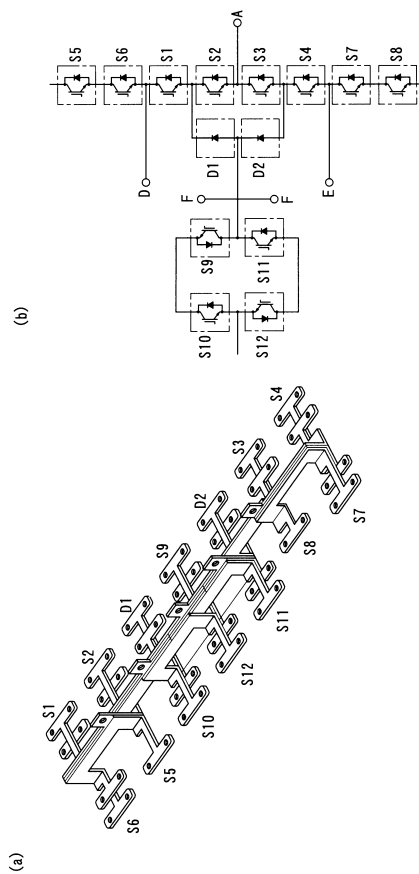
【図 13】



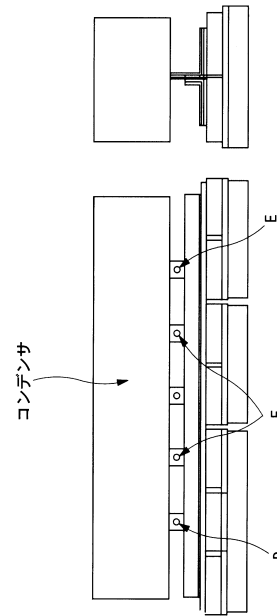
【 図 1 4 】



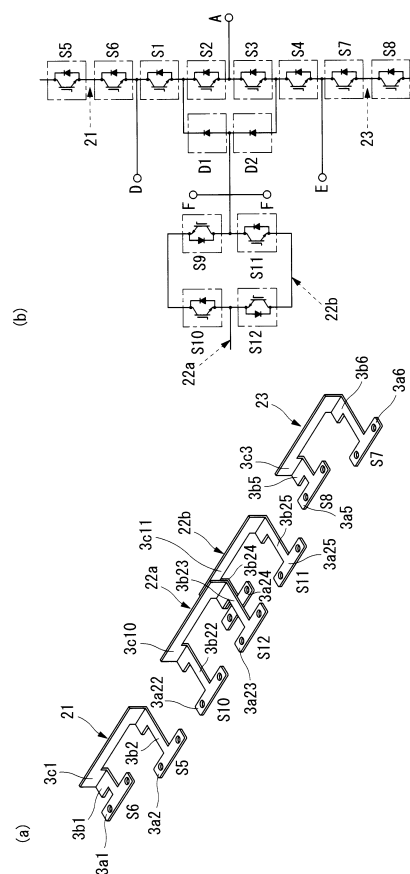
【 図 1 6 】



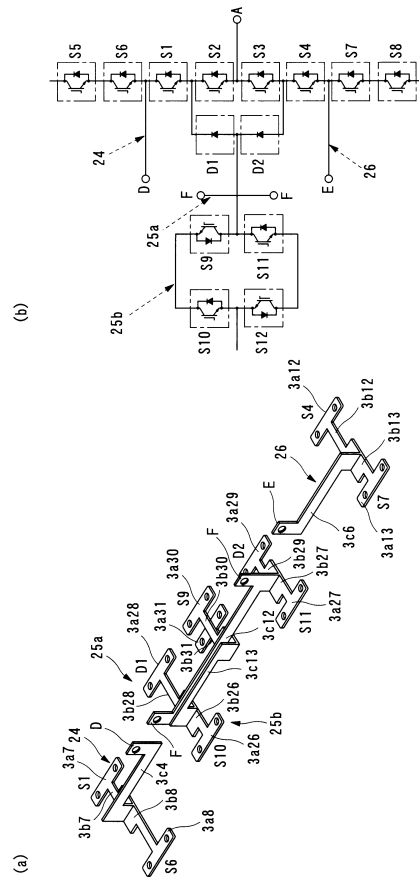
【 図 1 5 】



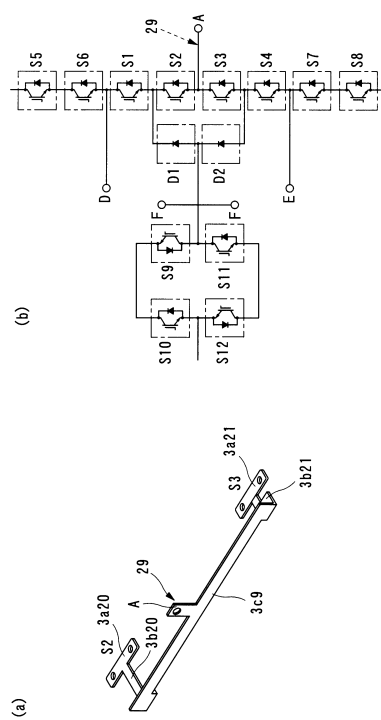
【 図 1 7 】



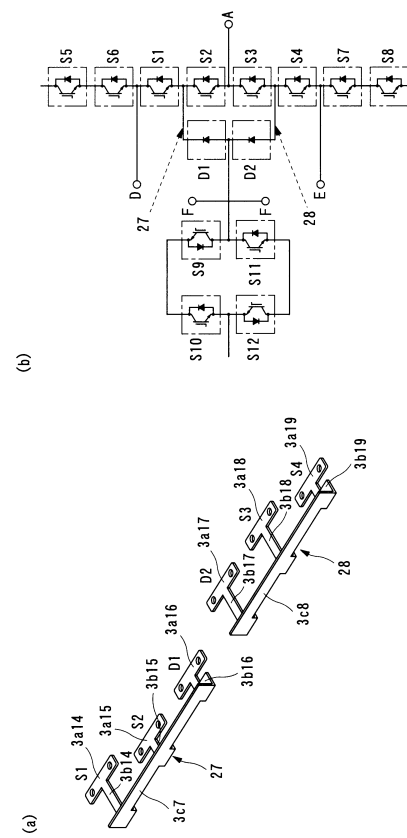
【 図 1 8 】



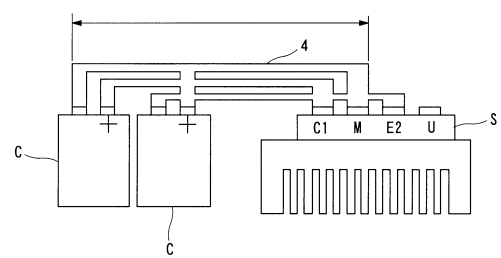
【 図 2 0 】



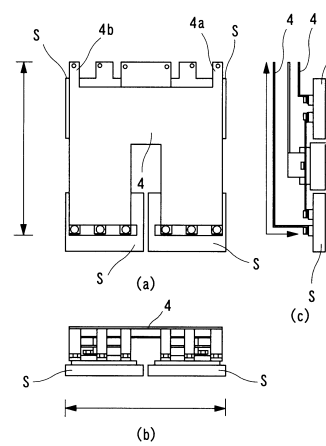
【 図 1 9 】



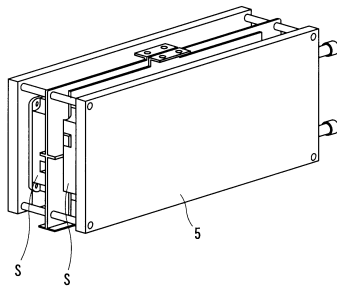
【 図 2 1 】



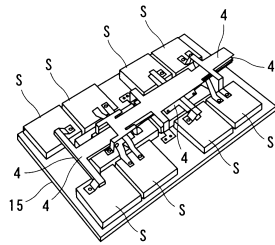
【圖 2 2】



【図 23】



【図 24】



フロントページの続き

審査官 東 昌秋

(56)参考文献 特開平 1 1 - 8 9 2 4 9 (J P , A)
特開平 1 0 - 2 8 5 9 5 0 (J P , A)
特表 2 0 0 2 - 5 2 6 0 2 3 (J P , A)
特開 2 0 0 7 - 5 9 7 3 7 (J P , A)
特開平 9 - 3 0 8 2 6 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 2 M 1 / 0 0 - 7 / 0 0