

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 3 月 9 日 (09.03.2023)



(10) 国际公布号
WO 2023/028883 A1

(51) 国际专利分类号:
G02F 1/1362 (2006.01)

(21) 国际申请号: PCT/CN2021/115810

(22) 国际申请日: 2021 年 8 月 31 日 (31.08.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。北京京东方光电科
技有限公司(**BEIJING BOE OPTOELECTRONICS
TECHNOLOGY CO., LTD.**) [CN/CN]; 中国北京
市北京市北京经济技术开发区西环中
路 8 号, Beijing 100176 (CN)。

(72) 发明人: 邓祁(**DENG, Qi**); 中国北京市北京经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。
张勇(**ZHANG, Yong**); 中国北京市北京经济技
术开发区地泽路 9 号, Beijing 100176 (CN)。杨
智超(**YANG, Zhichao**); 中国北京市北京经济技
术开发区地泽路 9 号, Beijing 100176 (CN)。乜
玲芳(**NIE, Lingfang**); 中国北京市北京经济技
术开发区地泽路 9 号, Beijing 100176 (CN)。安
亚帅(**AN, Yashuai**); 中国北京市北京经济技
术开发区地泽路 9 号, Beijing 100176 (CN)。郝龙
虎(**HAO, Longhu**); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。王德生
(**WANG, Desheng**); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。王双海
(**WANG, Shuanghai**); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。

(54) **Title:** DISPLAY SUBSTRATE AND DISPLAY PANEL

(54) 发明名称: 显示基板及显示面板

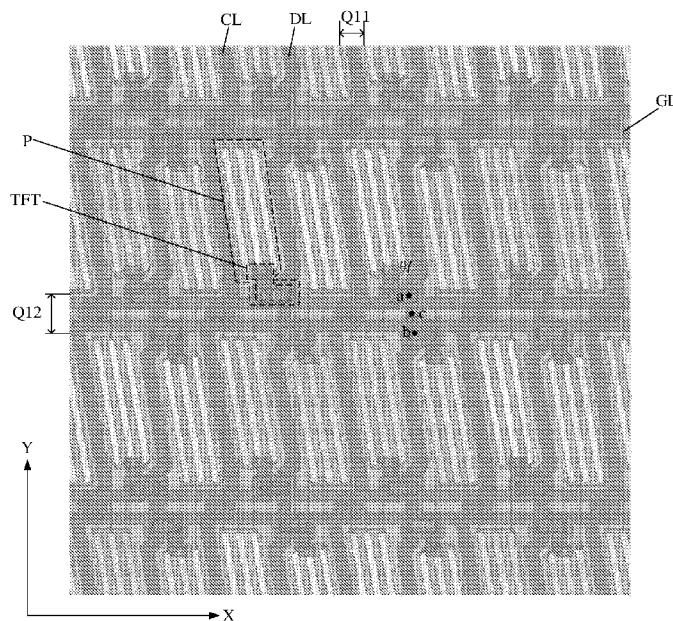


图 5

(57) **Abstract:** A display substrate and a display panel, which belong to the technical field of displays. The display substrate of the present disclosure comprises: a base substrate (10), a plurality of gate lines (GL), which are arranged on the base substrate (10), and a plurality of data lines (DL), which are arranged on the base substrate (10), and a plurality of sub-pixels (P), wherein the plurality of sub-pixels (P) form a plurality of first pixel groups (P10), which are arranged side by side in a first direction (X), and a plurality of second pixel groups (P20), which are arranged side by side in a second direction (Y); first areas (Q11) are defined between any two first

(74) 代理人: 北京天昊联合知识产权代理有限公司(TEE&HOWE INTELLECTUAL PROPERTY ATTORNEYS); 中国北京市东城区东长安街1号东方广场东方经贸城西一办公楼5层1, 6-12室顾丽波, 任静, Beijing 100738 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

pixel groups (P10) that are arranged adjacent to each other, and second areas (Q12) are defined between any two second pixel groups (P20) that are arranged adjacent to each other; common electrode lines (CL) are further provided in some of the first areas (Q11), and the common electrode lines (CL) and the data lines (DL) are located in different first areas (Q11); and each of the common electrode lines (CL) comprises a plurality of common electrode line sections (101) and a boss (102) that is connected between two common electrode line sections (101), the width of the boss (102) in any direction being greater than the width of the common electrode line sections (101) in the first direction (X), and the boss (102) being located in a second area (Q12).

(57) 摘要: 一种显示基板及显示面板, 属于显示技术领域。本公开的显示基板, 其包括: 衬底基板(10), 设置在衬底基板(10)上的多条栅线(GL)、多条数据线(DL), 以及多个亚像素(P); 多个亚像素(P)形成沿第一方向(X)并排设置的多个第一像素组(P10)和沿第二方向(Y)并排设置的多个第二像素组(P20); 任意两相邻设置的第一像素组(P10)之间限定出一个第一区域(Q11), 任意两相邻设置的所述第二像素组(P20)之间限定出一个第二区域(Q12); 在至少部分第一区域(Q11)还设置有公共电极线(CL), 且公共电极线(CL)与数据线(DL)位于不同的第一区域(Q11); 公共电极线(CL)包括多个公共电极线段(101), 以及连接在两个公共电极线段(101)之间凸台(102), 且凸台(102)在任意方向上的宽度均大于公共电极线段(101)在第一方向(X)上的宽度; 凸台(102)位于第二区域(Q12)。

显示基板及显示面板

技术领域

本公开属于显示技术领域，具体涉及一种显示基板及显示面板。

背景技术

薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display，简称 TFT-LCD)是一种重要的平板显示设备。伴随着显示技术的发展，高分辨率、高透过率、大尺寸低功耗、低成本已成为未来显示器领域的发展方向。

发明内容

本发明旨在至少解决现有技术中存在的技术问题之一，提供一种显示基板及显示面板。

本公开实施例提供一种显示基板，其包括：衬底基板，设置在衬底基板上的多条栅线、多条数据线，以及多个亚像素；所述多个亚像素形成沿第一方向并排设置的多个第一像素组和沿第二方向并排设置的多个第二像素组；所述多个第一像素组中的每个包括沿所述第二方向并排设置多个所述亚像素；所述多个第二像素组中的每个包括沿第一方向并排设置的多个所述亚像素；每个第二像素组在第二方向上的两侧分别设置一条栅线；对于任一所述第二像素组中两相邻的所述亚像素，其中一者连接的所述栅线，位于该亚像素在所述第二方向上相对的两侧中的一侧，另一者连接的所述栅线，位于该亚像素在所述第二方向上相对的两侧中的另一侧；每两个相邻设置的所述第一像素组中的各个所述亚像素连接同一条所述数据线，且连接同一条所述数据线的各个所述亚像素连接不同的所述栅线；其中，任意两相邻设置的所述第一像素组之间限定出一个第一区域，任意两相邻设置的所述第二像素组之间限定出一个第二区域；在至少部分所述第一区域还设置有公共电极线，且所述公共电极线与所述数据线位于不同的所述第一区域；

所述公共电极线包括多个公共电极线段，以及连接在两个所述公共电极线段之间凸台，且所述凸台在任意方向上的宽度均大于所述公共电极线段在

所述第一方向上的宽度；所述凸台位于所述第二区域。

其中，所述亚像素内设置有薄膜晶体管和像素电极；所述薄膜晶体管的栅极连接所述栅线，源极连接所述数据线，漏极连接所述像素电极；

同一所述第二像素组内的各个所述像素电极构成一像素电极组，且位于所述同一所述第二像素组中任意两相邻的所述亚像素内的所述薄膜晶体管，分别位于所述像素电极组在所述第二方向上两相对侧。

其中，对于任意两个连接同一条所述数据线、且位于两相邻所述第一像素组的亚像素内的薄膜晶体管，其中一者与所述数据线的连接节点为第一节点，另一者与所述数据线的连接节点为第二节点，以所述第一节点和所述第二节点的中点作为对称中心，两个所述薄膜晶体管呈中心对称。

其中，所述数据线包括多个数据线段，以及连接相邻设置的两个数据线段的连接线段；所述连接线段包括第一子连接线段和第二子连接线，所述第一子连接线通过所述第二子连接段与所述数据线段连接；所述第一子连接线段位于所述第二区域；所述薄膜晶体管的源极连接所述第一子连接线段；所述数据线段的延伸方向与所述第一方向的夹角为 $5^{\circ} \sim 10^{\circ}$ ；所述第二子连接线段和所述数据线段所形成的夹角为 $100^{\circ} \sim 130^{\circ}$ 。

其中，所述像素区内还设置有公共电极；所述像素电极和所述公共电极中的一者为狭缝电极，另一者为板状电极；所述狭缝电极的狭缝的延伸方向与所述数据线段的延伸方向相同。

其中，所述公共电极线段的延伸方向与所述数据线段的延伸方向相同。

其中，所述显示基板包括设置在所述衬底基板上的第一金属层；所述第一金属层包括所述数据线、所述公共电极线、所述薄膜晶体管的源极和漏极。

其中，所述显示基板包括设置在所述衬底基板上的第二金属层；所述第二金属层包括所述栅线和所述薄膜晶体管的栅极。

其中，所述显示基板包括沿背离所述衬底基板方向依次设置的第二金属层、第一层间绝缘层、半导体层、第一透明导电层、第一金属层、第二层间

绝缘层、第二透明导电层；

所述第一金属层包括所述数据线、所述公共电极线、所述薄膜晶体管的源极和漏极；

所述第二金属层包括所述栅线和所述薄膜晶体管的栅极；

所述第一透明导电层包括所述像素电极；

所述第二透明导电层包括公共电极。

其中，所述数据线和所述公共电极线在所述第一方向上交替设置。

其中，所述薄膜晶体管的栅极在所述衬底基板上的正投影覆盖所述半导体有源层在所述衬底基板上的正投影；其中，

所述栅极在所述衬底基板上的正投影包括沿所述第一方向相对设置的第一侧边和第二侧边，以及沿所述第二方向相对设置的第三侧边和第四侧边；所述半导体有源层在所述衬底基板上的正投影包括沿所述第一方向相对设置的第五侧边和第六侧边，以及沿所述第二方向相对设置的第七侧边和第八侧边；

所述第四侧边与所述栅线在所述衬底基板上的正投影连接；

所述第一侧边与所述第五侧边相对，且二者之间的间距为 S1；所述第二侧边和所述第六侧边相对设置，且二者之间的间距为 S2；所述第三侧边和所述第七侧边相对设置，且二者之间的间距为 S3；所述 S1、所述 S2、所述 S3 中至少一者小于 $3\mu\text{m}$ 。其中，任一所述凸台在任意方向上的宽度均大于所述公共电极线段在所述第一方向上的宽度；且各所述凸台尺寸相同。

本公开实施例提供一种显示面板，其包括上述的显示基板。

其中，所述显示面板还包括与所述显示基板相对设置的对置基板，以及位于所述显示基板和所述对置基板之间的隔垫物；一个所述隔垫物在所述衬底基板的正投影位于所述一个凸台在所述衬底基板上的正投影内。

其中，所述隔垫物包括第一隔垫物和第二隔垫物；所述第一隔垫物的高

度大于所述第二隔垫物的高度；且所述第一隔垫物的两端分别与所述显示基板和对质基板相抵。

其中，所述第一隔垫物和所述第二隔垫物均在所述显示面板中均匀排布，且所述第一隔垫物的排布密度与第二隔垫物的排布密度比为 1:30~1:70。

附图说明

图 1 为一种示例性的显示面板的截面图。

图 2 为图 1 的显示面板中阵列基板的俯视图。

图 3 为图 2 所示的阵列基板的版图。

图 4 为图 2 的阵列基板中的一个亚像素的等效电路图。

图 5 为本公开实施例的一种阵列基板的版图。

图 6 为本公开实施例的阵列基板中的公共电极线的示意图。

图 7 为一种应用本公开实施例阵列基板的显示面板的示意图。

图 8 为本公开实施例的阵列基板中的数据线的示意图。

图 9 为本公开实施例的阵列基板中的第二金属层的版图。

图 10 为本公开实施例的阵列基板中的半导体层的版图。

图 11 为在形成第一层绝缘层的衬底基板上形成半导体层的版图。

图 12 为本公开实施例的阵列基板中第一透明导电层的版图。

图 13 为本公开实施例的阵列基板中第一金属层的版图。

图 14 为在形成第一透明导电层的衬底基板上形成第一金属层的版图。

图 15 为本公开实施例的阵列基板中的第二透明导电层的版图。

图 16 为本公开实施例的显示面板的版图。

具体实施方式

为使本领域技术人员更好地理解本发明的技术方案，下面结合附图和具体实施方式对本发明作进一步详细描述。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”、“一”或者“该”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

图 1 为一种示例性的显示面板的截面图；如图 1 所示，该显示面板包括相对设置的显示基板和对置基板，以及设置在显示基板和对置基板之间的液晶层，显示基板和对置基板通过设置在周边区 Q2 的封框胶完成对盒（也即形成液晶盒），并通过设置在显示区 Q1 的隔垫物 PS 来维持液晶盒的对盒。其中，显示基板可以为阵列基板，对置基板可以为彩膜基板；当然，显示基板也可以是 COA（Color On Array；彩色滤光层设置在阵列基板上）基板，此时对置基板上将不在设置彩色滤光层。在公开实施例中以显示基板为阵列基板，对置基板为彩膜基板为例进行说明。其中，阵列基板包括衬底基板 10，设置在衬底基板 10 上亚像素，亚像素包括薄膜晶体管 TFT、像素电极 12 和公共电极 14，其中，薄膜晶体管 TFT 的栅极和半导体有源层之间设置有第一层间绝缘层 11，薄膜晶体管 TFT 的源极和漏极所在层和公共电极所在层之间设置有第二层间绝缘层 12。彩膜基板包括衬底基板 10' 和设置在衬底基板 10' 上的彩色滤光层。其中，彩色滤光层包括彩色滤光片和黑矩阵，黑矩阵 BM 用以遮光，与阵列基板上的非透光元件例如薄膜晶体管 TFT 位置对应设置，彩色滤光片用于彩色显示，与像素电极 12 所在位置对应。图 1 中仅示意出红色滤光片 R，在实际显示面板中还可以包括绿色滤光片和蓝色滤光片，从而实现显示面板的彩色显示。

图 2 为图 1 的显示面板中阵列基板的俯视图；图 3 为图 2 所示的阵列基板的版图；如图 2 和 3 所示，该阵列基板为一种双栅线（dual gate）阵列基板，其可以包括衬底基板 10，设置在衬底基板 10 上的多个亚像素 P；衬底基板 10 上的亚像素 P 形成沿第一方向 X 并排设置的多个第一像素组 P10 和沿第二方向 Y 并排设置的多个第二像素组 P20；每个第一像素组 P10 中包括沿第二方向 Y 并排设置的多个亚像素 P；每个第二像素组 P20 中包括沿第一方向 X 并排设置的多个亚像素 P。每个第二亚像素 P 组在第二方向 Y 上的两侧分别设置一条栅线 GL。对于任一第二像素组 P20 中两相邻的所述亚像素 P，其中一者连接的所述栅线 GL，位于该亚像素 P 在第二方向 Y 上相对的两侧中的一侧，另一者连接的所述栅线 GL，位于该亚像素 P 在第二方向 Y 上相对的两侧中的另一侧；每两个相邻设置的第一像素组 P10 中的各个亚像素 P 连接同一条所述数据线 DL，且连接同一条数据线 DL 的各个亚像素 P 连接不同的栅线 GL。

图 4 为图 2 的阵列基板中的一个亚像素的等效电路图；如图 3 所示，该等效电路包括薄膜晶体管 TFT、存储电容 Cst、液晶电容 Clc；该薄膜晶体管 TFT 的第一极连接数据线 DL，该薄膜晶体管 TFT 第二极连接存储电容 Cst 的第一极板和液晶电容 Clc 的第一极板，该薄膜晶体管 TFT 的控制极连接栅线 GL；存储电容 Cst 的第二极板连接参考电压端 Vref；液晶电容 Clc 的第二极板连接公共电压信号。当栅线 GL 被写入工作电平信号时，薄膜晶体管 TFT 被选通，通过数据线 DL 上所写入的数据线 DL 电压信号实现相应灰阶的显示。

另外，本公开的实施例中采用的晶体管可以为薄膜晶体管 TFT 或场效应晶体管或其他特性相同的开关器件，薄膜晶体管 TFT 可以包括氧化物半导体薄膜晶体管 TFT、非晶硅薄膜晶体管 TFT 或多晶硅薄膜晶体管 TFT 等。对于每个晶体管其均包括第一极、第二极和控制极；其中，控制极作为晶体管的栅极，第一极和第二极中的一者作为晶体管的源极，另一者作为晶体管的漏极；而晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在

物理结构上可以是没有区别的。在本公开的实施例中，为了区分晶体管，除作为控制极的栅极，直接描述了其中第一极为源极，第二极为漏极，所以本公开的实施例中全部或部分晶体管的源极和漏极根据需要是可以互换的。

图3为图2所示的阵列基板的版图；结合图1和3所示，该阵列基板包括衬底基板10，依次设置在衬底基板10上的第二金属层20、第一层间绝缘层11、半导体层30、第一透明导电层40、第一金属层50、第二层间介质层和第二透明导电层60。其中，第二金属层20包括栅线GL和各亚像素P中的薄膜晶体管TFT的栅极，且位于同一第二像素中的各个亚像素P中的薄膜晶体管TFT的栅极和所连接的栅线GL为一体成型结构。半导体层30包括各亚像素P中的薄膜晶体管TFT的半导体有源层，且每个薄膜晶体管TFT中的半导体有源层和其栅极在衬底基板10上的正投影至少部分重叠。第一透明电极层包括各亚像素P中的像素电极12。第二金属层20包括数据线DL、公共电极线CL，以及各亚像素P中的薄膜晶体管TFT的源极和漏极。其中，各薄膜晶体管TFT的漏极与像素电极12搭接；数据线DL和与之连接各薄膜晶体管TFT的源极为一体结构。第二透明电极层包括各亚像素P中的公共电极14。由于公共电极14位于像素电极12背离衬底基板10的一侧，故公共电极14采用狭缝电极。

继续参照4，连接同一数据线DL、且相邻设置的第二像素组P20中的亚像素P中的薄膜晶体管TFT，位于这两个相邻的第二像素组P20之间的两条栅线GL之间。当将该阵列基板应用至显示面板中时，隔垫物所在位置恰好位于薄膜晶体管TFT对应的位置，而且狭缝电极的狭缝的端部具有拐角。当每英寸像素个数（英文：Pixels Per Inch；简称：PPI）达到300以上，即亚像素P的尺寸小于或者等于 $25.6\mu\text{m}$ 时，按照图4的像素版图设计，较常规显示面板而言，开口率将下降6%以上。

图5为本公开实施例的一种阵列基板的版图；图6为本公开实施例的阵列基板中的公共电极线的示意图；如图5和6所示，本公开实施例提供一种阵列基板与图1所示的阵列基板相类似为一种双栅线阵列基板，其具体可以

包括衬底基板 10，设置衬底基板 10 上的多个亚像素 P、多条栅线 GL 和多条数据线 DL。亚像素 P 的排布如图 2 所示，多个亚像素 P 形成沿第一方向 X 并排设置的多个第一像素组 P10，以及沿第二方向 Y 并排设置的多个第二像素组 P20。其中，每个第一像素组 P10 包括沿第二方向 Y 并排设置的多个亚像素 P；每个第二像素组 P20 包括沿第一方向 X 并排设置的多个亚像素 P。每个第二像素组 P20 在第二方向 Y 上的两侧分别设置一条栅线 GL，此时在任意相邻设置的两个第二像素组 P20 之间均设置有两条栅线 GL。对于任一第二像素组 P20 中两相邻的亚像素 P，其中一者连接的栅线 GL，位于该亚像素 P 在第二方向 Y 上相对的两侧中的一侧，另一者连接的栅线 GL，位于该亚像素 P 在第二方向 Y 上相对的两侧中的另一侧；每两个相邻设置的第一像素组 P10 中的各个亚像素 P 连接同一条数据线 DL，且连接同一条数据线 DL 的各个亚像素 P 连接不同的栅线 GL；其中，任意两相邻设置的第一像素组 P10 之间限定出一个第一区域 Q11，任意两相邻设置的第二像素组 P20 之间限定出一个第二区域 Q12；在至少部分第一区域 Q11 还设置有公共电极线 CL，且公共电极线 CL 与数据线 DL 位于不同的第一区域 Q11；也就是说，若在两个相邻的第一像素组 P10 之间设置数据线 DL，则在这两个相邻设置的第一像素组 P10 之间不再设置公共电极线 CL。在本公开实施例中，公共电极线 CL 包括多个公共电极线段 101，以及连接在两个公共电极线段 101 之间凸台 102，且至少一个凸台 102 在任意方向上的宽度均大于公共电极线段 101 在第一方向 X 上的宽度；凸台 102 位于第二区域 Q12。

需要说明的是，图 7 为一种应用本公开实施例阵列基板的显示面板的示意图；如图 7 所示，该显示面板包括相对设置的阵列基板 200 和彩膜基板 300，以及设置在二者之间的隔垫物。阵列基板 200 为本公开实施例中的阵列基板，图 7 仅为示例性附图，并未示意各膜层的具体结构。当将本公开实施例中的阵列基板应用至显示面板中时，维持显示面板盒厚的隔垫物 PS 与在任意方向上的宽度均大于公共电极线段 101 在第一方向 X 上的宽度的凸台是对应设置的也即，一个隔垫物在衬底基板 10 上的正投影位于一个凸台 102 在衬底

基板 10 上正投影内。通常，显示面板中的隔垫物 PS 分为第一隔垫物 PS1 和第二隔垫物 PS2，其中，第一隔垫物 PS1 比第二隔垫物 PS2 的高度高，且第一隔垫物 PS1 在衬底基板 10 上的正投影的面积大于第二隔垫物 PS2 在衬底基板 10 上的正投影的面积，此时，第一隔垫物 PS1 作为主隔垫物，用以维持显示面板的盒厚；第二隔垫物 PS2 作为副隔垫物，用以在外力作用在显示面板上时，起到缓冲的作用。在本公开实施例中，通过在公共电极线 CL 上形成凸台 102，并将隔垫物设置在凸台 102 对应的位置，可以有效的避免隔垫物尺寸不同而导致各亚像素 P 开口率不均一的问题。

在一些示例中，继续参照图 6，凸台 102 的形状可以多边形、圆形、椭圆形等任意形状，在本公开实施例中并不对凸台 102 的形状做限定。图 6 中仅以凸台 102 为圆形凸台 102 为例示意。

在一些示例中，对于任一公共电极线 CL 上的所有凸台 102 的在任意方向上的宽度均大于公共电极线段 101 在第一方向 X 上的宽度，进一步的，所有的凸台 102 的尺寸相同的，在该种情况下，当公共电极线 CL 采用非透光材料时，也即凸台 102 为非透光区，可以保证显示基板的开口率一致，进而提高显示均一性。在本公开实施例中也是已各个凸台 102 尺寸一致为例进行说明的，但这并不构成对本公开实施例保护范围的限制。

在一些示例中，继续参照图 5，每个亚像素 P 内设置有薄膜晶体管 TFT 和像素电极 12，薄膜晶体管 TFT 的栅极连接栅线 GL，薄膜晶体管 TFT 的源极连接所述数据线 DL，薄膜晶体管 TFT 的漏极连接所述像素电极 12。同于第二像素组 P20 中任意中各个像素电极 12 构成一像素电极组，且同一第二像素组 P20 中任意两相邻的亚像素 P 内的薄膜晶体管 TFT，分别位于像素电极组在第二方向 Y 上两相对侧。例如：如图 5 所示，对于同一第二像素组 P20 中任意两相邻的亚像素 P 内的薄膜晶体管 TFT 中，一者位于像素电极组的上侧，另一者则位于下侧。由图 5 可以看出的是，每个亚像素 P 内薄膜晶体管 TFT 均位于该栅线 GL 靠近像素电极 12 的一侧，因此相较图 2 所示的阵列基板，位于相邻设置的第二像素组 P20 内、且连接同一数据线 DL 的两

个薄膜晶体管 TFT 之间距离被拉大，故可以有效的降低这两个薄膜晶体管 TFT 源极和漏极短路的风险。

当然，每个亚像素 P 内不仅包括像素电极 12 还可以设置公共电极 14。当像素电极 12 相较公共电极 14 靠近衬底基板 10 一侧设置时，像素电极 12 为板状电极，公共电极 14 为狭缝电极；当公共电极 14 相较像素电极 12 靠近衬底基板 10 一侧设置时，公共电极 14 为板状电极，像素电极 12 为狭缝电极，在本公开实施例的下述描述中均以像素电极 12 为板状电极，公共电极 14 为狭缝电极为例，但这并不构成对本公开实施例保护范围的限制。进一步的，各公共电极 14 中的狭缝的延伸方向为单一方向，也即各狭缝的两端不再存在拐角，通过该种方式以保证各个亚像素 P 的开口率均一。例如：狭缝的延伸方向与公共电极线段 101 的延伸方向大致相同，甚至完全一致。其中，此处狭缝的延伸方向与公共电极线段 101 的延伸方向大致相同是指，二者的延伸方向与第一方向 X 的夹角相差 5° 以内。当然，各个狭缝也可以不采用直线型开口，也可以是折线型开口。对于狭缝的开口走向并不构成对本公开实施例保护范围的限制。

在一些示例中，继续参照图 5，该阵列基板中，连接同一条所述数据线 DL、且位于两相邻所述第一像素组 P10 的亚像素 P 内的薄膜晶体管 TFT 呈中心对称。也就是说，对于任意两个连接同一条数据线、且位于两相邻第一像素组 P10 的亚像素 P 内的薄膜晶体管 TFT，其中一者与数据线 DL 的连接节点为第一节点 a，另一者与数据线 DL 的连接节点为第二节点 b，以第一节点 a 和第二节点 b 的中点 c 作为对称中心，两个薄膜晶体管 TFT 呈中心对称。例如：连接同一数据线 DL，且二者处于对角位置的两个薄膜晶体管 TFT 呈中心对称。当然，连接同一条所述数据线 DL、且位于两相邻所述第一像素组 P10 的亚像素 P 内不仅薄膜晶体管 TFT 呈中心对称，而且像素电极 12、公共电极 14 也均是呈中心对称的。通过该种设置方式以保证各个亚像素 P 的开口率的一致性。

在一些示例中，图 8 为本公开实施例的阵列基板中的数据线的示意图；

如图 8 所示, 对于任一数据线 DL 其包括多个数据线段 201, 以及连接相邻设置的两个数据线段 201 的连接线段 202, 连接线段 202 包括一个第一子连接线段 202a 和两个第二子连接线段 202b, 第一子连接线段 202a 的两端各连接一个第二子连接线段 202b, 并通过第二子连接线段 202b 连接数据线段 201。其中, 数据线段 201 位于第一区域 Q11, 第一子连接线段 202a 位于第二区域 Q12, 第二子连接线段 202b 可以位于第一区域 Q11, 也可以位于第二区域 Q12, 亦可以部分位于第一区域 Q11 部分, 部分位于第二区域 Q12。位于奇数个的数据线段 201 的延长线重合, 位于偶数个的数据线段 201 的延长线重合, 且位于奇数个的数据线段 201 和位于偶数个的数据线段 201 的延长线平行。各亚像素 P 中的薄膜晶体管 TFT 的源极连接在第一子连接线段 202a 上, 数据线段 201 的延伸方向与第二方向 Y 的夹角在 $5^{\circ} \sim 10^{\circ}$ 左右; 第二子连接线段 202b 和与之连接的数据线段 201 所形成的夹角 θ 在 $100^{\circ} \sim 130^{\circ}$ 左右。例如: 当数据线段 201 的延伸方向与第二方向 Y 的夹角为 10° , 第二子连接线段 202b 和与之连接的数据线段 201 所形成的夹角 θ 为 125° 。再例如: 当数据线段 201 的延伸方向与第二方向 Y 的夹角为 5° , 第二子连接线段 202b 和与之连接的数据线段 201 所形成的夹角 θ 为 130° 。再例如: 当数据线段 201 的延伸方向与第二方向 Y 的夹角为 7° , 第二子连接线段 202b 和与之连接的数据线段 201 所形成的夹角 θ 为 132° 。也就是说, 数据线 DL 在薄膜晶体管 TFT 连接的位置存在一拐角, 通过该种设置方式以使各亚像素 P 的开口得以提高。在本公开实施例中, 优选的数据线段 201 的延伸方向与第二方向 Y 的夹角为 10° , 第二子连接线段 202b 和与之连接的数据线段 201 所形成的夹角 θ 为 125° 。经过实验验证, 当数据线段 201 的延伸方向与第二方向 Y 的夹角为 10° , 第二子连接线段 202b 和与之连接的数据线段 201 所形成的夹角 θ 为 125° 时, 相较于, 数据线段 201 的延伸方向与第二方向 Y 的夹角为 5° , 第二子连接线段 202b 和与之连接的数据线段 201 所形成的夹角 θ 为 130° 的像素开口率可以提高 2.29%; 相较于数据线段 201 的延伸方向与第二方向 Y 的夹角为 7° , 第二子连接线段 202b 和与之连接的数据

线段 201 所形成的夹角 θ 为 130° 的像素开口率可以提高 1.76%。

进一步的，数据线 DL 和公共电极线 CL 交替设置，且数据线段 201 和公共电极线段 101 的延伸方向相同。也就是说，相邻设置的第一区域 Q11 中的一者设置数据线 DL，另一者设置公共电极线 CL。通过该种方式可以使得阵列基板中亚像素 P 的排布规律，从而可以保证各亚像素 P 的透过率均一。

在一些示例中，本公开实施例中的阵列基板可以包括第一金属层 50，该第一金属层 50 包括公共电极线 CL 和数据线 DL，以及薄膜晶体管 TFT 的源极和漏极；也即，阵列基板中的公共电极线 CL 和数据线 DL，以及薄膜晶体管 TFT 的源极和漏极同层设置且材料相同。在该种情况下，可以通过一次构图工艺形成包括的公共电极线 CL 和数据线 DL，以及薄膜晶体管 TFT 的源极和漏极的图形。其中，由于每个薄膜晶体管 TFT 的源极需与数据线 DL 连接，此时薄膜晶体管 TFT 的源极可以和与其连接的数据线 DL 为一体成型结构。

在一些示例中，本公开实施例中的阵列基板可以包括第二金属层 20，该第二金属层 20 包括栅线 GL 和各薄膜晶体管 TFT 的栅极。在该种情况下，可以通过一次构图工艺形成包括栅线 GL 和各薄膜晶体管 TFT 的栅极的图形。由于每个薄膜晶体管 TFT 的栅极需与栅线 GL 连接，此时薄膜晶体管 TFT 的栅极可以和与其连接栅线 GL 采用一体成型结构。

为了更清楚本公开实施例中的阵列基板结构，以下结合图 5，以及图 5 所示的阵列基板的各膜层的版图对本公开实施例中的阵列基板进行详细说明。

如图 5 所示，该阵列基板包括：衬底基板 10、设置在衬底基板 10 上的多个亚像素 P、多条栅线 GL 和多条数据线 DL。其中，每个亚像素 P 内设置有薄膜晶体管 TFT、像素电极 12 和公共电极 14。从膜层角度来讲，该阵列基板包括衬底基板 10，依次设置在衬底基板 10 上第二金属层 20、第一层间绝缘层 11、半导体层 30、第一透明导电层 40、第一金属层 50、第二层间绝缘层 13 和第二透明导电层 60。接下来，对各膜层的结构进行说明。

图 9 为本公开实施例的阵列基板中的第二金属层的版图；如图 9 所示，第二金属层 20 包括栅线 GL 和各亚像素 P 中的薄膜晶体管 TFT 的栅极，且栅线 GL 和与之连接各薄膜晶体管 TFT 的栅极 301 为一体成型结构。在一些示例中，第二金属层 20 的材料包括但不限于钼 Mo、钼铌合金、铝 Al、铝钽合金、钛 Ti 或铜 Cu 等导电材料形成第二金属层 20 可以单层结构，也可以多层结构，例如 Ti/Al/Ti 三层结构。

在一些示例中，第一层间绝缘层 11 作为栅极绝缘层，设置在各薄膜晶体管 TFT 的栅极和半导体有源层之间。第一层间绝缘层 11 的材料可以选择与 Si 的晶格结构相近的材料制作，例如 Si_xN_y 或 Si_xO_y ：氮化硅或氧化硅。具体可以是与氮化硅或氧化硅单层结构，当然也可以采用氮化硅或氧化硅复合膜层结构。

图 10 为本公开实施例的阵列基板中的半导体层的版图；如图 10 所示，半导体层 30 包括各亚像素 P 中的薄膜晶体管 TFT 的半导体有源层 302。其中，半导体有源层 302 包括各亚像素 P 的薄膜晶体管 TFT 的有源层图案（沟道区）和掺杂区图案（源漏掺杂区）。例如，半导体层 30 可采用非晶硅、多晶硅、氧化物半导体材料等制作。需要说明的是，上述的源极区域和漏极区域可为掺杂有 n 型杂质或 p 型杂质的区域。当然半导体层 30 的材料还可以包括氧化物半导体，例如可以是氧化铟镓锌（IGZO）、氧化铟锌（IZO）、氧化锌（ZnO）或者氧化镓锌（GZO）等。在本公开实施例中以半导体层 30 的材料为低温多晶硅为例进行说明。图 11 为在形成第一层绝缘层的衬底基板上形成半导体层的版图；如图 11 所示，一个半导体有源层和一个栅极在衬底基板 10 上的正投影重叠。在本公开实施例中，薄膜晶体管的栅极在衬底基板上的正投影覆盖有源层在衬底基板上的正投影；其中，栅极在衬底基板上的正投影包括沿第一方向相对设置的第一侧边（左）和第二侧边（右），以及沿第二方向相对设置的第三侧边（上）和第四侧边（下）；半导体有源层在衬底基板上的正投影包括沿第一方向相对设置的第五侧边（左）和第六侧边（右），以及沿第二方向相对设置的第七侧边（上）和第八侧边（下）；

栅极的第四侧边（下）与栅线在衬底基板上的正投影连接（也即薄膜晶体管的栅极和与之连接的栅线为一体结构）；栅极的第一侧边与半导体有源层的第五侧边相对，且二者之间的间距为 $S1$ ；栅极的第二侧边和半导体有源层的第六侧边相对设置，且二者之间的间距为 $S2$ ；栅极的第三侧边和半导体有源层的第七侧边相对设置，且二者之间的间距为 $S3$ ； $S1$ 、 $S2$ 、 $S3$ 中至少一者小于 $3\ \mu\text{m}$ 。在一些示例中， $S1=S2=S3=2.75\ \mu\text{m}$ 。但应当理解，根据显示面板尺寸以及像素开口率要求可以对 $S1$ 、 $S2$ 、 $S3$ 的值进行具体设置。在本公开实施例中， $S1$ 、 $S2$ 、 $S3$ 中至少一者小于 $3\ \mu\text{m}$ 有助于显示面板实现高 PPI 的设计，而且可以调高像素开口率，当 $S1=S2=S3=2.75\ \mu\text{m}$ 时，像素开口率可以增加 6.5% 以上。

图 12 为本公开实施例的阵列基板中第一透明导电层的版图；如图 10 所示，第一透明导电层 40 包括各亚像素 P 中像素电极 12。在一些示例中，第一透明导电层 40 的材料包括氧化铟锡（ITO）或氧化铟锌（IZO）等透明导电材料。

图 13 为本公开实施例的阵列基板中第一金属层的版图；图 14 为在形成第一透明导电层的衬底基板上形成第一金属层的版图；如图 13 和 14 所示，第一金属层 50 包括数据线 DL、公共电极线 CL，各亚像素 P 内的薄膜晶体管 TFT 的源极和漏极 303。其中，各薄膜晶体管 TFT 的源极和与之连接数据线 DL 为一体成型结构，薄膜晶体管 TFT 的源极和漏极 303 分别与半导体有源层的源极区域和漏极区域连接，同时薄膜晶体管 TFT 的漏极 303 还与像素电极 12 电连接。在一些示例中，第一金属层 50 包括但不限于钼、铝及钛等形成的金属单层或多层结构，例如，该多层结构为多金属层叠层，例如钛、铝、钛三层金属叠层（Al/Ti/Al）等。

在一些示例中，第二层间绝缘层 13 形成在第一金属层 50 背离衬底基板 10 的一侧。第二层间绝缘层 13 可以为钝化层（PVX），该钝化层可由氧化硅、氮化硅或者氮氧化硅等材料形成。

图 15 为本公开实施例的阵列基板中的第二透明导电层的版图；如图 5

和 15 所示,第二透明导电层 60 包括各亚像素 P 内的公共电极 14,且第二透明导电层 60 通过贯穿第二层绝缘层 13 的过孔和公共电极线 CL 电连接。在一些示例中,第二透明导电层 60 的材料可以与第一透明导电层 40 的材料相同。至此完成本公开实施例中的阵列基板介绍。

图 16 为本公开实施例的显示面板的版图;如图 16 所示,本公开实施例中还提供一种显示面板,该显示面板包括上述的阵列基板,以及与该阵列基板相对设置的对置基板。该对置基板可以为彩膜基板,且在本公开实施例中以对置基板为彩膜基板为例进行描述。当然,在阵列基板还包括设置在阵列基板和彩膜基板之间的液晶层,以及维持盒厚的隔垫物 PS。一个隔垫物 PS 在衬底基板 10 上的正投影位于公共电极线 CL 上的一个凸起在衬底基板 10 上的正投影内。

在一些示例中,同样可以参照图 7,显示面板中的隔垫物分为第一隔垫物 PS1 和第二隔垫物 PS2,其中,第一隔垫物 PS1 比第二隔垫物 PS2 的高度高,且第一隔垫物 PS1 在衬底基板 10 上的正投影的面积大于第二隔垫物 PS2 在衬底基板 10 上的正投影的面积,此时,第一隔垫物 PS1 作为主隔垫物,用以维持显示面板的盒厚;第二隔垫物 PS2 作为副隔垫物,用以在外力作用在显示面板上时,起到缓冲的作用。在本公开实施例中,通过在公共电极线 CL 上形成凸台 102,并将隔垫物设置在凸台 102 对应的位置,可以有效的避免隔垫物尺寸不同而导致各亚像素 P 开口率不均一的问题。

进一步的,本公开实施例中的第一隔垫物 PS1 和第二隔垫物 PS2 可以均形成在彩膜基板 300 上,在该种情况下,第二隔垫物 PS2 与阵列基板 200 之间存在一定的间距。当然,第一隔垫物 PS1 和第二隔垫物 PS2 也可以均形成在阵列基板 200 上,在该种情况下,第二隔垫物 PS2 和彩膜基板 200 之间存在一定间距。

在一些示例中,显示面板中的第一隔垫物 PS1 和第二隔垫物 PS2 均匀排布,且第一隔垫物 PS1 的排布密度与第二隔垫物 PS2 的排布密度比在 1:30~1:70 左右,例如:第一隔垫物 PS1 的排布密度为 1/108,第二隔垫物 PS2

的排布密度为 52/108, 第一隔垫物 PS1 的排布密度与第二隔垫物 PS2 的排布密度比为 1:52。再例如: 第一隔垫物 PS1 的排布密度为 1/72, 第二隔垫物 PS2 的排布密度为 34:72, 第一隔垫物 PS1 的排布密度与第二隔垫物 PS2 的排布密度比为 1:34。需要说明的是, 第一隔垫物 PS1 的排布密度与第二隔垫物 PS2 的排布密度取决显示面板的尺寸大小, 以及第一隔垫物 PS1 的排布密度与第二隔垫物 PS2 在衬底基板 10 的正投影面积等参数因素。本公开实施例中的显示面板由于包括上述的阵列基板, 其可以实现 300 以上的 PPI, 特别适用于投影仪项目中。

可以理解的是, 以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式, 然而本发明并不局限于此。对于本领域内的普通技术人员而言, 在不脱离本发明的精神和实质的情况下, 可以做出各种变型和改进, 这些变型和改进也视为本发明的保护范围。

权 利 要 求 书

1. 一种显示基板，其包括：衬底基板，设置在衬底基板上的多条栅线、多条数据线，以及多个亚像素；所述多个亚像素形成沿第一方向并排设置的多个第一像素组和沿第二方向并排设置的多个第二像素组；所述多个第一像素组中的每个包括沿所述第二方向并排设置多个所述亚像素；所述多个第二像素组中的每个包括沿第一方向并排设置的多个所述亚像素；每个第二像素组在第二方向上的两侧分别设置一条栅线；对于任一所述第二像素组中两相邻的所述亚像素，其中一者连接的所述栅线，位于该亚像素在所述第二方向上相对的两侧中的一侧，另一者连接的所述栅线，位于该亚像素在所述第二方向上相对的两侧中的另一侧；每两个相邻设置的所述第一像素组中的各个所述亚像素连接同一条所述数据线，且连接同一条所述数据线的各个所述亚像素连接不同的所述栅线；其中，任意两相邻设置的所述第一像素组之间限定出一个第一区域，任意两相邻设置的所述第二像素组之间限定出一个第二区域；在至少部分所述第一区域还设置有公共电极线，且所述公共电极线与所述数据线位于不同的所述第一区域；

所述公共电极线包括多个公共电极线段，以及连接在两个所述公共电极线段之间凸台，且至少一个所述凸台在任意方向上的宽度均大于所述公共电极线段在所述第一方向上的宽度；所述凸台位于所述第二区域。

2. 根据权利要求 1 所述的显示基板，其中，所述亚像素内设置有薄膜晶体管 and 像素电极；所述薄膜晶体管的栅极连接所述栅线，源极连接所述数据线，漏极连接所述像素电极；

同一所述第二像素组内的各个所述像素电极构成一像素电极组，且位于所述同一所述第二像素组中任意两相邻的所述亚像素内的所述薄膜晶体管，分别位于所述像素电极组在所述第二方向上两相对侧。

3. 根据权利要求 2 所述的显示基板，其中，对于任意两个连接同一条所述数据线、且位于两相邻所述第一像素组的亚像素内的薄膜晶体管，其中一者与所述数据线的连接节点为第一节点，另一者与所述数据线的连接节点为第二节点，以所述第一节点和所述第二节点的中点作为对称中心，两个所

述薄膜晶体管呈中心对称。

4. 根据权利要求 2 所述的显示基板，其中，所述数据线包括多个数据
线段，以及连接相邻设置的两个数据线段的连接线段；所述连接线段包括第
一子连接线段和第二子连接线，所述第一子连接线段通过所述第二子连接段与
5 所述数据线段连接；所述第一子连接线段位于所述第二区域；所述薄膜晶体
管的源极连接所述第一子连接线段；所述数据线段的延伸方向与所述第二方
向的夹角为 $5^{\circ} \sim 10^{\circ}$ ；所述第二子连接线段和所述数据线段所形成的夹角
为 $100^{\circ} \sim 130^{\circ}$ 。

5. 根据权利要求 4 所述的显示基板，其中，所述像素区内还设置有公
10 共电极；所述像素电极和所述公共电极中的一者为狭缝电极，另一者为板状
电极；所述狭缝电极的狭缝的延伸方向与所述数据线段的延伸方向相同。

6. 根据权利要求 4 所述的显示基板，其中，所述公共电极线段的延伸
方向与所述数据线段的延伸方向相同。

7. 根据权利要求 2-6 中任一项所述的显示基板，其中，所述显示基板包
15 括设置在所述衬底基板上的第一金属层；所述第一金属层包括所述数据线、
所述公共电极线、所述薄膜晶体管的源极和漏极。

8. 根据权利要求 2-6 中任一项所述的显示基板，其中，所述显示基板包
括设置在所述衬底基板上的第二金属层；所述第二金属层包括所述栅线和所
述薄膜晶体管的栅极。

9. 根据权利要求 2-6 中任一项所述的显示基板，其中，所述显示基板包
20 括沿背离所述衬底基板方向依次设置的第二金属层、第一层间绝缘层、半导
体层、第一透明导电层、第一金属层、第二层间绝缘层、第二透明导电层；

所述第一金属层包括所述数据线、所述公共电极线、所述薄膜晶体管的
源极和漏极；

25 所述第二金属层包括所述栅线和所述薄膜晶体管的栅极；

所述第一透明导电层包括所述像素电极；

所述第二透明导电层包括公共电极。

10. 根据权利要求 2-6 中任一项所述的显示基板，其中，所述数据线和所述公共电极线在所述第一方向上交替设置。

11. 根据权利要求 2-6 中任一项所述的显示基板，其中，所述薄膜晶体管的栅极在所述衬底基板上的正投影覆盖所述有源层在所述衬底基板上的正投影；其中，

所述栅极在所述衬底基板上的正投影包括沿所述第一方向相对设置的第一侧边和第二侧边，以及沿所述第二方向相对设置的第三侧边和第四侧边；所述半导体有源层在所述衬底基板上的正投影包括沿所述第一方向相对设置的第五侧边和第六侧边，以及沿所述第二方向相对设置的第七侧边和第八侧边；

所述第四侧边与所述栅线在所述衬底基板上的正投影连接；

所述第一侧边与所述第五侧边相对，且二者之间的间距为 $S1$ ；所述第二侧边和所述第六侧边相对设置，且二者之间的间距为 $S2$ ；所述第三侧边和所述第七侧边相对设置，且二者之间的间距为 $S3$ ；所述 $S1$ 、所述 $S2$ 、所述 $S3$ 中至少一者小于 $3\ \mu\text{m}$ 。

12. 根据权利要求 1 所述的显示基板，其中，任一所述凸台在任意方向上的宽度均大于所述公共电极线段在所述第一方向上的宽度；且各所述凸台尺寸相同。

13. 一种显示面板，其包括权利要求 1-12 中任一项所述的显示基板。

14. 根据权利要求 13 所述的显示面板，其中，还包括与所述显示基板相对设置的对置基板，以及位于所述显示基板和所述对置基板之间的隔垫物；一个所述隔垫物在所述衬底基板的正投影位于所述一个凸台在所述衬底基板上的正投影内。

15. 根据权利要求 14 所述的显示面板，其中，所述隔垫物包括第一隔垫物和第二隔垫物；所述第一隔垫物的高度大于所述第二隔垫物的高度；且所述第一隔垫物的两端分别与所述显示基板和对置基板相抵。

16. 根据权利要求 15 所述的显示面板，其中，所述第一隔垫物和所述

第二隔垫物均在所述显示面板中均匀排布，且所述第一隔垫物的排布密度与第二隔垫物的排布密度比为 1:30~1:70。

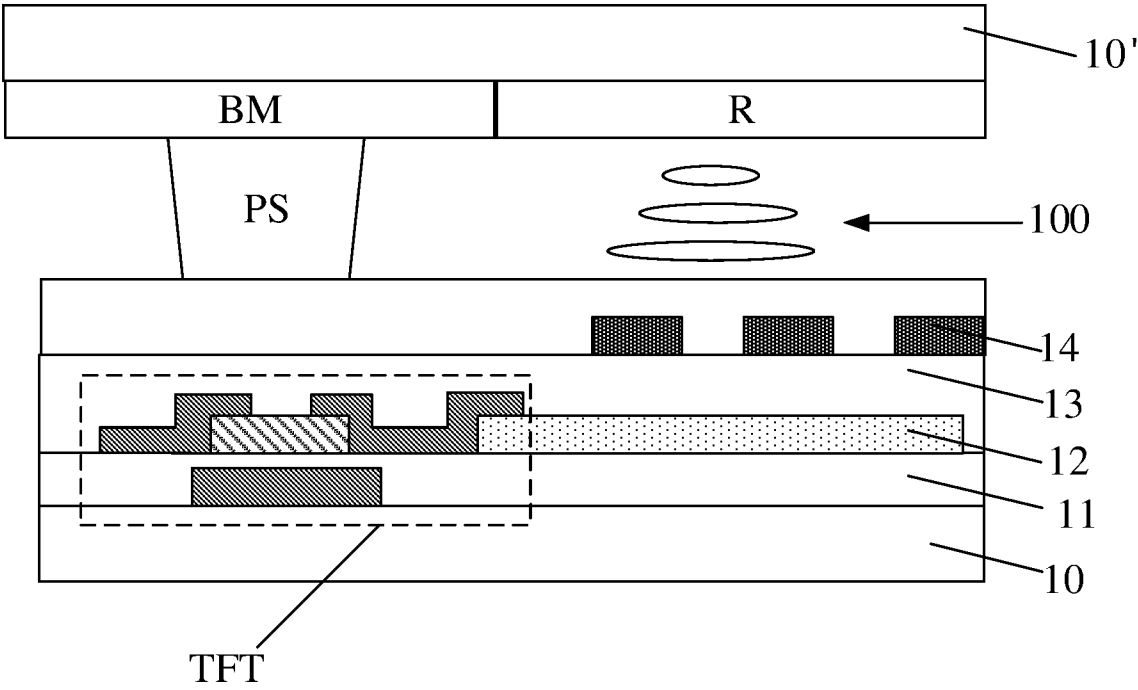


图 1

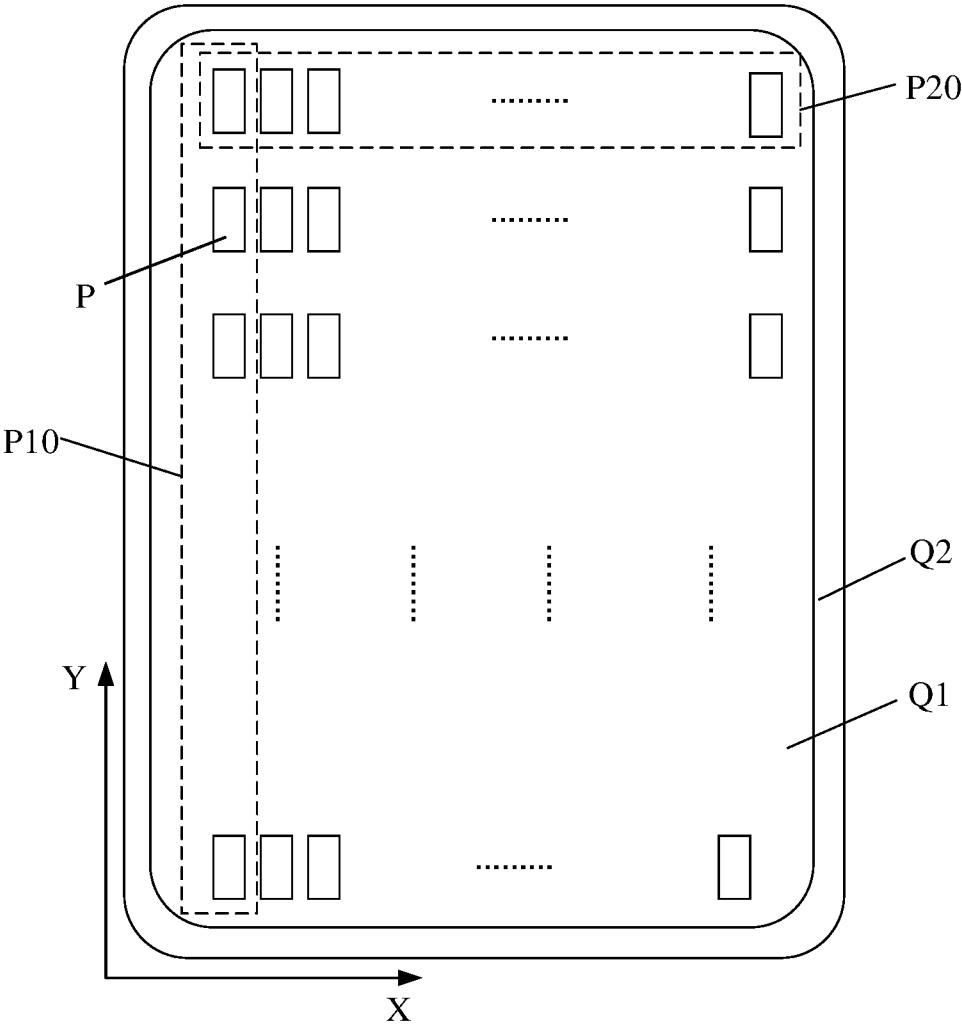


图 2

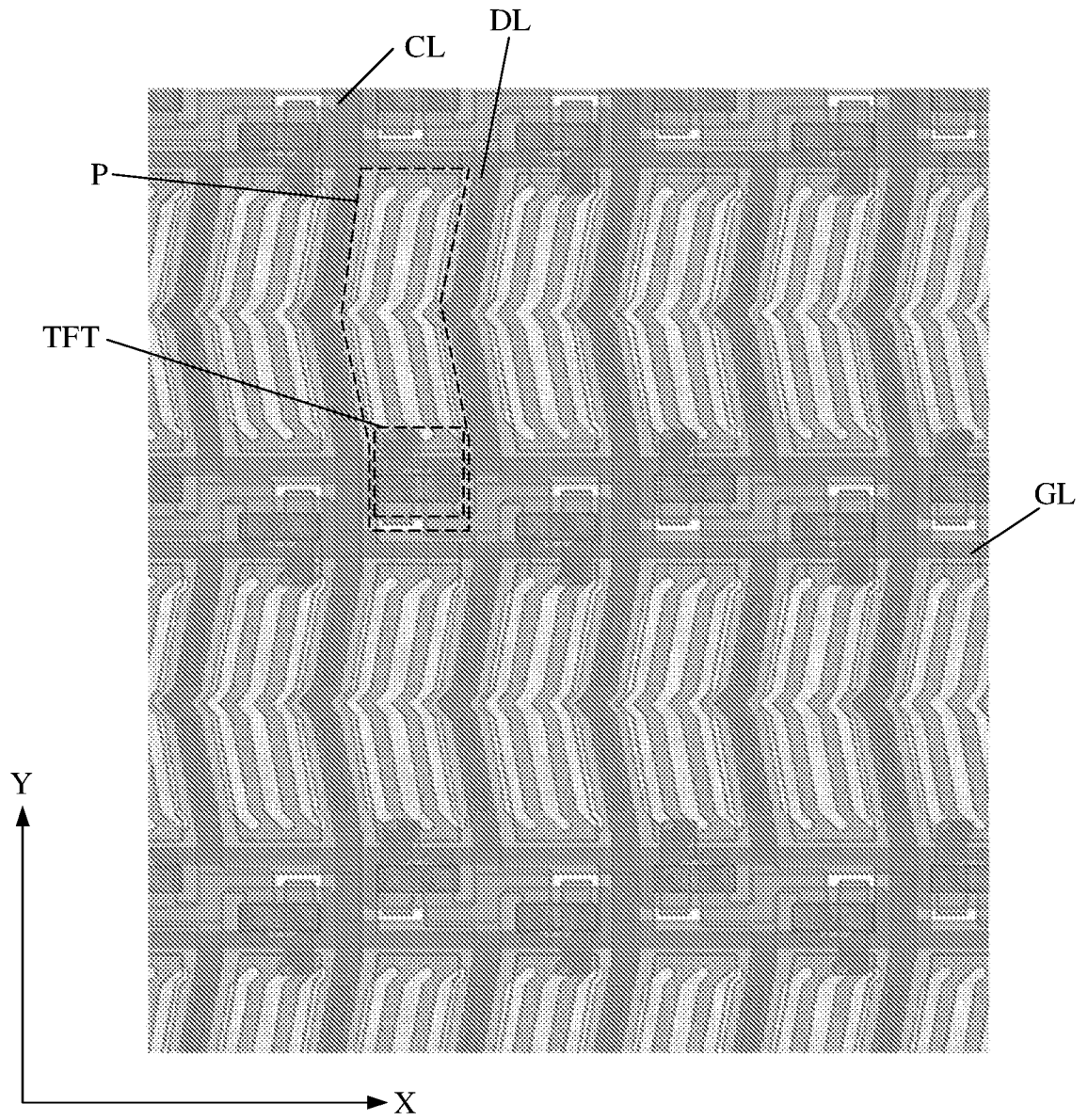


图 3

P

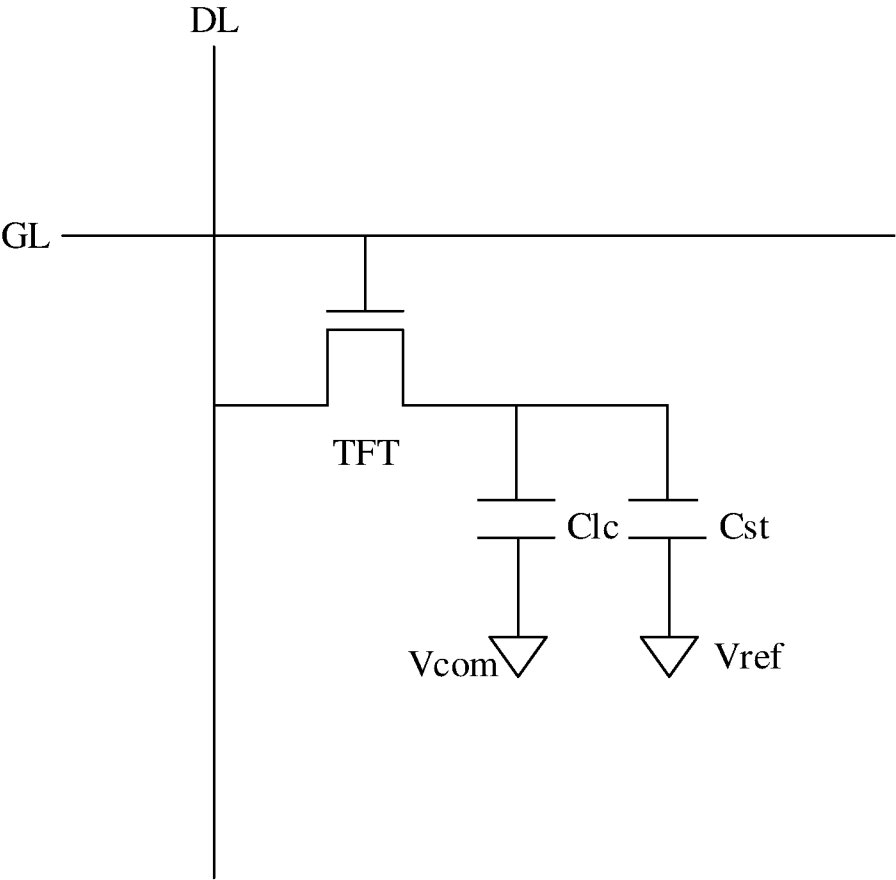


图 4

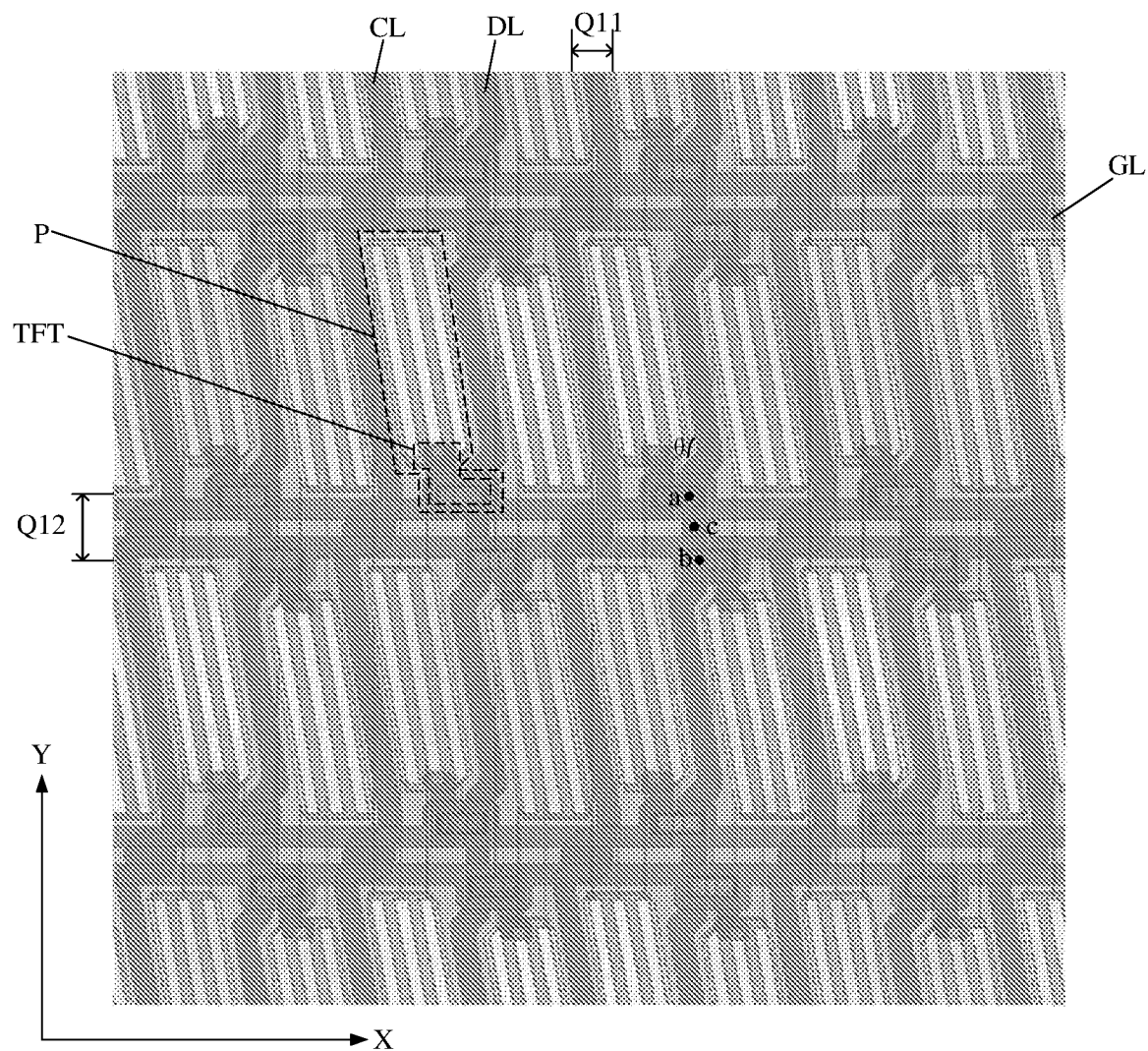


图 5

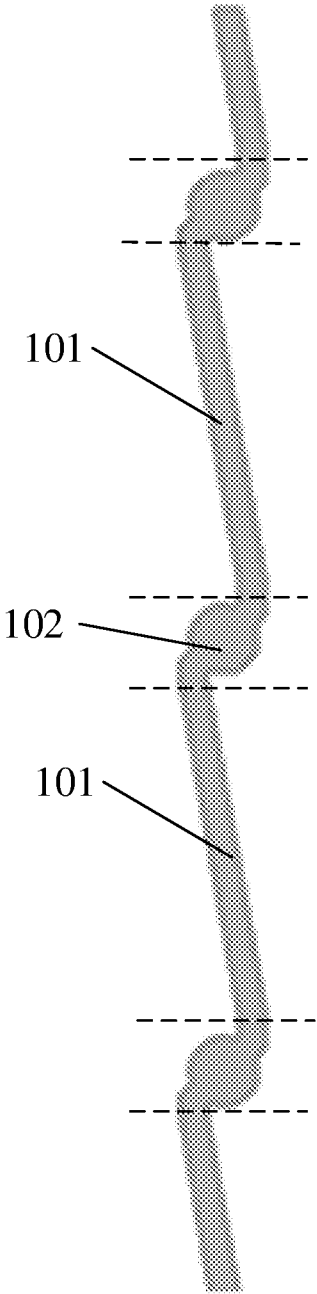


图 6

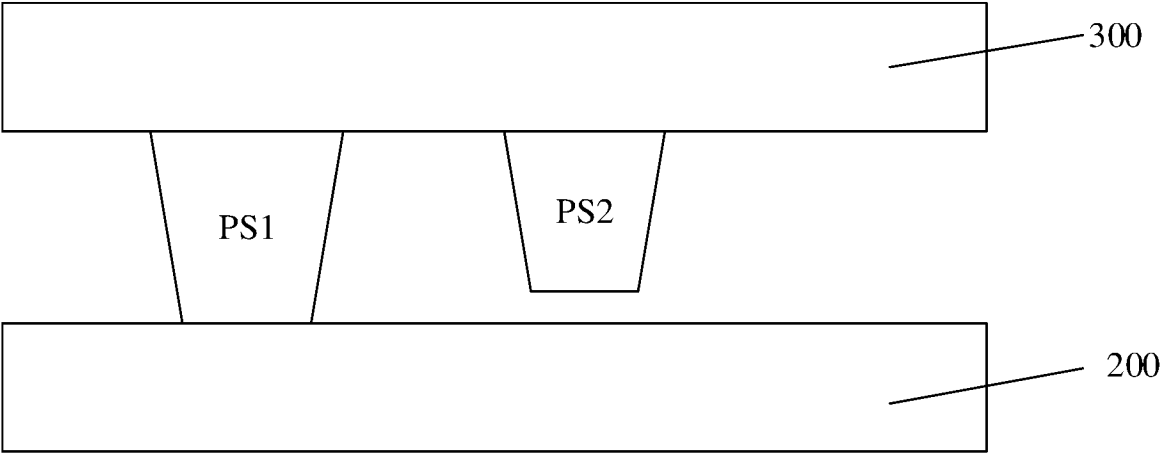


图 7

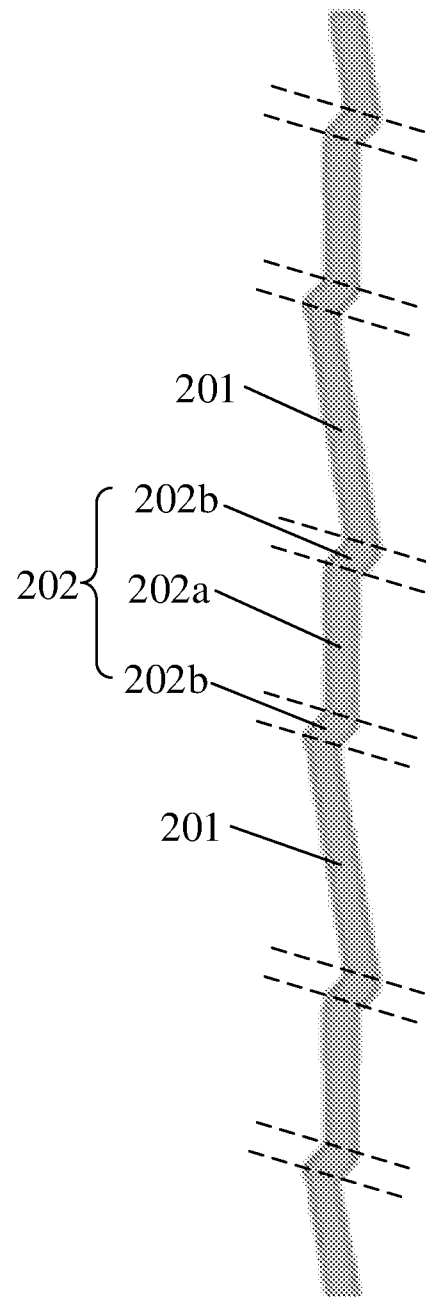


图 8

20

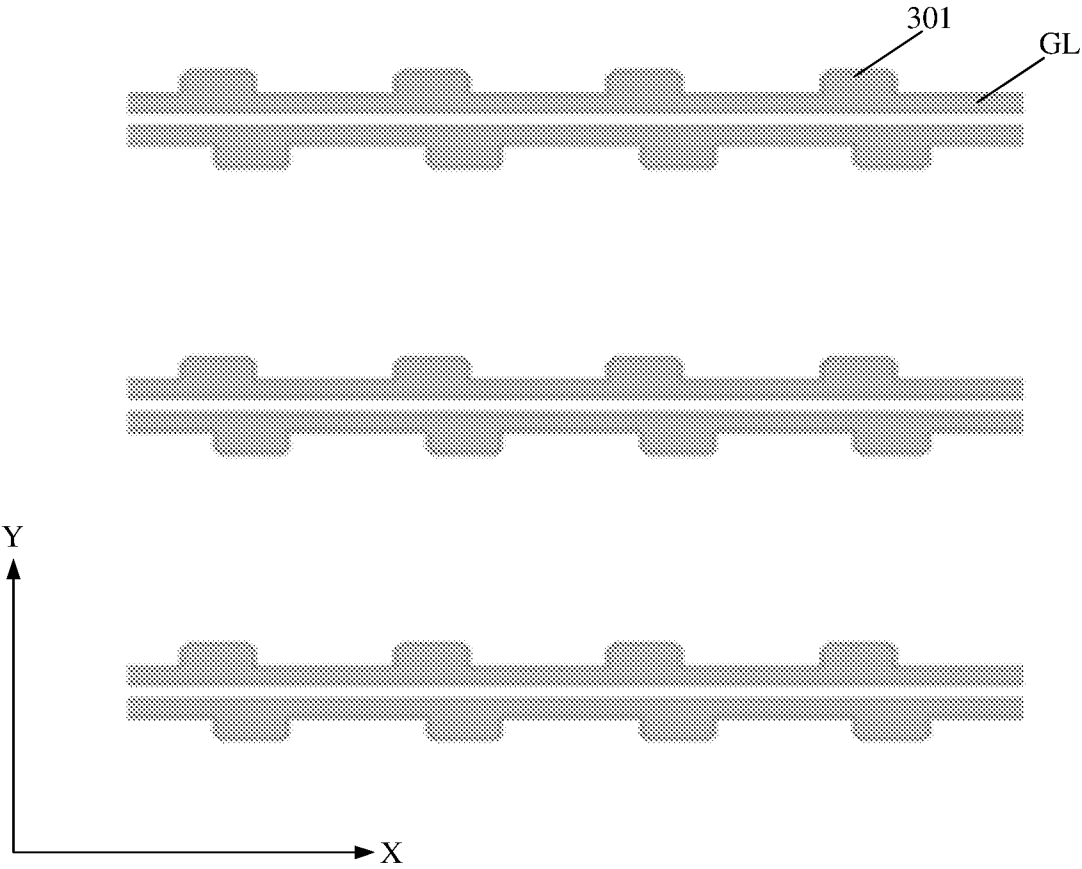


图 9

30

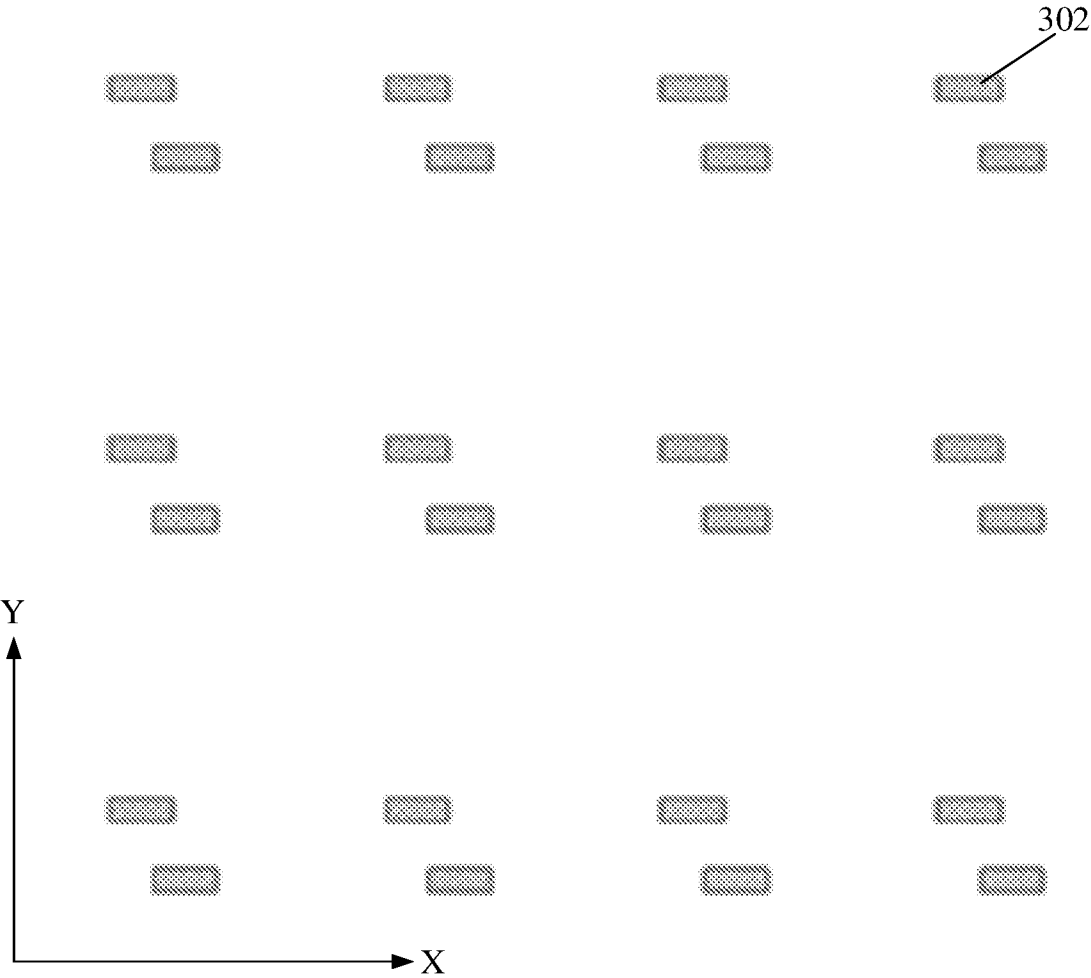


图 10

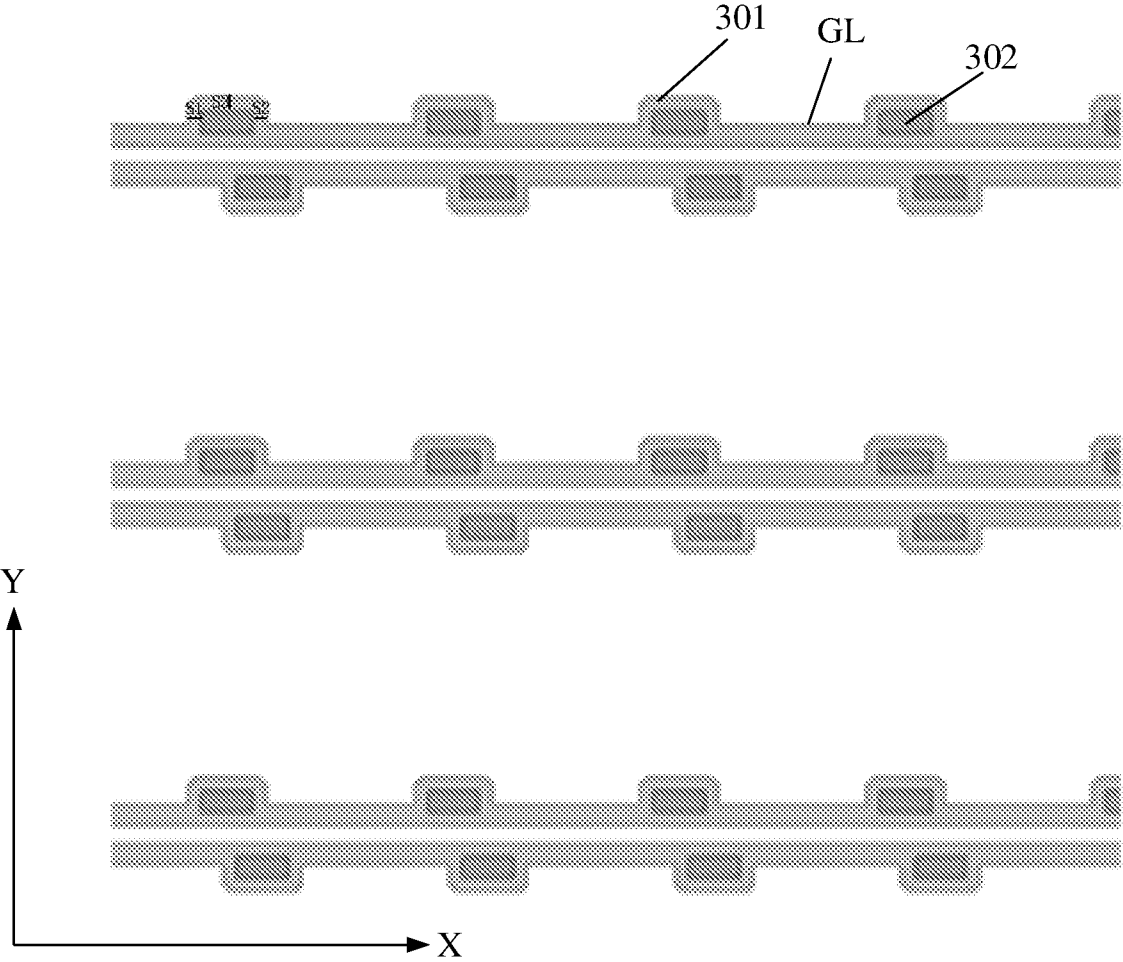


图 11

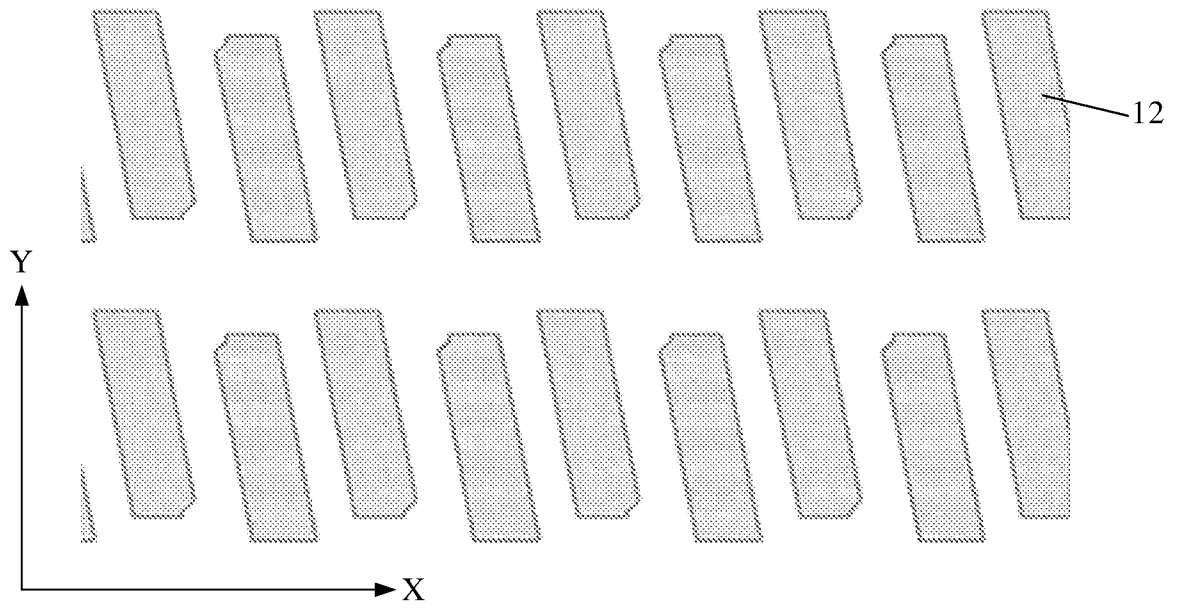
40

图 12

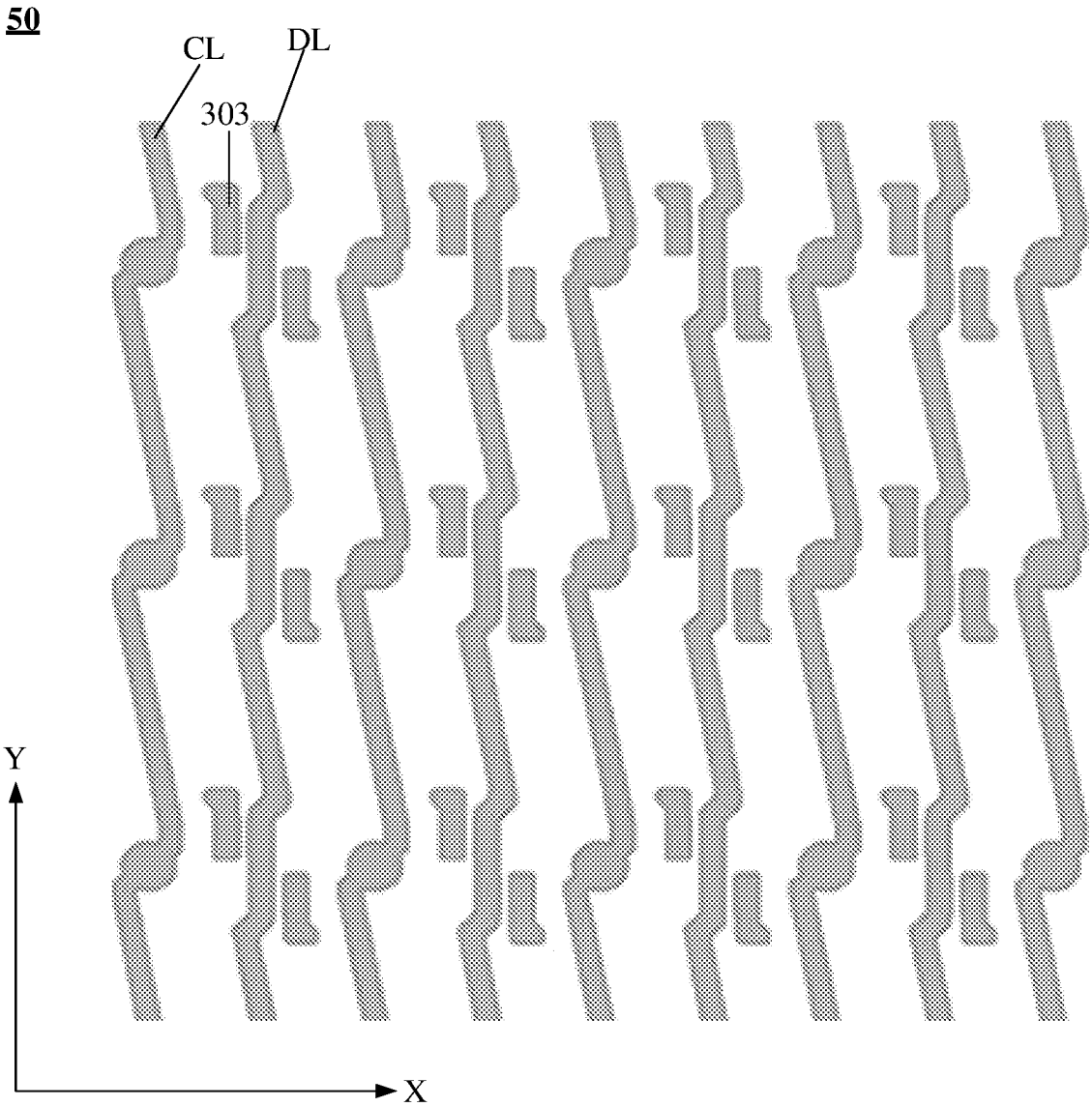


图 13

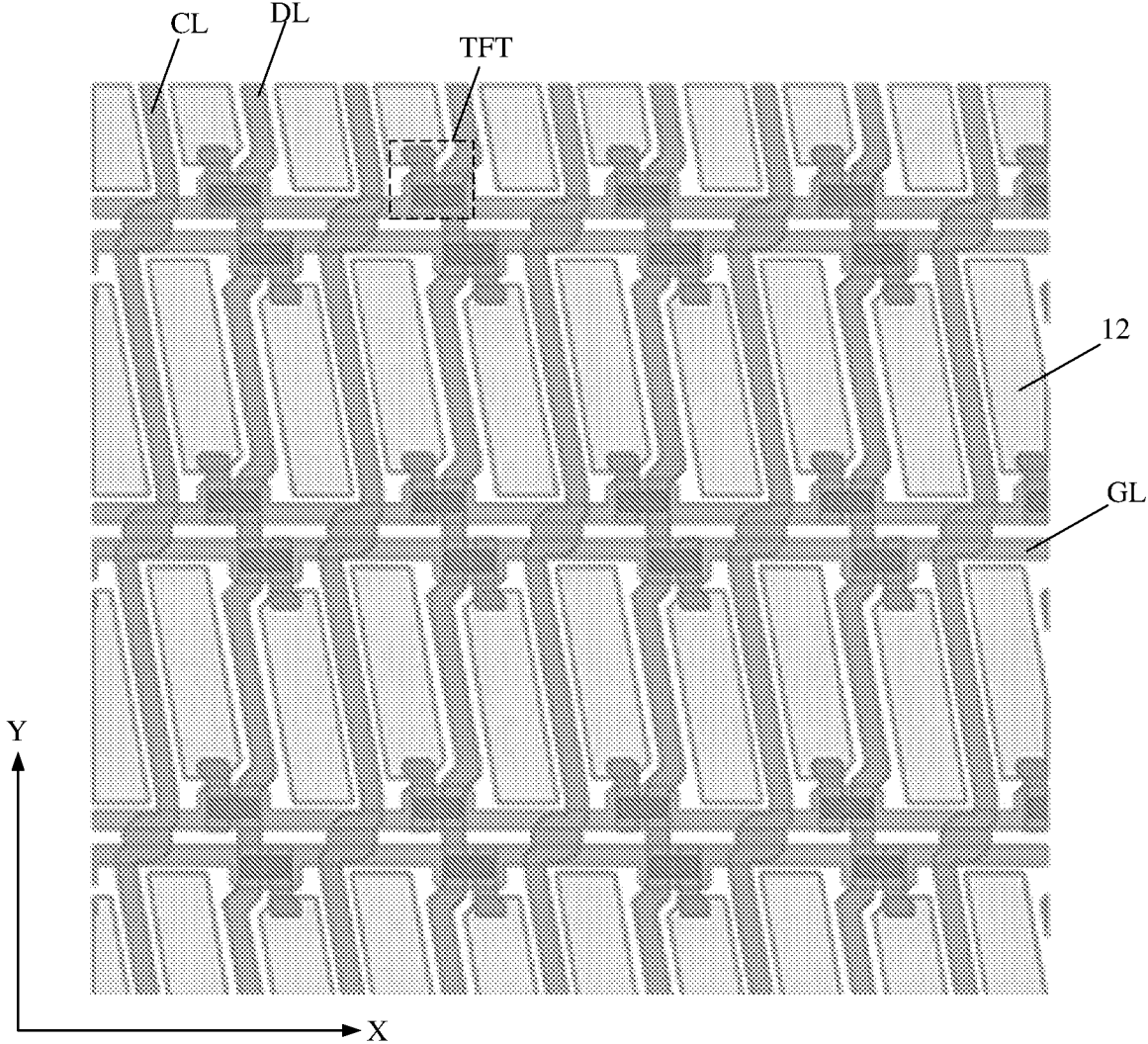


图 14

50

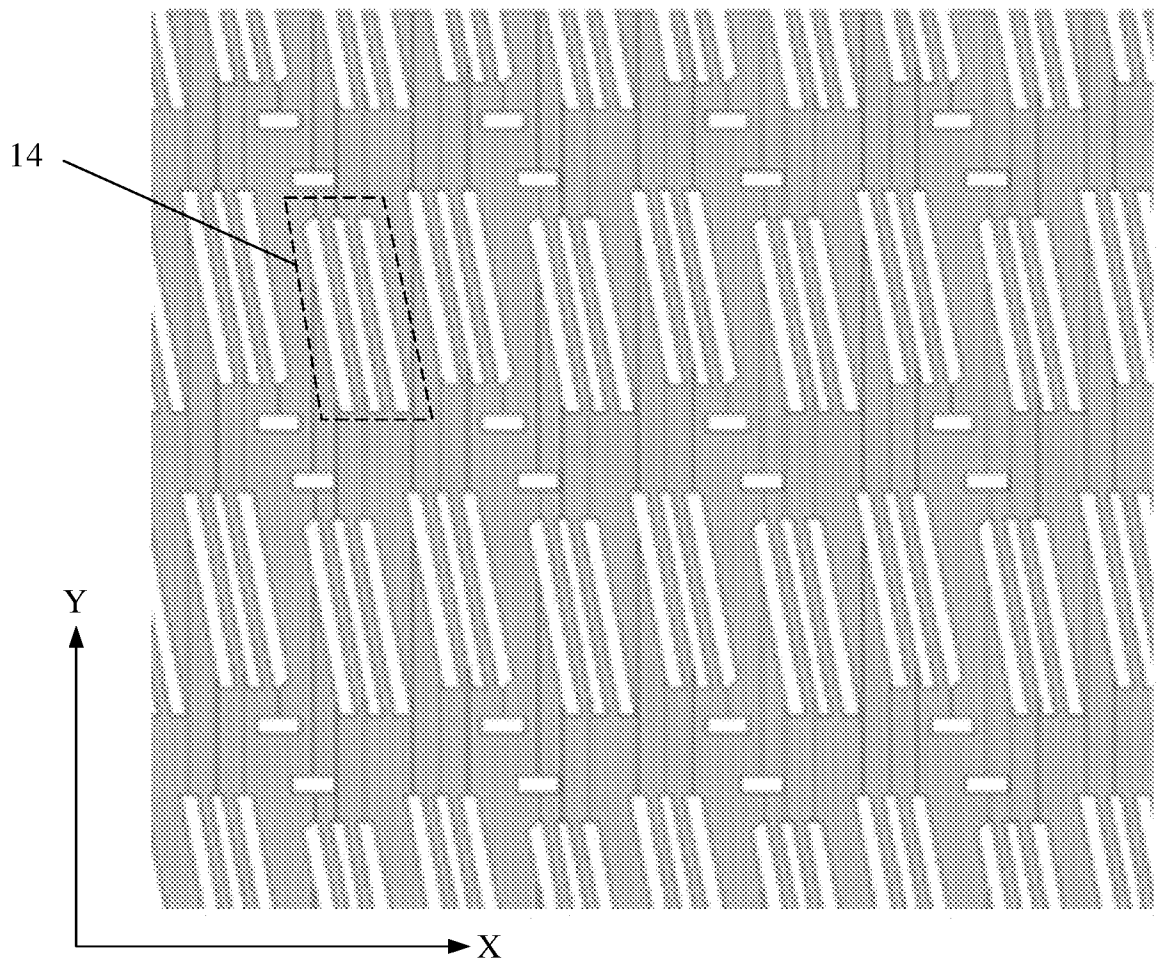


图 15

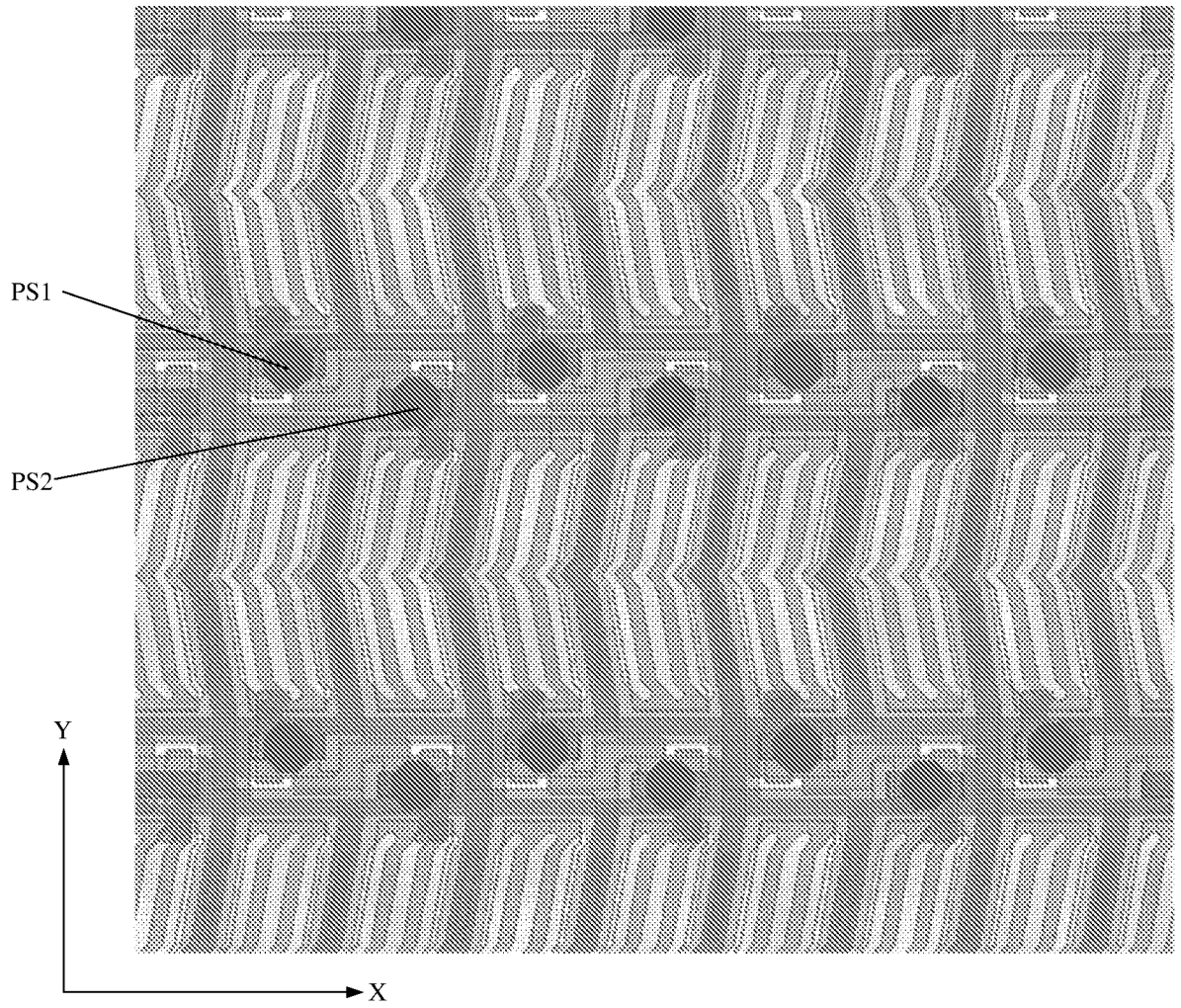


图 16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/115810

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, VEN, ENTXTC: 像素组, 象素组, 数据线, 信号线, 同一, 连接, 公共电极线, 凸台, pixel group, data line, signal line, same, connection, common electrode line, boss

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 207380420 U (BOE TECHNOLOGY GROUP CO., LTD.) 18 May 2018 (2018-05-18) description, paragraphs 31-70, and figures 2-9	1-16
A	CN 111208680 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 29 May 2020 (2020-05-29) entire document	1-16
A	CN 109307965 A (HKC CO., LTD.) 05 February 2019 (2019-02-05) entire document	1-16
A	CN 105629611 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 01 June 2016 (2016-06-01) entire document	1-16
A	CN 210155492 U (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD. et al.) 17 March 2020 (2020-03-17) entire document	1-16
A	CN 108319086 A (HKC CO., LTD.) 24 July 2018 (2018-07-24) entire document	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 May 2022

Date of mailing of the international search report

31 May 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/115810**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103472647 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 25 December 2013 (2013-12-25) entire document	1-16
A	CN 112540487 A (TCL CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 23 March 2021 (2021-03-23) entire document	1-16
A	KR 20130047483 A (LG DISPLAY CO., LTD.) 08 May 2013 (2013-05-08) entire document	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/115810

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	207380420	U	18 May 2018	EP	3712692	A1	23 September 2020
				WO	2019095764	A1	23 May 2019
				US	2020355970	A1	12 November 2020
				EP	3712692	A4	11 August 2021
CN	111208680	A	29 May 2020	None			
CN	109307965	A	05 February 2019	WO	2020113630	A1	11 June 2020
				US	2021011350	A1	14 January 2021
				CN	109307965	B	06 August 2021
CN	105629611	A	01 June 2016	US	2017263170	A1	14 September 2017
				US	10510308	B2	17 December 2019
CN	210155492	U	17 March 2020	US	2021049971	A1	18 February 2021
				CN	112394578	A	23 February 2021
				WO	2021031863	A1	25 February 2021
				US	2021408060	A1	30 December 2021
CN	108319086	A	24 July 2018	US	2020013364	A1	09 January 2020
				WO	2019184113	A1	03 October 2019
				CN	108319086	B	08 May 2020
CN	103472647	A	25 December 2013	US	2015092134	A1	02 April 2015
				WO	2015039386	A1	26 March 2015
				EP	3048479	A1	27 July 2016
				CN	103472647	B	06 April 2016
				US	9500922	B2	22 November 2016
				EP	3048479	A4	14 June 2017
CN	112540487	A	23 March 2021	None			
				None			
KR	20130047483	A	08 May 2013	None			

国际检索报告

国际申请号

PCT/CN2021/115810

A. 主题的分类

G02F 1/1362 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNTXT, VEN, ENTXTC: 像素组, 像素组, 数据线, 信号线, 同一, 连接, 公共电极线, 凸台, pixel group, data line, signal line, same, connection, common electrode line, boss

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 207380420 U (京东方科技集团股份有限公司) 2018年5月18日 (2018 - 05 - 18) 说明书第31-70段, 附图2-9	1-16
A	CN 111208680 A (京东方科技集团股份有限公司 等) 2020年5月29日 (2020 - 05 - 29) 全文	1-16
A	CN 109307965 A (惠科股份有限公司) 2019年2月5日 (2019 - 02 - 05) 全文	1-16
A	CN 105629611 A (京东方科技集团股份有限公司 等) 2016年6月1日 (2016 - 06 - 01) 全文	1-16
A	CN 210155492 U (北京京东方显示技术有限公司 等) 2020年3月17日 (2020 - 03 - 17) 全文	1-16
A	CN 108319086 A (惠科股份有限公司) 2018年7月24日 (2018 - 07 - 24) 全文	1-16
A	CN 103472647 A (合肥京东方光电科技有限公司 等) 2013年12月25日 (2013 - 12 - 25) 全文	1-16
A	CN 112540487 A (TCL华星光电技术有限公司) 2021年3月23日 (2021 - 03 - 23) 全文	1-16

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年5月20日

国际检索报告邮寄日期

2022年5月31日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

席万花

电话号码 (86-10)62089511

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	KR 20130047483 A (LG DISPLAY CO LTD) 2013年5月8日 (2013 - 05 - 08) 全文	1-16

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/115810

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	207380420	U	2018年5月18日	EP	3712692	A1	2020年9月23日
				WO	2019095764	A1	2019年5月23日
				US	2020355970	A1	2020年11月12日
				EP	3712692	A4	2021年8月11日
CN	111208680	A	2020年5月29日	无			
CN	109307965	A	2019年2月5日	WO	2020113630	A1	2020年6月11日
				US	2021011350	A1	2021年1月14日
				CN	109307965	B	2021年8月6日
CN	105629611	A	2016年6月1日	US	2017263170	A1	2017年9月14日
				US	10510308	B2	2019年12月17日
CN	210155492	U	2020年3月17日	US	2021049971	A1	2021年2月18日
				CN	112394578	A	2021年2月23日
				WO	2021031863	A1	2021年2月25日
				US	2021408060	A1	2021年12月30日
CN	108319086	A	2018年7月24日	US	2020013364	A1	2020年1月9日
				WO	2019184113	A1	2019年10月3日
				CN	108319086	B	2020年5月8日
CN	103472647	A	2013年12月25日	US	2015092134	A1	2015年4月2日
				WO	2015039386	A1	2015年3月26日
				EP	3048479	A1	2016年7月27日
				CN	103472647	B	2016年4月6日
				US	9500922	B2	2016年11月22日
				EP	3048479	A4	2017年6月14日
				EP	3048479	B1	2018年8月1日
CN	112540487	A	2021年3月23日	无			
KR	20130047483	A	2013年5月8日	无			