(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 113887713 B
(45)授权公告日 2025.05.30

(21)申请号 202110186225.0

(22)申请日 2021.02.08

(65)同一申请的已公布的文献号
申请公布号 CN 113887713 A

(43)申请公布日 2022.01.04

(30)优先权数据
10-2020-0081116 2020.07.01 KR

(73)专利权人 高丽大学校产学协力团
地址 韩国首尔市城北区安岩路145

(72)发明人 金相植 赵庚娥 任斗赫

(74)专利代理机构 北京同立钧成知识产权代理有限公司 11205
专利代理师 杨贝贝 臧建明

(51)Int.Cl.
G06N 3/063(2023.01)
G06N 3/049(2023.01)

(56)对比文件
US 2020065647 A1,2020.02.27

审查员 唐银凤

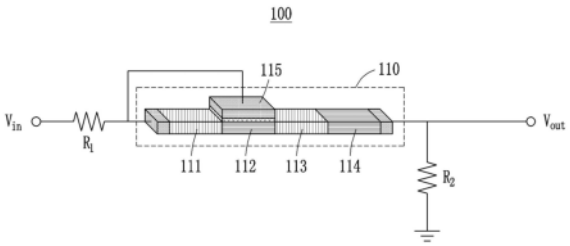
权利要求书1页 说明书15页 附图19页

(54)发明名称

包括单硅器件的尖脉冲发生电路

(57)摘要

本发明涉及使单硅器件非周期性或周期性产生尖脉冲的包括单硅器件的尖脉冲发生电路，尤其，涉及如下的包括单硅器件的尖脉冲发生电路，即，通过互相关联地利用正反馈环与负反馈环，来选择性地输出与类似于生物振荡的神经振荡功能相关的尖脉冲，从而能够进行环形振荡器及神经元功能动作。



CN 113887713 B

1.一种包括单硅器件的尖脉冲发生电路,其特征在于,

上述单硅器件包括漏极区域、第一沟道区域、第二沟道区域、源极区域与栅极区域,其中输入电压从上述单硅器件的输入端子施加到上述漏极区域与栅极区域,

当施加上述输入电压而在上述第一沟道区域内的势阱中蓄积的电荷载流子所生成的电势大于与去除上述第二沟道区域内的势垒的能级相对应的阈值的情况下,电荷载流子从上述源极区域移动到上述第一沟道区域与上述第二沟道通道区域,以生成使上述单硅器件从高阻态转变为低阻态的正反馈环,并根据生成上述正反馈环而发生的放电事件,将与所生成的电势相对应的尖脉冲输出到连接至上述源极区域的输出端子,其中上述势垒在施加上述输入电压的情况下造成空穴在上述第二沟道区域中蓄积或复合,

随着上述单硅器件中的内部电阻基于上述放电事件而增加,以生成负反馈环,使得上述输入电压降低且上述单硅器件从上述低阻态转变为上述高阻态,从而复位所生成的上述尖脉冲。

2.根据权利要求1所述的包括单硅器件的尖脉冲发生电路,其特征在于,在上述电势大于上述阈值之前,上述势垒阻隔来自上述源极区域的电荷载流子注入至上述第二沟道区域。

3.根据权利要求2所述的包括单硅器件的尖脉冲发生电路,其特征在于,在上述第二沟道区域中,随着上述空穴蓄积于上述第二沟道区域,上述势垒的高度变低,从而生成上述正反馈环,并仅在规定时间内去除上述势垒。

4.根据权利要求1所述的包括单硅器件的尖脉冲发生电路,其特征在于,在生成上述正反馈环的情况下,上述单硅器件被设定为对应于上述低阻态的闩锁状态,在生成上述负反馈环的情况下,上述单硅器件被设定为对应于上述高阻态的锁定状态。

5.根据权利要求4所述的包括单硅器件的尖脉冲发生电路,其特征在于,在上述输入电压的电压值与上述锁定状态下的内部电阻的电阻值两者的乘积相对于一组合值的比例大于或等于闩锁电压的情况下,上述单硅器件生成上述正反馈环,其中上述组合值是上述锁定状态下的内部电阻的电阻值、连接在上述输入端子与上述漏极区域之间的第一电阻的电阻值、连接在上述输出端子与上述源极区域之间的第二电阻的电阻值三者的总合。

6.根据权利要求5所述的包括单硅器件的尖脉冲发生电路,其特征在于,在上述输入电压的电压值与上述闩锁状态下的内部电阻的电阻值两者的乘积相对于另一组合值的比例小于或等于锁定电压的情况下,上述单硅器件生成上述负反馈环,其中上述另一组合值是上述闩锁状态下的内部电阻的电阻值、上述第一电阻的电阻值、上述第二电阻的电阻值三者的总合。

7.根据权利要求1所述的包括单硅器件的尖脉冲发生电路,其特征在于,随着上述输入电压的大小的增加,上述尖脉冲的发射速度增加,其中上述发射速度与预定时间间隔内发生的频率相关联。

8.根据权利要求7所述的包括单硅器件的尖脉冲发生电路,其特征在于,当与上述发生的频率相关联的时间间隔随上述输入电压的大小的变化而改变时,上述尖脉冲发生电路周期性或非周期性地产生上述尖脉冲。

包括单硅器件的尖脉冲发生电路

技术领域

[0001] 本发明涉及使单硅器件非周期性或周期性产生尖脉冲的包括单硅器件的尖脉冲发生电路,尤其,涉及如下的包括单硅器件的尖脉冲发生电路,即,通过互相关联地利用正反馈环与负反馈环,来选择性地输出与类似于生物振荡的神经振荡功能相关的尖脉冲,从而能够进行环形振荡器及神经元功能动作。

背景技术

[0002] 在第四产业中,由于物联网(Internet of Things)产生的数据激增,因此现有的冯·诺依曼计算在数据处理方面面临物理限制。

[0003] 即,在循序的数学计算中,现有的冯·诺依曼计算机展现出快速的工作速度,但是,当计算同步并发式输入和输出时,在速度及耗电方面存在局限性。

[0004] 而且,互补金属氧化物半导体(CMOS,Complementary Metal Oxide Semiconductor)技术不可能再持续扩展。

[0005] 因此,为了处理大量的数据,需要神经形态计算(neuromorphic computing)作为新型计算范式。

[0006] 随着人工神经网络越来越受到关注,正在加速研发卷积神经网络(CNN,convolution neural network)、递归神经网络(RNN,recurrent neural networks)及脉冲神经网络(SNN,spiking neural networks)等的模仿生物神经及大脑行动的电子装置。

[0007] 在各种神经形态技术中,脉冲神经网络技术可以通过模仿大脑的神经网络及脑波的作用,来实现更加缜密的思考能力。

[0008] 为了实现这样的脉冲神经网络,神经元和突触需要通过电子器件来实现,尤其,在全球范围内,正在进行欲利用电子器件来实现用于负责大脑记忆及学习的突触的研究。

[0009] 突触模仿器件需要双向并行动作、突触可塑性、低功率、高集成化的特性。

[0010] 现有的存储器件无法进行双向并行动作,且难以实现突触可塑性,因此,正在进行阻变存储器(ReRAM,resistive random-access memory)、相变存储器(PCM,phase change memory)、导电桥存储器(CBRAM,conductive bridge memory)等与具有各种材质及结构的存储器件有关的研究。

[0011] 尤其,由于高速、实时操作及生物仿真度,脉冲神经网络被视为用于复杂的模式识别、分类及功能评估的最强大的计算工具。

[0012] 与已广泛利用的基于深度神经网络(DNN,Deep Neural Network)的技术不同,脉冲神经网络为模仿人类大脑的动作的网络,可通过神经元之间的相互作用调节突触的连接强度并发送或接收电信号,来处理信息。

[0013] 在脉冲神经网络中,神经元电路通过生成一连串尖峰来传递信息,并对输入信号进行编码以生成尖峰。在脉冲神经网络中,多个神经元电路与微细芯片相连接,以处理蓄积并互相连接的输入与输出。

[0014] 因此,为了构建基于硬件的脉冲神经网络,设计面积小且低耗能的有效神经元电

路是最重要的考虑事项。

[0015] 环形振荡器(Ring Oscillator)将互补金属氧化物半导体逆变器形态的奇数个端连接到奇数个级联来进行振荡。上述互补金属氧化物半导体包括p型金属氧化物半导体场效应晶体管(MOSFET,metal-oxide-semiconductor field-effect transistor)和n型金属氧化物半导体场效应晶体管的互补金属氧化物半导体。

[0016] 作为用于构成电子电路必不可少的电路元件,单一结构的环形振荡器在如逻辑开关电路、微处理器、存储器等的模拟集成电路及数字集成电路中用作时钟发生器。

[0017] 另一方面,在现有的基于冯·诺依曼的系统中,存储器和处理器是分离的并通过总线(bus)连接。但是,随着性能的提高,数据处理速度出现瓶颈,在处理大容量数据方面开始显现出局限性。为了解决上述问题,正在加速研究通过硬件模仿人的神经结构来进行并行处理的神经形态技术,并且,为了模仿生物信号,环形振荡器是神经形态技术中必不可少的电路元件。

[0018] 与冯·诺依曼计算机系统的集中式计算及顺序式计算不同,生物神经元系统(biological neuron system)中的分布式计算、并行计算及事件驱动计算可能是有效的。

[0019] 近来,仿生计算系统已在软件级别得以实现,但硬件仍然以现有的冯·诺依曼体系架构为基础。

[0020] 尽管已经开发了用于基于尖峰(spike)的计算的基于互补金属氧化物半导体的神经形态电路(neuromorphic circuits),但是电路的复杂性和生物系统重要动力的缺失可促进如相变存储器、电阻存储器及铁电存储器等新型存储器装置技术的使用。

[0021] 在生物学细胞中,化学反应的相互连接的正反馈环及负反馈环生成生物振荡,并且必须起到即使在生物神经元的高噪声(noisy)中也提供高精密度的作用。

[0022] 因此,已经提出了利用基于人工(artificial)神经元的忆阻器装置来实现生物学启发系统,但是神经元的尖峰响应是由先天的记忆动力学引起的,而非振动力学,因此通过随机神经元功能性来利用随机切换动力学对其进行说明。

[0023] 而且,在模拟(emulation)仅通过输入信号工作的生物神经元时,用于电路工作的外部偏压或必需的电源可能成为限制。

[0024] 尤其,为了提高神经形态技术的集成度,除了基于互补金属氧化物半导体集成电路技术的环形振荡器之外,也正在进行对于利用VO_2及NbO_x等金属-绝缘体转变(MIT,metal-insulator transition)物质的负微分电阻(NDR,negative differential Resistance)现象的负微分电阻振荡器的研究。

[0025] 负微分电阻振荡器是利用金属-绝缘体转变器件及电阻来构成的,因此,与现有的基于互补金属氧化物半导体的环形振荡器相比,在集成化方面性能更加优秀。

[0026] 现有技术的利用金属-绝缘体转变物质的负微分电阻振荡器无法使用现有的互补金属氧化物半导体,基于互补金属氧化物半导体的环形振荡器虽然性能出众,但由于其使用大量的晶体管,因此当应用于神经形态技术时,在集成度方面暴露出局限性。

[0027] 因此,有必要开发一种使用互补金属氧化物半导体工艺且如负微分电阻振荡器的使用少量器件的振荡器。

[0028] 现有技术文献

[0029] 专利文献

[0030] 专利文献1:韩国公开专利第2017-0138047号“神经元模拟器件及电路”

[0031] 专利文献2:韩国公开专利第2018-0127153号“神经元电路与突触元件阵列相结合的神经系统模拟集成电路及其制造方法”

[0032] 非专利文献

[0033] 非专利文献1:M. Vardhana, N. Arunkumar, S. Lasrado, E. Abdulhay, and, G. Ramirez. “Convolutional neural network for bio-medical image segmentation with hardware acceleration.” Cognitive Systems, vol.50, pp.10-14, Aug. 2018, doi:10.1016/j.cogsys.2018.03.005.

[0034] 非专利文献2:G. Cauwenberghs. “An analog VLSI recurrent neural network learning a continuous-time trajectory.” IEEE Transactions on Neural Networks, vol.7, no.2, pp.346-361, Mar.1996,doi:10.1109/72.485671.

发明内容

[0035] 本发明的目的在于,提供如下的尖脉冲发生电路,即,能够以非周期性地产生尖脉冲来作为神经元模拟电路工作且周期性地产生尖脉冲来作为环形振荡器工作的方式选择性地产生尖脉冲。

[0036] 本发明的目的在于,提供具有振荡性(oscillatory)神经元动力学(neuronal dynamics)及随机性(stochastic)神经元动力学的基于互补金属氧化物半导体的包括单硅器件的尖脉冲发生电路。

[0037] 本发明的目的在于,提供如下的尖脉冲发生电路,即,通过利用可使用现有互补金属氧化物半导体工艺的单硅器件与电阻的振荡器,来改善基于存储器和处理器的分离的处理速度及集成化局限,并能够像人类的大脑一样执行处理。

[0038] 本发明的目的在于,提供利用电荷载流子的互连的正反馈环及负反馈环的包括单硅器件的尖脉冲发生电路,上述电荷载流子产生类似于生物神经元(biological neuron)的神经元振荡(neuronal oscillatory)。

[0039] 本发明的目的在于,提供如下的包括单硅器件的尖脉冲发生电路,即,形成于单硅器件的沟道区域的势阱(potential well)起到膜(membrane)作用,并且可以持续地将电荷载流子存储于势阱,从而执行对模拟输入敏感的神经元行为(neuronal behavior)。

[0040] 本发明的目的在于,提供如下的包括单硅器件的尖脉冲发生电路,即,具有类似于生物神经元的输入及输出端子的两端子结构,并且不需要外部电源或偏压输入。

[0041] 本发明的目的在于,提供如下的包括单硅器件的尖脉冲发生电路,即,利用随机(stochastic)反馈切换动力学(feedback switching dynamics)来实现振荡神经元功能(oscillatory neuronal functionalities)及随机神经元功能(stochastic neuronal functionalities)。

[0042] 本发明一实施例的包括单硅器件的尖脉冲发生电路在通过输入电压生成的电势(potential)大于阈值的情况下,根据在单硅器件生成正反馈(positive feedback)环而发生的放电事件(firing event),来选择性地生成并输出与所生成的上述电势相对应的尖脉冲,基于所生成的上述放电事件,在上述单硅器件触发(trigger)负反馈(negative feedback)环,从而可以复位所选择性生成的上述尖脉冲。

[0043] 上述尖脉冲发生电路可将上述输入电压蓄积于上述单硅器件的沟道区域,从而生成上述电势。

[0044] 上述沟道区域包括掺杂有n-的第一沟道区域及掺杂有p-的第二沟道区域,上述沟道区域生成用于蓄积电荷载流子的势阱(potential well),来蓄积上述输入电压,在施加上述输入电压的情况下,空穴(hole)可以在上述第二沟道区域蓄积或复合。

[0045] 上述沟道区域具有势垒(potential barrier),可在上述电势大于上述阈值之前阻隔电荷载流子的注入。

[0046] 在上述沟道区域中,随着上述空穴蓄积于上述第二沟道区域,上述势垒的高度变低,从而可以生成上述正反馈环,并仅在规定时间内去除上述势垒。

[0047] 在生成上述正反馈环的情况下,上述单硅器件可被设定为闩锁状态(latch-up state),在触发上述负反馈环的情况下,上述单硅器件可被设定为锁定状态(latch-down state)。

[0048] 在上述单硅器件中,在上述闩锁状态下,电压因内部电阻而减少,从而可触发上述负反馈环。

[0049] 在上述输入电压与上述锁定状态下的内部电阻的结合相关的上述锁定状态下的内部电阻、第一电阻及第二电阻的合成电阻的比例大于或等于闩锁电压的情况下,上述单硅器件可生成上述正反馈环。

[0050] 在上述输入电压与上述闩锁状态下的内部电阻的结合相关的上述闩锁状态下的内部电阻、第一电阻及第二电阻的合成电阻的比例小于或等于锁定电压的情况下,上述单硅器件可生成上述负反馈环。

[0051] 随着上述输入电压的大小的增加,上述尖脉冲的大小及发射速度可增加。

[0052] 上述尖脉冲的间隔可根据上述输入电压的大小而改变。

[0053] 本发明可提供如下的尖脉冲发生电路,即,能够以非周期性地产生尖脉冲来作为神经元模拟电路工作且周期性地产生尖脉冲来作为环形振荡器工作的方式选择性地产生尖脉冲。

[0054] 本发明可提供具有振荡性神经元动力学及随机性神经元动力学的基于互补金属氧化物半导体的包括单硅器件的尖脉冲发生电路。

[0055] 本发明可提供如下的尖脉冲发生电路,即,通过利用可使用现有互补金属氧化物半导体工艺的单硅器件与电阻的振荡器,来改善基于存储器和处理器的分离的处理速度及集成化局限,并能够像人类的大脑一样执行处理。

[0056] 本发明可提供利用电荷载流子的互连的正反馈环及负反馈环的包括单硅器件的尖脉冲发生电路,上述电荷载流子产生类似于生物神经元的神经元振荡。

[0057] 本发明可提供如下的包括单硅器件的尖脉冲发生电路,即,形成于单硅器件的沟道区域的势阱起到膜作用,并且可以持续地将电荷载流子存储于势阱,从而执行对模拟输入敏感的神经元行为。

[0058] 本发明可提供如下的包括单硅器件的尖脉冲发生电路,即,具有类似于生物神经元的输入及输出端子的两端子结构,并且不需要外部电源或偏压输入。

[0059] 本发明可提供如下的包括单硅器件的尖脉冲发生电路,即,利用随机反馈切换动力学来实现振荡神经元功能及随机神经元功能。

附图说明

[0060] 图1A至图2D为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的图。

[0061] 图3A为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的电流及电压特性的图。

[0062] 图3B为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的尖峰响应特性的图。

[0063] 图4A至图4C为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的动作状态的图。

[0064] 图5A至图5D为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的神经元尖峰行为(neuron spiking behavior)实验结果的图。

[0065] 图6A至图6D为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的随机尖峰特性的图。

[0066] 图7为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的正反馈环生成及负反馈环触发动作的图。

[0067] 图8及图9为用于比较说明本发明一实施例的包括单硅器件的尖脉冲发生电路的输入及输出的图。

[0068] 图10为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的实验环境的图。

[0069] 附图标记的说明

[0070] 100:尖脉冲发生电路

[0071] 110:单硅器件111:漏极区域

[0072] 112:第一沟道区域113:第二沟道区域

[0073] 114:源极区域115:栅极区域

具体实施方式

[0074] 以下,本文中参考附图记载了多种实施例。

[0075] 实施例及其所使用的术语并非旨在将本文所记载的技术限定于特定的实施方式,并且应理解为包括相应实施例的多种变更、等同技术方案和/或替代技术方案。

[0076] 并且,在以下说明本发明的过程中,在判断为对相关的已知功能或结构的具体说明会使本发明的主旨不清楚的情况下,将省略对其的详细说明。

[0077] 并且,后文说明的术语为考虑到其在多种实施例中的功能而定义的,可以根据使用人员、运行人员的意图或惯例等而不同。因此,应基于整个说明书中的内容来进行定义。

[0078] 与附图的说明相关联地,对于相似的结构要素可以使用相似的附图标记。

[0079] 除非在文脉上明确地表示不同,否则单数的表达可以包括复数的表达。

[0080] 在本文中,“A或B”或者“A和/或B中的至少一个”等的表达可以包括同时罗列的所有项目的所有可能性组合。

[0081] “第1”、“第2”、“第一”或“第二”等的表达可以修饰相应结构要素,而与顺序或重要性无关,并且仅用于区分一个结构要素与另一个结构要素,而不限定相应结构要素。

[0082] 当提及一(例如:第1)结构要素与另一结构要素(例如:第2)(功能上或通信上)“连

接”或“联接”时,上述一结构要素可以与上述另一结构要素直接连接或通过又一结构要素(例如:第3)相连接。

[0083] 在本说明书中,“配置为(或设定为)(configured to)”可根据情况,例如,与硬件或软件上的“适合于”、“具有.....的能力”、“改变为”、“制作为”、“能够做”、或“设计为”互换(interchangeably)使用。

[0084] 在某些情况下,“配置为.....的装置”的表达可意味着上述装置“能够”与其他装置或部件同时一起“做”。

[0085] 例如,句子“处理器配置(或设定)为执行A、B、C”可意味着用于执行相应动作的专用处理器(例如,嵌入式处理器),或者可通过执行存储于存储器装置的一个以上的软件程序来执行相应动作的通用处理器(例如:CPU或应用处理器(application processor))。

[0086] 而且,术语“或者”是指包含性的“包含性或(inclusive or)”或而非排他性的“排除性或(exclusive or)”。

[0087] 即,除非另行提及或文脉上明确表示,否则“x利用a或b”的表达是指自然地包容性排列(natural inclusive permutations)中的一个。

[0088] 以下所使用的“.....部”、“.....器”等术语是指处理至少一个功能或动作的单元,其可以由硬件、软件或者硬件及软件的结合来实现。

[0089] 图1A至图2D为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的图。

[0090] 图1A用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的结构要素。

[0091] 作为一例,单硅器件可以解释为二极管结构体等的器件。

[0092] 参照图1A,包括单硅器件110的尖脉冲发生电路100包括输入端V_{in}与输出端V_{out}两端子,输入端V_{in}与输出端V_{out}之间可包括单硅器件110及多个电阻。例如,在周期性产生尖脉冲的情况下,包括单硅器件的尖脉冲发生电路100可以指振荡器电路,在非周期性产生尖脉冲的情况下,包括单硅器件的尖脉冲发生电路100可以指神经元模拟电路。

[0093] 因此,本发明可以提供如下的尖脉冲发生电路,即,能够以非周期性地产生尖脉冲来作为神经元模拟电路工作且周期性地产生尖脉冲来作为环形振荡器工作的方式选择性地产生尖脉冲。

[0094] 根据本发明的一实施例,单硅器件110包括漏极区域111、第一沟道区域112、第二沟道区域113、源极区域114以及栅极区域115,栅极区域115可形成于第一沟道区域112上。

[0095] 作为一例,单硅器件110包括漏极区域111、包括第一沟道区域112与第二沟道区域113的沟道区域以及源极区域114,栅极区域115可生成于沟道区域中的第一沟道区域112上。即,栅极区域115可位于沟道区域上。

[0096] 而且,漏极区域111的漏极端与栅极区域115的栅极端可以与用于施加输入电压的输入端V_{in}并联连接,源极区域114的源极端可以与用于输出尖脉冲的输出端V_{out}串联连接。

[0097] 例如,单硅器件还可以指SiNW反馈电场效电子器件(FBFET)、p-n-p-n晶体管、存储器器件、半导体器件、二极管结构体、栅控p-n-p-n二极管以及存储器件中的一种。

[0098] 根据本发明的一实施例,单硅器件可以与所施加的电压相关联,来设定为高电阻状态或低电阻状态,并且可以存储第一逻辑状态的数据及第二逻辑状态的数据。

[0099] 而且,单硅器件可以输出与所存储的数据相对应的电流或维持所存储的数据不损失。

[0100] 例如,第一逻辑状态的数据可表示“1”,第二逻辑状态的数据可表示“0”。另一方面,在如上所述的说明中,说明为第一逻辑状态的数据表示“1”且第二逻辑状态的数据表示“0”,但可根据存储器的设定来浮动性改变。

[0101] 另一方面,单硅器件作为存储器来存储第一逻辑状态的数据的动作还可称为编程(programming)。

[0102] 而且,单硅器件作为作为存储器来存储第二逻辑状态的数据的动作还可称为清除(erasing)。

[0103] 根据本发明的一实施例,漏极区域111作为掺杂有高浓度p型杂质的区域,漏极端可通过第一电阻R_1与输入端V_{in}串联连接,与栅极区域115的栅极端并联连接。

[0104] 作为一例,第一沟道区域112为掺杂n型杂质杂质的区域,第二沟道区域113为掺杂p型杂质的区域,第一沟道区域112与第二沟道区域113可形成势阱并包括势垒。

[0105] 例如,势垒可在电势大于阈值之前阻隔电荷载流子的注入。

[0106] 即,势垒可以在电势大于阈值之前防止电荷载流子流入第二沟道区域113。

[0107] 即,沟道区域可以包括掺杂有n-的第一沟道区域112与掺杂有p-的第二沟道区域113。

[0108] 沟道区域生成用于蓄积电荷载流子的势阱,来蓄积上述输入电压V_{in},在施加上述输入电压V_{in}的情况下,空穴在上述第二沟道区域113蓄积或复合。

[0109] 源极区域114作为掺杂有高浓度n型杂质的区域,可通过源极端与第二电阻R_2及寄生电容并联连接,与输出端V_{out}串联连接。

[0110] p+可表示以掺杂有高浓度p型杂质的情况,n+可表示掺杂有高浓度n型杂质的情况。

[0111] 例如,第一电阻R_1可以为10MΩ,第二电阻R_2可以为1MΩ。

[0112] 根据本发明的一实施例,包括单硅器件的尖脉冲发生电路100可将输入电压蓄积于单硅器件110的沟道区域,从而生成电势。例如,输入电压可相当于从突触输入的电信号。

[0113] 例如,蓄积于沟道区域的电压可包括在通过电阻等变更为电流的状态下蓄积为电流的过程。

[0114] 作为一例,在电势大于阈值的情况下,包括单硅器件110的尖脉冲发生电路100可以根据在单硅器件110生成正反馈环而发生的放电事件,来选择性地生成并输出与电势相对应的尖脉冲。

[0115] 即,包括单硅器件110的尖脉冲发生电路100可周期性地生成并输出尖脉冲或者非周期性地生成并输出尖脉冲。

[0116] 例如,阈值可以为用于生成正反馈环的基准值或者用于去除势垒的基准值。

[0117] 根据本发明的一实施例,包括单硅器件110的尖脉冲发生电路100可基于放电事件,在单硅器件触发负反馈环,从而复位所选择性生成的尖脉冲。

[0118] 根据本发明的一实施例,在沟道区域中,随着空穴蓄积于第二沟道区域113,势垒的高度变低,从而可生成正反馈环,并仅在规定时间内去除上述势垒。

[0119] 作为一例,在生成正反馈环的情况下,单硅器件可被设定为闩锁状态,在触发负反馈环的情况下,单硅器件可被设定为锁定状态。

[0120] 根据本发明的一实施例,在单硅器件中,在闩锁状态下,电压因内部电阻而减少,

从而可触发负反馈环。

[0121] 根据本发明的一实施例,包括单硅器件的尖脉冲发生电路100可基于下述数学式1及数学式2来生成正反馈环。

[0122] 数学式1

[0123] $$\frac{V_{in}\times R_{latch-down}}{R_{latch-down}+R_1+R_2}\geq V_{latch-up}$$

[0124] 在数学式1中,V_{in}可表示输入电压,$R_{latch-down}$可表示锁定状态的内部电阻,R_1可表示第一电阻,R_2可表示第二电阻,$V_{latch-up}$可表示闩锁电压。

[0125] 数学式2

[0126] $$\frac{V_{in}\times R_{latch-up}}{R_{latch-up}+R_1+R_2}\leq V_{latch-down}$$

[0127] 在数学式2中,V_{in}可表示输入电压,$R_{latch-up}$可表示闩锁状态的内部电阻,R_1可表示第一电阻,R_2可表示第二电阻,$V_{latch-down}$可表示锁定电压。

[0128] 作为一例,在输入电压与锁定状态下的内部电阻的结合相关的锁定状态下的内部电阻、第一电阻及第二电阻的合成电阻的比例大于或等于闩锁电压的情况下,单硅器件可生成正反馈环。

[0129] 而且,在输入电压与闩锁状态下的内部电阻的结合相关的闩锁状态下的内部电阻、第一电阻及第二电阻的合成电阻的比例小于或等于锁定电压的情况下,单硅器件可生成负反馈环。

[0130] 根据本发明的一实施例,在输入电压从0V扫频(sweep)到3V的情况下,单硅器件生成正反馈环,在输入电压从3V扫频到0V的情况下,可触发负反馈环。

[0131] 作为一例,随着输入电压的大小的增加,尖脉冲的大小及发射速度可增加。

[0132] 例如,在输入电压的大小增加的情况下,作为尖脉冲的间隔的相邻尖峰的发生速度可增加,相邻尖峰的发生速度可以与尖脉冲的发射速度相关联。

[0133] 而且,尖脉冲的间隔可根据输入电压的大小而改变。

[0134] 即,尖脉冲的间隔可随着输入电压的大小的增加而变窄,并且可随着输入电压的大小的减小而变宽。

[0135] 例如,尖脉冲可以为振荡(oscillation)信号。

[0136] 本发明一实施例的包括单硅器件的尖脉冲发生电路100可通过电阻值及设计变更来调节正反馈环及负反馈环的增益,从而可改变振荡波形。

[0137] 作为一例,若提高正反馈环的增益且减少负反馈环的增益,则包括单硅器件的尖脉冲发生电路100在因正反馈环导致的闩锁现象后延迟至发生因负反馈环导致的锁定现象,因此,可以反复产生四边形形状的方波脉冲,由于可反复生成方波脉冲,因此可以将方波脉冲用作时钟信号。

[0138] 例如,反馈环通过注入载流子而形成,因此可通过输入电压来调节振荡频率。即,若提高输入电压,则载流子注入增加,从而增加振荡频率,若减少输入电压,则振荡频率减少。

[0139] 而且,反馈现象是通过在单硅器件的沟道中的势阱蓄积及耗散电荷的过程而发生

的,这表明它可以用作现有的尖脉冲生成电路的膜,上述尖脉冲生成电路在电容器中对电荷进行充电及放电。

[0140] 由于可以执行可进行在势阱中的泄漏整合(leaky integration)、基于因正反馈环而发生的闩锁现象的放电、基于因负反馈环而发生的锁定现象的复位过程的泄漏整合放电(leaky integrate-and-fire)功能,因此,本发明可以用作可以无需外部电源而通过流入电路的输入端的输入来进行神经元动作的、无需电容器的尖脉冲发生电路。

[0141] 图1B用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的电子显微镜照片。

[0142] 参照图1B,包括单硅器件的尖脉冲发生电路包括单硅器件,单硅器件包括漏极区域111、第一沟道区域112、第二沟道区域113、源极区域114以及栅极区域115。

[0143] 图1C及图1D用于例示本发明一实施例中包括单硅器件的尖脉冲发生电路中单硅器件的多种结构。

[0144] 参照图1C,单硅器件120包括漏极区域121、第一沟道区域122、第二沟道区域123、源极区域124以及栅极区域125。

[0145] 作为一例,栅极区域125可生成并位于第二沟道区域123上。

[0146] 本发明一实施例的单硅器件120可以代替图1A中所说明的单硅器件110。

[0147] 参照图1D,单硅器件130包括漏极区域131、第一沟道区域132、第二沟道区域133以及源极区域134。

[0148] 根据本发明的一实施例,单硅器件130可以代替图1A中所说明的单硅器件110。

[0149] 图2A至图2D用于例示本发明一实施例的包括单硅器件的尖脉冲发生电路中基于电阻结构变化的多种结构的尖脉冲发生电路。

[0150] 参照图2A,在本发明一实施例的包括单硅器件201的尖脉冲发生电路200中,多个电阻位于单硅器件201的两端,输入端的输入电压通过电阻输入,输出端与电阻并联连接。

[0151] 参照图2B,在本发明一实施例的包括单硅器件211的尖脉冲发生电路210中,多个电阻位于单硅器件211的两端,输入端与输出端可具有与单硅器件211的漏极端相连接的结构。

[0152] 参照图2C,本发明一实施例的包括单硅器件221的尖脉冲发生电路220可具有如下的结构,即,单硅器件221的两端无电阻地与输入端和输出端相连接。

[0153] 参照图2D,在本发明一实施例的包括单硅器件231的尖脉冲发生电路230中,输入端通过电阻与单硅器件231的漏极端相连接,输出端无电阻地与单硅器件231的漏极端相连接。

[0154] 图2A至图2D的单硅器件201、211、221、231可以为在图1A、图1C及图1D中所说明的单硅器件110、120、130。

[0155] 图3A为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的电流及电压特性的图。

[0156] 图3A用于例示本发明一实施例的包括单硅器件的尖脉冲发生电路在室温下的电流及电压特性。

[0157] 参照图3A的曲线图300,曲线图300表示相对于漏极电压V_{DD}的变化的漏极电流I_{DD}的变化,表示在漏极电压V_{DD}从0V扫频至3V的情况下,生成正反馈环,从而在闩锁电压

$V_{latch-up}$下随着闩锁状态相应的急剧的电流增加(1),而漏极电流I_{DD}增加。

[0158] 而且,曲线图300表示在漏极电压V_{DD}从3V扫频至0V的情况下,触发负反馈环,从而在锁定电压$V_{latch-down}$下随着锁定状态相应的急剧的电流减少(3),而漏极电流I_{DD}减少。

[0159] 即,在包括单硅器件的尖脉冲发生电路中,在施加约2.3V以上的相当于输入电压的漏极电压的情况下,生成正反馈环,发生放电事件,从而生成并输出尖脉冲。

[0160] 而且,在包括单硅器件的尖脉冲发生电路中,在发生放电事件的情况下,随着内部电阻的增加,所输入的漏极电压V_{DD}减少,从而可触发负反馈环,复位尖脉冲。

[0161] 图3B为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的尖峰响应特性的图。

[0162] 图3B用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路中用于发生尖峰响应的整合(integration)时间。

[0163] 参照图3B的曲线图310,曲线图310例示基于输入电压V_{in}的输出电压V_{out}的变化。

[0164] 作为一例,在施加2.3V的输入电压V_{in}的情况下,经过规定时间的整合(integration)后,生成正反馈环,从而发生并输出尖脉冲(1),在尖脉冲输出的同时,由于内部电阻,输入电压V_{in}减少2.3V(2),从而触发负反馈环,复位尖脉冲(3)。

[0165] 作为一例,包括单硅器件的尖脉冲发生电路作为类似于生物神经元通道的装置,根据蓄积及放电动力学生成正反馈环,并且可根据输出尖峰,触发反馈环,从而在放电事件后自动复位到初始状态。

[0166] 根据本发明的一实施例,包括单硅器件的尖脉冲发生电路可通过反复正反馈环及负反馈环,来生成多个连续尖脉冲,从而生成神经元振荡。

[0167] 例如,包括单硅器件的尖脉冲发生电路可将输入振幅调整为预设时间间隔内的尖峰事件数。

[0168] 根据本发明的一实施例,在包括单硅器件的尖脉冲发生电路施加规定电压的情况下,以基于正反馈环的闩锁现象与基于负反馈环的锁定现象为基础来生成并输出与振荡相应的尖脉冲。

[0169] 图4A至图4C为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的动作状态的图。

[0170] 图4A为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的泄漏整合(leaky integration)动作状态的能带图。

[0171] 参照图4A的能带图400,在包括单硅器件的尖脉冲发生电路中,为了基于模拟输入的尖峰响应功能来实现神经元网络的随机发射响应,在达到5个脉冲后,在膜电位(membrane potential)达到阈值之后产生尖脉冲。

[0172] 而且,包括单硅器件的尖脉冲发生电路可基于随机反馈切换动力学来实现肖克利-雷德-霍尔(Shockley-Read-Hall)生成及复合或者通过带间隧穿过程在势阱实现电荷载流子的蓄积及复合。

[0173] 例如,与人工神经元中模拟或混合信号的尖脉冲的生成相关联的尖峰响应是神经网络中用于模拟计算的神经元功能之一。

[0174] 参照能带图400,在第二沟道区域中,正在形成势垒并蓄积或复合空穴,空穴越蓄积,第二沟道区域的势垒可越减少。

[0175] 而且,当正弦波适用于输入节点时,通过调制神经元振荡频率来实现人工神经元中的模拟调谐,虽然正弦波输入信号可以大于刺激阈值,但是各个尖峰振幅几乎可保持恒定。

[0176] 图4B为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的放电动作状态的能带图。

[0177] 参照图4B的能带图410,电势超过阈值,势垒崩溃,同时生成正反馈环,随着势垒崩溃,电荷(electron)载流子向沟道区域移动。

[0178] 图4C为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的复位动作状态的能带图。

[0179] 参照图4C的能带图420,在势阱发生电荷载流子的蓄积及复合,随着电荷载流子向沟道区域移动,触发负反馈环,从而包括单硅器件的尖脉冲发生电路返回初始状态。

[0180] 其中,势阱中的电荷载流子组可以与初始状态的势阱中的电荷载流子不同。

[0181] 根据本发明的一实施例,包括单硅器件的尖脉冲发生电路的单硅器件中的势阱的作用在于存储及释放电荷,从而可起到膜的作用,基于正反馈环的闩锁现象可以使尖脉冲选择性地放电,负反馈环可以通过锁定现象选择性地复位尖脉冲。

[0182] 例如,包括单硅器件的尖脉冲发生电路能够以具有规定周期的方式周期性产生尖脉冲,或者以无规定周期的方式非周期性地产生尖脉冲。

[0183] 图5A至图5D为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的神经元尖峰行为实验结果的图。

[0184] 图5A至图5D用于例示本发明一实施例的包括单硅器件的尖脉冲发生电路的动作特性。

[0185] 参照图5A的曲线图500,示出输出电压基于输入电压的变化,在输入电压为2.3V以上的情况下,在输出电压中按规定间隔确认到尖脉冲。

[0186] 即,包括单硅器件的尖脉冲发生电路的固有概率可以表示峰峰间隔(interspike interval)的分布,上述峰峰间隔定义为在多重泄漏整合及放电循环中连续产生的尖脉冲之间的时间差。

[0187] 在尖峰间隔的分布为周期性的情况下,包括单硅器件的尖脉冲发生电路可作为环形振荡器电路工作。

[0188] 例如,对于包括单硅器件的尖脉冲发生电路的输入噪声敏感的随机动力学保持对称的峰峰间隔分布。

[0189] 参照图5B的曲线图510,表示基于输入电压增加的尖峰事件发生频率。

[0190] 例如,在包括单硅器件的尖脉冲发生电路中,在输入电压从2.3V增加到3.1V的情况下,连续的尖峰平均响应周围的峰峰间隔可以减少。

[0191] 即,若输入电压增加,则包括单硅器件的尖脉冲发生电路能够以更高的频率输出尖脉冲并且可以复位。

[0192] 例如,将输入电压的大小从2.3V增加到3.1V,从而可将连续的尖峰的平均发射速度从61.0Hz调整到210.5Hz,但是尖峰振幅的一致性与频率响应的概率得以保持。

[0193] 而且,由互连的正反馈环及负反馈环确定的活动电势持续时间的分布可通过随机反馈切换动力学来实现。

[0194] 参照图5C的曲线图520,曲线图520用于例示随着周期性地将输入电压从2.3V变更到0V的尖脉冲的输出变化。

[0195] 根据曲线图520,表示即使输入电压减少或增加,也与此无关地按照规定间隔输出尖脉冲。

[0196] 即,从曲线图520可知,动作持续时间的变动不依赖于输入刺激的大小,这可以表示包括单硅器件的尖脉冲发生电路的互连的正反馈环及负反馈环与生物细胞的反馈机制类似。

[0197] 参照图5D的曲线图530,输入电压范围内的有效不应(refractory)期可表示不规则及失真的分布。

[0198] 例如,有效不应期能够按照可通过势阱中电荷载流子的蓄积及复合过程来进行评价的结果,来表示反馈切换动力学(feedback switching dynamics)的随机特性。

[0199] 根据本发明的一实施例,包括单硅器件的尖脉冲发生电路可通过调节输入电压的大小来周期性或非周期性地调节输出尖脉冲的频率。

[0200] 即,包括单硅器件的尖脉冲发生电路能够以如下方式来进行控制,即,通过恒定保持输入电压的大小来周期性地输出尖脉冲,或者通过反复改变输入电压的大小来非周期性地输出尖脉冲。

[0201] 换言之,包括单硅器件的尖脉冲发生电路可根据输入电压的大小来调节产生尖脉冲的间隔,从而周期性或非周期性地产生尖脉冲。

[0202] 图5A至图5D示出如下的特征,即,随着电荷在包括单硅器件的尖脉冲发生电路的单硅器件中的势阱蓄积及放电,利用单硅器件中的振荡现象,来进行泄漏整合放电动作。

[0203] 而且,包括单硅器件的尖脉冲发生电路可利用基于电荷输入的振荡频率变化来执行对于模拟输入的神经元动作。

[0204] 即,包括单硅器件的尖脉冲发生电路可利用基于电荷输入的振荡频率变化,根据相对于模拟输入非周期性产生的尖脉冲,来作为神经元模拟电路工作。

[0205] 换言之,包括单硅器件的尖脉冲发生电路可随着周期性产生尖脉冲来作为环形振荡器电路工作,并且可随着非周期性产生尖脉冲来作为神经元模拟电路工作。

[0206] 图6A至图6D为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的随机尖峰特性的图。

[0207] 图6A的曲线图600用于例示基于输入电压的增加的峰峰间隔。

[0208] 根据曲线图600,基于电压的大小示出实施例601、实施例602、实施例603、实施例604、实施例605、实施例606、实施例607、实施例608、实施例609。

[0209] 观察实施例601至实施例609的峰峰间隔,峰峰间隔可随着输入电压的增加而减少。

[0210] 即,输入电压的大小越大,则包括单硅器件的尖脉冲发生电路以更高的频率输出并复位尖脉冲,以更窄的峰峰间隔输出并复位尖脉冲。

[0211] 图6B的曲线图610用于例示基于输入电压的增加的峰峰频率(interspike frequency)。

[0212] 根据曲线图610,基于电压的大小示出实施例611、实施例612、实施例613、实施例614、实施例615、实施例616、实施例617、实施例618、实施例619。

[0213] 观察实施例611至实施例619的峰峰频率,峰峰频率可随着输入电压的增加而增加。

[0214] 即,输入电压的大小越大,则包括单硅器件的尖脉冲发生电路以更高的频率输出并复位尖脉冲。

[0215] 图6C的曲线图620用于例示基于输入电压的增加的动作电位时程(action potential duration)。

[0216] 根据曲线图620,基于电压的大小示出实施例621、实施例622、实施例623、实施例624、实施例625、实施例626、实施例627、实施例628、实施例629。

[0217] 观察实施例621至实施例629的动作电位时程,动作电位时程可随着输入电压的增加而增加。

[0218] 即,输入电压的大小越大,则以更高的动作电位时程输出并复位尖脉冲。

[0219] 图6D的曲线图630用于例示基于输入电压的增加的有效不应期(effective refractory period)。

[0220] 根据曲线图630,基于电压的大小示出实施例631、实施例632、实施例633、实施例634、实施例635、实施例636、实施例637、实施例638、实施例639。

[0221] 观察实施例631至实施例639的有效不应期,有效不应期可随着输入电压的增加而增加。

[0222] 即,输入电压的大小越大,则以更高的有效不应期输出并复位尖脉冲。

[0223] 根据本发明的一实施例,包括单硅器件的尖脉冲发生电路能够在单硅器件中基于因隧穿现象及随机发生复合/生成等的现象而导致的随机反馈现象,来执行神经元动作。

[0224] 因此,本发明一实施例的包括单硅器件的尖脉冲发生电路可随着周期性产生尖脉冲来作为环形振荡器电路工作,并且可随着非周期性产生尖脉冲来作为神经元模拟电路工作。

[0225] 图7为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的正反馈环生成及负反馈环触发动作的图。

[0226] 参照图7,在生成正反馈环的情况下,包括单硅器件的尖脉冲发生电路的单硅器件700从高阻态(high resistance state,HRS)转换为低阻态(low resistance state,LRS),在触发负反馈环的情况下,包括单硅器件的尖脉冲发生电路的单硅器件700可从低阻态转换为高阻态。

[0227] 即,包括单硅器件的尖脉冲发生电路可通过电子与空穴的反馈动作机制来在单硅器件700内发生闩锁现象及锁定现象。

[0228] 因正反馈环导致的闩锁现象可起到降低单硅器件700的电阻的作用,因负反馈环导致的锁定现象可起到提高单硅器件700的电阻的作用。

[0229] 在包括单硅器件的尖脉冲发生电路中,若施加输入电压,则因正反馈环而在单硅器件700中发生闩锁,并且,因与电阻的电压分配而导致施加于单硅器件700的电压减少,同时因负反馈环发生锁定。

[0230] 因此,在包括单硅器件的尖脉冲发生电路中,使施加于单硅器件700的电压增加,并且可因此而再次形成正反馈环。可在反复进行上述过程的同时产生振荡。

[0231] 因此,包括单硅器件的尖脉冲发生电路可周期性或非周期性地产生尖脉冲。

[0232] 图8及图9为用于比较说明本发明一实施例的包括单硅器件的尖脉冲发生电路的输入及输出的图。

[0233] 参照图8,曲线图800至曲线图880用于例示在以方波施加输入电压并使其增加的情况下的输出电压的变化。

[0234] 曲线图800中输入电压为2.3V,曲线图810中输入电压为2.4V,曲线图820中输入电压为2.5V,曲线图830中输入电压为2.6V,曲线图840中输入电压为2.7V,曲线图850中输入电压为2.8V,曲线图860中输入电压为2.9V,曲线图870中输入电压为3.0V,曲线图880中输入电压为3.1V。

[0235] 参照图800至图880,峰峰间隔可随着输入电压从2.3V增加到3.1V而减少。

[0236] 即,生成及复位尖脉冲的频率可随着输入电压的增加而增加。

[0237] 图9示出基于向本发明一实施例的包括单硅器件的尖脉冲发生电路施加的输入电压的振荡频率的变化特性。

[0238] 参照图9,曲线图900至曲线图980用于例示在以保持相同电压的方式施加输入电压并使其增加的情况下的输出电压的变化。

[0239] 曲线图900中输入电压为2.3V,曲线图910中输入电压为2.4V,曲线图920中输入电压为2.5V,曲线图930中输入电压为2.6V,曲线图940中输入电压为2.7V,曲线图950中输入电压为2.8V,曲线图960中输入电压为2.9V,曲线图970中输入电压为3.0V,曲线图980中输入电压为3.1V。

[0240] 参照曲线图900至曲线图980,峰峰间隔可随着输入电压从2.3V增加到3.1V而减少。

[0241] 即,生成及复位尖脉冲的频率可随着输入电压的增加而增加。

[0242] 而且,在包括单硅器件的尖脉冲发生电路中,根据输入电压而改变载流子注入,因此,正反馈环及负反馈环现象的相互作用被改变,这使得振荡频率发生变化。

[0243] 即,随着向包括单硅器件的尖脉冲发生电路施加的输入电压增加,振荡频率也可增加。

[0244] 换言之,包括单硅器件的尖脉冲发生电路可根据所施加的输入电压的大小来调整产生尖脉冲的间隔。

[0245] 因此,包括单硅器件的尖脉冲发生电路能够以如下方式进行控制,即,通过使所施加的输入电压的大小相同来将产生尖脉冲的间隔确定为周期性,或者通过反复改变输入电压的大小来将产生尖脉冲的间隔确定为非周期性。

[0246] 图10为用于说明本发明一实施例的包括单硅器件的尖脉冲发生电路的实验环境的图。

[0247] 参照图10,包括单硅器件的尖脉冲发生电路的实验环境1000例示包括单硅器件的尖脉冲发生电路与示波器的输出及输入端相连接来将图9及图10的曲线图作为输出结果导出的环境。

[0248] 在上述内容中说明的装置可由硬件结构要素、软件结构要素和/或硬件结构要素及软件结构要素的组合来实现。例如,如同处理器、控制器、算术逻辑单元(ALU,arithmetic logic unit)、数字信号处理器(digital signal processor)、微型计算机、现场可编程门阵列(FPGA,field programmable gate array)、可编程逻辑单元(PLU,programmable

logic unit)、微型处理器或执行并响应指令(instruction)的任何装置,在实施例中说明的装置及结构要素可利用一个以上的通用计算机或特殊目的计算机实现。处理装置可执行操作系统(OS)及在上述操作系统上执行的一个以上的应用程序。并且,处理装置还可响应软件的执行来访问、存储、操作、处理及生成数据。为了便于理解,以使用一个处理装置的情况进行说明,只要是本技术领域的普通技术人员就可理解,处理装置可包括多个处理要素(processing element)和/或多个类型的处理要素。例如,处理装置可包括多个处理器或一个处理器及一个控制器。并且,还可包括如同并联处理器(parallel processor)的其他处理结构(processing configuration)。

[0249] 软件可包括计算机程序(computer program)、代码(code)、指令(instruction)或它们中的一种以上的组合,能够以按所需方式进行工作的方式构成处理装置或者以独立或结合性(collectively)的方式向处理装置传递指令。为了通过处理装置解释或向处理装置提供指令或数据,软件和/或数据可在任何类型的机械、结构要素(component)、物理装置、虚拟装置(virtual equipment)、计算机存储介质或装置、或者所传输的信号波(signal wave)永久或暂时性具体化(embody)。软件可分散在通过网络联接的计算机系统上来以分散的方法存储或执行。软件及数据可存储于一个以上的计算机可读记录介质。

[0250] 如上所述,通过限定的实施例和附图来对实施例进行了说明,只要是本技术领域的普通技术人员,就可通过上述记载来进行各种修改及变形。例如,所说明的技术以与所说明的方法不同的顺序执行和/或所说明的系统、结构、装置、电路等的结构要素以与所说明的方法不同的形态结合或组合,或者,即使被其他结构要素或等同技术方案代替或取代也可实现适当的结果。

[0251] 因此,其他实例、其他实施例及发明要求保护范围等同范围内的方案也属于所附发明要求保护范围。

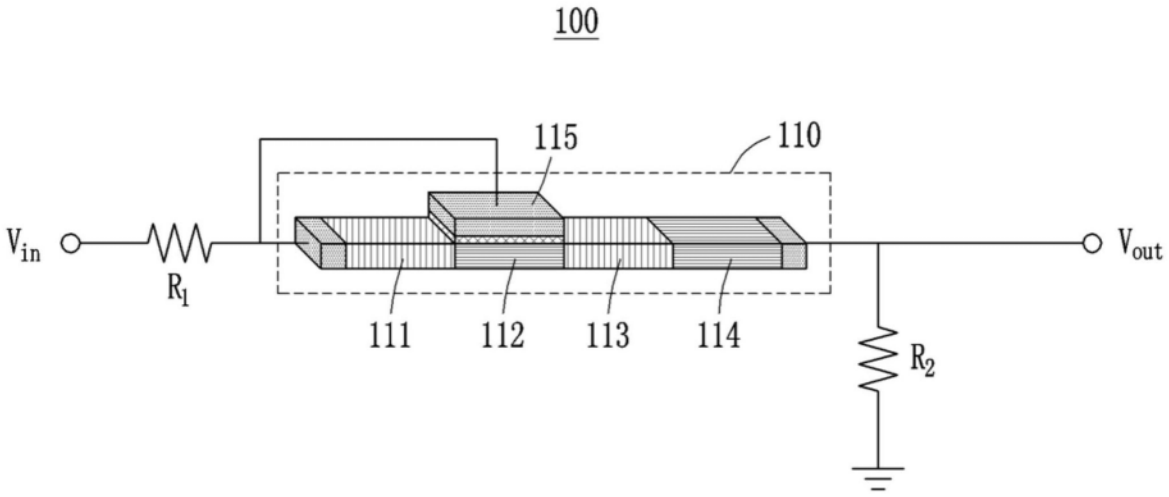

100
115
110
V_{in}
R_1
111
112
113
114
R_2
V_{out}

图1A

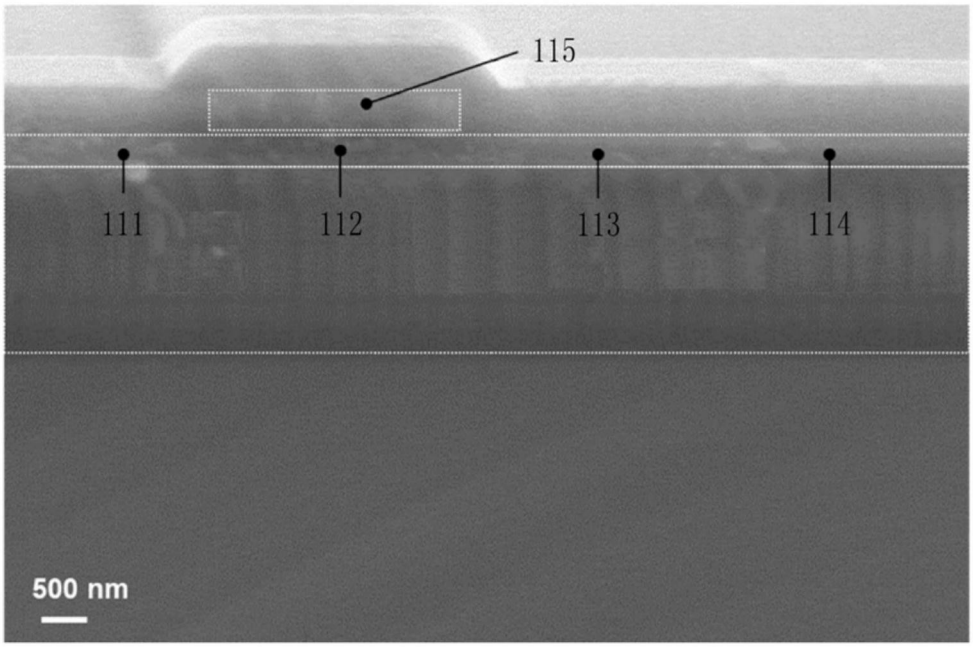

115
111
112
113
114
500 nm

图1B

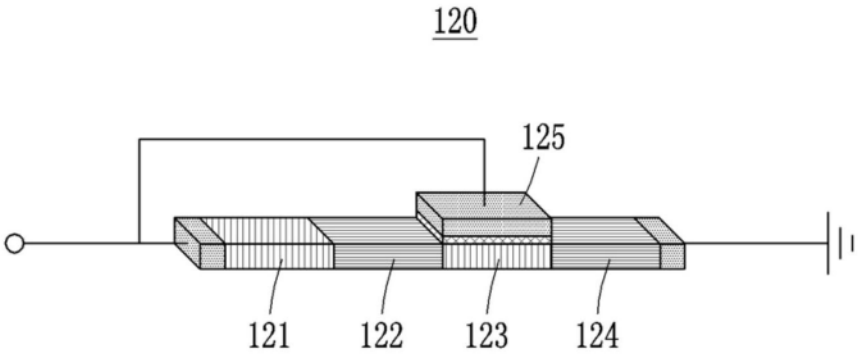


图1C

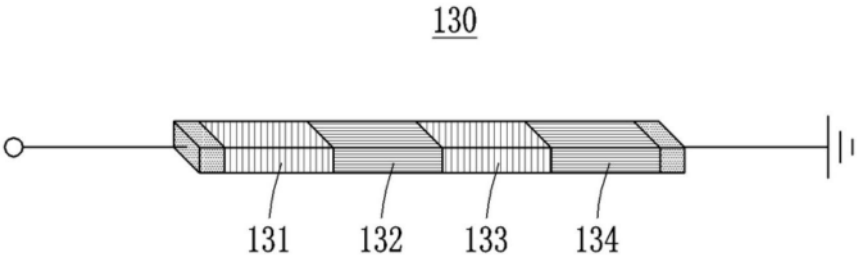


图1D

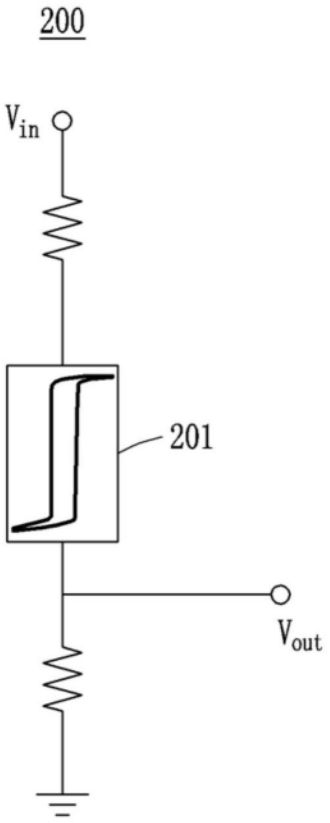


图2A

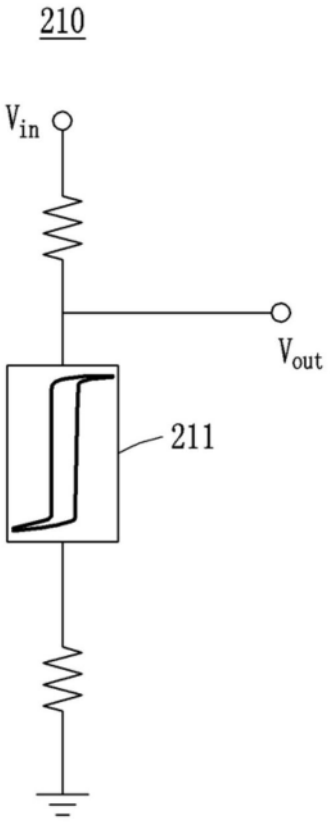


图2B

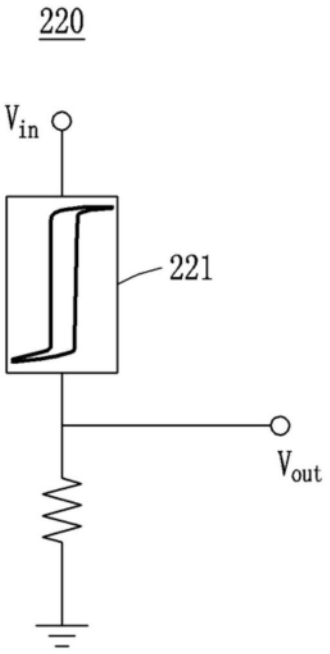


图2C

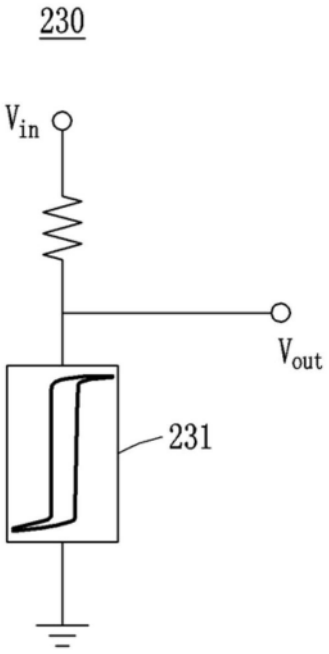

230
V_{in}
V_{out}
231

图2D

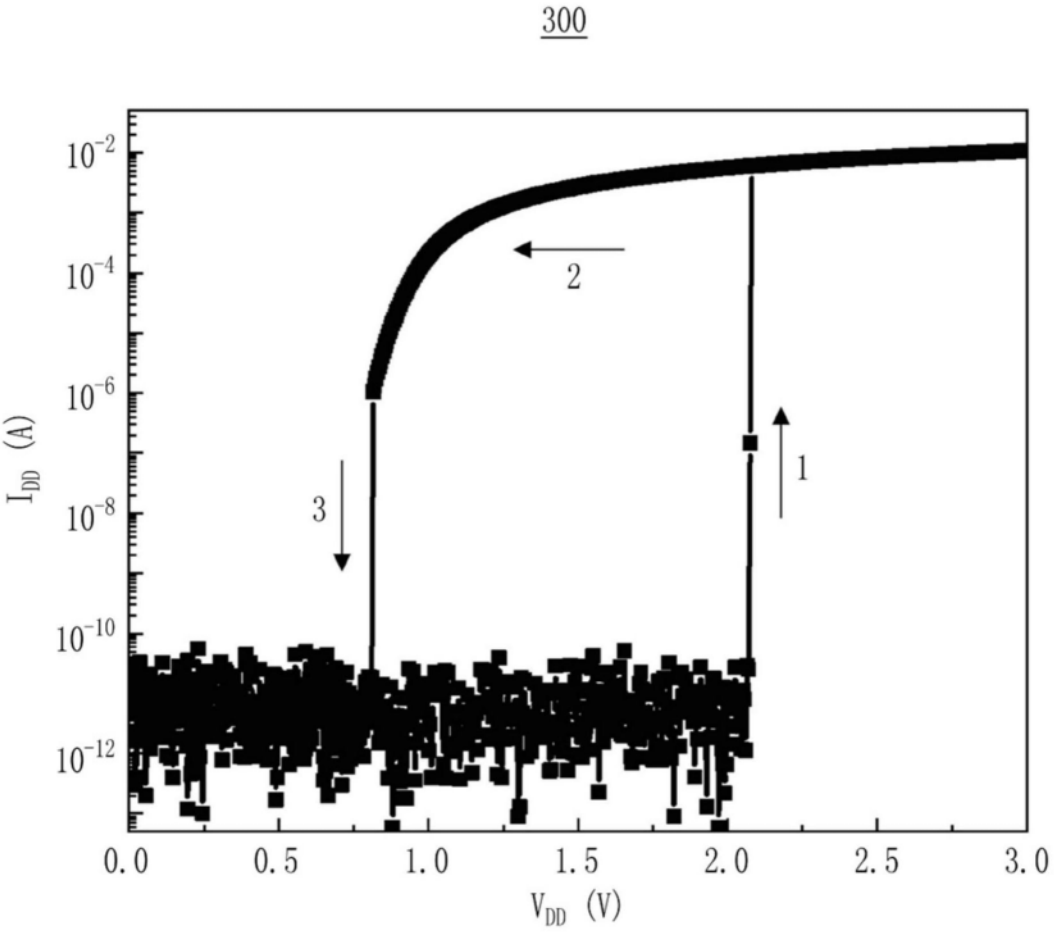

300
10^{-2}
10^{-4}
10^{-6}
10^{-8}
10^{-10}
10^{-12}
I_{DD} (A)
0.0
0.5
1.0
1.5
2.0
2.5
3.0
V_{DD} (V)
1
2
3

图3A

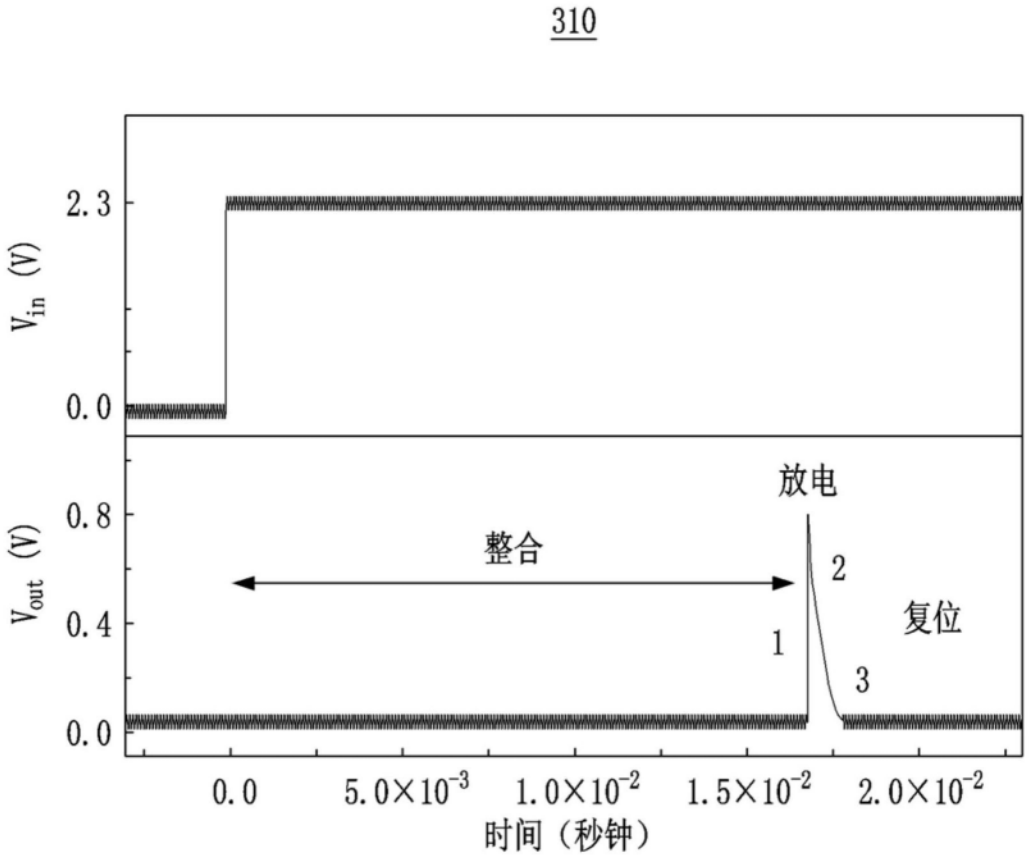

310
2.3
0.0
V_{in} (V)
0.8
0.4
0.0
V_{out} (V)
放电
整合
2
复位
1
3
0.0
5.0×10^{-3}
1.0×10^{-2}
1.5×10^{-2}
2.0×10^{-2}
时间（秒钟）

图3B

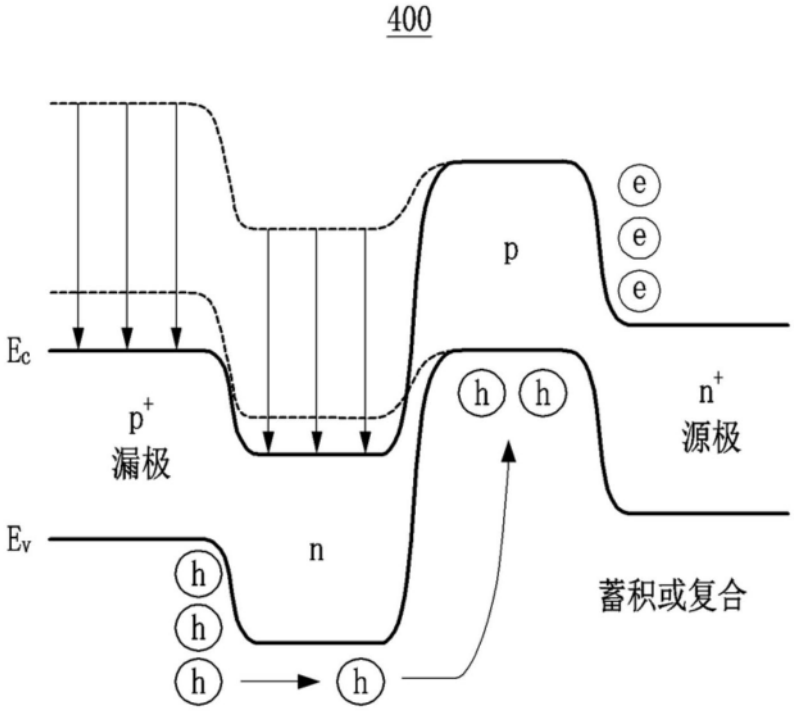

400
E_c
E_v
p^+
漏极
p
n
n^+
源极
e
e
e
h
h
h
h
h
蓄积或复合

图4A

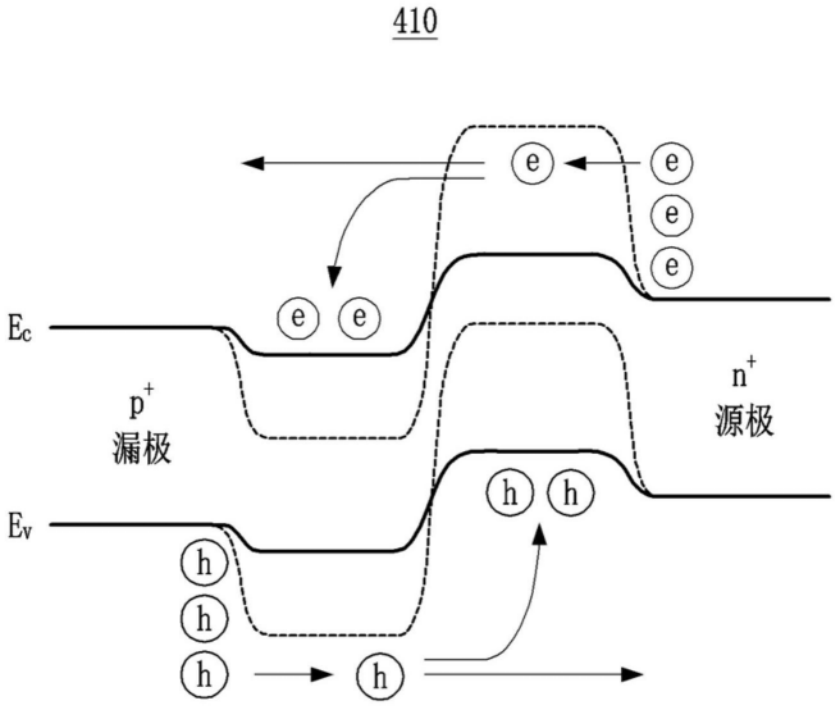


图4B

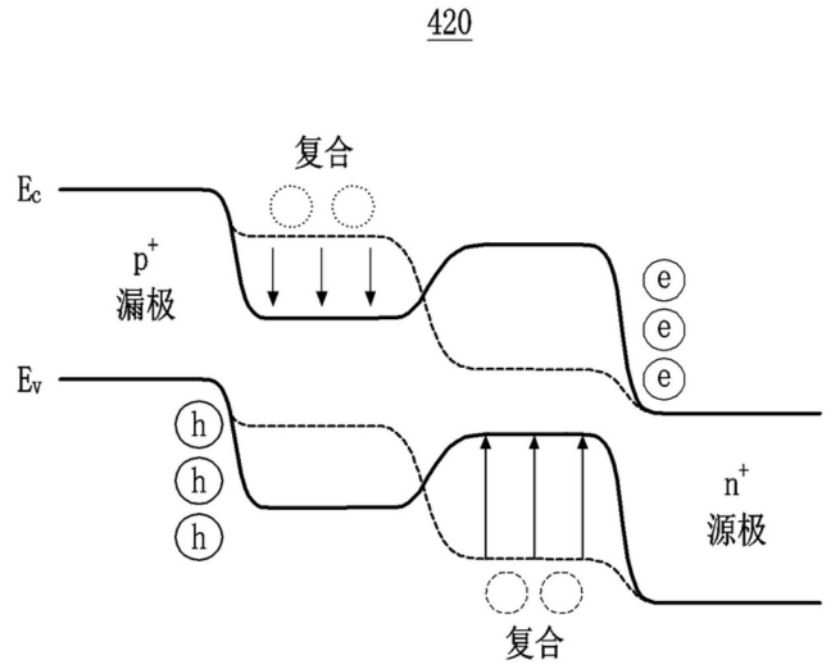


图4C

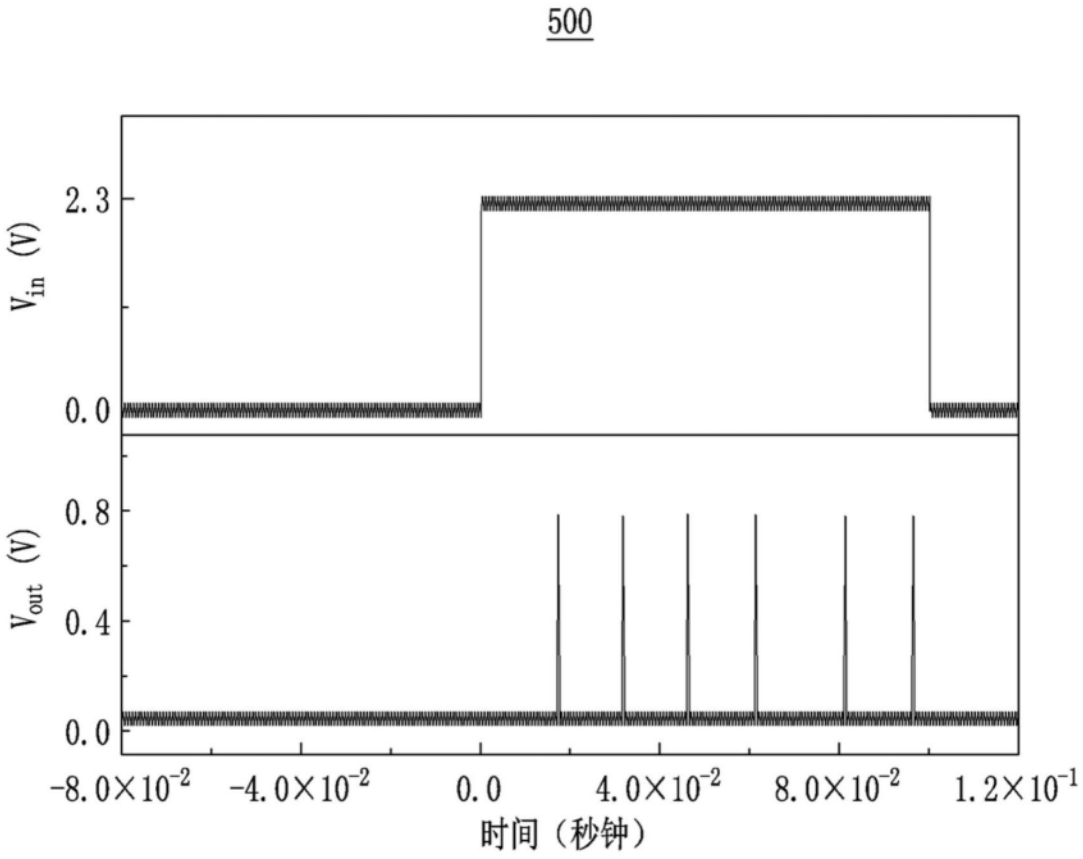

500
2.3
0.0
V_{in} (V)
0.8
0.4
0.0
V_{out} (V)
-8.0×10^{-2}
-4.0×10^{-2}
0.0
4.0×10^{-2}
8.0×10^{-2}
1.2×10^{-1}
时间（秒钟）

图5A

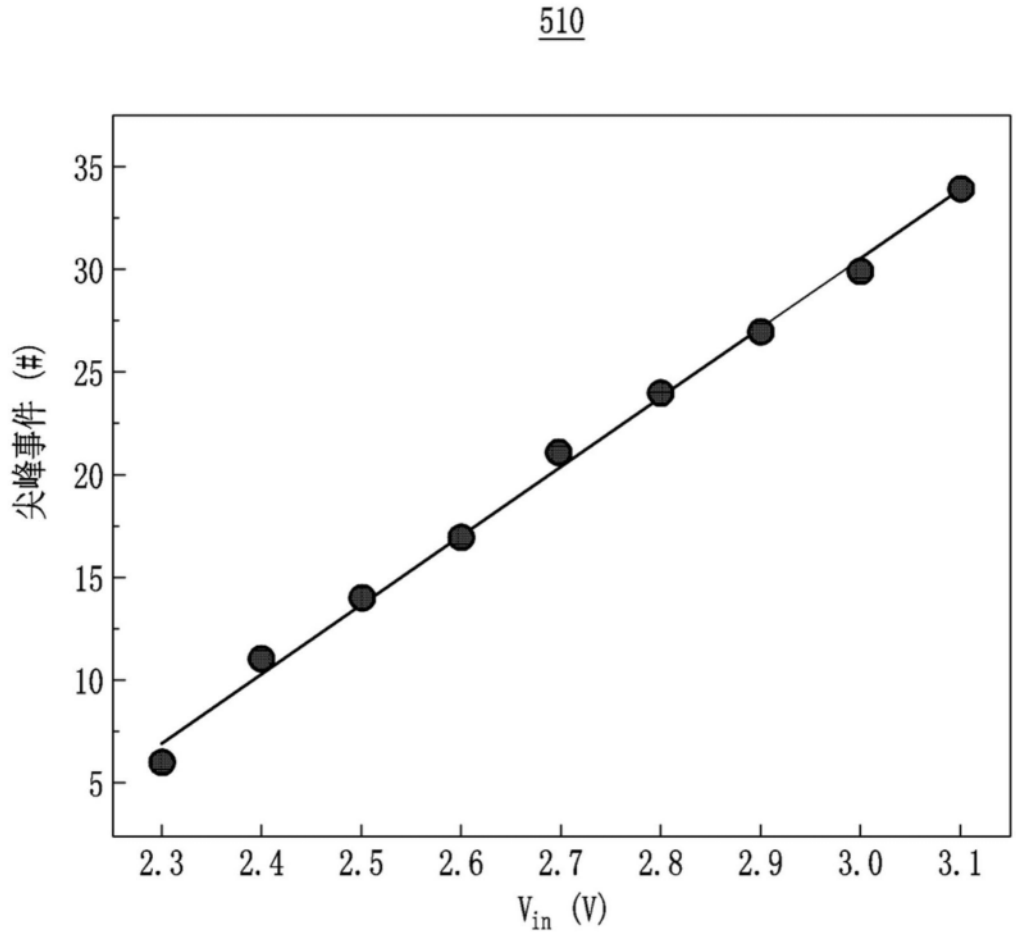


图5B

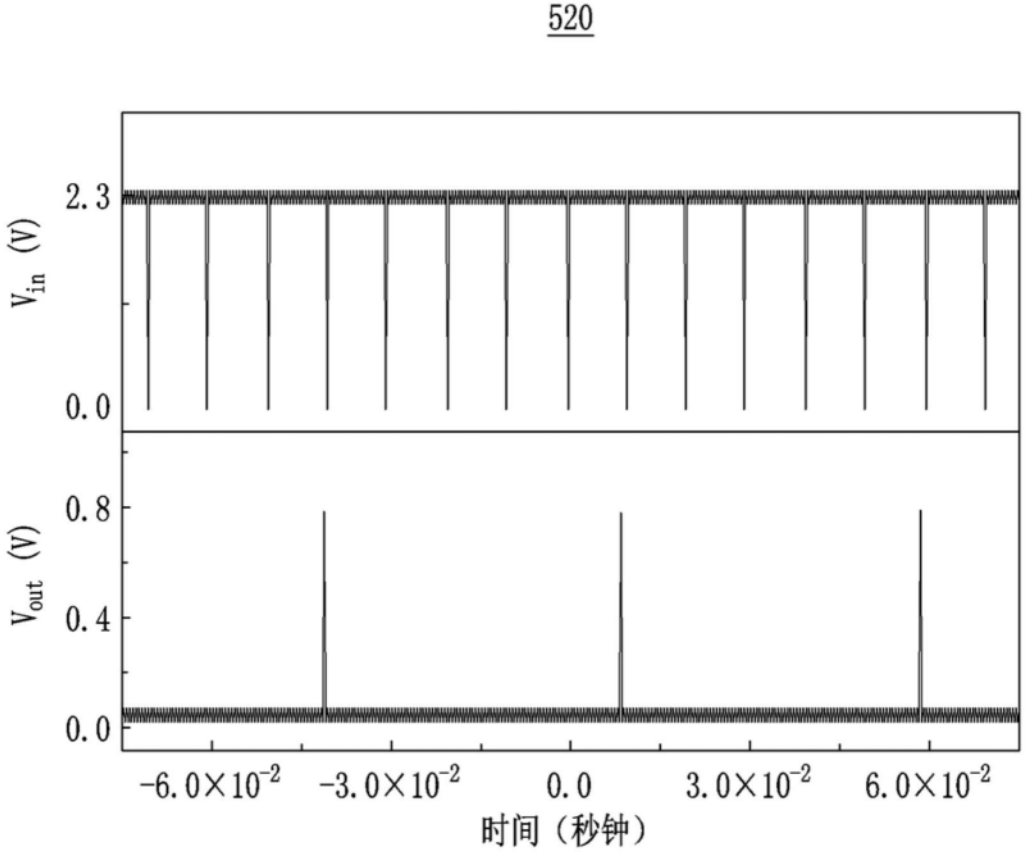

520
2.3
0.0
V_{in} (V)
0.8
0.4
0.0
V_{out} (V)
-6.0×10^{-2}
-3.0×10^{-2}
0.0
3.0×10^{-2}
6.0×10^{-2}
时间（秒钟）

图5C

530

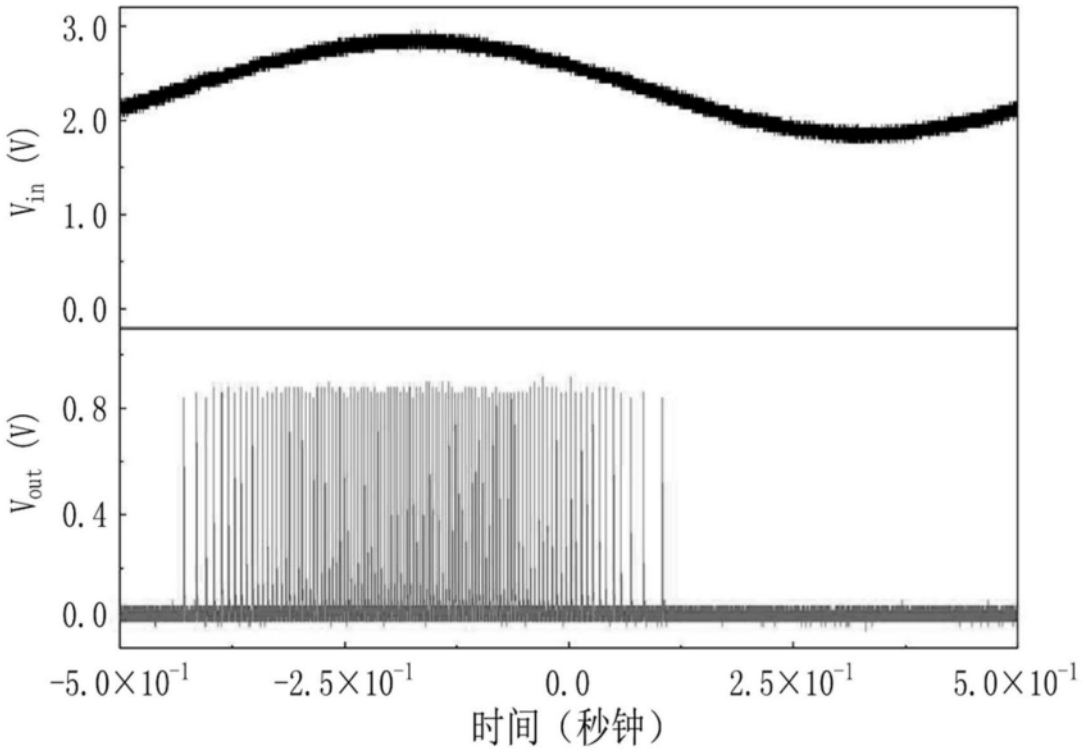

3.0
2.0
1.0
0.0
V_{in} (V)
0.8
0.4
0.0
V_{out} (V)
-5.0×10^{-1}
-2.5×10^{-1}
0.0
2.5×10^{-1}
5.0×10^{-1}
时间（秒钟）

图5D

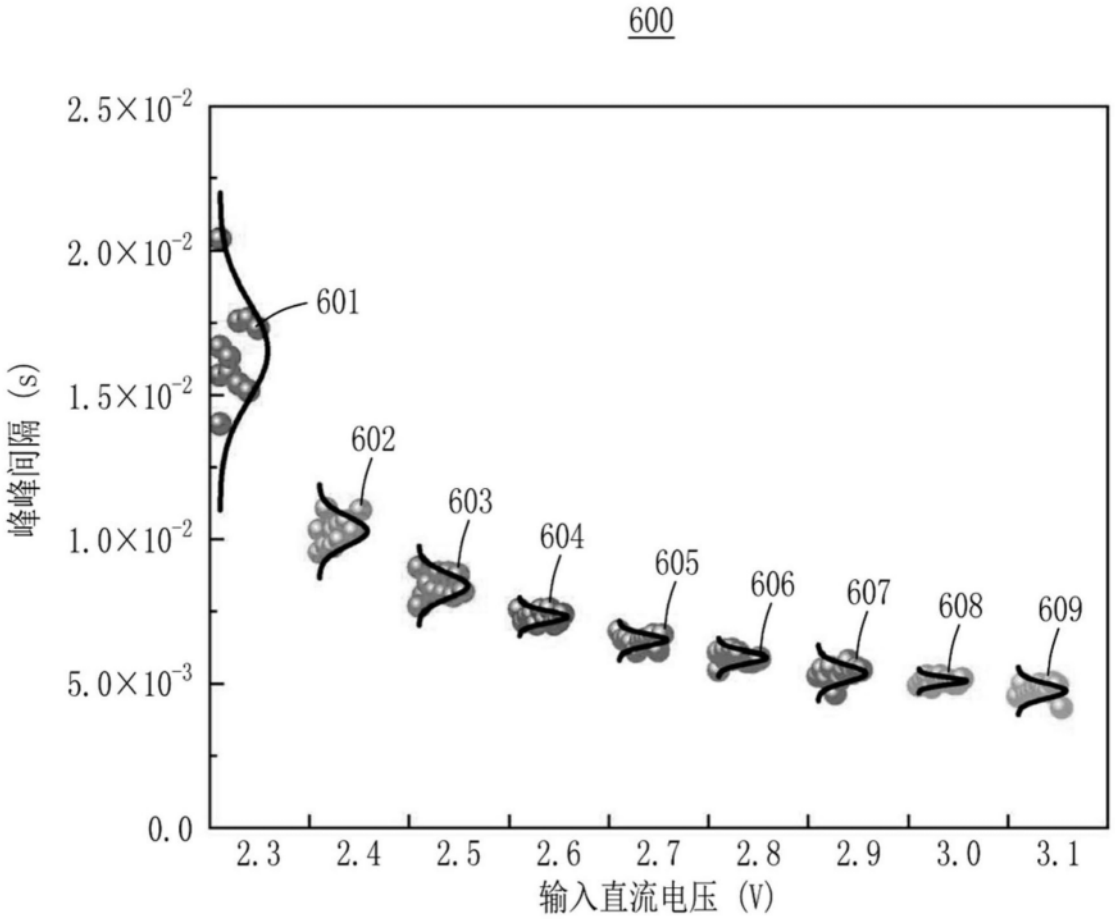

600
2.5×10-2
2.0×10-2
1.5×10-2
1.0×10-2
5.0×10-3
0.0
峰峰间隔（s）
601
602
603
604
605
606
607
608
609
2.3
2.4
2.5
2.6
2.7
2.8
2.9
3.0
3.1
输入直流电压（V）

图6A

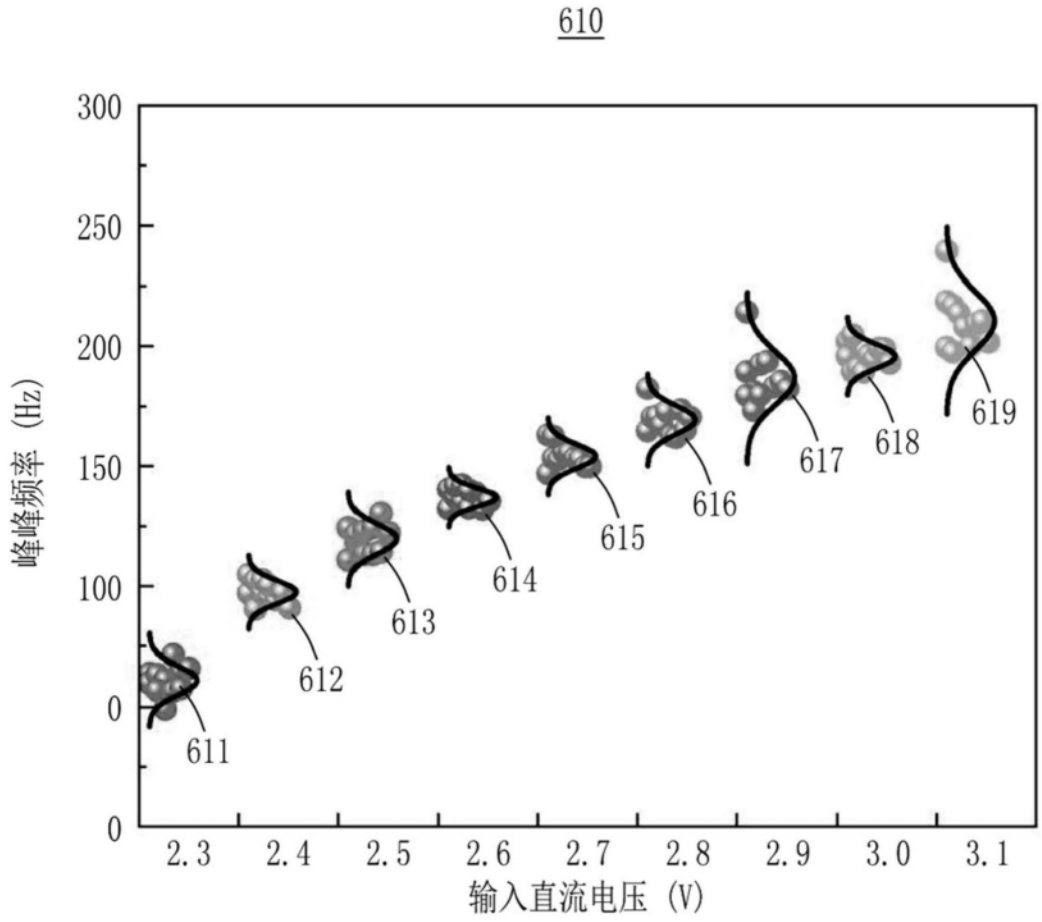

610
300
250
200
150
100
0
0
峰峰频率（Hz）
611
612
613
614
615
616
617
618
619
2.3
2.4
2.5
2.6
2.7
2.8
2.9
3.0
3.1
输入直流电压（V）

图6B

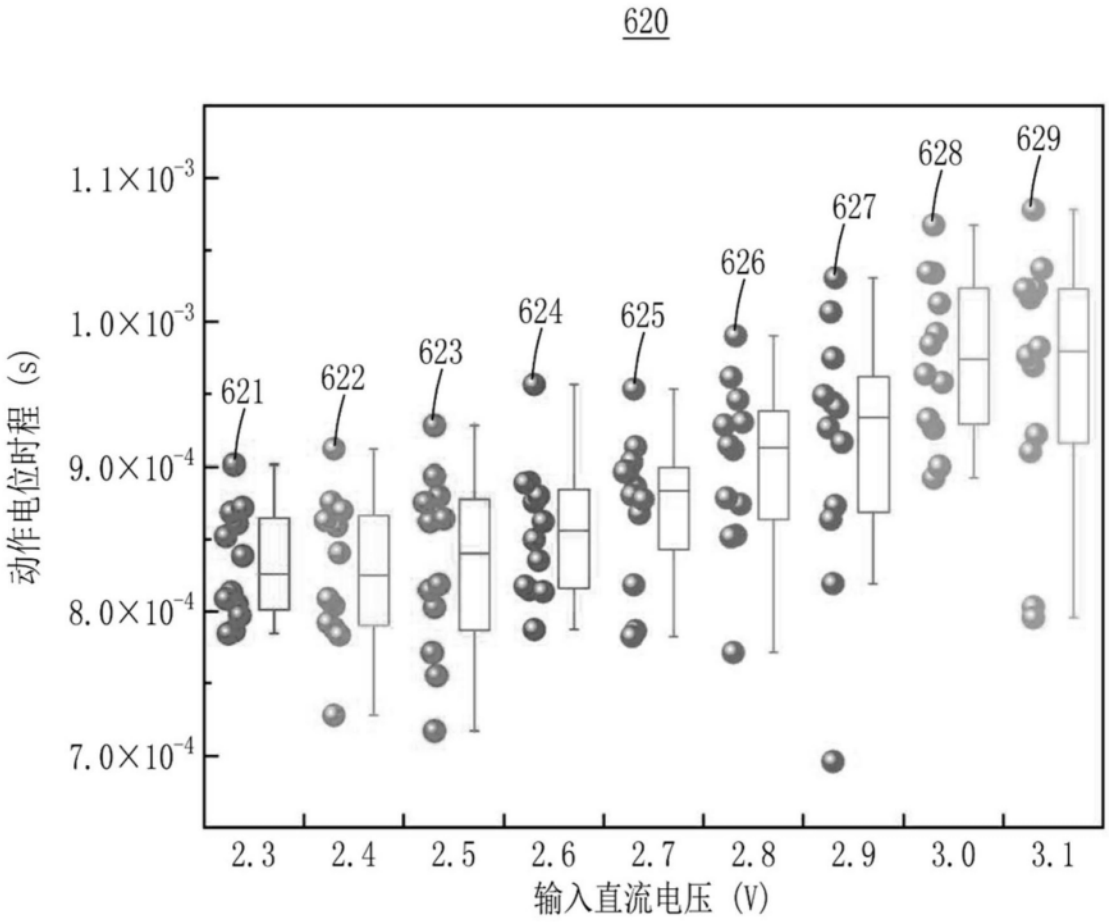

620
621
622
623
624
625
626
627
628
629
1.1×10⁻³
1.0×10⁻³
9.0×10⁻⁴
8.0×10⁻⁴
7.0×10⁻⁴
动作电位时程（s）
2.3
2.4
2.5
2.6
2.7
2.8
2.9
3.0
3.1
输入直流电压（V）

图6C

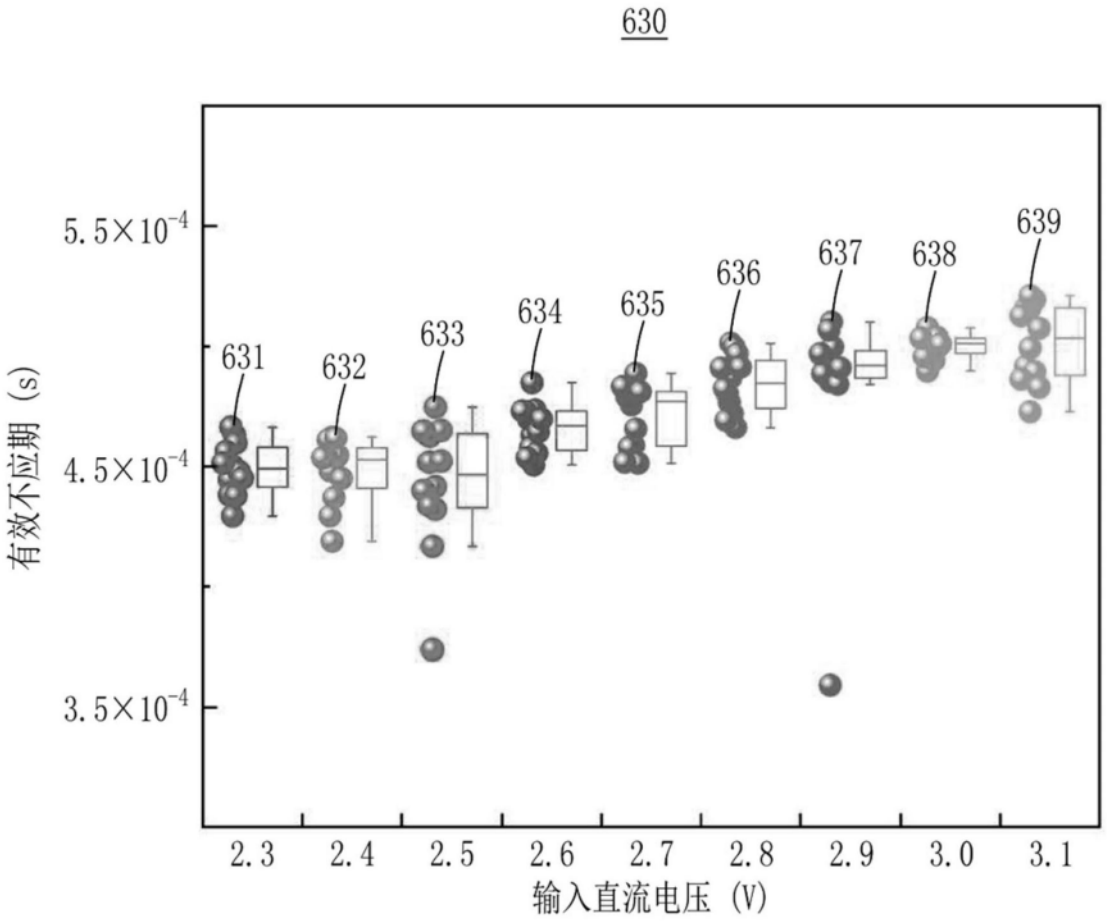

630
5.5×10⁻⁴
4.5×10⁻⁴
3.5×10⁻⁴
有效不应期 (s)
631
632
633
634
635
636
637
638
639
2.3
2.4
2.5
2.6
2.7
2.8
2.9
3.0
3.1
输入直流电压 (V)

图6D

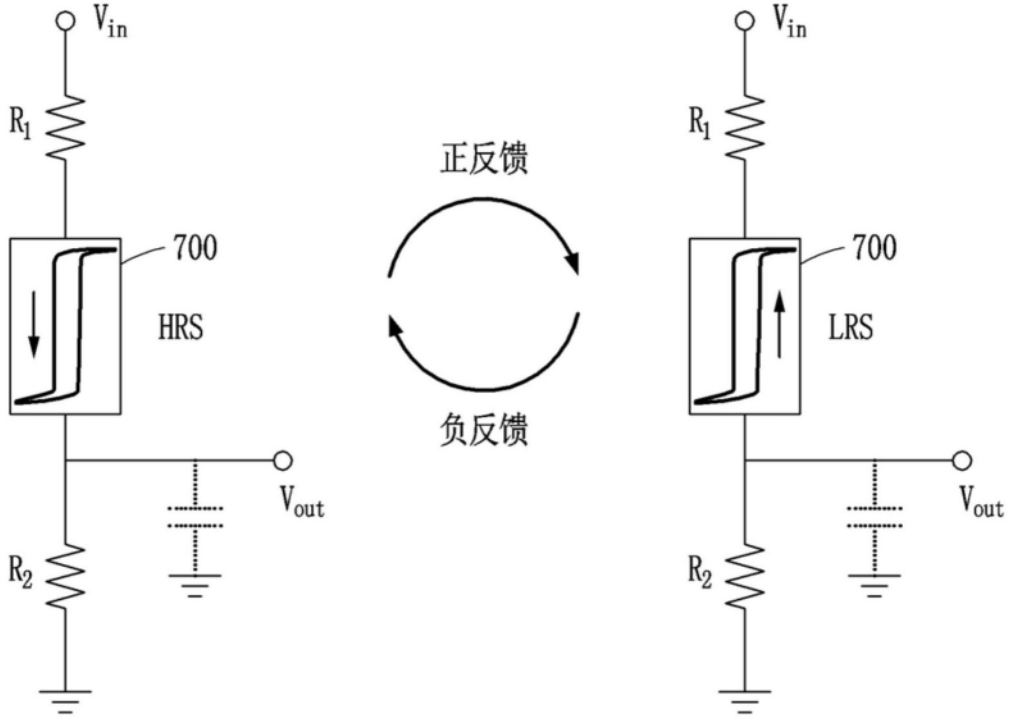


图7



图8

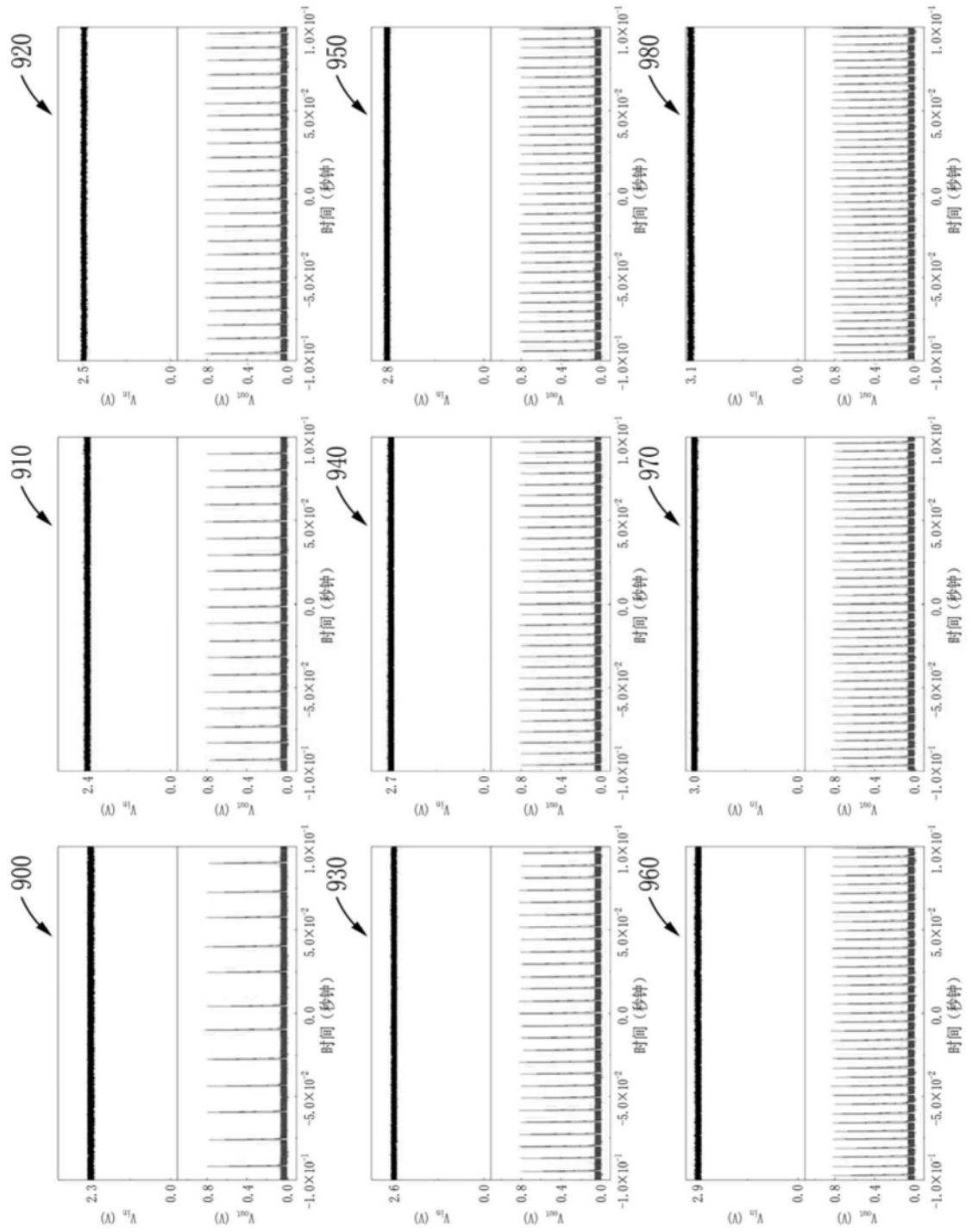


图9

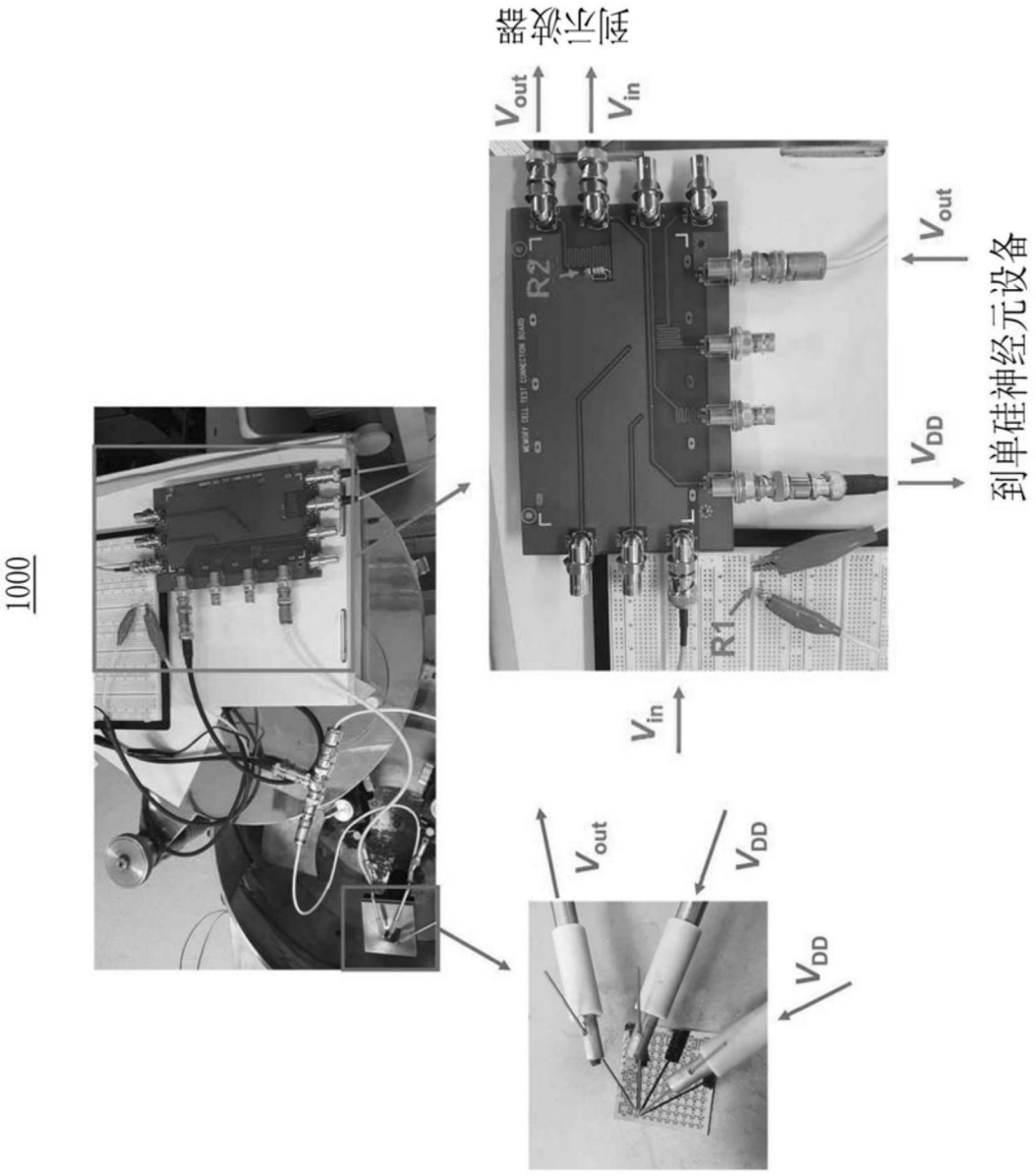


图10