(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 33/00 (2006.01)

(45) 공고일자 2006년11월24일
(11) 등록번호 10-0648392
(24) 등록일자 2006년11월15일

(21) 출원번호 10-2001-0000931
(22) 출원일자 2001년01월08일
심사청구일자 2005년02월04일

(65) 공개번호 10-2001-0070460
(43) 공개일자 2001년07월25일

(30) 우선권주장 60/175009 2000년01월07일 미국(US)
09/540474 2000년03월31일 미국(US)

(73) 특허권자 루센트 테크놀러지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)

(72) 발명자 게바마이클
미합중국,펜실베니아18104,알렌타운,코벤트리로드1480

오우가자덴아브달라
미합중국,펜실베니아18031,브레이닝스빌,크로스크릭써클7920

스미스로렌스에드윈
미합중국,펜실베니아18062,메컨지,사우스리드지드라이브8346

(74) 대리인 이병호
정상구
신현문
이범래

심사관 : 신주철

전체 청구항 수 : 총 10 항

(54) 인듐인-계 구조들에서 아연 확산을 차단하기 위한 장벽으로서 인듐인-계 층에서의 알루미늄 스파이크들을 포함하는 전자 디바이스 및 광전자 디바이스

(57) 요약

확산 방지 장벽 스파이크가 개시된다. 스파이크는 층에서 pn 접합을 형성하지 않고 다른 층으로의 불순물들 확산을 방지한다. 스파이크들은, 예를 들어 Al 또는 AlAs와 같은 알루미늄 함유 재료이고 대략 1nm 정도의 두께를 갖는다. 본 발명의 스파이크들은 InP-계 PIN 디바이스들과 같은 다양한 Ⅲ-Ⅴ 반도체 구조들에서 도핑된층 외부로의 불순물 확산을 정지시키는데 이용될 수 있다.

대표도

도 3

특허청구의 범위

청구항 1.

광전자 디바이스(optoelectronic device)로서,

제 1 및 제 2 측면들을 갖는 메사(mesa)를 포함하고, 상기 메사는:

제 1 층과,

상기 제 1 층상에 배치된 진성층(intrinsic layer)과,

상기 진성층상에 배치된 제 2 층과,

상기 메사의 상기 제 1 및 제 2 측면들을 따라 배치된 차단층들과,

상기 제 1 및 제 2 측면 사이, 및 상기 제 1 및 제 2 측면들 각각과 상기 차단층들 사이에 배치된 확산 차단 스파이크들을 포함하고, 상기 스파이크는 상기 제 2 층에서 pn 접합을 생성하지 않는, 광전자 디바이스.

청구항 2.

제 1 항에 있어서,

상기 제 1 층은 n-타입 InP이고, 상기 제 2 층은 p-타입 InP이고, 상기 차단층은 반-절연 InP인, 광전자 디바이스.

청구항 3.

제 1 항에 있어서, 상기 제 1 및 제 2 측면들 각각의 사이에 배치된 상기 확산 차단 스파이크들 각각은 Al인, 광전자 디바이스.

청구항 4.

제 1 항에 있어서, 상기 제 1 및 제 2 측면들 각각의 사이에 배치된 상기 확산 차단 스파이크들 각각은 알루미늄을 함유하는, 광전자 디바이스.

청구항 5.

제 1 항에 있어서, 상기 제 2 층에 배치된 제 2의 적어도 하나의 불순물 확산 장벽 스파이크를 더 포함하고, 상기 제 2의 적어도 하나의 불순물 확산 장벽 스파이크는 상기 제 2 층에서 pn 접합을 생성하지 않는, 광전자 디바이스.

청구항 6.

제 5 항에 있어서, 상기 제 2의 적어도 하나의 불순물 확산 장벽 스파이크는 Al인, 광전자 디바이스.

청구항 7.

제 5 항에 있어서, 상기 제 2의 적어도 하나의 불순물 확산 장벽 스파이크는 알루미늄을 함유하는, 광전자 디바이스.

청구항 8.

제 1 항에 있어서,

상기 제 1 및 제 2 측면들 각각의 사이에 배치된 상기 확산 차단 스파이크들 각각은 1 nm의 두께를 갖는, 광전자 디바이스.

청구항 9.

제 1 항에 있어서,

상기 제 1 층은 제 1 도전성 타입을 갖고, 상기 제 2 층은 제 2 도전성 타입을 갖는, 광전자 디바이스.

청구항 10.

제 1 항에 있어서, 상기 제 1 층은 제 1 도전성 타입을 갖고, 제 2 도전성 타입의 다른 층은 상기 진성층 아래에 배치된, 광전자 디바이스.

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 분야

본 발명은 Ⅲ-Ⅴ 반도체 구조들 내에서 사용하기 위한 불순물 확산 장벽 스파이크에 관한 것이다.

발명의 배경

광전자 디바이스들의 액티브 영역들 및 차단 구조(blocking structure)들에서 pn 및 pi(p type-intrinsic)접합들의 정밀한 배치는 변조 밴드폭, 출력 전력, 소거 비(extinction ratio) 및 비냉각 작동(uncooled operation)과 같은 디바이스 성능 상에 있어 증가하는 엄격한 요구사항들을 만족시키기 위해 대단히 중요하다.

광전자 디바이스들에 이용되는 하나의 일반적인 구조는 p-i-n(PIN)구조이다. 일반적인 PIN 구조에서, 진성층(intrinsic layer)은 p 타입층 및 n 타입층 사이에 배치된다. 일반적으로, 헤테로 접합들은 p-i 및 n-i 계면들에서 형성된다. 진성층은 자연적인 도파관을 야기하는 p 및 n 층들 보다 큰 굴절율을 갖는다. 또한 에너지 밴드는 도체에서 불연속이고 PIN 구조에서 밸런스 밴드(valence band)는 액티브 층 내에서 캐리어 제한을 용이하게 한다. 요약하면, PIN 구조는 다양한 광이미터 및 광검출기 광전자 디바이스 응용들에 적합하다.

광전자 디바이스들에 종종 이용되는 재료는 인듐인(InP)이다. InP을 이용하는 PIN 구조에서, p타입 InP(p-InP)층은 종종 불순물로서 아연을 도입함으로서 제조된다. 아연이 p타입 층을 형성하기 위해 적합한 불순물이지만, 아연은 보다 고온에서 InP의 성장(growth)이 달성되는 동안 쉽게 확산할 수 있다. 액티브(PIN구조에서 진성층)층으로의 확산은 액티브 층의 바람직하지 못한 도핑을 야기할 수 있다. 이는 해로운 영향을 끼칠 수 있다. 예를 들어, 레이저에서, 밴드내 전이가 발생하여 광 손실이 야기되고 출력 전력이 감소될 수 있다. 또한, 액티브 층의 의도하지 않은 도핑이 이미터의 방출된 파장에서의 시프트(shift)를 야기할 수 있다. PIN 구조가 전자흡수성 변조기(electroabsorptive modulator)로 이용되는 응용에서, 액티브 층에서 아연 불순물은 흡수 에지를 변화시켜 소거 비를 열화시킬 수 있다.

액티브 영역으로의 아연 불순물들의 확산으로 인한 장애를 극복하기 위해, 확산 장벽들 또는 블록들이 이용되어 왔다. 이러한 확산 장벽층들은 액티브층으로의 아연 확산을 막아, 상술한 장애를 극복한다. 예들 들어, 매우 얇은 실리콘 층이 훌륭한 확산 장벽층을 생성하는 p-InP층에 놓일 수 있다. 하지만, 실리콘이 도너 재료(donar material)이므로, 바람직하지 못한 p-n 접합이 p-InP층에 형성될 수 있다. 액티브 층으로의 아연 불순물들의 확산을 막는 동안, p-n 접합의 형성은 고속 디바이스들에서 특히 바람직하지 못한 기생적인 커패시턴스를 유발한다. 결과적인 p-n 접합은 기생적이고 캐리어 재결합을 일으킬 수 있다. 레이저에서, 예를 들어 높은 구동 전류가 요구될 수 있다. 본 기술의 당업자에 의해 쉽게 이해되는 바와 같이, 보다 높은 구동 전류는 디바이스를 과열시키고, 결국 방출된 빛의 파장 시프트를 야기한다.

아연 불순물의 액티브층으로의 확산을 막기 위해 이용된 또 다른 기술은 InP 상에서 세트-백층(set-back layer)이라고도 언급되는 도핑되지 않은 층을 이용하는 것이다. 세트 백층이 액티브 층으로 아연 불순물들의 확산을 막는 것은 다소 성공적이지만, 세트-백층의 최적 두께는 도핑된 아연의 도핑 레벨과 두께 및 접촉층들에 의존한다. 이는 바람직하지 못한 제조상의 복잡성을 야기한다. 또한, 아연 도핑 프로파일은 세트-백층을 이용하여 제어하기 어렵다. p 타입 도핑 농도 예를 들어, 액티브 영역 근처에서 및 p-InP 층에서 낮아진다. 레이저에서, 예를 들어, 이는 캐리어의 농도를 감소시켜 전력을 감소시키고 궁극적으로 레이저의 효율을 감소시킨다. 적합한 출력 전력을 공급하기 위해, 구동 전류는 증가되고 이것은 열 유도 파장 시프트를 포함하는 가열의 문제(heating problem)들을 야기한다.

따라서, 상술한 기술들의 단점들을 극복하는 광전자 디바이스인 p-InP 층으로부터 아연 불순물들의 확산을 차단하기 위한 기술이 요구된다.

발명이 이루고자 하는 기술적 과제

발명의 요약

본 발명은 디바이스의 도핑된 층에 배치된 적어도 하나의 불순물 장벽 스파이크를 갖는 광전자 디바이스에 관한 것이다. 불순물 장벽 스파이크 재료는 도핑된 층에서의 pn 접합을 생성하지 않고 효과적으로 확산을 막도록 선택된다.

본 발명은 도면들과 함께 해석할 때 이하의 상세한 설명으로부터 가장 잘 이해된다. 반도체 산업에서 표준 실험에 따라 다양한 형태들이 일정 스케일로 도시되지 않는다. 사실상, 다양한 형태들의 크기는 논의의 명확성을 위해 임의적으로 증가 또는 감소될 수 있다.

발명의 구성

간략하게, 본 발명은 Ⅲ-Ⅴ 반도체 구조들에 이용하기 위한 불순물 장벽 스파이크에 관한 것이다. 도 1에 도시된 예시적인 실시예에서, 기판(101)은 그 위에 배치된 n 타입 층(102), 액티브 층(103), 및 p 타입 층(104)을 갖는다. 불순물 확산 장벽 스파이크(105)는 도핑되지 않은 층(106) 위에 배치된다. 여기서, 용어 불순물 확산 장벽 스파이크는 일반적으로 액티브 영역으로 층(104)으로부터의 p 타입 불순물들의 확산을 막기 위해 선택된 재료의 매우 얇은 층이라 불리며, 기생적인 p-n 접합들을 만들지 않는다. 결국, 스파이크(105)는 층(104)에서 기생 p-n 접합들을 형성하지 않고 클래딩층(104)으로부터의 p 타입 불순물들에 의한 층(103) 상의 진성층의 오염을 막는다. 따라서, 스파이크는 p-i-n 접합을 만들기 위해 적합한 불순물의 이용을 가능하게 한다.

예시의 목적을 위해, 본 발명의 예시적인 실시예들의 디바이스들은 반도체 레이저 또는 변조기일 수 있다. 하지만, 본 기술의 당업자에 의해 쉽게 이해되는 바와 같이, 예시적인 실시예들의 디바이스들은 다양한 광이미터 또는 광검출기들일 수 있다. 또한, 달리 논하지는 않지만, 예시적인 실시예들의 구조들을 제조하기 위해 이용된 기술들은 종래의 반도체 제조 기술들이다. 이러한 기술들은 당업자에게 공지되어 있으므로, 부가적인 자세한 설명은 생략한다.

도 1의 예시적인 실시예는 PIN 디바이스이다. 기판(101)은 InP이고, n 타입 InP 층(102)(또한 하측 클래딩층으로도 참조됨)은 기판 상에 배치된다. 액티브 층(103)은 InGaAsP의 진성 층이고, 액티브 층 위에 배치된 p 타입 InP 층(104)을 갖는다. 일반적으로, Be, Mg 또는 Cd를 포함하는 불순물이 사용될 수 있지만, 층(104)을 제조하는데 이용된 p 타입 불순물은 아연이다. 예시적으로, 불순물 장벽 스파이크는 일루미늄 또는 AlAs와 같은 알루미늄 함유 재료이다. 특히, 이 예시적인 실시예에서, 알루미늄 스파이크(105)는 1nm 두께 정도의 얇은 알루미늄 층이다.

알루미늄 또는 알루미늄 함유 재료들의 이점은 여기서 상술된다. 알루미늄은 p 타입 층(104)으로부터 액티브 층(103)으로의 아연 확산에 대한 장벽을 제공한다. 하지만, 알루미늄은 InP 층(104)에서 도너 종(donor species)으로서 행동하지 않는다. 따라서, 스파이크(105)는 액티브 영역 바깥쪽에서의 바람직하지 못한 캐리어 재조합을 야기하는 기생 p-n 접합을 만들지 않는다. 출원인들은 스파이크(105) 및 p 타입 층(104) 사이의 계면이 층(104)으로부터 액티브 층으로 불순물들의 확산을 감소시키는데 또한 도움이 된다는 것을 더 이론화한다.

불순물 농도의 상당한 강하는 계면에서 일어난다. 부가적으로 스파이크(105)는 상대적으로 얇기(알루미늄의 경우에 1nm) 때문에 상술한 것 이외에 보다 두꺼운 종래의 확산 차단 층들 이상의 이점들을 갖는다. 예를 들어, 스파이크가 매우 얇기 때문에 그리고 Al(＞1.46eV)의 상대적으로 넓은 밴드갭으로 인해, Al 또는 Al 함유 스파이크들은 디바이스의 광 흡수를 부가하지 않는다. 이에 의해, 디바이스 흡수 특성들은 스파이크(105)에 의해 실질적으로 영향받지 않는다.

Al 또는 Al 함유 재료들이 본 발명의 불순물 확산 장벽 스파이크들로서 이용하기 위한 예시적인 재료들이지만, 다른 재료들도 명확히 본 발명과 일치하여 불순물 확산 장벽 스파이크로서 이용될 수 있다. 이는 특히 다른 Ⅲ-Ⅴ 반도체 재료들 및 불순물들이 광전자 디바이스를 제조하기 위해 이용되는 경우일 수 있다. 여하간, 본 발명의 불순물 확산 장벽 스파이크는 액티브 영역(104)으로 불순물의 확산을 차단하기 위한 적합한 재료로 이루어져 질 수 있고, 반면에 이것이 배치되는 도핑된 층에서 pn 접합을 만들지 않는다.

이제 도 2를 살펴보면, 본 발명의 또 다른 실시예가 도시된다. 도시된 기본적인 구조 및 재료들이 도 1에서 도시된 바와 같다. 기판(201)은 그 위에 n 타입 층(202), 액티브 층(203), 및 p 타입 층(204)을 갖는다. 205에 도시된 스파이크는 대략 100-1000Å 두께의 도핑되지 않은 InP 층(206)에 의해 분리된다. 스파이크의 수는 장벽의 다른 측 상의 층(또는 층들)에서 아연의 레벨에 의존한다. 예를 들어, $1.8\times10^{+18}cm^{-3}$의 아연 불순물 농도로, 각각이 이들 사이에 적합한 두께의 도핑되지 않은 InP 층을 갖는 1nm 정도인 6 개의 알루미늄 스파이크들을 갖는 InP층은 아연 확산을 위한 효과적인 장벽을 제공한다. 이 경우에 있어, 불순물 확산을 차단하기 위해 스파이크의 성능이외에, 출원인은 다시 스파이크들(205) 및 층들(204 및 206) 사이의 각 계면은 불순물의 확산을 차단하는데 도움이 된다고 믿는다. 도 2에 도시된 구조를 일으키는 예시적인 제조 순서에 대한 자세한 것은 아래에 상술한다.

마지막으로, 도 2에 도시된 실시예는 층(204)에서 특정 도핑 레벨을 위한 다수의 스파이크 구조의 예시이지만, 층(204)의 도핑 농도, 스파이크들의 수, 및 층(206)들 및 스파이크들(205) 사이의 계면들의 수에 따라 변할 수 있다.

도 3을 살펴보면, 메사 구조 광전자 디바이스에 이용된 본 발명의 예시적인 실시예가 도시된다. 공지된 바와 같이, 레이저와 같은 많은 반도체 발광 디바이스들은 광 및 캐리어의 제한을 위해 반-절연 전류 제한(또한, 매장 및 측면(burying and lateral)제한으로 불린) 층들(semi-insulating current confinement layers)들을 이용한다. 이러한 구조는 종종 매장형 헤테로구조 디바이스(buried heterostructure device)로서 불린다. 기판(301)은 그 위에 배치된 예시적으로 n도핑된 InP인

하측 클래딩층(302)을 갖는다. InGaAsP 또는 다른 적합한 3원 또는 4원 Ⅲ-Ⅴ 재료의 진성층(303)은 p 타입 InP의 상측 클래딩층(304)과 함께 층(302) 위에 배치된다. 측면 제한층들 또는 매장층(305)은 예시적으로 철(Fe) 도핑된 InP이다. 전기적 저항이 높고, 액티브 층(303)의 굴절율 보다 낮은 굴절율을 갖는 Fe 도핑된 InP는 전류 제한 및 가로방향 광 제한(transverse optical confinement)을 가능하게 한다. 본 발명의 확산 방지 장벽 스파이크들은 306 및 307에 도시된다. 306에 도시된 스파이크는 도 1 및 2와 관련하여 상술된 것과 실질적으로 동일하고, 상측 클래딩층(304)으로부터 진성층(303) 쪽으로 불순물들의 확산을 막는 역할을 한다. 장벽(306)은 도 1에 도시된 바와 같이 단일의 장벽 스파이크 또는 도 2에 도시된 다수의 장벽 스파이크들일 수 있다.

전체가 307로 도시된 장벽 스파이크는 또한 도 1과 관련하여 상술된 바와 같이 동일한 메커니즘에 의해 p-InP 층(304)으로부터 매장층(305)으로의 불순물 확산을 막는다. 또한, 스파이크들(307)은 반절연 철 도핑된 InP 층(305)으로부터 메사 구조로 철의 확산을 차단하는 역할을 한다. 이것은 명백히 바람직하지 못한데, 왜냐 하면 층들(302, 303, 304)로의 철의 확산은 이들 층들을 저항성으로 만들며, 이것은 명백히 바람직하지 못하기 때문이다. 스파이크들(307)은 층(304)으로부터 반-절연층(305)으로의 누설 전류를 감소시키도록 역할하며, 이는 전류 제한(current confinement)이 달성되어야 하는 경우 분명히 바람직하다. 또한, p 타입 클래딩층(304)으로부터 반절연 철 도핑된 층(305)으로 아연의 확산이 방지되기 때문에, 반-절연층(305) 및 p 타입 클래딩층(304)의 접합을 따라 기생 커패시턴스가 형성되는 경향이 현저히 감소된다.

도 3을 참조로, 불순물 장벽 스파이크를 내장하는 매장된 융기부를 갖는 예시적인 레이저 다이오드를 제조하기 위한 공정 단계들이 논의된다. 도 3의 예시적인 레이저와 관련되어 논의된 제조 기술들은 도 1 및 도 2에서 도시된 구조들을 제조하기 위해 이용될 수 있고, 도 1 및 도 2에 도시된 구조들의 제조에 관한 상세한 설명은 간략화하기 위해 생략된다.

도 3의 매장된 융기 레이저 다이오드의 제조는 공지된 기술에 의해 n-InP 층(302) 및 액티브 층(303)의 형성과 함께 시작한다. 액티브 영역 위에, 스파이크(306)(예시적으로 Al 및 AlAs와 같은 Al 함유 재료)가 제조된다. 예를 들어, 도핑된지 않은 InP와 같이 적절한 클래딩 재료층(309)가 액티브 층(303)과 스파이크(306)사이에 형성된다. 상기 층(309)은 다른것들 중에서도 MOCVD, 금속 유기 증기 상 에피택시(metal organic vapor phase epitaxy; MOVPE), 분자 빔 에피택시(Modecular beam epitaxy; MBE) 또는 액상 에피택시(liquid phase epitaxy; LPE)와 같은 표준 기술에 의해 제조될 수 있다. 스파이크(306)는 InP 층(309)을 형성하기 위해 이용된 상기 기술들 중 하나에 의해 다시 형성된다. 도 1 내지 도 3의 예시적인 실시예들에서, 스파이크는 예를 들어 두께가 대략 1nm인 Al 또는 AlAs일 수 있다. 하나 이상의 스파이크가 요구될 때, 예를 들어, 도 2의 구조에서(도 3에 도시되지 않음), 도핑되지 않은 InP의 연속적인 층들은 이것 위에 층(309) 및 스파이크(306)를 형성하기 위해 이용된 동일한 기술들에 의해 다시 배치된 스파이크를 갖는다.

마지막의 스파이크가 침착된 후, p 도핑된 층이 형성된다. 도 1 내지 도 3의 예시적인 실시예에서, 상기는 p-도핑된 InP이다. p-도핑된 InP 층(304)은 MOVPE, MOCVD 및 상술한 다른 기술들과 같은 종래의 기술들에 의해 제조된다. 적합한 불순물들은 InP 층(304)을 형성하는 동안 도입된다. 이들은 Zn Be, Cd 또는 Mg를 포함하지만 이것으로 제한되지 않는다.

이후에 전류 제한 층(305)을 갖는 메사 구조가 형성된다. SiO_2 또는 Si_3N_4와 같은 종래의 마스크(mask)는 층(304)의 위쪽 면 상에서 스트라이프(strip)로 형성된다. 계속해서, 다중 층상 구조(304, 303, 302)는 도 3에서 도시하는 바와 같이 메사 스트라이프를 만들기 위해 00n-InP 기판으로 하강하여 선택적으로 에칭된다. 반-절연 전류 차단층(305)은 MOVPE, MOCVD 및 다른 공지된 기술들과 같은 표준 기술들에 의해 제조된다. 스파이크(307)들은 도 1 내지 도 3의 실시예들과 관련해서 상술된 재료들로부터 형성된다. 또한, 스파이크(307)는 단일(도 3에 도시됨) 또는 다수의 스파이크(도 3에 도시되지 않음)로 될 수 있다. 다수의 스파이크들이 이용된다면, 이들은 층(301)과 동일한 도핑되지 않은 재료에 의해 분리되고, 동일한 기술에 의해 형성된다. 스파이크(307)들은 스파이크들(306)을 제조하기 위해 사용된 동일한 기술에 의해 형성된다. 다시, 층(310)은 InP와 같은 도핑되지 않은 재료의 얇은 층(100-1000Å)이다.

상술한 바와 같이, 본 발명은 다양한 광전자 디바이스들에 이용될 수 있다. 예시적인 디바이스는 제한됨이 없이 반도체 레이저들, 변조기 및 검출기들을 포함한다. 공지된 바와 같이, 이들 디바이스들에서 헤테로접합들이 이용된다. Ⅲ-Ⅴ 반도체들을 포함하기 위한 다양한 재료들이 본 발명의 헤테로구조를 제조하기 위해 이용될 수 있다. 예를 들어, 층들(102, 103, 104)로부터 헤테로구조를 형성하기 위해 이용될 수 있는 재료들은 제한됨이 없이 GaAs, GaP, InGaAsP, 및 InGaAs를 포함한다. 액티브 층은 단일 진성 또는 단일 양자 웰 층(single quantum well layer)을 통합할 수 있다. 또한, 초격자 구조들과 같은 다수의 헤테로접합 구조들 또는 다수의 양자 웰(MQW) 구조들은 액티브 층으로 이용될 수 있다는 것은 명백하다. 상기 열거된 것들을 포함하는 재료들 및 본 기술 분야의 당업자의 견지 내의 다른 재료들은 최대한으로 이용될 수 있다. 선택된 화학양론(stochiometry)뿐만 아니라 층들(102, 103 및 104)을 위해 선택된 특정 재료는 디바이스 응용 및 요구된 특

성에 따라 변한다, 이러한 재료 및 화학약론의 선택은 당업자의 견지 내에 있다. 상기 논의와 일치하므로, 이들 다양한 재료들은 다양한 불순물들을 이용할 수 있다. 스파이크의 수(number), 방향(orientation) 및 간격뿐만 아니라 스파이크들(105)을 위해 선택된 재료는 층들(102, 103, 104)을 위해 선택된 재료 및 여기에 이용된 불순물들에 따라 선택된다.

상술한 본 발명은 본 개시에 따른 이익을 갖는 당업자에게 변형예 및 변환예들이 쉽게 이해됨은 명백하다. 반도체에서 불순물 확산을 막기 위해 확산 장벽 스파이크들을 제조하기 위한 이러한 변형예들 및 변환예들이 바람직하지 못한 p-n 접합들의 악 영향을 피하는 한편 당업자에게 쉽게 이용 가능하다는 점에서, 이러한 것은 본 발명의 범위로 간주된다.

발명의 효과

스파이크는 층(layer)에서 pn 접합을 형성하지 않고 다른 층으로 불순물의 확산을 방지한다. 스파이크들은 예를 들어 알루미늄 또는 AlAs와 같은 알루미늄 함유 재료이고 1nm 정도의 두께를 갖는다. 본 발명의 스파이크들은 In계 PIN 디바이스들과 같은 여러 가지 Ⅲ-Ⅴ 반도체 구조들로 도핑층 외부로의 불순물 확산을 정지시키는데 이용될 수 있다.

도면의 간단한 설명

도 1은 확산 장벽 스파이크를 도시하는 본 발명의 예시적인 실시예의 단면도.

도 2는 다수의 확산 장벽 스파이크들을 도시하는 본 발명의 예시적인 실시예의 단면도.

도 3은 p 타입 영역 및 차단층들 사이에서뿐만 아니라 p 타입 영역에서 확산 방지 장벽 스파이크들을 갖는 메사 구조(mesa structure)의 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

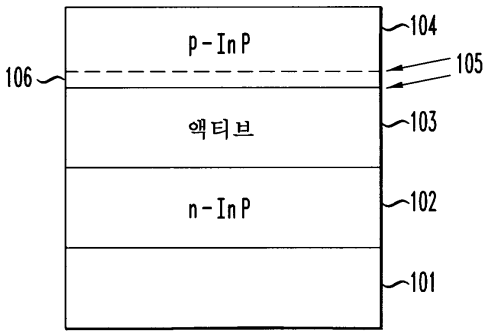
1. 101 : 기판 2. 102 : n-InP 층

3. 103 : 액티브 층 4. 104 : p-InP 층

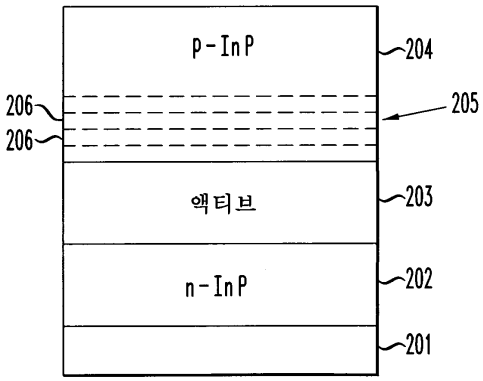
5. 105 : 액티브 층

도면

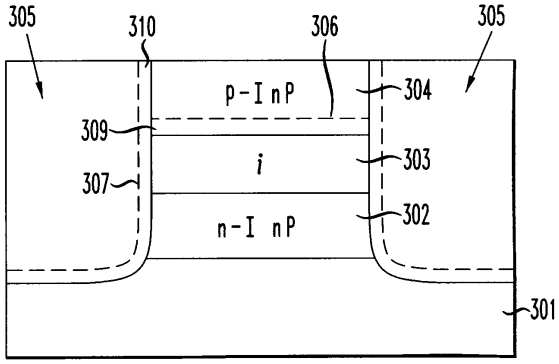
도면1



도면2


p-InP
204
206
206
205
액티브
203
n-InP
202
201

도면3


305
310
306
305
p-InP
304
309
i
303
307
n-I nP
302
301