

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6018692号  
(P6018692)

(45) 発行日 平成28年11月2日(2016.11.2)

(24) 登録日 平成28年10月7日(2016.10.7)

(51) Int.Cl.

F 1

G02F 1/1368 (2006.01)

G02F 1/1368

G02F 1/1343 (2006.01)

G02F 1/1343

G06F 3/041 (2006.01)

G06F 3/041 412

G06F 3/041 660

請求項の数 7 (全 19 頁)

(21) 出願番号

特願2015-248466 (P2015-248466)

(22) 出願日

平成27年12月21日 (2015.12.21)

(65) 公開番号

特開2016-126336 (P2016-126336A)

(43) 公開日

平成28年7月11日 (2016.7.11)

審査請求日

平成27年12月22日 (2015.12.22)

(31) 優先権主張番号

10-2014-0195970

(32) 優先日

平成26年12月31日 (2014.12.31)

(33) 優先権主張国

韓国 (KR)

早期審査対象出願

(73) 特許権者 501426046

エルジー ディスプレイ カンパニー リ  
ミテッド  
大韓民国 ソウル、ヨンドゥンポーク、ヨ  
ウィーテロ 128

(74) 代理人 110002077

園田・小林特許業務法人

(72) 発明者 ナム、ジホ

大韓民国 キョンギド 413-720,  
パジュシ, アドンドン, パームスプ  
リング アパートメント 118-210  
3

最終頁に続く

(54) 【発明の名称】 インセルタッチ液晶ディスプレイ装置及びその製造方法

(57) 【特許請求の範囲】

## 【請求項 1】

複数の画素領域のそれぞれに配置された TFT (Thin Film Transistor) と、

前記 TFT のソース電極と接続されたソースコンタクト部及びドレイン電極と接続されたドレインコンタクト部と、

前記ソースコンタクト部及びドレインコンタクト部上に配置された第 1 保護層及び第 2 保護層と、

前記第 2 保護層上に配置された共通電極と、

前記共通電極上に配置された第 3 保護層と、

前記共通電極と重畳されるように前記第 3 保護層上に配置された伝導性ラインと、

第 1 コンタクトホールにおいて前記ドレインコンタクト部と接続され前記第 3 保護層上に配置された画素電極及び、

第 1 側が前記伝導性ラインと直接接続し、第 2 側が前記第 3 保護層を貫通して前記共通電極と接続されたブリッジコンタクト部と、を含むインセルタッチ液晶ディスプレイ装置。

## 【請求項 2】

前記共通電極を露出させる第 2 コンタクトホールに前記ブリッジコンタクト部が配置され、前記ブリッジコンタクト部と前記共通電極が接続された請求項 1 に記載のインセルタッチ液晶ディスプレイ装置。

10

20

## 【請求項 3】

データラインと重畠された領域に、前記伝導性ラインと前記ブリッジコンタクト部の第1側が配置された請求項1に記載のインセルタッチ液晶ディスプレイ装置。

## 【請求項 4】

複数の画素領域のそれぞれに TFT (Thin Film Transistor) を形成する段階と、

前記 TFT のソース電極と接続されるソースコンタクト部及びドレイン電極と接続されるドレインコンタクト部を形成する段階と、

前記ソースコンタクト部及びドレインコンタクト部上に第1保護層及び第2保護層を形成する段階と、

前記第2保護層上に共通電極を形成する段階と、

前記共通電極上に第3保護層を形成する段階と、

前記第3保護層上の前記共通電極と重畠された領域に伝導性ラインを形成する段階と、

前記ドレインコンタクト部を露出させる第1コンタクトホールを形成し、前記第1コンタクトホール内部及び前記第3保護層上に画素電極を形成する段階及び、

第1側が前記伝導性ラインと直接接続し、第2側が前記第3保護層を貫通して前記共通電極と接続されるブリッジコンタクト部を形成する段階と、を含むインセルタッチ液晶ディスプレイ装置の製造方法。

## 【請求項 5】

前記ドレインコンタクト部と重畠された領域の前記第1保護層乃至前記第3保護層を除去して前記第1コンタクトホールを形成し、

前記共通電極と重畠された領域の前記第3保護層を除去して第2コンタクトホールを形成する請求項4に記載のインセルタッチ液晶ディスプレイ装置の製造方法。

## 【請求項 6】

前記第2コンタクトホールに前記ブリッジコンタクト部の第2側が配置され、前記ブリッジコンタクト部と前記共通電極が接続される請求項5に記載のインセルタッチ液晶ディスプレイ装置の製造方法。

## 【請求項 7】

同一物質及び同一マスクを利用した製造工程で、前記画素電極と前記ブリッジコンタクト部を形成し、

前記ブリッジコンタクト部がアイランドパターンで形成されて前記画素電極と接続されない請求項4に記載のインセルタッチ液晶ディスプレイ装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、画素電極トップ構造を有するインセルタッチ液晶ディスプレイ装置及びその製造方法に関するものである。

## 【背景技術】

## 【0002】

平板ディスプレイ装置の入力装置として、従来適用されていたマウスやキーボード又は携帯用電子機器の入力装置として適用されたキーパッドの代わりに、ユーザーが指やペンを用いてスクリーンに直接情報を入力できるタッチスクリーンが適用されている。このようなタッチスクリーンは、誰でも容易に操作できるという利点によって適用が拡大されている。

## 【0003】

このようなタッチスクリーンは、ナビゲーション (navigation) 、産業用端末、ノートパソコン、金融自動化機器、ゲーム機などのようなモニター；携帯電話機、MP3、PDA、PMP、PSP、携帯用ゲーム機、DMB受信機、タブレットPCなどのような携帯用端末；及び冷蔵庫、電子レンジ、洗濯機などのような家電製品；などに適用されている。

## 【0004】

タッチスクリーンが液晶パネルと結合される構造によって、液晶パネルのセル (cell) 内にタッチスクリーンが集積されるインセルタッチ方式 (In cell touch type)、液晶パネルのセル上部にタッチスクリーンが形成されるオンセルタッチ方式 (On cell touch type) 及びディスプレイパネルの外部にタッチスクリーンが結合されるアドオン方式 (Add on type) に分けられる。以下、タッチスクリーン (タッチパネル) と液晶パネルが結合されたものを‘タッチディスプレイ装置’と称する。

## 【0005】

図1は、タッチスクリーンが適用された従来技術によるタッチディスプレイ装置を示す図面である。図1(A)は、アドオン方式 (Add on type) のタッチディスプレイ装置を示しており、図1(B)は、モディファイドアドオン方式 (Modified add on type) のタッチディスプレイ装置を示しており、図1(C)は、ハイブリッド方式 (hybrid type) のタッチディスプレイ装置を示している。

10

## 【0006】

図1(A)のアドオン方式及び図1(B)のモディファイドアドオン方式のタッチディスプレイ装置は、TFT (Thin Film Transistor) アレイ基板1とカラーフィルターアレイ基板2を含む液晶パネル上部にタッチスクリーンが配置されている。タッチスクリーンには、タッチ駆動電極TXとタッチ受信電極RXが配列されている。この時、タッチ駆動電極TXとタッチ受信電極RXが互いに異なる層 (layer) に配置されることもできる。

20

## 【0007】

図1(C)のハイブリッド方式のタッチディスプレイ装置は、TFTアレイ基板1上にタッチ駆動電極TXが配置され、カラーフィルターアレイ基板2上にタッチ受信電極RXが配置されている。

## 【0008】

このような従来技術によるタッチディスプレイ装置は、液晶パネルとタッチスクリーンを別途に製造しなければならぬので、製造工程が複雑でコストが上昇する問題がある。

## 【0009】

最近になって、タッチディスプレイ装置の厚さを減少させ、製造コストを低減するためにタッチ電極 (タッチセンサ) を液晶パネルのセル内部に内蔵させるインセルタッチ (In cell touch) 液晶ディスプレイ装置が開発された。インセルタッチ液晶ディスプレイ装置は、液晶パネルのTFTアレイ基板に配置された共通電極をタッチセンサとして利用する。

30

## 【0010】

図2は、相互静電容量方式 (mutual capacitive type) のインセルタッチ液晶ディスプレイ装置を示す図面である。

## 【0011】

図2を参照すると、相互静電容量方式のインセルタッチ液晶ディスプレイ装置は、液晶パネル10のTFTアレイ基板に配列された共通電極をタッチ駆動電極TXとタッチ受信電極RXとして駆動させる。このような相互静電容量方式は、タッチ駆動ライン14とタッチ受信ライン12を液晶パネル10の左側及び右側ベゼル (bezel) 領域に配置することによってベゼル幅が増加する問題がある。

40

## 【0012】

図3は、共通電極トップ (Vcom top) 画素方式のインセルタッチディスプレイ装置の製造工程を概略的に示すものであり、製造工程に必要とされるマスクの数を示している。

## 【0013】

図3を参照すると、従来技術によるインセルタッチ液晶ディスプレイ装置は、画素の構造において共通電極が最上層に位置し、共通電極の下に画素電極が配置された共通電極ト

50

ップ( V com top )画素構造を適用している。

【 0 0 1 4 】

TFTのアクティプ層の材料として低温多結晶シリコン( L T P S : L o w T e m p e r a t u r e P o l y S i l i c o n )が利用され、共通電極トップ( V com top )画素構造が適用された従来技術によるインセルタッチ液晶ディスプレイ装置は製造工程に 11 個のマスクが必要とされ、これによる多数の細部工程を行うようになる。これにより、製造工程が複雑で製造コストが上昇する問題がある。

【 0 0 1 5 】

また、共通電極トップ( V com top )画素構造を適用すると、画素の境界部分での光透過率が高いためレッド、グリーン及びブルー画素間の混色が発生する問題がある。

10

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 6 】

本発明は、上述した問題を解決するためのものであって、画素電極トップ( p i x e l e l e c t r o d e top )構造のインセルタッチ液晶ディスプレイ装置及びその製造方法を提供することを技術的課題とする。

【 0 0 1 7 】

本発明は、上述した問題を解決するためのものであって、画素間の混色を防止できるインセルタッチ液晶ディスプレイ装置及びその製造方法を提供することを技術的課題とする。

20

【 0 0 1 8 】

本発明は、上述した問題を解決するためのものであって、インセルタッチ液晶ディスプレイ装置の製造に必要とされるマスクの数及び製造工程を減らすことを技術的課題とする。

【 0 0 1 9 】

本発明は、上述した問題解決するためのものであって、タッチディスプレイ装置の製造に必要とされるコストを低減させることを技術的課題とする。

【 0 0 2 0 】

上述した本発明の技術的課題以外にも、本発明の他の特徴及び利点が、以下において記述され、そのような記述及び説明から本発明の属する技術分野における通常の知識を有する者に明確に理解されることができるものである。

30

【課題を解決するための手段】

【 0 0 2 1 】

本発明の実施例に係るインセルタッチ液晶ディスプレイ装置は、複数の画素領域に TFT( T h i n F i l m T r a n s i s t o r )が配置されている。前記 TFT のソース電極と接続されたソースコンタクト部及びドレイン電極と接続されたドレインコンタクト部が配置されている。前記ソースコンタクト部及びドレインコンタクト部上に第 1 保護層及び第 2 保護層が配置されている。前記第 2 保護層上に共通電極が配置されており、前記共通電極上に第 3 保護層が配置されている。前記共通電極と重畠されるように前記第 3 保護層上に伝導性ラインが配置されている。第 1 コンタクトホールにおいて前記ドレインコンタクト部と接続された画素電極が前記第 3 保護層上に配置されている。第 1 側が前記伝導性ラインと直接接続し、第 2 側が前記第 3 保護層を貫通して前記共通電極と接続されたブリッジコンタクト部が配置されている。

40

【 0 0 2 2 】

本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法は、複数の画素領域に TFT( T h i n F i l m T r a n s i s t o r )を形成する。前記 TFT のソース電極と接続されるソースコンタクト部及びドレイン電極と接続されるドレインコンタクト部を形成する。前記ソースコンタクト部及びドレインコンタクト部上に第 1 保護層及び第 2 保護層を形成する。前記第 2 保護層上に共通電極を形成し、前記共通電極上に第 3 保護層を形成する。前記第 3 保護層上部のうち前記共通電極と重畠された領域に伝導性

50

ラインを形成する。前記ドレンインコンタクト部を露出させる第1コンタクトホールを形成し、前記コンタクトホール内部及び前記第3保護層上に画素電極を形成する。第1側が前記伝導性ラインと直接接続し、第2側が前記第3保護層を貫通して前記共通電極と接続されるブリッジコンタクト部を形成する。

【発明の効果】

【0023】

本発明は、画素電極トップ(pixel electrode top)構造のインセルタッチ液晶ディスプレイ装置及びその製造方法を提供することができる。

【0024】

本発明の実施例に係るインセルタッチ液晶ディスプレイ装置は、画素電極トップ(pixel electrode top)構造で形成されて画素間の混色を防止することができる。

【0025】

本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法は、インセルタッチ液晶ディスプレイ装置の製造に必要とされるマスクの数及び製造工程を減らすことができる。

【0026】

本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法は、インセルタッチ液晶ディスプレイ装置の製造に必要とされるコストを低減させることができる。

【0027】

上述した本発明の特徴及び効果以外にも、本発明の実施例を通じて本発明の他の特徴及び効果が新たに把握されることも可能である。

【図面の簡単な説明】

【0028】

【図1】タッチスクリーンが適用された従来技術によるタッチディスプレイ装置を示す図面である。

【図2】相互静電容量方式(mutual capacitive type)のインセルタッチ液晶ディスプレイ装置を示す図面である。

【図3】共通電極トップ(Vcom top)方式のインセルタッチディスプレイ装置の製造工程を概略的に示すものであり、製造工程に必要とされるマスクの数を示している。

【図4】本発明の実施例に係るインセルタッチ液晶ディスプレイ装置を示すものであり、TFTアレイ基板に配置された画素の断面構造を示している。

【図5】本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法を概略的に示すものであり、製造工程に必要とされるマスクの数を示している。

【図6】本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法を示す図面である。

【図7】本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法を示す図面である。

【図8】本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法を示す図面である。

【図9】本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法を示す図面である。

【図10】本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法を示す図面である。

【図11】本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法を示す図面である。

【図12】本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法を示す図面である。

【図13】本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法を示す図面である。

10

20

30

40

50

【図14】本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法を示す図面である。

【図15】タッチ電極とドライブIC (integrated circuit)を連結させる伝導性ラインの配列構造の一例を示す図面である。

【図16】タッチ電極とドライブIC (integrated circuit)を連結させる伝導性ラインの配列構造の他の例を示す図面である。

【発明を実施するための形態】

【0029】

明細書全体にわたって同一の参照番号は、ほぼ同一の構成要素を意味する。以下の説明において、本発明の核心構成と関連が無い場合及び本発明の技術分野において公知の構成と機能に関する詳細な説明は省略することができる。 10

【0030】

本発明の利点及び特徴、そしてそれらを達成する方法は、添付した図面とともに詳細に後述されている実施例を参照すると明確になる。しかし本発明は、以下に開示される実施例に限らず、互いに異なる多様な形態に具現され、単に本実施例は、本発明の開示が完全であるようにし、本発明の属する技術分野における通常の知識を有する者に発明の範囲を完全に知らせるために提供されるものであって、本発明は請求項の範囲によってのみ限定されるものである。

【0031】

本明細書における各図面の構成要素に参照番号を付加するにおいて、同一の構成要素に限っては、たとえ異なる図面上に表示されてもできるだけ同一の番号を有するようにしていることに留意すべきである。 20

【0032】

本発明の実施例を説明するための図面に開示された形状、大きさ、比率、角度、数などは例示的なものなので、本発明が図示した事項に限定されてはならない。明細書全体にわたって同一の参照番号は、同一の構成要素を意味する。また、本発明を説明するにおいて、関連した公示技術に関する具体的な説明が本発明の要旨を不要に分かりにくくしかねないと判断される場合、その詳細な説明は省略する。本明細書において記述される「含む」、「有する」、「行われる」などが使用される場合、「~だけ」が使用されない以上、他の部分が追加されることができる。構成要素を単数に表現した場合、特別に明示的な記載事項が無い限り、複数を含む場合を含む。 30

【0033】

構成要素を解釈するにおいて、別途の明示的記載が無くても誤差範囲を含むものと解釈する。

【0034】

位置関係に関する説明である場合、例えば、「~上に」、「~上部に」、「~下部に」、「~側に」などで二つの部分の位置関係が説明される場合、「直ぐに」又は「直接」が使用されない以上、二つの部分の間に一つ以上の他の部分が位置することもできる。

【0035】

時間関係に関する説明である場合、例えば、「~後に」、「~に次いで」、「~次に」、「~前に」などで時間的前後関係が説明される場合、「直ぐに」又は「直接」が使用されない以上、連続的でない場合も含むことができる。 40

【0036】

「少なくとも一つ」という用語は、一つ以上の関連項目から提示可能な全ての組み合わせを含むものと理解しなければならない。例えば、「第1項目、第2項目、及び第3項目のうちの少なくとも一つ」の意味は、第1項目、第2項目、または第3項目それだけではなく、第1項目、第2項目、及び第3項目のうちの二つ以上から提示できる全ての項目の組み合わせを意味する。

【0037】

第1、第2などが多様な構成要素を叙述するために使用されるが、これら構成要素は、

50

これら用語により制限されない。これら用語は、単に一つの構成要素を他の構成要素と区別するために使用するものである。したがって、以下で言及される第1構成要素は、本発明の技術的思想内で第2構成要素であることもできる。

【0038】

本発明の様々な実施例の各特徴が、部分的に、又は全体的に互いに結合又は組み合わせが可能で、技術的に多様な連動及び駆動が可能であり、各実施例が互いに独立的に実施可能であることができ、連関関係で共に実施することもできる。

【0039】

液晶ディスプレイ装置は、液晶層の配列を調節する方式に応じて、TN (Twisted Nematic) モード、VA (Vertical Alignment) モード、IPS (In Plane Switching) モード、FFS (Fringe Field Switching) モードなど、多様に開発されている。10

【0040】

そのうち、IPS モードと FFS モードは、下部基板上に画素電極と共通電極を配置し、画素電極と共通電極との間の電界によって液晶層の配列を調節する方式である。

【0041】

特に、IPS モードは、画素電極と共通電極を平行に交互に配列することによって、両電極間で水平電界を起こして液晶層の配列を調節する方式である。このような IPS モードは、画素電極と共通電極の上側部分において液晶層の配列が調節されないため、その領域で光の透過度が低下するという欠点がある。20

【0042】

このような IPS モードの欠点を解決するために考案されたものが FFS モードである。FFS モードは、前記画素電極と前記共通電極とを絶縁層を介在して離隔するように形成させる。

【0043】

一つの電極は板 (plate) 状またはパターン状で構成し、他の一つの電極はフィンガー (finger) 状に構成して、両電極間で発生するフリンジフィールド (Fringing Field) を通じて液晶層の配列を調節する方式である。

【0044】

本発明の実施例に係るインセルタッチ液晶ディスプレイ装置とその製造方法は、FFS モードの TFT (Thin Film Transistor) アレイ基板 (下部基板) 及びその製造のためのものであって、ユーザーのタッチを検出するタッチセンサを TFT アレイ基板 (下部基板) に内蔵した。30

【0045】

TFT アレイ基板には複数の画素が形成され、前記複数の画素各々は、互いに交差するデータライン (図示せず) とゲートライン (図示せず) によって画定される。前記データラインと前記ゲートラインが交差する領域ごとに画素が画定され、各画素には TFT が配置されている。

【0046】

以下では、添付した図面を参照して、本発明の実施例に係るインセルタッチ液晶ディスプレイ装置とその製造方法に関して説明する。40

【0047】

図4は、本発明の実施例に係るインセルタッチ液晶ディスプレイ装置を示すものであり、TFT アレイ基板に配置された画素の断面構造を示している。図4は、FFS (Fringe Field Switching) モードの TFT アレイ基板 (下部基板) 構造を示しており、複数の画素のうち一つの画素構造を図示している。図4においては、インセルタッチタイプでタッチセンサが TFT アレイ基板に内在化されたものを図示している。図4においては、画素電極トップ (pixel electrode top) 画素構造を図示している。

【0048】

10

20

30

40

50

図4においては、カラーフィルターアレイ基板（上部基板）、液晶層、バックライトユニット及び駆動回路部の図示は省略されている。駆動回路部は、タイミングコントローラー（T-con）、データドライバー（D-IC）、ゲートドライバー（G-IC）、センシングドライバー、バックライト駆動部、駆動回路に駆動電源を供給する電源供給部を含む。ここで、駆動回路部の全体又は一部はCOG（Chip On Glass）又はCOF（Chip On Flexible Printed Circuit、Chip On Film）方式で液晶パネル上に形成されることができる。

#### 【0049】

以下、図4を参照して、本発明の実施例に係るインセルタッチ液晶ディスプレイ装置に関する説明する。図4において、本発明の実施例に係るインセルタッチ液晶ディスプレイ装置のTFTアレイ基板の画素構造を図示している。

10

#### 【0050】

TFTアレイ基板は、グラス基板105、遮光層110（light shield layer）、バッファー層115（buffer layer）、ゲート絶縁層120（gate insulator）、層間絶縁層125（ILD：Inter Layer Dielectric）、ソースコンタクト部130、ドレインコンタクト部135、第1保護層140（PAS0）、第2保護層145（PAS1）、共通電極150（Common electrode）、第3保護層155（PAS2）、伝導性ライン160、画素電極170（Pixel electrode）、ブリッジコンタクト部175及びゲート電極G、アクティブ層ACT、ソース電極S、ドレインDで構成されたTFT（Thin Film Transistor）を含む。

20

#### 【0051】

グラス基板105上部において、TFTのアクティブ層ACTと対応される部分に遮光層110が配置されている。遮光層110は、不透明メタルで形成されていてアクティブ層ACTに光が照射されることを防止する。このような遮光層110は、モリブデン（Mo）又はアルミニウム（Al）で形成され、500～1,000オングストロームの厚さを有することができる。

#### 【0052】

遮光層110上には、バッファー層115が形成されている。バッファー層115は、SiO<sub>2</sub>、又はSiNx物質で形成され、2,000～3,000オングストロームの厚さを有することができる。

30

#### 【0053】

バッファー層115上部中において、遮光層110と重畠される領域にTFTのアクティブ層ACT、ソース電極S、ドレインDが配置されている。

#### 【0054】

アクティブ層ACT、ソース電極S、ドレインDを覆うようにゲート絶縁層120が配置されている。ゲート絶縁層120は、SiO<sub>2</sub>物質で形成されることができ、1,000～1,500オングストロームの厚さを有することができる。

#### 【0055】

一方、ゲート絶縁層120は、TEOS（Tetra Ethyl Ortho Silicate）又はMTO（Middle Temperature Oxide）をCVD（Chemical Vapor Deposition）で蒸着して形成されることもできる。

40

#### 【0056】

ゲート絶縁層120の上部において、アクティブ層ACTと重畠される領域にゲート電極Gが配置されている。この時、ゲート電極Gは、アルミニウム（Al）又はモリブデン（Mo）で形成され、2,000～3,000オングストロームの厚さを有することができる。このようにゲート絶縁層120下に配置されたアクティブ層ACT、ソース電極S、ドレイン電極Dとゲート絶縁層120上に配置されたゲート電極GでTFTが構成される。ここでTFTは、コプラナートップゲート（coplanar top gate）

50

構造で形成されている。

【0057】

ゲート絶縁層120及びTFTを覆うように層間絶縁層125が配置されている。層間絶縁層125は、 $\text{SiO}_2$ 又は $\text{SiN}_x$ 物質で形成されることができ、3,000~6,000オングストロームの厚さを有することができる。他の例として、層間絶縁層125は、 $\text{SiO}_2$ (3,000オングストローム)/ $\text{SiN}_x$ (3,000オングストローム)が積層された構造にも形成されることもできる。

【0058】

ゲート絶縁層120と層間絶縁層125を貫通してTFTのソース電極Sと接続されたソースコンタクト部130が配置されている。そして、ゲート絶縁層120と層間絶縁層125を貫通してTFTのドレイン電極Dと接続されたドレインコンタクト部135が配置されている。

10

【0059】

ソースコンタクト部130及びドレインコンタクト部135は、モリブデン(Mo)/アルミニウム(A1)/モリブデン(Mo)が積層された多層(multi layer)構造で形成されることができる。ソースコンタクト部130はデータラインと接続され、ドレインコンタクト部135は画素電極170と接続される。

【0060】

層間絶縁層125、ソースコンタクト部130及びドレインコンタクト部135を覆うように第1保護層140(PAS0)が配置されている。第1保護層140(PAS0)は、 $\text{SiO}_2$ 又は $\text{SiN}_x$ 物質で形成され、1,000~2,000オングストロームの厚さを有する。

20

【0061】

第1保護層140(PAS0)を覆うように第2保護層145(PAS1)が配置されている。第2保護層145(PAS1)は、フォトアクリル(photo acrylic)で形成され、2.0~3.0umの厚さを有する。

【0062】

第2保護層145(PAS1)の上部に共通電極150(Common electrode)が配置されている。共通電極150は、ITO(indium tin oxide)、IZO(indium zinc oxide)又はITZO(indium tin zinc oxide)のような透明伝導性物質で形成され、500~1,500オングストロームの厚さを有する。

30

【0063】

共通電極150を覆うように第3保護層155(PAS2)が配置されている。第3保護層155(PAS2)は、 $\text{SiO}_2$ 、又は $\text{SiN}_x$ 物質で形成され、2,000~3,000オングストロームの厚さを有することができる。

【0064】

第3保護層155(PAS2)上部において、共通電極150と対応される部分に伝導性ライン160が配置されている。伝導性ライン160は、モリブデン(Mo)又はアルミニウム(A1)で形成されることができ、1,500~2,000オングストロームの厚さを有することができる。一方、伝導性ライン160は、モリブデン(Mo)/アルミニウム(A1)/モリブデン(Mo)が積層された多層(multi layer)構造でも形成されることがある。

40

【0065】

ここで伝導性ライン160は、データラインと重畳されるように配置されるが、レッド、グリーン及びブルー画素のデータライン全てと重畳されるものではない。レッド画素のデータライン上にカラムスペーサが配置される場合、伝導性ラインは、グリーン画素のデータライン及びブルー画素のデータラインと重畳されるように配置されることがある。しかし、必ずしもこれに限定されるものではなく、伝導性ライン160はレッド、グリーン及びブルー画素のデータラインの中からいずれとも重畳されるように配置されることが

50

できる。

【0066】

ドレンインコンタクト部135と重畠された部分の第1保護層140(PAS0)、第2保護層145(PAS1)及び第3保護層155(PAS2)が除去されて第1コンタクトホールCH1が形成されている。

【0067】

第3保護層155(PAS2)上部と第1コンタクトホールCH1内部に画素電極170が配置される。画素電極170は、ITO(indium tin oxide)、IZO(indium zinc oxide)又はITZO(indium tin zinc oxide)のような透明伝導性物質で形成され、500~1,500オングス10トロームの厚さを有する。画素電極170は、フィンガー(finger)状に形成され、共通電極150と画素電極170の間にフリンジフィールドが形成されるようになる。

【0068】

共通電極150上部の第3保護層155(PAS2)の一部が除去されて第2コンタクトホールCH2が形成されている。第2コンタクトホールCH2は、共通電極150と重畠された領域に形成される。第2コンタクトホールCH2は、データライン及び伝導性ライン160と重畠されない。

【0069】

共通電極150と伝導性ライン160と対応される領域にブリッジコンタクト部175が配置されている。ブリッジコンタクト部175は、伝導性ライン160と第3保護層155の一部を覆うように配置されている。

【0070】

ここで、ブリッジコンタクト部175の第1側は、伝導性ライン160と直接接続(direct contact)されている。そして、ブリッジコンタクト部175の第2側は、第2コンタクトホールCH2内部に配置されて共通電極150と接続されている。したがって、ブリッジコンタクト部175は、共通電極150と伝導性ライン160を電気的に接続させる。

【0071】

ここで、ブリッジコンタクト部175は、画素電極170を形成する時、画素電極170と同一工程によって一緒に形成される。このようなブリッジコンタクト部175を通じて共通電極150と伝導性ライン160が電気的に接続される。ブリッジコンタクト部175は、アイランドパターンで配置されたものであり、画素電極170とブリッジコンタクト部175は互いに接続されない。

【0072】

伝導性ライン160は、複数の画素に配置された共通電極150と電気的に接続され、液晶パネル内においてデータラインの上部に配置される。伝導性ライン160は、液晶パネルでの上部において下部にバー(bar)形態に配置される。図15及び図16を参照すると、共通電極150と接続された伝導性ライン160各々は、リンクラインを通じてドライブIC190のチャンネルと接続される。

【0073】

このような伝導性ライン160により、共通電極150がタッチ期間(非表示期間)にタッチ電極として機能する。表示期間には、伝導性ライン160に共通電圧が供給される。そして、タッチ期間(非表示期間)には、伝導性ライン160を通じて共通電極にタッチ駆動信号を供給した後、伝導性ライン160を通じて共通電極に形成された静電容量をセンシングしてタッチの有無及び位置を検出するようになる。

【0074】

図4に図示していないが、TFTアレイ基板上には、複数のゲートライン及び複数のデータラインが相互交差するように形成されている。前記複数のゲートライン及び複数のデータラインが交差される領域にTFTが形成される。そして、各画素には、ストレージキャパシタが形成されている。

10

20

30

40

50

## 【0075】

従来技術においては、画素が共通電極トップ( *V com top* )構造で形成されていたが、本発明の実施例に係るインセルタッチ液晶ディスプレイ装置は、画素が画素電極トップ( *pixel electrode top* )構造で形成されている。これによって、本発明は、画素電極トップ( *pixel electrode top* )構造で画素が構成されたインセルタッチ液晶ディスプレイ装置を提供することができる。

## 【0076】

画素電極トップ( *pixel electrode top* )画素構造は、画素領域の中央部分の光透過率が高く、データラインの周辺では光透過率が低い特性を有する。したがって、本発明の実施例に係るインセルタッチ液晶ディスプレイ装置は、データラインの周辺で光透過率が低く形成されて画素間の混色を防止することができる。 10

## 【0077】

図5は、本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法を概略的に示したものであり、製造工程に必要とされるマスクの数を示している。本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法は、共通電極トップ方式対比画素電極トップ画素構造においてマスクの数を減らすことができる。

## 【0078】

図5に図示するように、10個のマスクを利用した製造工程を通じて、本発明の実施例に係るインセルタッチ液晶ディスプレイ装置を製造することができる。以下、図5と共に図6～図14を結びつけて、本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法を説明する。 20

## 【0079】

図6～図14は、本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法を示す図面である。

## 【0080】

図6を参照すると、ガラス基板105上に、モリブデン( *Mo* )のように光を遮断する金属物質を塗布して金属層を形成する。

## 【0081】

以後、第1マスクを利用したフォトリソグラフィ( *photolithography* )及び湿式エッチング( *etching* )工程を通じて前記金属層をパターニングしてTFT領域に遮光層110( *light shield* )を形成する。この時、遮光層110( *light shield* )は、500～1,000オングストロームの厚さで形成され、後続工程で形成されるTFTのアクティブ層ACTと並ぶように形成される。 30

## 【0082】

図6では、TFTアレイ基板のベースとしてガラス基板105が適用されたことを一例として示しているが、プラスチック基板がガラス基板105を代替することもできる。

## 【0083】

続いて、図7を参照すると、ガラス基板105上部に無機物、一例として、*SiO<sub>2</sub>*又は*SiNx*物質で遮光層110( *light shield* )を覆うようにバッファー層115を形成する。この時、バッファー層115は、2,000～3,000オングストロームの厚さを有することができる。 40

## 【0084】

以後、バッファー層115上部中において、低温多結晶シリコン( *LTPS: Low Temperature Poly Silicon* )を蒸着して半導体層を形成する。

## 【0085】

以後、第2マスクを利用したフォトリソグラフィ及び乾式エッチング工程を通じて前記半導体層をパターニングして、遮光層110( *light shield* )と重畠される領域にTFTのアクティブ層ACTを形成する。この時、前記アクティブ層ACTは、500～1,500オングストロームの厚さで形成される。

## 【0086】

続いて、図8を参照すると、アクティブ層ACTを覆うようにバッファー層115の上部にゲート絶縁層120を形成する。ゲート絶縁層120は、SiO<sub>2</sub>物質で形成され、1,000~1,500オングストロームの厚さを有することができる。

【0087】

一方、ゲート絶縁層120は、TEOS (Tetra Ethyl Ortho Silicate) 又はMTO (Middle Temperature Oxide) をCVD (Chemical Vapor Deposition) で蒸着して形成されるこどもできる。

【0088】

以後、ゲート絶縁層120の上部に金属物質を蒸着させた後、第3マスクを利用した10  
オトリソグラフィ及びエッチング工程を通じて前記金属物質をパターニングして、TFTのゲート電極Gを形成する。

【0089】

この時、ゲート電極Gは、アルミニウム(A1)又はモリブデン(Mo)で2,000~3,000オングストロームの厚さを有するように形成されることができ、ゲート絶縁層120の上部においてアクティブ層ACTと重畠される領域に形成される。このようなゲート電極Gは、ゲートラインと共に形成される。この時、ゲートラインは、液晶パネルにおいて第1方向(例として、横方向)に配列されることができる。

【0090】

ゲート電極Gをマスクで利用してアクティブ層ACTの外郭にP型またはN型の高濃度不純物をドーピングして、TFTのソース電極Sとドレイン電極Dを形成する。20

【0091】

ここで、ゲート電極Gを形成する時、湿式エッチング工程及び乾式エッチング工程を行うようになるが、湿式エッチング工程と乾式エッチング工程の間に、前記アクティブ層ACTにP型またはN型の不純物をドーピングすることもできる。

【0092】

このように、ゲート絶縁層120下に配置されたアクティブ層ACT、ソース電極S、ドレイン電極Dと、ゲート絶縁層120上に配置されたゲート電極GでTFTが構成される。ここでTFTは、コプラナートップゲート(coplanar top gate)構造で形成されている。30

【0093】

続いて、図9を参照すると、TFTとゲート絶縁層120を覆うように絶縁物質を蒸着して層間絶縁層125(ILD: Inter Layer Dielectric)を形成する。この時、層間絶縁層125は、SiO<sub>2</sub>又はSiNx物質で形成され、3,000~6,000オングストロームの厚さを有することができる。他の例として、層間絶縁層125は、SiO<sub>2</sub>(3,000オングストローム)/SiNx(3,000オングストローム)の構造にも形成されることもできる。

【0094】

以後、第4マスクを利用したエッチング工程を行い、TFTのソース電極Sと重畠された部分のゲート絶縁層120及び層間絶縁層125を除去する。これを通じて、TFTのソース電極Sを露出させるソースコンタクトホールSCHを形成する。これと共に、TFTのドレイン電極Dと重畠された部分のゲート絶縁層120及び層間絶縁層125を除去する。これを通じて、TFTのドレイン電極Dを露出させるドレインコンタクトホールDCHを形成する。40

【0095】

続いて、図10を参照すると、層間絶縁層125上に金属物質を塗布して金属層を形成する。

【0096】

以後、第5マスクを利用したオトリソグラフィ及びエッチング工程を通じて前記金属層をパターニングして、複数の画素にデータ電圧を供給する複数のデータラインDLを形50

成する。これと共に、前記ソースコンタクトホールS C H及びドレインコンタクトホールD C Hに金属物質を埋設してソースコンタクト部130及びドレインコンタクト部135を形成する。即ち、データラインとソースコンタクト部130及びドレインコンタクト部135は、同一マスク工程で形成される。この時、データラインD Lは、液晶パネルにおいて第2方向(例として、縦方向)に配列されることができる。

【0097】

データラインD L、ソースコンタクト部130及びドレインコンタクト部135は、アルミニウム(A1)又はモリブデン(Mo)で形成され、2,000~3,000オングストロームの厚さを有する。

【0098】

続いて、図11を参照すると、層間絶縁層125上に第1保護層140(PAS0)を形成する。第1保護層140は、層間絶縁層125、ソースコンタクト部130及びドレインコンタクト部135を覆うように配置される。第1保護層140(PAS0)は、SiO<sub>2</sub>又はSiNx物質で形成され、1,000~2,000オングストロームの厚さを有する。

【0099】

以後、第6マスクを利用した工程を行い、第1保護層140(PAS0)を覆うように第2保護層145(PAS1)を形成する。第2保護層145(PAS1)は、フォトアクリル(photo acryl)で形成され、2.0~3.0umの厚さを有する。

【0100】

ドレインコンタクト部135と重畠される部分には、第2保護層145(PAS1)が形成されない。後続工程において、第2保護層145(PAS1)が形成されていない部分にドレインコンタクト部135と画素電極がコンタクトする第1コンタクトホールCH1が形成されるようになる。この時、第1保護層140(PAS0)は、除去せずにそのまま残す。

【0101】

続いて、図12を参照すると、第2保護層145(PAS1)の上に透明伝導性物質を塗布する。以後、第7マスクを利用したフォトリソグラフィ及びエッチング工程を行い、第2保護層145(PAS1)の上部に共通電極150(Common electrode)を形成する。

【0102】

ここで、共通電極150は、ITO(indium tin oxide)、IZO(indium zinc oxide)又はITZO(indium tin zinc oxide)のような透明伝導性物質で形成され、500~1,500オングストロームの厚さを有する。

【0103】

続いて、図13を参照すると、共通電極150を覆うように第3保護層155を形成する。第3保護層155(PAS2)は、SiO<sub>2</sub>又はSiNx物質で形成され、2,000~3,000オングストロームの厚さを有することができる。

【0104】

以後、第3保護層155上部に金属物質を塗布する。以後、第8マスクを利用したエッチング工程を行い、伝導性ライン160を形成する。第3保護層155(PAS2)上部において、共通電極150と対応される部分に伝導性ライン160を形成する。

【0105】

伝導性ライン160は、モリブデン(Mo)又はアルミニウム(A1)で形成されることができ、1,500~2,000オングストロームの厚さを有することができる。一方、伝導性ライン160は、モリブデン(Mo)/アルミニウム(A1)/モリブデン(Mo)が積層された多層(multi layer)構造で形成されることもできる。

【0106】

ここで伝導性ライン160は、データラインD Lと重畠されるように形成され、液晶パ

10

20

30

40

50

ネル内で縦方向に隣接した画素の共通電極 150 を連結させる。伝導性ライン 160 が、レッド、グリーン及びブルー画素のデータラインの全てと重畠されるものではない。レッド画素のデータライン上にカラムスペーサが配置される場合、伝導性ラインは、グリーン画素のデータライン及びブルー画素のデータラインと重畠されるように配置されることができる。しかし、必ずしもこれに限定されるものではなく、伝導性ライン 160 はレッド、グリーン及びブルー画素のデータラインの中からいずれとも重畠されるように配置されることができる。

#### 【0107】

続いて、第9マスクを利用したフォトリソグラフィ及びエッチング工程を行い、ドレインコンタクト部 135 と重畠された部分の第1保護層 140 (PAS0) 及び第3保護層 155 (PAS2) を除去する。これを通じて、ドレインコンタクト部 135 を露出させる第1コンタクトホール CH1 を形成する。

#### 【0108】

これと共に、前記第9マスクを利用したフォトリソグラフィ及びエッチング工程を通じて、共通電極 150 と重畠された部分の第3保護層 155 (PAS2) を除去する。これを通じて、共通電極 150 の一部を露出させる第2コンタクトホール CH2 を形成する。

#### 【0109】

ここで、第2コンタクトホール CH2 は、共通電極 150 と重畠された領域に形成される。第2コンタクトホール CH2 は、データライン及び伝導性ライン 160 と重畠されない。

#### 【0110】

このように、第9マスクを利用したフォトリソグラフィ及びエッチング工程を通じて、第1コンタクトホール CH1 及び第2コンタクトホール CH2 を一度で形成する。

#### 【0111】

ここで、第1コンタクトホール CH1 は、TFT のドレイン電極 D と画素電極を電気的に接続させるためのものである。そして、第2コンタクトホール CH2 は、共通電極 150 と伝導性ライン 160 を電気的に接続させるためのものである。

#### 【0112】

続いて、図14を参照すると、第3保護層 155 (PAS2) 上部と伝導性ライン 160 上に透明伝導性物質を塗布する。以後、第10マスクを利用したフォトリソグラフィ及びエッチング工程を行い、第3保護層 155 (PAS2) 上部と第1コンタクトホール CH1 内部に画素電極 170 (pixel electrode) を形成する。画素電極 170 は、第1コンタクトホール CH1 内部でドレインコンタクト部 135 と接続され、TFT のドレイン電極 D と画素電極 170 が電気的に接続される。

#### 【0113】

ここで、画素電極 170 は、ITO (indium tin oxide)、IZO (indium zinc oxide) 又はITZO (indium tin zinc oxide) のような透明伝導性物質で形成され、500~1,500 オングストロームの厚さを有する。画素電極 170 は、フィンガー (finger) 状に形成され、共通電極 150 と画素電極 170 の間にフリンジフィールドが形成されるようになる。

#### 【0114】

これと共に、画素電極 170 を形成する時、共通電極 150 と伝導性ライン 160 と対応される領域にブリッジコンタクト部 175 を形成する。ブリッジコンタクト部 175 は、伝導性ライン 160 と第3保護層 155 の一部を覆うように形成される。

#### 【0115】

ここで、ブリッジコンタクト部 175 の第1側は、伝導性ライン 160 と直接接続 (direct contact) される。そして、ブリッジコンタクト部 175 の第2側は、第2コンタクトホール CH2 内部に形成され、共通電極 150 と接続される。したがって、ブリッジコンタクト部 175 は、共通電極 150 と伝導性ライン 160 を電気的に接続させる。ブリッジコンタクト部 175 は、アイランドパターンで形成されたものあり

10

20

30

40

50

、画素電極 170 とプリッジコンタクト部 175 は、互いに接続されない。

【0116】

共通電極 150 と伝導性ライン 160 の間には、第 3 保護層 155 (PAS2) が形成されていて直接接続されないが、プリッジコンタクト部 175 が第 2 コンタクトホール CH2 に形成されると共に、伝導性ライン 160 上に接続されており、共通電極 150 と伝導性ライン 160 を電気的に接続させる。

【0117】

本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法は、画素を画素電極トップ (pixel electrode top) 構造に形成することができる。画素電極トップ (pixel electrode top) 画素構造は、画素領域の中央部分の光透過率が高く、データラインの周辺では光透過率が低い特性を有する。したがって、本発明の実施例に係るインセルタッチ液晶ディスプレイ装置は、画素間の混色を防止することができる。

10

【0118】

また、本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法は、インセルタッチ液晶ディスプレイ装置の製造に必要とされるマスクの数及び製造工程を減らすことができる。

【0119】

従来技術のインセルタッチ液晶ディスプレイ装置の製造方法は、TFT アレイ基板の製造に 11 個のマスクが必要であった。一方、本発明の実施例に係るインセルタッチ液晶ディスプレイ装置の製造方法は、10 個のマスクで TFT アレイ基板を製造することができ、従来技術に比べてマスクの数を減らすことができる。また、細部工程を減らすことができ、製造時間及び製造コストを低減させることができる。

20

【0120】

図 15 は、タッチ電極とドライブ IC (integrated circuit) を連結させる伝導性ラインの配列構造の一例を示す図面であり、図 16 は、タッチ電極とドライブ IC (integrated circuit) を連結させる伝導性ラインの配列構造の他の例を示す図面である。

【0121】

図 15 及び図 16 においては、本発明のインセルタッチ液晶ディスプレイ装置のタッチ電極及び伝導性ラインがセルフ静電容量インセルタッチ (self capacitive in cell touch) 方式で配列されたものを図示している。

30

【0122】

図 15 及び図 16 を参照すると、本発明の実施例に係るインセルタッチ液晶ディスプレイ装置は、液晶パネルのアクティブ領域内部に複数の伝導性ライン 160 を形成し、伝導性ライン 160 がデータラインと重畳され垂直に配列される。したがって、伝導性ライン 160 のルーティングによりベゼル (bezel) 面積が増加する問題が発生しない。

【0123】

一例として、図 15 に図示するように、伝導性ライン 160 が共通電極 150 と接続された部分から始まり、アクティブ領域の下段まで配置されることができる。他の例として、図 16 に図示するように、伝導性ライン 160 がアクティブ領域の上段から下段まで配置されることができる。伝導性ライン 160 をアクティブ領域の上段から下段まで形成すると、伝導性ライン 160 のルーティングによる静電容量 (capacitance) 値が均一になりタッチセンシングの正確度を高めることができる。

40

【0124】

本発明の属する技術分野の当業者は上述した本発明がその技術的思想や必須的特徴を変更せず、他の具体的な形態で実施可能であるということを理解することができる。したがって、以上で記述した実施例は全ての面で例示されたものであり、限定的でないものと理解すべきである。

【0125】

50

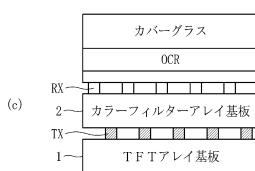
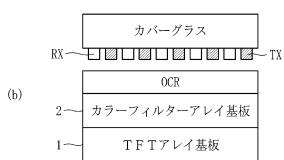
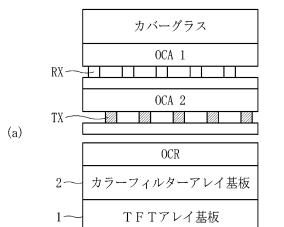
本発明の範囲は、上記の詳細な説明よりは後述する特許請求の範囲によって示され、特許請求の範囲の意味及び範囲、そしてその等価概念から導かれる全ての変更又は変形された形態が本発明の範囲に属するものと解釈しなければならない。

【符号の説明】

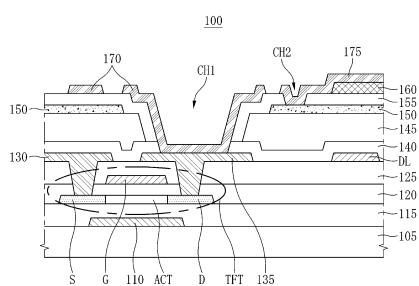
【0126】

100	インセルタッチ液晶ディスプレイ装置	
105	グラス基板	
110	遮光層	
115	バッファー層	10
120	ゲート絶縁層	
125	層間絶縁層	
130	ソースコンタクト部	
135	ドレインコンタクト部	
140	第1保護層	
145	第2保護層	
150	共通電極	
155	第3保護層	
160	伝導性ライン	
170	画素電極	
175	ブリッジコンタクト部	20
190	ドライブI C	
TFT	T h i n   F i l m   T r a n s i s t o r	
G	ゲート電極	
ACT	アクティブ層	
S	ソース電極	
D	ドレイン電極	

【図1】



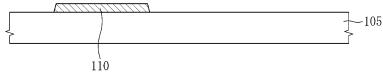
【図4】



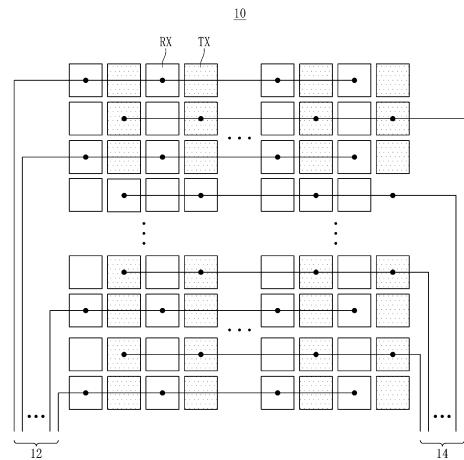
【図5】

＜画素電極トップ構造：10マスク＞	
マスク	層
1	遮光層
2	アクティブ層
3	ゲート層
4	S/Dコンタクトホール
5	ソース/ドレイン層
6	第2保護層
7	画素電極
8	伝導性ライン
9	第1保護層/第3保護層
10	画素電極

【図6】



【図2】

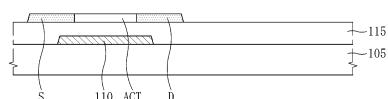


【図3】

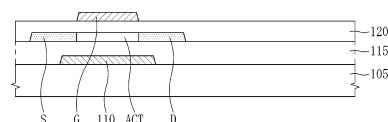
&lt;共通電極トップ構造：11マスク&gt;

マスク	層
1	遮光層
2	アクティブ層
3	ゲート層
4	S/Dコンタクトホール
5	ソース/ドレイン層
6	第1保護層
7	第2保護層
8	画素電極
9	伝導性ライン
10	第3保護層
11	共通電極

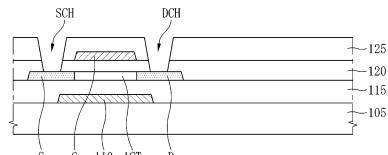
【図7】



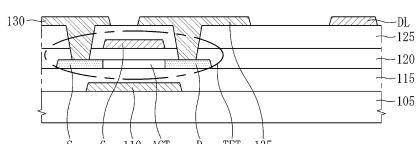
【図8】



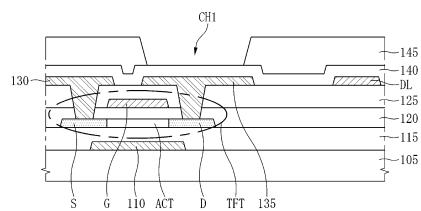
【図9】



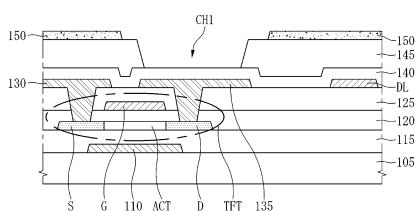
【図10】



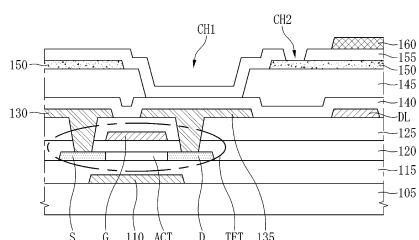
【図11】



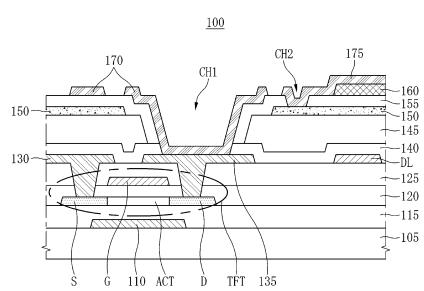
【図12】



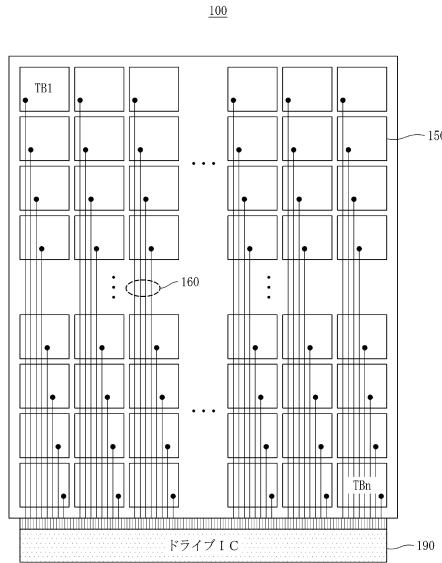
【図13】



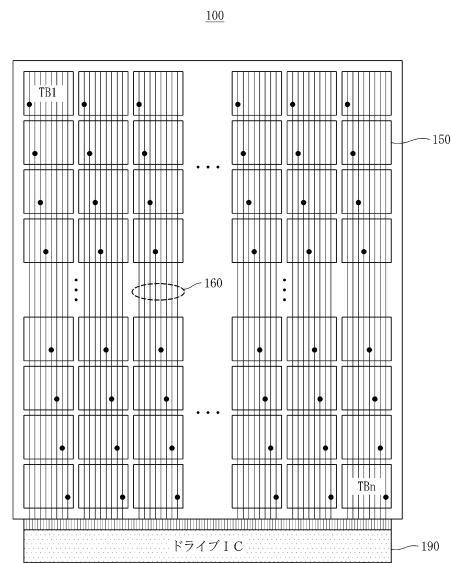
【図14】



【図15】



【図16】



---

フロントページの続き

(72)発明者 ウ， ユンファン

大韓民国 ソウル 135-240, カンナムグ, ケポドン, ジュゴン アパートメント  
208-302

審査官 磯崎 忠昭

(56)参考文献 特開2015-206829 (JP, A)

特開2015-206830 (JP, A)

韓国公開特許第10-2014-0004887 (KR, A)

韓国公開特許第10-2014-0085994 (KR, A)

(58)調査した分野(Int.Cl., DB名)

G 02 F 1 / 1368

G 02 F 1 / 1343

G 06 F 3 / 041