(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3733582号

(P3733582)

(45)発行日　平成18年1月11日(2006.1.11)　(24)登録日　平成17年10月28日(2005.10.28)

(51)Int.Cl.		F I		
G09G 3/30	(2006.01)	G09G	3/30	J
G09G 3/20	(2006.01)	G09G	3/20	611D
H05B 33/12	(2006.01)	G09G	3/20	624B
H01L 51/50	(2006.01)	G09G	3/20	670E
		H05B	33/12	E

請求項の数 3　(全 8 頁)　最終頁に続く

(21)出願番号　特願平11-208244
(22)出願日　平成11年7月22日(1999.7.22)
(65)公開番号　特開2001-34231(P2001-34231A)
(43)公開日　平成13年2月9日(2001.2.9)
審査請求日　平成15年9月25日(2003.9.25)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100079108
弁理士　稲葉　良幸
(74)代理人　100080953
弁理士　田中　克郎
(74)代理人　100093861
弁理士　大賀　眞司
(72)発明者　木村　睦
長野県諏訪市大和３丁目３番５号
セイコーエプソン株式会社内

審査官　橋本　直明

最終頁に続く

(54)【発明の名称】ＥＬ表示装置

(57)【特許請求の範囲】

【請求項１】

複数の画素が行列状に配列され、各行の画素列が順次に駆動される順次走査型のＥＬ表示装置であって、

前記画素は、互いに平行に一方向に延在する複数の走査線と各走査線の延在方向と交差する複数のデータ線とによって画定される複数の領域に配置され、

該画素の領域には、

一端が第１の電源に接続されるＥＬ発光素子と、

ソース・ドレイン領域のうち一方の領域が第１のデータ線に、他方の領域がキャパシタを介して第２の電源に、ゲートが第１の走査線にそれぞれ接続される一導電型の第１のトランジスタと、

ソース・ドレイン領域のうち一方の領域が第２の走査線に、他方の領域が前記ＥＬ発光素子の他端に、ゲートが前記第１のトランジスタの他方の領域にそれぞれ接続される一導電型の第２のトランジスタと、

ソース・ドレイン領域のうち一方の領域が前記第２の電源に、他方の領域が前記ＥＬ発光素子の他端に、ゲートが前記第１のトランジスタの他方の領域にそれぞれ接続される他導電型の第３のトランジスタとが形成されている、

ことを特徴とするＥＬ表示装置。

【請求項２】

前記第２の走査線が隣接画素列の走査線である、請求項１に記載のＥＬ表示装置。

【請求項３】
前記第２及び第３のトランジスタは互いに相補的に動作する、請求項１又は２に記載のＥＬ表示装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、ＥＬ(electro luminescence)表示装置の改良に関し、特に、電流リークによる非選択画素の発光を防止したＥＬ表示装置に関する。
【０００２】
【従来の技術】
ＥＬ表示装置の構成について図７を参照して説明する。同図は、ＥＬ装置を断面図によって概略説明する説明図であり、大別して、基板１、画素の発光を制御する回路が形成された集積回路層２及びＥＬ発光画素をマトリクス状に配列して形成した表示画素形成層３によって構成される。
【０００３】
基板１は、発光層の光を透過させる透明なガラス基板である。集積回路形成層２は、指定された配置位置（アドレス）の各画素を点灯させるスイッチ回路Ｓ群からなる選択回路等を集積している。表示画素形成層３は、集積回路形成層２上にＩＴＯ膜をパターニングして形成し、マトリクス状に配列された複数の透明な画素電極（陽極）３４と、この画素電極３４及び集積回路形成層２上に堆積された正孔輸送層３１と、この正孔輸送層３１上に有機ＥＬを堆積して形成された発光層３２と、更に、この発光層３２上に形成された陰極３３によって構成されている。
【０００４】
かかる構成において、図示しないデコーダの出力により、例えば、選択回路のスイッチ回路S_nが閉成する。それにより、電源Ｅが画素電極３４に印加され、電流I_aが画素電極３４から陰極３３に向って流れる。画素電極３４と陰極３３間の有機ＥＬ発光層３２が発光する。発光層３２で発生した光は、透明な画素電極３４、集積回路形成層２及びガラス基板１を通過して外部に放射される。また、閉成しないスイッチ回路S_{n+1}が接続された画素電極３４と陰極間３２には、発光に必要な電圧が印加されず、両者に挟まれた発光層３２は発光しない。このようにして、マトリクス状に配置された各画素の発光を個別に制御することによって二次元画像が形成される。
【０００５】
【発明が解決しようとする課題】
しかしながら、上述した構成のＥＬ表示装置では、発光層３２が各画素毎に独立した領域として形成されていない。発光層３２は高抵抗であり、正孔輸送層３１は低抵抗であるので、発光画素の駆動電流I_aの一部が消灯している隣接画素にリーク電流i_0として流れ込む。それにより、一部の画素電極３４の電位が高くなり、本来非発光（オフ）であるべき画素部分から（弱い）発光が生じるという不具合がある。これは、コントラスト低下、輪郭のぼけの原因となる。
【０００６】
よって、本発明は、隣接画素の発光によって非発光であるべき画素が発光しないようにしたＥＬ表示装置を提供することを目的とする。
【０００７】
【課題を解決するための手段】
上記目的を達成するため本発明のＥＬ表示装置は、複数の画素が行列状に配列され、各行の画素列が順次に駆動される順次走査型のＥＬ表示装置において、
上記画素は、互いに平行に一方向に延在する複数の走査線と、各走査線の延在方向と交差する複数のデータ線とによって画定される複数の領域に配置され、
該画素の領域には、一端が第１の電源に接続されるＥＬ発光素子と、ソース・ドレイン領域のうち一方の領域が第１のデータ線に、他方の領域がキャパシタを介して第２の電源

に、ゲートが第１の走査線にそれぞれ接続される一導電型の第１のトランジスタと、ソース・ドレイン領域のうち一方の領域が第２の走査線に、他方の領域が上記ＥＬ発光素子の他端に、ゲートが上記第１のトランジスタの他方の領域にそれぞれ接続される一導電型の第２のトランジスタと、ソース・ドレイン領域のうち一方の領域が上記第２の電源に、他方の領域が上記ＥＬ発光素子の他端に、ゲートが上記第１のトランジスタの他方の領域にそれぞれ接続される他導電型の第３のトランジスタとが形成されている、ことを特徴とする。

【０００８】

また、上記第２の走査線が隣接画素列の走査線であり、上記第２及び第３のトランジスタは互いに相補的に動作する。

【０００９】

かかる構成とすることによって、非発光であるべきＥＬ発光素子の電位を強制的に非発光レベルにクランプする回路を少ない素子数及び配線数で画素領域内に形成することが可能となる。これにより、画素の開口効率の向上を図ることが可能となる。

【００１０】

好ましくは、上記画素の各々は、互いに平行に一方向に延在する複数の走査線と、各走査線の延在方向と直交する複数のデータ線と、上記複数の走査線と上記複数のデータ線とによって画定される複数の領域内に、マトリクス状に配置されて各行毎に表示情報が更新され、電位印加用バス配線として、前行の画素列が接続されるデータ線が使用される。

【００１１】

こうすることにより、ライン走査型の表示を行うＥＬ表示器においては、選択された走査線以外の走査線は制御信号が非発光（消灯）レベルであるので選択された走査線の前又は後の行の走査線をクランプ電位として利用することが可能である。それにより、バス配線が減少して画素電極面積を増加することが可能となり、開口効率が向上する。配線の減少により歩留りの向上も期待出来る。

【００１２】

【実施の形態】

以下、本発明の実施の形態について、図面を参照して説明する。図１は、本発明の実施の形態に関連する参考例を説明する説明図である。

【００１３】

同図において、ＥＬ表示装置は基板１、画素の発光を制御する回路が形成された集積回路層２及びＥＬ発光画素をマトリクス状に二次元配列して形成した表示画素形成層３によって構成される。基板１は、発光層の光を透過させる透明なガラス基板である。また、集積回路形成層２は、指定された配置位置（アドレス）の各画素を点灯させるスイッチ回路Ｓ群からなる選択回路等を集積している。そして、表示画素形成層３は、集積回路形成層２上にＩＴＯ膜をパターニングして形成され、マトリクス状に配列された複数の透明な画素電極（陽極）３４と、この画素電極３４及び集積回路形成層上に堆積された正孔輸送層３１と、この正孔輸送層３１上に有機ＥＬを堆積して形成された発光層３２と、更に、この発光層３２上に形成された陰極３３と、によって構成されている。このように、積層形成された表示画素形成層３の一画素分は単位表示画素に相当する。

【００１４】

そして、表示画素の発光を制御する集積回路形成層２の各表示画素を作動させるスイッチ回路Ｓを、作動時に信号を中継する常開接点及び非作動時に信号を中継する常閉接点の相補的な出力を発生する相補スイッチ回路としている。各相補スイッチ回路の常開接点側には、電源回路から発光層を活性化させるに十分な第１の電位として、例えば、高電圧V_Hが供給される。常閉接点側には、電源回路から発光層を非活性化させるに十分な電位として、例えば、低電圧V_Lが供給される。図示しないデコーダによって発光すべき画素が選択され、該当する１つ若しくは複数の相補スイッチ回路に制御信号が供給される。制御信号が供給された相補スイッチ回路は、出力を常開接点側に切替え、発光層を活性化させる高電圧V_Hを選択して画素電極に供給する。それにより、選択された表示画素は発光する

。また、選択されない画素では、相補スイッチ回路は、常閉接点側のレベルの中継を維持し、発光層を非活性化させる低電圧V_Lを画素電極に供給する。従って、選択されていない表示画素の画素電極の電位（あるいは電圧）は強制的にV_Lになされ、画素電極の電位の浮動状態は回避される。それにより、比較的に低抵抗である正孔輸送層３を流れる電流を制御可能となる。また、画素電極からの電流リークによる発光が抑制される。発光画素が非発光画素に与える影響が減少する結果、画素同士をより近接して配置することが可能となり、画素密度を高めることが可能となる。相補スイッチ回路の常開接点側回路は、単位表示画素を発光させる選択回路に相当し、常閉接点側回路は、単位表示画素を発光させない発光抑止回路に相当する。なお、同等の機能を発揮すれば、相補スイッチ回路によらずとも良いものである。

【００１５】

図２は、１画素分の相補スイッチ回路Ｓの構成例を示している。同図においてトランジスタQ_1乃至Q_4はＮ型のＴＦＴである。同図の左側上下方向に高電位バスラインB_H、低電位バスラインB_L、が配置される。右側上下方向には、相補的な信号が供給されるデータ線x_n，／x_n、下側左右方向には走査線y_nが配置される。データ線x_n，／x_n、走査線y_nは、図示しないデコーダによって駆動される。同図において、トランジスタQ_1のソース・ドレイン領域の一方はＥＬ発光素子の陽極（画素電極）Ａに接続される。他方は高電位バスラインB_Hに接続される。トランジスタQ_2のソース・ドレイン領域の一方はＥＬ発光素子の陽極Ａに接続される。他方は、低電位バスラインB_Lに接続される。高電位バスラインB_H及びデータ線x_n相互間に、電位保持のためのキャパシタC_1及びトランジスタQ_3が直列に接続される。キャパシタC_1及びトランジスタQ_3の接続点はトランジスタQ_1のゲートに接続される。また、低電位バスラインB_L及びデータ線／x_n相互間に、電位保持のためのキャパシタC_2及びトランジスタQ_4が直列に接続される。キャパシタC_2及びトランジスタQ_4の接続点はトランジスタQ_2のゲートに接続される。トランジスタQ_3及びQ_4の各ゲートは走査線y_nに接続される。

【００１６】

かかる構成において、選択された配列の発光素子EL_nを発光させる場合には、デコーダは、選択された行の走査線y_nを、トランジスタQ_3、Q_4を導通させる「Ｈ」レベルに設定する。また、データ線x_n，／x_nをそれぞれトランジスタQ_1を導通させる「Ｈ」レベル、トランジスタQ_2を非導通とする「Ｌ」レベルに設定する。走査線y_nが「Ｈ」レベルとなることによって、トランジスタQ_3及びQ_4は共に導通する。それにより、データ線x_n及び／x_nの各電位によってそれぞれキャパシタC_1及びC_2が充電されて対応する電位が次回走査（書込み）まで保持される。また、トランジスタQ_1及びQ_2の各ゲートをそれぞれ「Ｈ」レベル、「Ｌ」レベルに設定する。トランジスタQ_1は導通し、高電位バスラインB_Hの電位V_Hを陽極Ａに印加し、動作電流を供給する。トランジスタQ_2は非導通であり、低電位バスラインB_Lの電位V_Lの陽極Ａへの中継は遮断される。発光素子EL_nに高電位バスラインB_Hから高電圧V_Hが画素電極に印加されることによって発光素子EL_nは発光する。

【００１７】

一方、選択された行の発光素子EL_nを発光させない場合には、デコーダは、データ線x_n，／x_nをそれぞれトランジスタを非導通にさせる「Ｌ」レベル、導通にさせる「Ｈ」レベルに設定する。走査線y_nは「Ｈ」レベルであるので、トランジスタQ_3及びQ_4は共に導通している。それにより、電位保持キャパシタC_1及びC_2は、それぞれ「Ｌ」レベル、「Ｈ」レベルに設定され、次回走査（書込み）まで保持される。また、トランジスタQ_1及びQ_2の各ゲートをそれぞれ「Ｌ」レベル、「Ｈ」レベルに設定する。トランジスタQ_1は非導通となり、高電位バスラインB_Hの電位V_Hによる陽極Ａへの駆動電流の供給は停止する。一方、トランジスタQ_2は導通し、低電位バスラインB_Lの電位V_Lが陽極Ａに中継される。陽極Ａの電位は定電位に維持される低電位バスラインの電位V_Lにクランプされる。発光素子EL_nに低電圧V_Lが印加されることによって発光しない。なお、上記実施例では、各トランジスタをＮ型で構成したがＰ型で構成することが出来る。

【００１８】
図３は、図２に示した相補スイッチ回路の集積回路パターンを示している。同図においてＡは、ＥＬ発光素子の陽極（画素電極）である。機能素子部分には図２と対応する符号が記されているので構成の説明は省略する。配線膜間の接続はコンタクトホールによって行われる。
【００１９】
図４は、図２に示したスイッチ回路をＮ型のＴＦＴ（Q_{11}）とＰ型のＴＦＴ（Q_{12}）とを用いた相補型ＴＦＴのトランジスタで構成した例を示している。相補型ＴＦＴを使用することによって、図２で示したデータ線の信号／x_n、キャパシタC_2及びトランジスタQ_4が不要となる。
【００２０】
この回路の動作について述べれば、走査線y_nに「Ｈ」レベルの信号が印加されると、Ｎ型ＴＦＴであるトランジスタQ_{13}は導通する。それにより、データ線x_nの信号レベルによって電位保持のキャパシタC_{11}が充電され、次回走査まで保持される。また、データ線x_nの「Ｈ」レベルは、トランジスタQ_{11}を導通とし、トランジスタQ_{12}を非導通とする。ＥＬ発光素子の画素電極Ａは低レベルにクランプされ、発光は阻止される。
【００２１】
一方、走査線y_nが「Ｈ」レベルであって、データ線x_nが「Ｌ」レベル（あるいは負レベル）であると、トランジスタQ_{11}を非導通とし、トランジスタQ_{12}を導通とする。それにより、レベルクランプは解除され、ＥＬ発光素子の画素電極Ａには高電位バスラインB_Hから高レベルV_Hが印加され、駆動電流が流れて発光する。
【００２２】
図５は、本発明の実施例であり、図４で説明した低電位バスラインB_Lを不要としたスイッチ回路例を示している。他の構成は、図４と同じであるので説明は省略する。この例では、順次走査型で画面表示を更新する場合、走査線y_nがアクセスされているとき、その前の行の走査線y_{n-1}は非アクセス（「Ｌ」レベル）であることを利用している。トランジスタQ_{11}のドレイン・ソース領域の一方を走査線y_{n-1}に接続し、他方を発光素子の陽極Ａに接続している。
【００２３】
図６は、図５のスイッチ回路の集積回路パターンを示している。同一構成には同一符号を付し、説明は省略する。図３に示す配線パターンに比べて、バスラインの数が減り、ＥＬ発光素子の陽極（画素電極）Ａの面積を大きくすることが出来る。また、画素密度を高くすることが可能である。
【００２４】
上述した実施例によれば、電流リークによる発光を抑制することが可能となるので画素同士をより近接して配置することが可能となり、画素の高密度化が可能となる。また、隣接する画素の走査線をクランプ電位として活用することによって配線が減少し、画素電極の面積を大とすることが可能となり、開口効率が向上する。
【００２５】
なお、本発明は、有機ＥＬ表示装置のみならず、一般の有機半導体膜を使用する発光装置に対して、隣接画素電極からの電流リークを防止する場合にも適用可能である。
【００２６】
【発明の効果】
以上説明しように、本発明の表示装置によれば、非表示画素の画素電極の電位を所定の電位にレベルクランプするようにしたので、隣接する画素電極からの電流リークによる発光が抑制される。
【図面の簡単な説明】
【図１】図１は、本発明の参考例の表示装置を説明する説明図である。
【図２】図２は、スイッチ回路の構成例を説明する回路図である。
【図３】図３は、図２に示したスイッチ回路の集積回路パターンを示す説明図である。

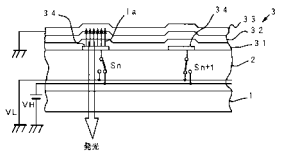
【図４】図４は、相補型ＴＦＴを使用した他のスイッチ回路の構成例を示す回路図である。

【図５】図５は、本発明の実施例であり、図４のスイッチ回路の一部を変更したスイッチ回路例を示す回路図である。

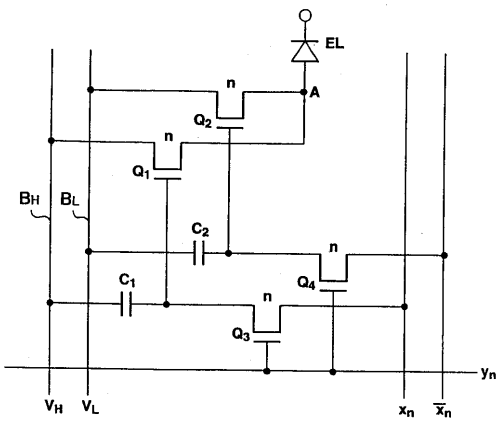
【図６】図６は、図５に示したスイッチ回路の集積回路パターンを示す説明図である。

【図７】図７は、ＥＬ発光表示装置の不具合を説明する説明図である。

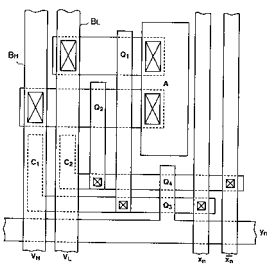
【図１】



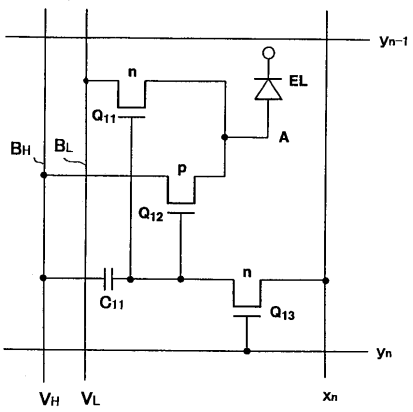
【図２】



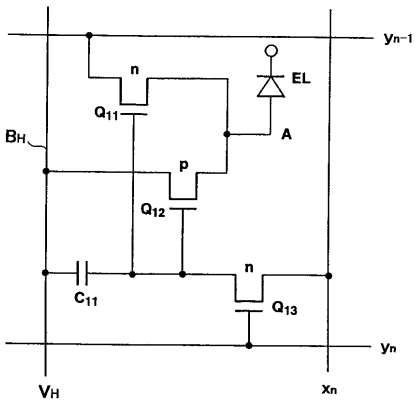
【図３】



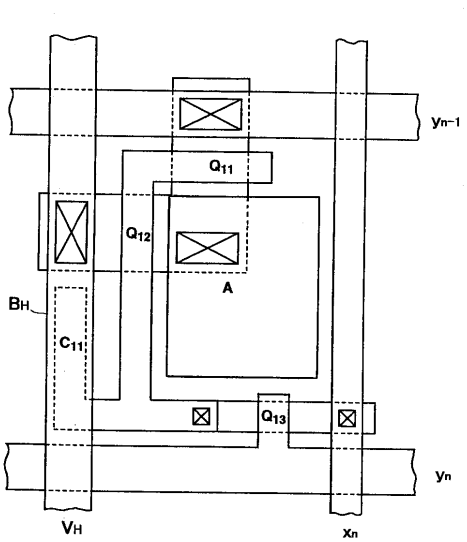
【図４】



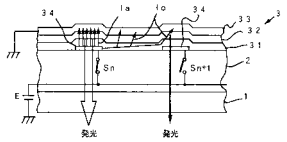
【図５】


yn-1
n
EL
Q11
A
BH
p
Q12
n
C11
Q13
yn
VH
xn

【図６】


yn-1
Q11
Q12
A
BH
C11
Q13
yn
VH
xn

【図７】


34
Ia
Io
34
33
32
31
3
2
1
E
発光
発光

フロントページの続き

(51)Int.Cl. F I
H05B 33/14 A

(56)参考文献 特開平１１－０７３１６０（ＪＰ，Ａ）
特開平０８－０５４８３５（ＪＰ，Ａ）
特開２０００－３４７６２１（ＪＰ，Ａ）
特開平０４－３０８６８７（ＪＰ，Ａ）
欧州特許出願公開第０９０５６７３（ＥＰ，Ａ１）
国際公開第９８／４８４０３（WO，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
G09G 3/30
G09G 3/20 611
G09G 3/20 670
H05B 33/12
H05B 33/14