



(12) 发明专利申请

(10) 申请公布号 CN 102592657 A

(43) 申请公布日 2012. 07. 18

(21) 申请号 201110461332. 6

(22) 申请日 2011. 12. 30

(30) 优先权数据

2011-001921 2011. 01. 07 JP

(71) 申请人 索尼公司

地址 日本东京都

(72) 发明人 别所和宏 细见政功 大森广之

肥后丰 山根一阳 内田裕行

浅山彻哉

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

代理人 王安武

(51) Int. Cl.

G11C 11/02 (2006. 01)

G11C 11/15 (2006. 01)

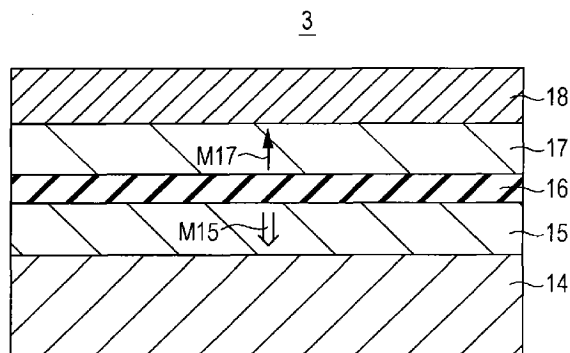
权利要求书 1 页 说明书 14 页 附图 4 页

(54) 发明名称

存储元件和存储装置

(57) 摘要

本发明涉及存储元件和存储装置,该存储元件包括:存储层,该存储层具有与膜表面垂直的磁化,该磁化的方向随信息发生变化;磁化固定层,该磁化固定层具有与膜表面垂直的磁化,该膜表面用作为存储在该存储层中的信息的基体;以及非磁性物质的绝缘层,该绝缘层设置在该存储层与该磁化固定层之间,其中通过使用沿层结构的层叠方向流动的电流所产生的自旋力矩磁化反转来使该存储层的磁化发生反转以存储信息,该层结构包括该存储层、该绝缘层和该磁化固定层,以及该存储层具有包括磁性层和导电氧化物的层叠结构。



1. 一种存储元件,所述存储元件包括:
存储层,所述存储层具有与膜表面垂直的磁化,所述磁化的方向随信息发生变化;
磁化固定层,所述磁化固定层具有与膜表面垂直的磁化,所述膜表面用作为存储在所述存储层中的信息的基体;以及
非磁性物质的绝缘层,所述绝缘层设置在所述存储层与所述磁化固定层之间,
其中通过使用沿层结构的层叠方向流动的电流所产生的自旋力矩磁化反转来使所述存储层的所述磁化发生反转以存储信息,所述层结构包括所述存储层、所述绝缘层和所述磁化固定层,以及
所述存储层具有包括磁性层和导电氧化物的层叠结构。
2. 根据权利要求 1 所述的存储元件,
其中所述存储层的所述磁性层包含 Co 和 Fe 的至少一者。
3. 根据权利要求 2 所述的存储元件,
其中所述导电氧化物包含 ReO_3 、 RuO_2 、 SnO_2 、 TiO_2 、 CoTiO 、 LiTi_2O_4 、 LiV_2O_4 和 Fe_3O_4 的一者。
4. 根据权利要求 3 所述的存储元件,
其中所述绝缘层包含氧化物。
5. 根据权利要求 4 所述的存储元件,
其中所述绝缘层包含 MgO 。
6. 根据权利要求 5 所述的存储元件,
还包括衬层和保护层,
其中所述衬层、所述磁化固定层、所述绝缘层、所述存储层和所述保护层依次层叠。
7. 根据权利要求 5 所述的存储元件,
还包括衬层和保护层,
其中所述衬层、所述存储层、所述绝缘层、所述磁化固定层和所述保护层依次层叠。
8. 一种存储装置,所述存储装置包括:
存储元件,所述存储元件通过磁性物质的磁化状态来保持信息;以及
两种配线,所述两种配线彼此相交,
其中所述存储元件包括:
存储层,所述存储层具有与膜表面垂直的磁化,所述磁化的方向随信息发生变化;
磁化固定层,所述磁化固定层具有与膜表面垂直的磁化,所述膜表面用作为存储在所述存储层中的信息的基体;以及
非磁性物质的绝缘层,所述绝缘层设置在所述存储层与所述磁化固定层之间,
通过使用沿层结构的层叠方向流动的电流所产生的自旋力矩磁化反转来使所述存储层的所述磁化发生反转以存储信息,所述层结构包括所述存储层、所述绝缘层和所述磁化固定层,
所述存储层具有包括磁性层和导电氧化物的层叠结构,
所述存储元件配置在所述两种配线之间,以及
沿所述层叠方向流动的所述电流通过所述两种配线流入所述存储元件。

存储元件和存储装置

技术领域

[0001] 本发明涉及具有多个磁性层并通过自旋力矩磁化反转 (spin torque magnetization reversal) 来执行记录的存储元件和存储装置。

背景技术

[0002] 伴随着移动终端到大型服务器等各种信息装置的飞速发展,在形成上述装置的元件如存储器与逻辑元件中,已经追求了性能的进一步改善。如集成度的提高、工作速度的增加和能耗的减少。具体而言,半导体非易失性存储器的进步显著,并且分别充当大型文件存储器的闪存日益普及,由此将硬盘驱动器挤出市场。

[0003] 另外,为了代替现在普遍使用的 NOR 闪存和 DRAM 等等,已经发展了铁电随机存取存储器 (FeRAM)、磁性随机存取存储器 (MRAM) 和相变随机存取存储器 (PCRAM) 等以用于代码存储装置并进一步用于工作存储器。上述存储器的一些已经开始应用于实践。

[0004] 具体而言,由于 MRAM 通过磁性物质的磁化方向来执行数据存储,所以它实际上,可以高速执行近似无穷次 (10^{15} 次或更高) 的重写,并且 MRAM 已经被用在例如工业自动化和飞机等领域中。

[0005] 由于其高速的工作和可靠性,所以期望将 MRAM 进一步用于代码存储装置和工作存储器应用;但是,实际上,要克服的课题还有降低能耗并增加容量。这些课题本质上来自于 MRAM 的记录原理,即,来自于用以通过各个配线所产生的电流磁场来使磁化反转的方法。

[0006] 作为解决这些课题的方法之一,已经研究了不依赖于电流磁场的记录,即,磁化反转方法。具体而言,已经积极地进行了自旋力矩磁化反转的研究(例如,参见日本专利未审查申请公开第 2003-17782 号和第 2008-227388 号、美国专利第 6256223 号, Phys. Rev. B, 54, 9353 (1996)、以及 J. Magn. Mat., 159, L1 (1996))。

[0007] 自旋力矩磁化反转的存储元件经常被形成为具有磁性隧道结 (MTJ) 结构,这如同 MRAM 的情况。

[0008] 在这样的结构中,使用了下述现象:当经过其中磁化沿某一方向固定的磁性层的自旋极化电子进入另一自由磁性层(磁化的方向不固定)时,其将力矩(其被称作“自旋转移力矩”传递到该自由磁性层,并且当供给大于等于某一阈值的电流时,该自由磁性层的磁化发生反转。通过改变该电流的极性来执行“0”与“1”之间的重写。

[0009] 用于此反转的电流的绝对值为 1mA 或更小,以用于尺寸约为 $0.1 \mu\text{m}$ 的元件。此外,由于该电流值与元件体积成比例地减小,所以可以执行缩放。另外,由于不需要 MRAM 生成用于记录的电流磁场所必要的字线,所以可以显著简化该单元结构。

[0010] 下面,将使用了自旋力矩磁化反转的 MRAM 称作自旋力矩-磁性随机存取存储器 (ST-MRAM)。另外,在某些情况下,也可将自旋力矩磁化反转称作自旋注入磁化反转。

[0011] 迫切期望将能够在保持 MRAM 优点,即较高的工作速度和近似无穷次的重写的同时,实现能耗减少和性能增加的非易失性存储器放置在 ST-MRAM 上。

[0012] ST-MRAM 的概要视图如图 8 及图 9 所示。图 8 为立体图,并且图 9 为剖视图。

[0013] 在被元件隔离层 52 隔离的半导体基体 60,如硅基底的一部分中,形成了漏区 58、源区 57 和栅极 51,其中漏区 58、源区 57 和栅极 51 形成了用于选择各存储单元的选择性晶体管。在上面所述的元件中,栅极 51 也充当垂直于图 8 的平面延伸的字线。

[0014] 漏区 58 通常被形成为用于选择性晶体管,其中该选择性晶体管位于图 8 的左、右侧,并且配线 59 被连接到该漏区 58。

[0015] 另外,存储元件 53 被配置在源区 57 与位线 56 之间,其中该存储元件 53 具有存储层,在该存储层中,通过自旋力矩磁化反转来使其磁化方向发生反转,其中该位线 56 被配置在源区 57 上方以沿图 9 的左-右方向延伸。

[0016] 该存储元件 53 例如由磁性隧道结元件(MTJ 元件)形成。存储元件 53 具有两个磁性层 61 和 62。在这两个磁性层 61 和 62 中,一个磁性层被用作其中磁化方向固定的磁化固定层,而另一个磁性层被用作其中磁化方向发生改变的磁化自由层,即存储层。

[0017] 另外,存储元件 53 通过设置在其间的上、下接触层 54 分别连接到位线 56 和源区 57。因此,当使得电流流过存储元件 53 时,便可以通过自旋注入使该存储层的磁化方向发生反转。

发明内容

[0018] 顺便提及,在 MRAM 的情况下,写入配线(字线和位线)被设置在存储元件侧边,并且当使得电流流经该写入配线时,通过电流磁场来写入(记录)信息。因此,可以将写入所必需的电流供给该写入配线。

[0019] 另一方面,在 ST-MRAM 中,必须通过使用流过存储元件的电流执行自旋力矩磁化反转来使存储层的磁化方向发生反转。另外,如上所述,由于通过被直接供给该存储元件的电流来执行信息的写入(记录),所以为了选择执行写入的存储单元,将该存储元件连接到选择性晶体管以形成该存储单元。因此,将流过该存储元件的电流限制为被允许流过该选择性晶体管的电流(该选择性晶体管的饱和电流)。

[0020] 具体而言,将 ST-MRAM 中的写入电流限制为该选择性晶体管的饱和电流或者更小。

[0021] 由于已经很好地理解了晶体管的饱和电流随小型化的推进而减小,所以为了使整个 ST-MRAM 最小化,必须通过提高自旋转移的效率来减少流过该存储元件的电流。

[0022] 另外,为了增加读取信号的强度,必须确保磁阻效应的高速变化,并且为此,可以有效地使用上述 MTJ 结构,即可以有效地使用其中与两个磁性层接触的中间层被形成为隧道绝缘层(隧道屏蔽层)的存储元件。

[0023] 但是,当将该隧道绝缘层用作上述的中间层时,为了防止击穿该隧道绝缘层的电介质时,限制了被供给存储元件的电流。也就是说,为了确保该存储元件抵抗重写的可靠性,也必须减少自旋力矩磁化反转所需要的电流。

[0024] 在某些情况下,可以将自旋力矩磁化反转所需要的电流称作反转电流或记录电流等。

[0025] 另一方面,由于 ST-MRAM 是非易失性存储器,所以期望将电流所写入的信息稳定地保存在其中。也就是说,必须确保该存储层的磁化对热起伏的稳定性(热稳定性)。

[0026] 由此,如果不能确保该存储层的热稳定性,则在某些情况下,被反转的磁化方向可能随热量(工作环境的温度)再次发生反转,从而可能导致写入误差。

[0027] 如上所述,与相关的 MRAM 相比,ST-MRAM 的存储元件在缩放方面颇具优势,即该 ST-MRAM 的存储层体积可以随记录电流值减小。但是,当该体积减小时,如果其它比例不发生变化,则其热稳定性易于降低。

[0028] 由于当该 ST-MRAM 的容量增加时,该存储元件的体积会进一步减小,所以确保其热稳定性变得十分重要。

[0029] 鉴于此点,对 ST-MRAM 的存储元件而言,热稳定性是非常重要的性能,并且因此,即使其体积减小时,也必须将 ST-MRAM 设计为确保该热稳定性。

[0030] 因此,为了将 ST-MRAM 用作有效的非易失性存储器,必须将自旋力矩磁化反转所使用的反转电流减少到晶体管的饱和电流或者更小,并且减少到破坏隧道屏障处的电流以下,并且也必须确保其热稳定性以保持写入信息。

[0031] 为了同时减少反转电流和确保热稳定性,将垂直磁性各向异性膜用于存储层的结构引起了人们的注意。

[0032] 例如,根据 Nature Materials, 5, 210 (2006),通过将垂直磁性各向异性膜,如 Co/Ni 多层膜用于存储层,可以同时减少反转电流并确保热稳定性。

[0033] 例如,可能提及几种具有垂直磁性各向异性的磁性材料,如稀土过渡金属合金(TbCoFe 等)、金属多层膜(Co/Pd 多层膜等)、有序合金(FePt 等)和分别使用了氧化物与磁性金属之间的界面磁性各向异性的复合材料(Co/MgO 等)。但是,当为了在 ST-MRAM 中得到较大的读取信号考虑使用隧道结结构以实现磁阻的高速变化时,并且当也对耐热性和易于制造处理加以考虑时,由使用了界面磁性各向异性的复合材料形成的结构,如通过在隧道屏蔽层 MgO 上层叠含有 Co 或 Fe 的磁性材料所形成的层叠板颇有前途。

[0034] 但是,与结晶磁性各向异性和单离子各向异性等的各向异性能量相比,基于界面磁性各向异性的垂直磁性各向异性的各向异性能量较小,并且当磁性层的厚度增加时,其也易于降低,而这是极为不利的。

[0035] 为了解决上述问题,本申请人研究了其中将氧化物配置在磁性金属的两侧以增加界面数量的结构。该结构被形成为使用了这种现象:通过氧元素(O)与 Co 或 Fe 的结合来产生界面磁性各向异性。

[0036] 也就是说,当存储层位于隧道屏蔽层上方时可以通过添加氧化物保护层(cap layer),并且当存储层位于隧道屏蔽层下方时可以通过添加氧化物衬层(underlayer)来增加基于界面磁性各向异性的磁性各向异性能量。

[0037] 除使用了保护层和/或衬层的结构之外,也可以通过其中存储层通过交替层叠磁性层来形成的结构来增加诱导垂直磁性各向异性的界面数量,并且因此增加了各向异性能量。

[0038] 但是,由于用于上述结构的氧化物(MgO)总体上是具有较高阻抗的绝缘物质,并且用作与磁阻变化重叠的串联阻抗,其中该磁阻变化是通过利用设置在磁化固定层与存储层之间的隧道屏蔽层在其间产生的隧道磁阻效应所获得的,并且因此,在某些情况下,存储元件的阻抗变化率易于出现下降。

[0039] 由于读取信号的强度会因阻抗的变化率降低,所以问题可能加剧,例如,为了克服

上述降低而使电路复杂化,或者读取速度易于出现不利的下降。

[0040] 因此,在本发明中,决定形成下述存储元件。

[0041] 也就是说,根据发明实施例的存储元件具有存储层,其中该存储层具有与膜表面垂直的磁化,并且在该存储层中,磁化方向随信息发生改变。

[0042] 另外,上述存储元件具有磁化固定层,其中该磁化固定层具有与膜表面垂直的磁化,该膜表面用作为存储在该存储层中的信息的基体。

[0043] 该存储元件还具有非磁性物质的绝缘层,其中该绝缘层被设置在存储层与磁化固定层之间。

[0044] 另外,通过使用沿层结构的层叠方向流动的电流所产生的自旋力矩磁化反转来使该存储层的磁化发生反转以存储信息,其中该层结构具有存储层、绝缘层和磁化固定层。

[0045] 在该存储元件中,该存储层具有磁性层和导电氧化物的层叠结构。

[0046] 另外,根据本发明实施例的存储装置包括根据本发明实施例的存储元件和两种彼此交叉的配线,该存储元件配置在这两种配线之间,并且使电流能够沿层叠方向通过这两种配线流入该存储元件。

[0047] 根据本发明实施例的存储元件,磁化固定层被设置在该存储层上,其中绝缘层(隧道屏蔽层)被设置在该磁化固定层与该存储层之间,并且由于通过使用沿层叠方向流动的电流所产生的自旋力矩磁化反转来使该存储层的磁化发生反转以执行信息的记录,所以可以通过使电流沿层叠方向流动来记录信息。在此情况下,由于该存储层为垂直磁性各向异性膜,所以可以降低使该存储层的磁化方向发生反转所需要的写入电流。

[0048] 另外,可以通过垂直磁性各向异性膜较高的磁性各向异性能量来充分地保持该存储层的热稳定性。

[0049] 在本发明中,该存储层是其中例如分别包括铁(Fe)和钴(Co)的至少一者的磁性层和分别由氧化物形成的层彼此交替层叠的多层膜。此外,由氧化物形成的层是具有高导电率的所谓导电氧化物。

[0050] 在根据本发明实施例的存储元件中,由于除铁磁性隧道结以外的部分(除绝缘层以外的部分)不包括由绝缘物质所形成的层,其中从该铁磁性隧道结获得读取信息,所以降低了无助于隧道磁阻效应的串联阻抗成分,并且因此,可以有效地抑制读取信号强度的降低。

[0051] 另外,根据本发明实施例的存储装置的结构,由于电流沿层叠方向通过两种配线流入存储元件时,引起了自旋转移,所以当电流能够沿存储元件的层叠方向流动通过这两种配线时,可以通过自旋力矩磁化反转来记录信息。

[0052] 此外,由于能够充分保持存储层的热稳定性,所以可以稳定地保持存储在该存储元件中的信息,并且能够实现存储元件的小型化、可靠性的提高和能耗的降低。

[0053] 根据本发明,由于能够容易地得到具有垂直磁性各向异性的存储元件,所以在充分确保热稳定性,即信息保持能力的同时,能够形成平衡性能良好的存储元件。

[0054] 因此,可以避免工作误差,并且可以充分得到存储元件的经营利润。因此,可以实现操作稳定、可靠性高的存储器。

[0055] 另外,可以减小写入电流,并且也可以降低将信息写入存储元件中所需要的能耗。因此,可以降低整个存储装置的能耗。

[0056] 此外,由于可以减少有助于隧道磁阻效应的串联阻抗成分,从而可以抑制读取信号强度的降低,也可以避免复杂的电路和读取速度的降低。

附图说明

[0057] 图 1 是根据实施例的存储装置(存储器装置)的概要结构视图(立体视图);

[0058] 图 2 是根据实施例的存储元件的剖视图;

[0059] 图 3 是通过磁性层和氧化物层交替层叠所形成的存储层结构的示例进行阐明的剖视图;

[0060] 图 4 是通过磁性层和氧化物层交替层叠所形成的、根据实施例的存储层结构的示例进行阐明的剖视图;

[0061] 图 5 是其中存储层配置在磁化固定层下侧的存储元件的剖视图;

[0062] 图 6 是示出试验中所使用的存储元件样品的剖视结构的视图;

[0063] 图 7 是示出本发明实施例中所使用的导电氧化物的优选材料的图表;

[0064] 图 8 是通过自旋注入来使磁化反转的存储器装置的概要结构的立体视图;以及

[0065] 图 9 是图 8 中存储器装置的剖视图。

具体实施方式

[0066] 下面,将描述本发明的具体实施方式(下面被称作“实施例”)。

[0067] 将按照以下次序进行描述。

[0068] <1. 根据实施例的存储元件的概述

[0069] <2. 根据实施例的结构

[0070] <3. 试验

[0071] <4. 修改例

[0072] <1. 根据实施例的存储元件的概述

[0073] 首先,将描述根据本发明实施例的存储元件的概述。

[0074] 根据本发明的实施例,通过上述自旋力矩磁化反转,使该存储元件的存储层的磁化方向发生反转来记录信息。

[0075] 该存储层是由磁性物质形成的铁磁性层,并且通过该磁性物质的磁化状态(磁化方向)来保持信息。

[0076] 尽管下面将进行详细的描述,但是通过示例的方式示出了根据本实施例的存储元件具有如图 2 所示的层结构,并且具有至少两个铁磁性层,即存储层 17 和磁化固定层 15,并且还具有设置在上述两个磁性层之间的绝缘层 16,作为中间层。

[0077] 存储层 17 具有与膜表面垂直的磁化,并且磁化方向随信息发生改变。

[0078] 磁化固定层 15 具有与膜表面垂直的磁化,其中该膜表面用作为存储在存储层 17 中的信息的基体。

[0079] 绝缘层 16 包含非磁性物质,并且被设置在存储层 17 与磁化固定层 15 之间。

[0080] 当将自旋极化电子注入沿层叠方向具有存储层 17、绝缘层 16 和磁化固定层 15 的层结构中时,存储层 17 的磁化方向发生改变,并且信息被记录在存储层 17 中。

[0081] 下面,将简要地描述自旋力矩磁化反转。

[0082] 电子具有两种自旋角动量。这些动量暂时被定义为向上动量和向下动量。在非磁性物质中,分别具有向上动量的电子数目等于分别具有向下动量的电子数目,并且在铁磁性物质中,上述数目彼此不同。在两个铁磁性层中,当这两层的磁矩方向彼此相反时(下面被称作“相反方向状态”),磁化固定层 15 和存储层 17 形成了自旋力矩磁化随机存取存储器(ST-MRAM),将讨论其中电子从磁化固定层 15 移动到存储层 17 的情况。

[0083] 磁化固定层 15 是其中磁矩方向通过高抗磁力固定的固定磁性层。

[0084] 经过磁化固定层 15 的电子被自旋极化,即,向上电子的数目不同于向下电子的数目。当绝缘层 16,即非磁性层被形成具有充分小的厚度时,在经过磁化固定层 15 的电子所引起的自旋极化被减弱并且被放置在一般非磁性物质的非极化状态(其中向上电子的数目等于向下电子的数目)下之前,电子到达存储层 17。

[0085] 由于存储层 17 中的自旋极化度符号与磁化固定层 15 中的自旋极化度符号相反,所以为了降低系统能量,使一些电子发生了反转,即,其自旋角动量的方向发生了改变。在此情况下,由于在理论上,系统的总角动量守恒,所以也将相当于其方向发生改变的电子所引起的角动量总变化的反作用传递给存储层 17 的磁矩。

[0086] 当电流,即单位时间内经过的电子数目减小时,其方向发生变化的电子的总数目也会减小,并且在存储层 17 的磁矩中所产生的角动量的变化也会减小;但是,当电流增加时,可以传递角动量在单位时间内的较大变化。

[0087] 角动量的时间变化表示力矩,并且当该力矩超过某一阈值时,存储层 17 的磁矩开始作旋进运动,并且当旋转 180° 时被其单轴各向异性稳定。也就是说,发生了从相反方向到相同方向(其中磁矩方向为同一方向的状态)的反转。

[0088] 如果磁化处于相同方向状态下,并且反向供给电流以沿从存储层 17 到磁化固定层 15 的方向发送电子,则当在磁化固定层 15 处被反射的自旋极化电子进入存储层 17 时传递力矩,并且可以将该磁矩反转到相反方向状态。但是,在此情况下,引起反转所需要的电流大于其中将相反方向状态反转到相同方向状态的情况下的电流。

[0089] 尽管很难直观地理解磁矩从相同方向状态到相反方向状态的反转,但是以此方式可以理解,磁矩不会在磁化固定层 15 中发生反转,这是因为其磁化是固定的,并且为了使整个系统的角动量守恒,使磁矩在存储层 17 中发生反转。如上所述,通过根据相对应的极性沿从磁化固定层 15 到存储层 17 的方向或沿相反方向供给某一阈值或更大的电流来执行“0”或“1”的记录。

[0090] 通过使用磁阻效应来执行信息的读取,这如同有关 MRAM 中的情况。也就是说,与上述记录的情况一样,沿垂直于膜表面的方向供给电流。另外,使用了这种现象:根据存储层 17 的磁矩与磁化固定层 15 的磁矩是否同向或是否反向来使元件的电阻发生变化。

[0091] 在本实施例中,在磁化固定层 15 与存储层 17 之间,设置了绝缘层 16,即非磁性和绝缘物质。

[0092] 如上所述,由于绝缘层 16 被设置在磁化固定层 15 与存储层 17 之间,所以与设置了例如金属膜的情况相比,其获得了较大的读取信号(阻抗的变化率),并且可以通过较小的电流来执行记录。

[0093] 将其中绝缘层 16 被设置在磁化固定层 15 与存储层 17 之间的结构称作铁磁性隧道结(磁性隧道结:MTJ)。

[0094] 当磁性层的磁化方向通过自旋力矩磁化反转发生反转时所需要的电流阈值 I_c 发生变化时,该磁性层的易磁化轴处于与表面平面平行的面内方向上或与其垂直的方向上。

[0095] 具体而言,当面内磁化型 ST-MRAM 的反转电流用 I_{c_para} 表示时,磁化的反转方向与反转电流 I_{c_para} 之间的关系表示如下。

[0096] 相同方向状态到相反方向状态:

$$[0097] \quad I_{c_para} = \{A \cdot \alpha \cdot M_s \cdot V / (g(0) \cdot P)\} (H_k + 2 \pi M_s)$$

[0098] 相反方向状态到相同方向状态:

$$[0099] \quad I_{c_para} = -\{A \cdot \alpha \cdot M_s \cdot V / (g(\pi) \cdot P)\} (H_k + 2 \pi M_s)$$

[0100] 在上面的公式中, A 表示常数, α 表示阻尼常数, M_s 表示饱和磁化量, V 表示元件体积, $(g(0) \cdot P)$ 和 $(g(\pi) \cdot P)$ 表示与沿相同方向或反向方向将自旋力矩传送到相对磁性层的效率分别对应的系数,并且 H_k 表示磁性各向异性(见 Nature Materials, 5, 210(2006))。

[0101] 另一方面,当垂直磁化型 ST-MRAM 的反转电流用 I_{c_perp} 表示时,得到了下列关系。

[0102] 相同方向状态到相反方向状态:

$$[0103] \quad I_{c_perp} = \{A \cdot \alpha \cdot M_s \cdot V / (g(0) \cdot P)\} (H_k - 4 \pi M_s)$$

[0104] 相反方向状态到相同方向状态:

$$[0105] \quad I_{c_perp} = -\{A \cdot \alpha \cdot M_s \cdot V / (g(\pi) \cdot P)\} (H_k - 4 \pi M_s)$$

[0106] 在上面的公式中,当垂直磁化型的 $(H_k - 4 \pi M_s)$ 与面内磁化型的 $(H_k + 2 \pi M_s)$ 比较时,可以理解该垂直磁化型更适于减小记录电流。

[0107] 顺便提及, ST-MRAM 必须保持被存储的信息作为有效的存储器。可能提及保持信息的能力指标,例如热稳定性的指标 $\Delta (= KV/kBT)$ 。该 Δ 用下面的公式 1 表示。

$$[0108] \quad \Delta = KV/k_B T = M_s \cdot V \cdot H_k \cdot (1/2k_B T) \dots [\text{等式 1}]$$

[0109] 在上面的公式中, H_k 表示有效各向异性场, k_B 表示波耳兹曼常数, T 表示温度, M_s 表示饱和磁化量,并且 V 表示存储层的体积。

[0110] 形状磁性各向异性、诱导磁性各向异性和结晶磁性各向异性的作用均包含在有效各向异性场 H_k 中,并且当假设抗磁旋转模型位于单磁区中时,有效各向异性场 H_k 等于该抗磁力。

[0111] 在许多情况下,热稳定性的指标 Δ 和电流阈值 I_c 具有取舍(trade-off)关系。因此,在许多情况下,为了保持存储器的性能,要求同时满足这两个参数。

[0112] 在其中存储层 17 的厚度例如为 2nm 且其平面图案呈略椭圆形 100nm×150nm 的 TMR 元件中,使存储层 17 的磁化状态发生改变的电流阈值实际上如下所述。 A^+ 侧阈值 $+I_c$ 等于 +0.5mA, A^- 侧阈值 $-I_c$ 等于 -0.3mA,并且在此情况下的电流密度约为 $3.5 \times 10^6 \text{A/cm}^2$ 。这些大致与上述公式 1 一致。

[0113] 另一方面,在通过电流磁场执行磁化反转的一般性 MRAM 中,必须使用数毫安级的写入电流。

[0114] 因此,可以发现在 ST-MRAM 的情况下,如上所述,由于写入电流的阈值被充分减少,所以 ST-MRAM 在降低集成电路的能耗方面是有效的。

[0115] 另外,由于用于一般性 MRAM 的磁场生成配线对 ST-MRAM 来说是没有必要的,所以与一般性 MRAM 相比,ST-MRAM 在集成度方面也是颇具优势。

[0116] 由于在执行自旋力矩磁化反转的 ST-MRAM 中, 电流被直接供给用于写入 (记录) 信息存储元件, 所以为了选择执行写入的存储器单元, 将该存储元件连接到选择性晶体管以形成该存储器单元。

[0117] 在此情况下, 流入该存储元件的电流通过能够流过该选择性晶体管的电流 (选择性晶体管的饱和电流) 来限定。

[0118] 为了减少记录电流, 优选使用上述垂直磁化型。另外, 由于垂直磁化各向异性膜总体上能够具有比面内磁化各向异性膜的磁性各向异性高的磁性各向异性, 所以优选可以保持上述 Δ 较高。

[0119] 作为具有垂直各向异性的磁性材料, 例如, 可能提及这几种材料, 如稀土过渡金属合金 (TbCoFe 等)、金属多层膜 (Co/Pd 多层膜等), 有序合金 (FePt 等) 和分别使用了氧化物与磁性金属之间的界面磁性各向异性的复合材料 (Co/MgO 等)。在上述这些材料中, 由于稀土过渡金属合金受热会扩散并结晶, 导致丧失垂直磁化各向异性, 所以该材料并不优选用作 ST-MRAM 的材料。另外, 已经很好地了解到: 金属多层膜会受热扩散, 从而降低其垂直磁化各向异性。另外, 由于只能沿面心立方晶体的 (111) 取向获得垂直磁化各向异性, 所以很难实现 MgO 所需要的 (001) 取向和被配置为与其邻接的极化率较高的层, 其中该极化率较高的层例如由 Fe、CoFe 或 CoFeB 形成。

[0120] 另外, 由于 L10 有序合金在高温下很稳定, 并且展示了沿 (001) 取向的垂直磁化各向异性, 所以上述问题不会加剧。但是, 由于在制造过程中必须在 500°C 或更高的温度下执行加热, 或者在制造之后在 500°C 或更高的温度下执行热处理用以规则地排列原子, 所以在某些情况下, 可能在层叠膜, 如绝缘层 16 (隧道屏蔽层) 的另一部分中发生不利的扩散和 / 或界面粗糙度的增加。

[0121] 另一方面, 通过使用了界面磁化各向异性的复合材料, 即, 通过层叠在隧道屏蔽层诸如 MgO 上的、基于 Co 或基于 Fe 的材料, 就不会发生上述任何问题, 并且因此, 该复合材料有望成为 ST-MRAM 的、颇具前途的存储层材料。

[0122] 尽管认为当包含在氧化物中的氧元素在界面处与 Co 或 Fe 结合时会产生基于界面磁化各向异性的垂直磁化各向异性, 但是与有序合金的结晶磁化各向异性和稀土元素的单离子各向异性相比, 其各向异性能量较低, 并且当磁性层厚度减小时, 该各向异性能量也会出现不利的下降。

[0123] 为了解决上述问题, 本申请人已经提出了其中将氧化物配置在磁性金属两侧以增加界面数量的结构 (日本专利申请 No. 2010-201526)。具体而言, 例如, 该结构如下所述。

[0124] 基底 / 衬层 / 磁化固定层 / MgO (隧道屏蔽层) / 存储层 / 氧化物保护层

[0125] 通过上述结构, 作为有助于界面磁化各向异性的界面, 除了存储层 / MgO (隧道屏蔽层) 之间的界面之外, 额外获得了存储层 / 氧化物保护层之间的一个界面, 并且因此可以有效地增加该存储层的各向异性。

[0126] 另外, 为了增加有助于垂直磁化各向异性的界面数量, 通过交替层叠磁性层和氧化物层所形成的层叠结构也是有效的存储层结构。

[0127] 具体而言, 上述结构如图 3 的剖视图所示。在图 3 的示例中, 包含 Co 和 Fe 之一的层被示为形成存储层 17 的磁性层, 并且使用了 MgO 的层被示为氧化物层。

[0128] 但是, 由于用于该结构的氧化物层 (诸如 MgO) 一般由绝缘物质形成, 所以其阻抗

很高,并且该阻抗与由磁化固定层与存储层之间的隧道磁阻效应所获得磁阻变化重叠,使得在某些情况下,可以降低的阻抗的变化率。

[0129] 因此,本申请人发现:当通过交替层叠磁性层与氧化物层所形成的结构用作存储层 17 时,该氧化物层使用导电氧化物来形成。

[0130] 为了便于确认,使用导电氧化物所形成的存储层 17 的结构(剖视图)如图 4 所示。

[0131] 通过上述结构,可以减少串联阻抗成分,其中该串联阻抗成分无助于隧道磁阻效应并且与产生隧道磁阻效应的隧道屏蔽部分(绝缘层 16)的阻抗重叠,并且可以有效地抑制隧道磁阻效应的降低。

[0132] 另外,将磁阻效应反映到读取信号的强度。如上所述,由于可以抑制磁阻效应的降低,所以可以避免其中为了阻止信号强度降低而使电路复杂的情况和/或其中读取速度降低的情况。

[0133] 在本实施例中,存储层 17 是其中磁性层和氧化物层彼此交替的垂直磁化各向异性膜,其中该磁性层分别包含 Co 和 Fe 的至少一者,该氧化物层具有较高的导电性。

[0134] 此外,鉴于选择性晶体管的饱和电流值,将由绝缘物质形成的绝缘层 16 设置在存储层 17 与磁化固定层 15 之间,作为非磁性层以形成磁性隧道结(MTJ)元件。

[0135] 通过使用隧道绝缘层形成磁性隧道结(MTJ)元件,与其中通过使用非磁性导电层形成巨磁电阻效应(GMR)元件的情况相比,其可以增加磁阻的变化率(在下面某些情况下,其被称作“MR 比率”),并且可以增加读取信号的强度。

[0136] 另外,具体而言,通过将氧化镁(MgO)用作绝缘层 16 的材料,其中绝缘层 16 充当该隧道绝缘层,可以增加磁阻的变化率(MR 比率)。

[0137] 总体上,自旋转移的效率取决于 MR 比率,并且当 MR 增大时,自旋转移的效率提高,并且可以减小磁化反转电流密度。因此,当将氧化镁用作绝缘层 16 的材料时,并且当其与上述存储层 17 一起使用时,可以减少通过自旋力矩磁化反转的写入电流阈值,并且可以通过较小的电流来写入(记录)信息。另外,也可以增加读取信号的强度。

[0138] 如上所述,尽管确保了 MR 比率(TMR 比率),但是可以减少通过自旋力矩磁化反转的写入电流阈值,并且可以通过较小的电流来写入(记录)信息。另外,也可以增加读取信号的强度。

[0139] 当绝缘层 16 由氧化镁(MgO)膜形成时,更优选使 MgO 膜结晶并且将其结晶取向保持在(001)方向。

[0140] 在本实施例中,除了由氧化镁形成的结构之外,可以通过使用例如诸如氧化铝、氮化铝、SiO₂、Bi₂O₃、MgF₂、CaF₂、SrTiO₃、AlLaO₃ 和 Al-N-O 之类的各种绝缘物质、电介质和半导体来形成充当隧道屏蔽层的绝缘层 16。

[0141] 另外,必须将绝缘层 16 的面阻抗(areal resistance)控制到约数十 $\Omega \cdot \mu\text{m}^2$ 或更小,以得到通过自旋力矩磁化反转而使存储层 17 的磁化方向发生反转的电流密度。

[0142] 为了将由 MgO 膜形成的绝缘层 16 的面阻抗控制在上述范围内,必须将其厚度设置为 1.5nm 或更小。

[0143] 在上述实施例的情况下,磁性层和氧化物层彼此交替用作存储层 17,并且另外,导电氧化物用作氧化物层。

[0144] 作为本实施例中的导电氧化物,例如,可以使用 ReO₃、RuO₂、SnO₂、TiO₂、LiTi₂O₄、

LiV_2O_4 和 Fe_3O_4 , 并且另外, 当通过形成氧缺陷或通过掺杂不同元素来传递电导时, 也可以使用在通常情况下具有绝缘性能的氧化物。

[0145] 另外, 为了通过较小的电流轻松地使存储层 17 的磁化方向发生反转, 优选减小存储元件的尺寸。

[0146] 优选将该存储元件的面积设定为 $0.01 \mu\text{m}^2$ 或更小。

[0147] 在本实施例中, 可以将除 Co 和 Fe 以外的元素添加到磁性层, 其中该磁性层形成了存储层 17 的一部分。

[0148] 通过添加不同类型的元素, 可以得到许多优点, 如通过阻止扩散来提高热阻, 增加磁阻效应以及增加平坦化所引起的耐电压。在此情况下, 作为添加的材料, 例如, 可以使用 Ru、Os、Re、Ir、Au、Ag、Cu、Al、Bi、Si、B、C、Cr、Ta、Pd、Pt、Zr、Hf、W、Mo、Nb 或其合金。

[0149] 也可以通过直接层叠具有不同成分的其他铁磁性层来形成根据本发明实施例的存储层 17。另外, 可以彼此层叠铁磁性层和弱磁性层, 或者可以利用弱磁性层与非磁性层的至少一者来层叠多个铁磁性层, 其中该非磁性层设置在铁磁性层与弱磁性层之间。

[0150] 具体而言, 当利用设置在其间的至少一个非磁性层来层叠多个铁磁性层时, 由于可以调节铁磁性层之间相互作用的强度, 所以即使存储元件的尺寸被减至亚微米级或更小, 也可以得到抑制磁化反转电流增加的效果。在此情况下, 作为非磁性层的材料, 例如, 可以使用 Ru、Os、Re、Ir、Au、Ag、Cu、Al、Bi、Si、B、C、Cr、Ta、Pd、Pt、Zr、Hf、W、Mo、Nb 或其合金。

[0151] 可以只通过铁磁性层或通过使用反铁磁性层和铁磁性层之间的反铁磁耦合, 来形成磁化固定层 15, 使得其磁化方向固定。

[0152] 另外, 磁化固定层 15 可以由单个铁磁性层或层叠 (ferri-pinned) 结构形成, 其中在该层叠铁销结构中, 铁磁性层通过设置在其间的非磁性层而层叠。

[0153] 作为铁磁性层的材料, 其中该铁磁性层形成了具有层叠铁销结构的磁化固定层 15, 例如, 可以使用 Co、CoFe 和 CoFeB。另外, 作为非磁性层的材料, 例如, 可以使用 Ru、Re、Ir 和 Os。

[0154] 作为反铁磁性层的材料, 可以涉及磁性物质, 诸如 FeMn 合金、PtMn 合金、PtCrMn 合金、NiMn 合金、IrMn 合金、NiO 和 Fe_2O_3 。

[0155] 通过将诸如 Ag、Cu、Au、Al、Si、Bi、Ta、B、C、O、N、Pd、Pt、Zr、Hf、Ir、W、Mo 和 Nb 之类的非磁性元素添加到上述这些磁性物质中, 可以调节磁性性能, 和 / 或也可以调节其它各种物理性能, 如结晶结构、结晶性以及物质的稳定性。

[0156] 磁化固定层 15 的厚度和存储层 17 的厚度分别优选在 0.5nm 至 30nm 的范围内。

[0157] 存储元件 3 的其余结构可以形成为与通过自旋力矩磁化反转来记录信息的存储元件的常规结构类似。

[0158] <2. 根据实施例的结构

[0159] 接着, 将描述根据本实施例的存储元件的存储装置的具体结构。

[0160] 图 1 示出了存储器装置如根据本发明一个实施例的存储装置的概要结构视图 (立体图)。

[0161] 在该存储器装置中, 在垂直相交的两种地址配线 (如字线和位线) 的交叉点附近, 配置了能够通过磁化状态保持信息的存储元件 3。

[0162] 也就是说,在被元件隔离层 2 隔离的半导体基体 10,如硅基底的一部分中,形成了漏区 8、源区 7 和栅极 1,其中漏区 8、源区 7 和栅极 1 形成了用于选择各存储单元的选择性晶体管。在上面所述的元件中,栅极 1 也充当垂直于附图中平面延伸的地址配线(如字线)。

[0163] 漏区 8 通常被形成为用于选择性晶体管,其中该选择性晶体管位于附图的左、右侧,并且配线 9 被连接到该漏区 8。

[0164] 另外,存储元件 3 被配置在源区 7 与其它配线(如位线)6 之间,其中该位线 6 被配置在源区 7 上方以沿图中的左-右方向延伸。

[0165] 该存储元件 3 配置在两种地址配线 1 与 6 之间的交叉点附近。

[0166] 另外,存储元件 3 通过上、下接触层 4 分别连接到位线 6 和源区 7。

[0167] 因此,通过两种配线 1 和 6,使电流能够沿上-下方向流入存储元件 3,使得可以通过自旋力矩磁化反转来使该存储层的磁化方向发生反转。

[0168] 图 2 是根据本实施例的存储元件 3 的剖视图。

[0169] 如图 2 所示,存储元件 3 由存储层 17 和磁化固定层 15 形成,其中在存储层 17 中,通过自旋力矩磁化反转使磁化 M17 的方向发生反转,并且磁化固定层 15 设置在存储层 17 下方。

[0170] 在 ST-MRAM 中,存储层 17 的磁化 M17 与磁化固定层 15 的 M15 之间的相对角度规定信息“0”或“1”。

[0171] 在存储层 17 与磁化固定层 15 之间,形成了用作隧道屏蔽层(隧道绝缘层)的绝缘层 16,并且 MTJ 元件通过存储层 17 与磁化固定层 15 来形成。

[0172] 另外,衬层 14 形成在磁化固定层 15 的下侧,并且保护层 18 形成在存储层 17 的上侧。

[0173] 在本实施例中,如上所述,具体而言,存储层 17 是其中磁性层和导电氧化物彼此交替层叠的垂直磁化各向异性膜,其中该磁性层分别包含 Co 和 Fe 的至少一者。

[0174] 此外,在本实施例中,绝缘层 16 由氧化镁层形成以增加磁阻的变化率(MR 比率)。

[0175] 如上所述,当 MR 比率增加时,可以提高自旋注入的效率,并且可以减少使存储层 17 的磁化方向 M17 发生反转所需要的电流密度。

[0176] 另外,在本实施例中,可以将诸如 Ta 之类的金属用于保护层 18,其中该保护层 18 被配置为与存储层 17 邻接。

[0177] 可以在真空装置中,通过连续形成从衬层 14 到保护层 18 的层的步骤来制造根据本实施例的存储元件 3,并且接着通过刻蚀法等来形成存储元件 3 的图案。

[0178] 由于存储层 17 是垂直磁化各向异性膜,所以根据本实施例的存储元件 3 可以减少使存储层 17 的磁化方面 M17 发生反转所需要的写入电流。

[0179] 另外,由于将其中磁性层和导电氧化物彼此交替层叠的结构用于存储层 17,其中该磁性层分别包含 Co 和 Fe 的至少一者,所以可以有效地抑制磁阻效应的降低。

[0180] 如上所述,由于能够充分地确保其热稳定性,即信息保持能力,所以可以实现性能良好的存储元件。

[0181] 因此,可以避免工作误差,并且可以充分地获得存储元件 3 的运营利润,使得能够稳定地操作存储元件 3。因此,实现了能够稳定工作的、可靠度高的存储器。

[0182] 另外,可以减少写入电流,并且也可以减少存储元件 3 进行写入所需要的能耗。因

此,可以减少整个系统的能耗。

[0183] 此外,根据本实施例,由于形成存储层 17 的一部分的氧化物层是导电物质,所以可以减少串联电阻,其中该串联电阻无助于磁阻效应并且与生成隧道磁阻效应的隧道屏蔽部分的电阻重叠,并且可以抑制隧道磁阻效应的降低。

[0184] 由于磁阻效应被反映到读取信号的强度,所以当抑制磁阻效应的降低时,可以避免其中信号强度降低而使电路复杂和 / 或读取速度降低的情况。

[0185] 另外,有利地是,可以通过使用一般性半导体 MOS 成型处理来制造图 1 所示的存储器装置结构,其中该存储器装置包括图 2 所示的存储元件 3。

[0186] 因此,可以根据本实施例的存储器装置用作一般性目的的存储器。

[0187] 尽管上面以存储元件结构示例的方式描述了其中保护层 18、存储层 17、绝缘层 16、磁化固定层 15 和衬层 14 自上层侧依次配置的结构,但是如图 5 所示的、根据本发明实施的存储元件,也可以形成其中存储层 17 配置在磁化固定层 15 下侧的结构。

[0188] 具体而言,该结构被形成为使得保护层 18、磁化固定层 15、绝缘层 16、存储层 17 和衬层 14 自上层侧依次配置。

[0189] <3. 试验

[0190] 在参考图 2 所述的存储元件 3 的结构中,尤其通过选择形成保护层 18 的材料,形成了存储元件 3 的样品,并且研究了其性能。

[0191] 尽管切换半导体电路等安装在除图 1 所示的存储元件 3 以外的实际存储器装置中,但是在本试验中,为了研究被定位为与保护层 18 邻接的存储层 17 的磁化反转性能,使用了其中只形成存储元件部分的晶片以便研究。

[0192] 在厚度为 0.725mm 的硅基底上形成厚度为 300nm 的热氧化物膜,并且在该氧化物膜上形成图 2 所示的存储元件 3 的结构。

[0193] 具体而言,在图 2 所示的存储元件 3 的结构中,如下所述来选择各层的材料和厚度。

[0194] 衬层 14... 厚度为 10nm 的 Ta 膜的和厚度为 25nm 的 Ru 膜的层叠膜

[0195] 磁化固定层 15... 厚度为 2.5nm 的 CoFeB 膜

[0196] 绝缘层 16... 厚度为 0.9nm 的氧化镁膜

[0197] 存储层 17... CoFeB/MgO 层叠膜 (存储元件 3A)、CoFeB/CoTiO 层叠膜 (存储元件 3B) 或者 CoFeB (存储元件 3C)

[0198] 保护层 18... 厚度为 5nm 的 Ta 膜

[0199] 在本试验中,存储元件 3A、存储元件 3B 和存储元件 3C 分别用“样品 3A”、“样品 3B”和“样品 3C”来表示。

[0200] 在上面的膜结构中,存储层 17 的铁磁性层的 CoFeB 组分为 Co16% -Fe64% -B20%,并且该铁磁性层的厚度为 0.8nm。另外,将 MgO (样品 3A) 的厚度和 CoTiO (样品 3B) 的厚度分别设定为 0.2nm。

[0201] 在样品 3A 和 3B 中,层叠次数为 5。也就是说,样品 3A 和 3B 如下所示。

[0202] 样品 3A : [CoFeB/MgO/CoFeB/MgO/CoFeB/MgO/CoFeB/MgO/CoFeB]

[0203] 样品 3B : [CoFeB/CoTiO/CoFeB/CoTiO/CoFeB/CoTiO/CoFeB/CoTiO/CoFeB]

[0204] 通过使用 RF 磁控管溅射法来获得由氧化镁 (MgO) 膜形成的绝缘层 16 和由 MgO 或

CoTiO 形成的存储层 17, 并且通过 DC 磁控管溅射法来形成其它膜。

[0205] 此外, 在样品 3A 至 3C 的每一者中, 在形成各层之后, 在 350℃ 的磁场热处理炉中执行热处理达 2h, 并且通过使用一般电子束光刻或离子铣削处理来形成直径为 50nm 的圆柱形存储层 17。

[0206] 在样品 3A 中, MgO 是绝缘物质, 并且在样品 3B 中, CoTiO 是室温下其阻抗率约为 $0.1 \Omega \cdot \text{cm}$ 的半导体。

[0207] 为了便于确认, 样品 3A 至 3C 的每一者的剖视结构如图 6 所示。

[0208] 如图所示, 在样品 3A 至 3C 中, 其结构比较普遍: 保护层 18、存储层 17、绝缘层 16 和磁化固定层 15 自上层侧依次形成。

[0209] 下面, 将讨论存储元件如样品 3A 至 3C 的每一者的阻抗和 TMR 变化率 (TMR 比率)。

[0210] 首先, 由于磁化固定层 15 和保护层 18 分别由金属形成, 绝缘层 16 由氧化物形成, 并且存储层 17 包含氧化物 (3A 和 3B), 所以存储元件的阻抗由绝缘层 16 的阻抗和存储层 17 的阻抗决定。

[0211] 对绝缘层 16 的阻抗和存储层 17 中氧化物层的阻抗而言, 由于其厚度非常小, 仅使得隧道电流流过, 所以方便引入面阻抗 (RA) 的概念。该面阻抗用阻抗乘以面积来表示, 并且其单位为 $[\Omega \cdot \mu\text{m}^2]$ 。

[0212] 绝缘层 16 的面阻抗和氧化物层的面阻抗分别由从其材料中提取的厚度和数值决定, 并且当其面积增加时, 其实际阻抗减小, 并且当其面积减小时, 其实际阻抗增大。

[0213] 当 TMR 比率较高时, 即, 当其中存储层 17 的磁化方向与磁化固定层 15 的磁化方向处于相同方向的情况与其中存储层 17 的磁化方向与磁化固定层 15 的磁化方向处于相反方向的情况之间 (即, 在“0”状态与“1”状态之间) 的阻抗变化率较高时, ST-MRAM 的读取信号增加。当存储元件的阻抗由绝缘层 16 的阻抗决定时, “0”状态与“1”状态之间的阻抗变化由绝缘层 16、磁化固定层 15 和存储层 17 的材料决定, 并且用下列公式表示。

$$[0214] \quad \text{TMR}(\%) = 100 \cdot (R_{\text{H}} - R_{\text{L}}) / R_{\text{L}}$$

[0215] 在上面的公式中, 相同方向状态下的面阻抗用 R_{L} 表示, 并且相反方向状态下的面阻抗用 R_{H} 表示。但是, 如本发明上面已经描述的, 在其中将氧化物添加到存储层 17 以诱导垂直磁化各向异性的情况下, 当该氧化物具有绝缘性并且增加了存储层 17 的、除绝缘层 16 界面以外的部分处的阻抗时, 串行添加无助于阻抗变化的阻抗 R_{OX} 。因此, 阻抗的变化率用下列公式表示。

$$[0216] \quad \text{TMR}(\%) = 100 \cdot (R_{\text{H}} - R_{\text{L}}) / (R_{\text{L}} + R_{\text{OX}})$$

[0217] 也就是说, 当 R_{OX} 增大时, 阻抗的变化率下降。

[0218] 此外, 对样品 3A 至 3C 彼此进行比较。

[0219] 当测量样品 3C 的 RA 和 TMR 的变化率时, R_{L} 为 $20 \Omega \cdot \mu\text{m}^2$, R_{H} 为 $36 \Omega \cdot \mu\text{m}^2$, 并且 TMR 为 80%。在该样品 3C 中, 阻抗主要由形成绝缘层 16 的 MgO 决定, 并且 R_{L} 由厚度为 0.9nm 的 MgO, 即绝缘层 16 决定。在此情况下, 可以将 R_{OX} 视为 0。

[0220] 在样品 3A 中, R_{L} 为 $27 \Omega \cdot \mu\text{m}^2$, R_{H} 为 $43 \Omega \cdot \mu\text{m}^2$, 并且 TMR 为 59%, 并且在样品 3B 中, R_{L} 为 $21 \Omega \cdot \mu\text{m}^2$, R_{H} 为 $37 \Omega \cdot \mu\text{m}^2$, 并且 TMR 为 76%。也就是说, 样品 3A 的 R_{OX} 为 $7 \Omega \cdot \mu\text{m}^2$, 并且样品 3B 的 R_{OX} 为 $1 \Omega \cdot \mu\text{m}^2$ 。

[0221] 由于氧化物层的厚度非常小、粗糙度和扩散度, 所以很难通过其阻抗率和厚度来

简单地估计其阻抗 ;但是,我们发现可以得到反映被添加氧化物阻抗率的阻抗。

[0222] 我们发现 :与样品 3C 比较,将 MgO 用作存储层 17 的样品 3A 的 TMR 比率明显下降,并且另一方面,使用了 CoTiO 的样品 3B 的 TMR 比率几乎没有下降。根据本发明,尽管必须将氧化物添加到存储层 17,但是由于使用了 CoTiO,即具有较低阻抗率的氧化物,所以可以抑制 TMR 比率的下降。

[0223] 当然,尽管确定了电路构造所必需的 TMR 比率的特定值,但是,例如通过读取电路的性能,由于可以通过使用 CoTiO 来确保较高的 TMR 比率,所以电路设计变得容易是显而易见的。

[0224] 作为被添加到存储层 17 的导电氧化物,上面上述了 CoTiO ;但是,当然,导电氧化物并不限于此。导电氧化物的重要点在于,为了诱导垂直各向异性,必须包含氧原子,并且为了不使存储元件的 TMR 比率明显下降,阻抗率必须足够低。

[0225] 在本试验中,作为满足上述阻抗率条件的氧化物材料,例如,可以提及如图 7 所示的、分别通过适当的制造方向形成的氧化物。

[0226] 但是,即使当将一般被视作绝缘物质的材料用作基体材料时,如果通过掺杂和扩散混合等来传递电导率,则也可以将上述材料用作有效抑制阻抗变化率下降的材料。也就是说,可以充分获得本发明的优点。

[0227] <4. 修改例

[0228] 至此,尽管已经描述了本发明的实施例,但是本发明并不限于上述存储元件 3 的膜结构,并且也可以使用各种膜结构。也就是说,可以在脱离本发明保护范围的情况下形成各种结构。

[0229] 例如,尽管上面描述了其中代替使用单层结构的情况,但是可以将磁化固定层 15 形成具有两层铁磁性层和非磁性层的层叠铁销结构,在此情况下,也可以通过进一步将反铁磁性膜添加到该层叠铁销结构膜来形成该结构。

[0230] 本申请包含于 2011 年 1 月 7 日向日本特许厅递交的日本在先专利申请 JP2011-001921 涉及的主题,在此通过引用将其全部内容包含在本说明书中。

[0231] 本领域的技术人员可以理解,在不脱离所附权利要求的范围及其等同范围的前提下,取决于设计要求及其他因素,可以进行各种改变、组合、子组合以及替换。

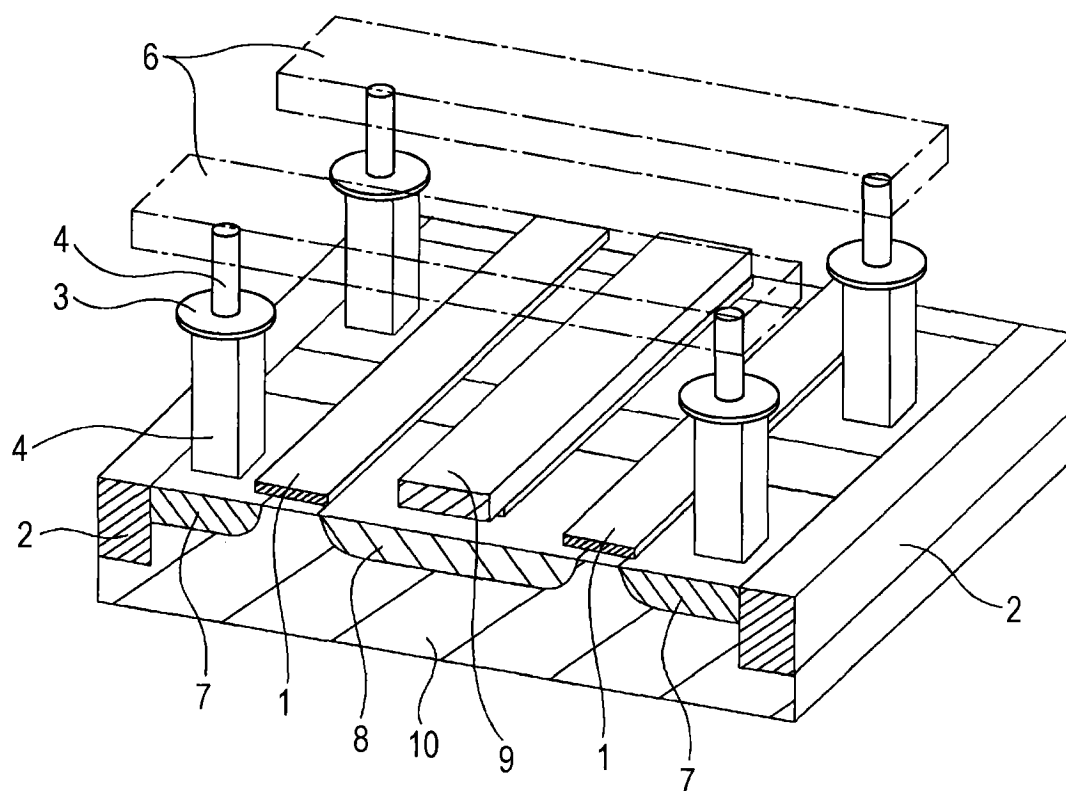


图 1

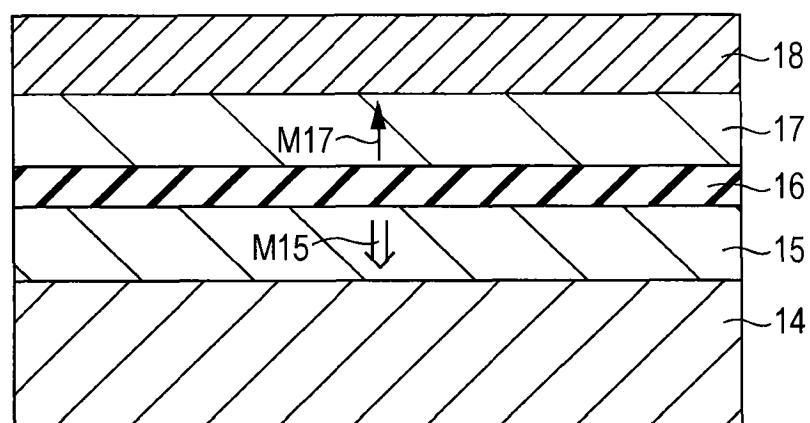
3

图 2

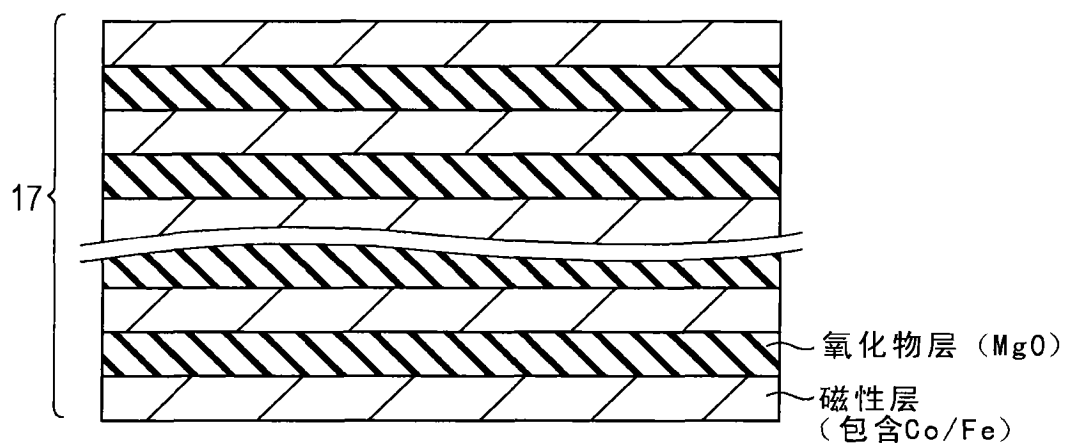


图 3

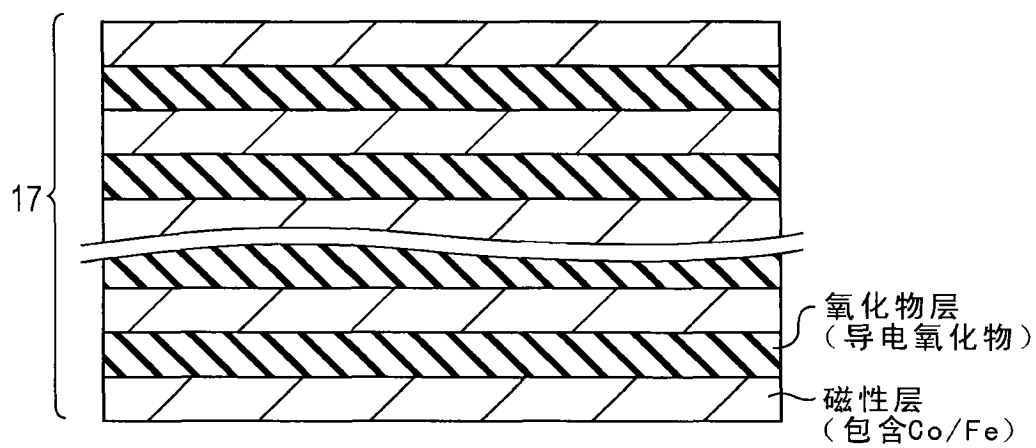


图 4

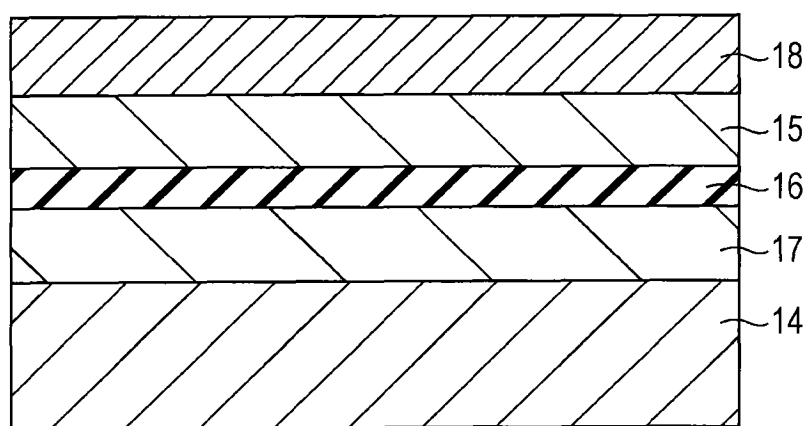


图 5

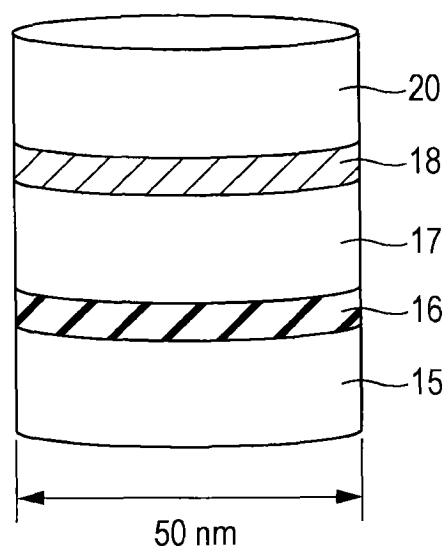


图 6

材料	阻抗率 [$\Omega \cdot \text{cm}$]
ReO_3	1×10^{-5}
RuO_2	5×10^{-5}
SnO_2	1×10^{-2}
掺杂有Nb的 TiO_2	4×10^{-3}
LiTi_2O_4	1×10^{-3}
LiV_2O_4	1×10^{-3}
Fe_2O_4	1×10^{-2}
ZnO	8×10^{-3}
ITO (In-Sn-O)	2×10^{-4}

图 7

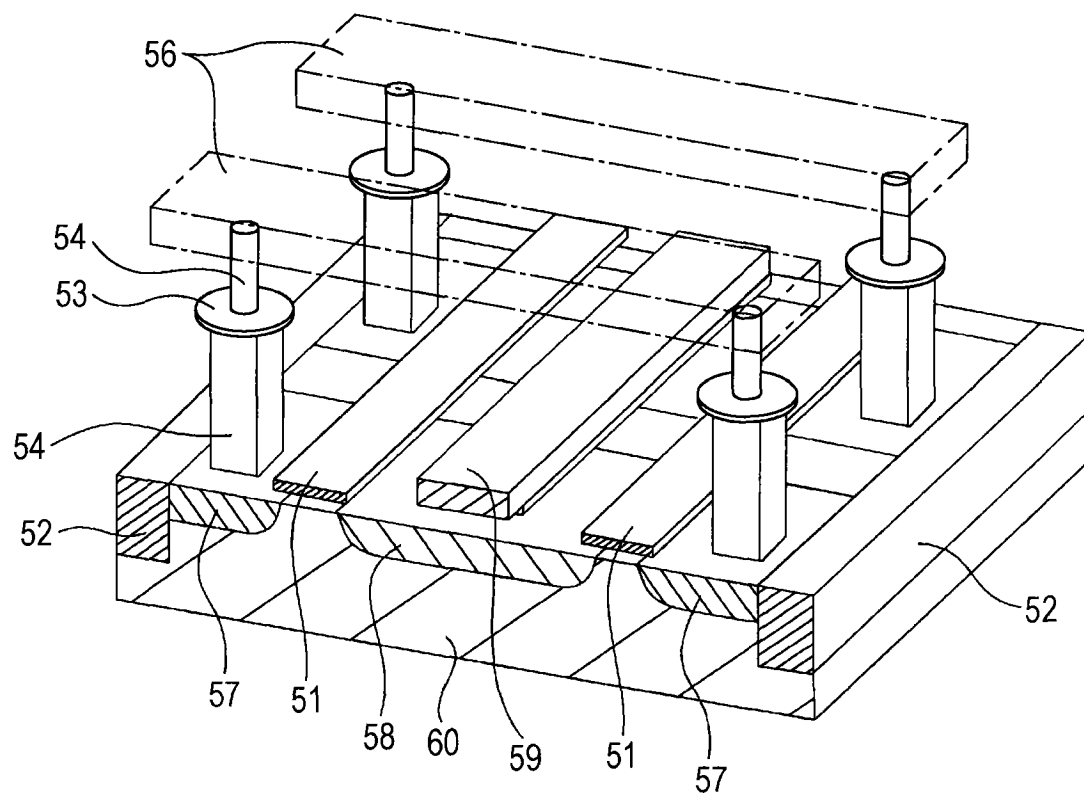


图 8

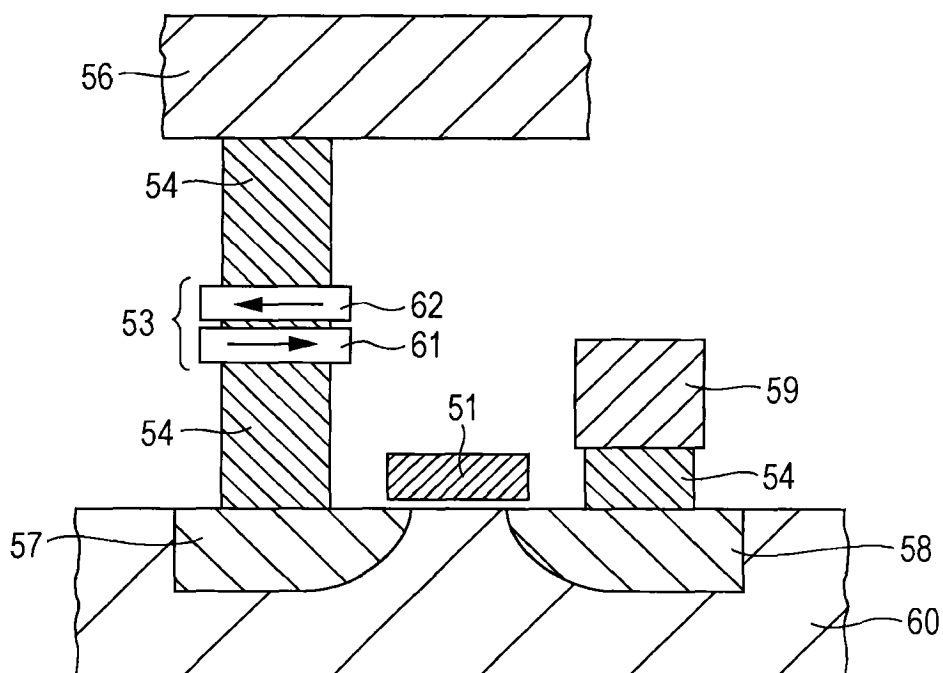


图 9