



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2014-0143749  
(43) 공개일자 2014년12월17일

(51) 국제특허분류(Int. Cl.)  
H03D 3/22 (2006.01)  
(21) 출원번호 10-2014-7024177  
(22) 출원일자(국제) 2013년01월31일  
심사청구일자 없음  
(85) 번역문제출일자 2014년08월28일  
(86) 국제출원번호 PCT/US2013/024159  
(87) 국제공개번호 WO 2013/116528  
국제공개일자 2013년08월08일  
(30) 우선권주장  
13/754,819 2013년01월30일 미국(US)  
(뒷면에 계속)

(71) 출원인  
이노페이즈 인크.  
미국, 일리노이 60605, 시카고, 스위트 202, 1006  
사우스 미시간 애비뉴  
(72) 발명자  
쉬 양  
미국 일리노이주 60605 시카고 #2102 사우스 미시  
간 애비뉴 1160  
(74) 대리인  
김태홍, 김성기

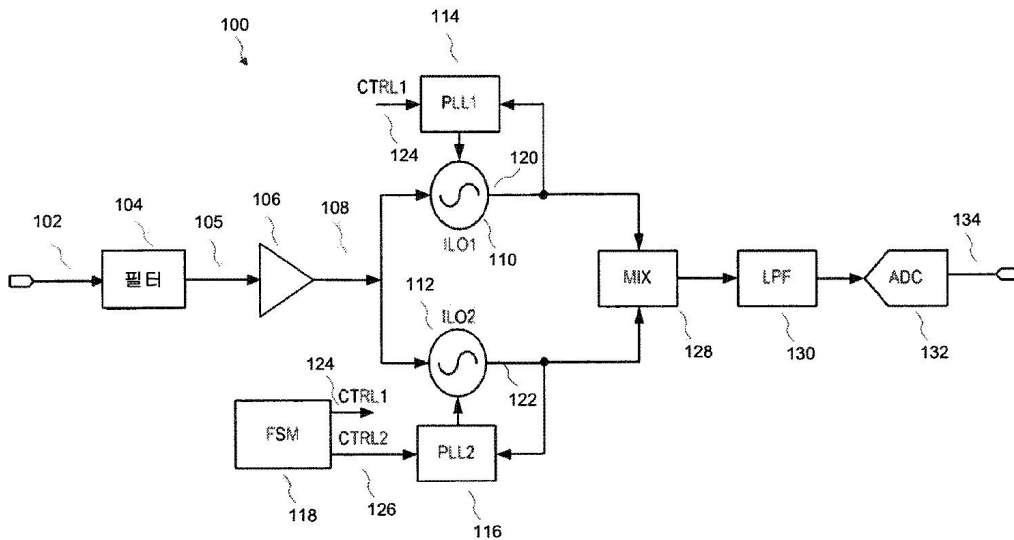
전체 청구항 수 : 총 66 항

(54) 발명의 명칭 **위상 시프트 키잉 신호들을 복조하고 송신하기 위한 수신기 및 송수신기 아키텍처 및 방법**

**(57) 요약**

수신기 및 송수신기를 포함하는 송수신기가 설명된다. 수신기는 BPSK 신호를 수신하도록 구성된 제1 입력 및 제1 주파수 레퍼런스를 수신하도록 구성된 제2 입력을 갖는 제1 주입 고정 발진기(injection-locked oscillator)를 포함한다. 수신기는 또한, BPSK 신호를 수신하도록 구성된 제3 입력 및 제2 주파수 레퍼런스를 수신하도록 구성된 제4 입력을 갖는 제2 주입 고정 발진기를 포함한다. 또한, 수신기는 제1 주입 고정 발진기의 제2 입력과 결합된 제1 위상 고정 루프를 포함한다. 제1 위상 고정 루프는 제1 주파수 레퍼런스를 생성하도록 구성된다. 그리고, 제2 주입 고정 발진기의 제4 입력과 제2 위상 고정 루프가 결합된다. 제2 위상 고정 루프는 제2 주파수 레퍼런스를 생성하도록 구성된다.

**대표도**



(30) 우선권주장

13/754,841	2013년01월30일	미국(US)
13/754,853	2013년01월30일	미국(US)
61/593,221	2012년01월31일	미국(US)
61/615,169	2012년03월23일	미국(US)

---

## 특허청구의 범위

### 청구항 1

수신기로서,

이진 위상 시프트 키잉(BPSK) 신호를 수신하도록 구성된 제1 입력 및 제1 주파수 레퍼런스를 수신하도록 구성된 제2 입력을 갖는 제1 주입 고정 발진기;

상기 BPSK 신호를 수신하도록 구성된 제3 입력 및 제2 주파수 레퍼런스를 수신하도록 구성된 제4 입력을 갖는 제2 주입 고정 발진기;

상기 제1 주입 고정 발진기의 상기 제2 입력과 결합되어 상기 제1 주파수 레퍼런스를 생성하도록 구성된 제1 위상 고정 루프; 및

상기 제2 주입 고정 발진기의 제4 입력과 결합되어 상기 제2 주파수 레퍼런스를 생성하도록 구성된 제2 위상 고정 루프를 포함하는, 수신기.

### 청구항 2

제1항에 있어서, 상기 제1 주입 고정 발진기 및 상기 제2 주입 고정 발진기와 결합된 혼합기를 포함하는, 수신기.

### 청구항 3

제2항에 있어서, 상기 제1 위상 고정 루프와 결합되고 상기 제2 위상 고정 루프와 결합된 유한 상태 기계를 포함하는, 수신기.

### 청구항 4

제3항에 있어서, 상기 유한 상태 기계는 제어 신호에 의해 상기 제1 위상 고정 루프와 결합되는, 수신기.

### 청구항 5

제4항에 있어서, 상기 제어 신호는 상기 제1 위상 고정 루프의 분할 팩터를 조정하는, 수신기.

### 청구항 6

제3항에 있어서, 상기 유한 상태 기계는 채널 검출, 클리어 채널 평가, 데이터 전송, PVT 교정, 수신기 웨이크업, 및 수신기 전력차단을 포함하는 상태 중 적어도 하나를 포함하는, 수신기.

### 청구항 7

제1항에 있어서, 상기 제1 위상 고정 루프와 상기 제2 위상 고정 루프 중 적어도 하나는 아날로그 위상 고정 루프인, 수신기.

### 청구항 8

제1항에 있어서, 상기 제1 위상 고정 루프와 상기 제2 위상 고정 루프 중 적어도 하나는 디지털 위상 고정 루프인, 수신기.

### 청구항 9

제1항에 있어서, 상기 제1 위상 고정 루프는 상기 제1 주입 고정 발진기의 제1 출력을 수신하도록 구성되고, 상기 제1 레퍼런스 주파수는 상기 제1 주입 고정 발진기의 상기 제1 출력에 적어도 기초하는, 수신기.

### 청구항 10

제1항에 있어서, 상기 제1 주파수 레퍼런스는 상기 BPSK 신호의 캐리어 주파수보다 크고, 상기 제2 주파수 레퍼런스는 상기 BPSK 신호의 상기 캐리어 주파수 미만인, 수신기.

**청구항 11**

제1항에 있어서, 양의 출력 및 음의 출력을 갖는 증폭기를 포함하고, 상기 양의 출력은 상기 제1 주입 고정 발진기와 결합되고, 상기 음의 출력은 상기 제2 주입 고정 발진기와 결합되는, 수신기.

**청구항 12**

수신기로서,

이진 위상 시프트 키잉(BPSK) 신호를 수신하도록 구성된 제1 입력 및 제1 주파수 레퍼런스를 수신하도록 구성된 제2 입력을 갖는 제1 주입 고정 발진기;

상기 BPSK 신호를 수신하도록 구성된 제3 입력 및 제2 주파수 레퍼런스를 수신하도록 구성된 제4 입력을 갖는 제2 주입 고정 발진기;

상기 제1 주입 고정 발진기의 상기 제2 입력과 결합되어 상기 제1 주파수 레퍼런스를 생성하도록 구성된 제1 주입 고정 발진기 제어 회로; 및

상기 제2 주입 고정 발진기의 제4 입력과 결합되어 상기 제2 주파수 레퍼런스를 생성하도록 구성된 제2 위상 고정 발진기 제어 회로를 포함하는, 수신기.

**청구항 13**

제12항에 있어서, 상기 제1 주입 고정 발진기 및 상기 제2 주입 고정 발진기와 결합된 혼합기를 포함하는, 수신기.

**청구항 14**

제13항에 있어서, 상기 제1 위상 고정 루프와 결합되고 상기 제2 위상 고정 루프와 결합된 유한 상태 기계를 포함하는, 수신기.

**청구항 15**

제14항에 있어서, 상기 유한 상태 기계는 제어 신호에 의해 상기 제1 입력 고정 발진기 제어 회로와 결합되는, 수신기.

**청구항 16**

제15항에 있어서, 상기 제어 신호는 상기 제1 주입 고정 발진기 제어 회로의 튜닝 상수를 조정하는, 수신기.

**청구항 17**

제12항에 있어서, 상기 제1 주입 고정 발진기 제어 회로와 상기 제2 주입 고정 발진기 제어 회로 중 적어도 하나는 위상 고정 루프인, 수신기.

**청구항 18**

제12항에 있어서, 상기 제1 주입 고정 발진기 제어 회로와 상기 제2 주입 고정 발진기 제어 회로 중 적어도 하나는 주파수 고정 루프인, 수신기.

**청구항 19**

제12항에 있어서, 상기 제1 주입 고정 발진기 제어 회로는 상기 제1 주입 고정 발진기의 제1 출력을 수신하도록 구성되고, 상기 제1 레퍼런스 주파수는 상기 제1 주입 고정 발진기의 상기 제1 출력에 적어도 기초하는, 수신기.

**청구항 20**

제12항에 있어서, 상기 제1 주파수 레퍼런스는 상기 BPSK 신호의 캐리어 주파수보다 크고, 상기 제2 주파수 레퍼런스는 상기 BPSK 신호의 상기 캐리어 주파수 미만인, 수신기.

**청구항 21**

변조 방법으로서,

이진 위상 시프트 키잉 신호를 수신하는 단계;

상기 이진 위상 시프트 키잉 신호를 기초로 제1 채널을 생성하는 단계;

상기 이진 위상 시프트 키잉 신호를 기초로 제2 채널을 생성하는 단계;

제1 주입 고정 발진기 제어 회로와 결합된 제1 주입 고정 발진기를 포함하는 제1 회로를 사용하여 상기 제1 채널을 프로세싱하여 제1 출력을 생성하는 단계;

제2 주입 고정 발진기 제어 회로와 결합된 제2 주입 고정 발진기를 포함하는 제2 회로를 사용하여 상기 제2 채널을 프로세싱하여 제2 출력을 생성하는 단계; 및

상기 제1 출력과 상기 제2 출력을 곱하는 단계를 포함하는, 변조 방법.

**청구항 22**

수신기로서,

직교 위상 시프트 키잉(QPSK) 신호를 수신하도록 구성된 필터;

상기 필터와 결합된 증폭기; 및

상기 증폭기와 결합되고 상기 QPSK 신호를 기초로 제1 BPSK 신호를 생성하고, 상기 제2 QPSK 신호를 기초로 제2 BPSK 신호를 생성하도록 구성된 QPSK 분해 필터를 포함하는, 수신기.

**청구항 23**

제22항에 있어서, 상기 QPSK 분해 필터는 제1 위상 시프트 신호와 제2 위상 시프트 신호 사이에서 선택하여 상기 제1 BPSK 신호 및 상기 제2 BPSK 신호를 생성하도록 구성되는, 수신기.

**청구항 24**

제23항에 있어서, 상기 QPSK 분해 필터는 상기 제1 위상 시프트 신호와 상기 제2 위상 시프트 신호 사이의 위상 차이를 기초로 상기 제1 위상 시프트 신호와 제2 위상 시프트 신호 사이에서 선택하도록 구성되는, 수신기.

**청구항 25**

제23항에 있어서, 상기 QPSK 분해 필터는 상기 QPSK 신호의 위상으로부터 양의 45도만큼 시프트된 위상을 갖는 제1 위상 시프트 신호를 생성하도록 구성된 제1 위상 시프터 및 상기 QPSK 신호의 위상으로부터 음의 45도만큼 시프트된 위상을 갖는 상기 제2 위상 시프트 신호를 생성하도록 구성된 제2 위상 시프터를 포함하는, 수신기.

**청구항 26**

제24항에 있어서, 상기 QPSK 분해 필터는 상기 제1 위상 시프트 신호와 상기 제2 위상 시프트 신호를 기초로 혼합 신호를 생성하도록 구성된 혼합기를 포함하는, 수신기.

**청구항 27**

제22항에 있어서, 상기 제1 BPSK 신호를 복조하도록 구성된 제1 BPSK 수신기를 더 포함하는, 수신기.

**청구항 28**

제27항에 있어서, 상기 제2 BPSK 신호를 복조하도록 구성된 제2 BPSK 수신기를 더 포함하는, 수신기.

**청구항 29**

직교 위상 시프트 키잉(QPSK) 분해 필터로서,

QPSK 신호의 위상을 시프트하여 제1 위상 시프트 신호를 생성하도록 구성된 제1 위상 시프터;

상기 QPSK 신호의 위상을 시프트하여 제2 위상 시프트 신호를 생성하도록 구성된 제2 위상 시프터;  
 상기 제1 위상 시프트 신호 및 상기 제2 위상 시프트 신호를 기초로 제1 출력과 제2 출력 사이에서 스위칭하여 제1 이진 위상 시프트 키잉(BPSK) 신호 및 제2 BPSK 신호를 생성하도록 구성된 제1 스위치; 및  
 상기 제1 위상 시프트 신호 및 상기 제2 위상 시프트 신호를 기초로 상기 제1 출력과 상기 제2 출력 사이에서 스위칭하여 상기 제1 BPSK 신호 및 상기 제2 BPSK 신호를 생성하도록 구성된 제2 스위치를 포함하는, QPSK 분해 필터.

**청구항 30**

제29항에 있어서, 상기 제1 출력과 상기 제2 출력 사이에서 상기 제1 스위치 및 상기 제2 스위치를 스위칭하도록 구성된 제1 제어 회로를 더 포함하는, QPSK 분해 필터.

**청구항 31**

제30항에 있어서, 상기 스위치 제어 회로는 상기 제1 위상 시프트 신호 및 상기 제2 위상 시프트 신호를 기초로 혼합 신호를 생성하도록 구성된 혼합기를 포함하는, QPSK 분해 필터.

**청구항 32**

제31항에 있어서, 상기 스위치 제어 회로는 상기 혼합 신호를 기초로 위상 출력 신호를 생성하도록 구성된 위상 검출기, 및 상기 제1 스위치 및 상기 제2 스위치는 상기 위상 출력 신호를 기초로 상기 제1 출력과 상기 제2 출력 사이에서 스위칭하도록 구성되는, QPSK 분해 필터.

**청구항 33**

제29항에 있어서, 상기 QPSK 신호를 기초로 제1 채널 신호를 생성하고, 상기 QPSK 신호를 기초로 제2 채널 신호를 생성하도록 구성된 전력 분할기를 더 포함하고, 상기 전력 분할기는 상기 제1 위상 시프터 및 상기 제2 위상 시프터와 결합되는, QPSK 분해 필터.

**청구항 34**

수신기로서,  
 직교 위상 시프트 키잉(QPSK) 신호를 수신하도록 구성된 입력 필터;  
 상기 입력 필터와 결합되어 상기 QPSK 신호를 증폭시키도록 구성된 증폭기; 및  
 상기 QPSK 입력 신호를 기초로 이진 위상 시프트 키잉(BPSK) 신호를 생성하도록 구성된 QPSK 인터레이싱 필터를 포함하는, 수신기.

**청구항 35**

제34항에 있어서, 상기 QPSK 인터레이싱 필터는 제1 위상 시프트 신호와 제2 위상 시프트 신호 사이에서 선택하여 상기 BPSK 신호를 생성하도록 구성되는, 수신기.

**청구항 36**

제35항에 있어서, 상기 QPSK 인터레이싱 필터는 상기 제1 위상 시프트 신호와 상기 제2 위상 시프트 신호 사이의 위상 차이를 기초로 상기 제1 위상 시프트 신호와 상기 제2 위상 시프트 신호 사이에서 선택하도록 구성되는, 수신기.

**청구항 37**

제35항에 있어서, 상기 QPSK 인터레이싱 필터는 상기 QPSK 신호의 위상으로부터 양의 45도만큼 시프트된 위상을 갖는 상기 제1 위상 시프트 신호를 생성하도록 구성된 제1 위상 시프터 및 상기 QPSK 신호의 위상으로부터 음의 45도만큼 시프트된 위상을 갖는 상기 제2 위상 시프트 신호를 생성하도록 구성된 제2 위상 시프터를 포함하는, 수신기.

**청구항 38**

제36항에 있어서, 상기 QPSK 인터레이싱 필터는 상기 제1 위상 시프트 신호와 상기 제2 위상 시프트 신호를 기초로 혼합 신호를 생성하도록 구성된 혼합기를 포함하는, 수신기.

**청구항 39**

제34항에 있어서, 상기 BPSK 신호를 복조하도록 구성된 BPSK 수신기를 더 포함하는, 수신기.

**청구항 40**

직교 위상 시프트 키잉(QPSK) 인터레이싱 필터로서,

QPSK 신호의 제1 위상을 시프트하여 제1 위상 시프트 신호를 생성하도록 구성된 제1 위상 시프터;

상기 QPSK 신호의 상기 제1 위상을 시프트하여 제2 위상 시프트 신호를 생성하도록 구성된 제2 위상 시프터;

상기 제1 위상 시프트 신호 및 상기 제2 위상 시프트 신호를 기초로 제1 출력과 제2 출력 사이에서 스위칭하여 제1 이진 위상 시프트 키잉(BPSK) 신호 및 제2 BPSK 신호를 생성하도록 구성된 제1 스위치;

상기 제1 위상 시프트 신호 및 상기 제2 위상 시프트 신호를 기초로 상기 제1 출력과 상기 제2 출력 사이에서 스위칭하여 상기 제1 BPSK 신호 및 상기 제2 BPSK 신호를 생성하도록 구성된 제2 스위치; 및

상기 제1 출력과 상기 제2 출력 사이에서 스위칭하여 출력 BPSK를 생성하도록 구성된 제3 스위치를 포함하는, QPSK 인터레이싱 필터.

**청구항 41**

제40항에 있어서, 상기 제1 출력과 상기 제2 출력 사이에서 상기 제1 스위치 및 상기 제2 스위치를 스위칭하도록 구성된 제1 제어 회로를 포함하는, QPSK 인터레이싱 필터.

**청구항 42**

제41항에 있어서, 상기 스위치 제어 회로는 상기 제1 채널 신호 및 상기 제2 채널 신호를 기초로 혼합 신호를 생성하도록 구성된 혼합기를 포함하는, QPSK 인터레이싱 필터.

**청구항 43**

제42항에 있어서, 상기 스위치 제어 회로는 상기 혼합 신호를 기초로 위상 출력 신호를 생성하도록 구성된 위상 검출기, 및 상기 제1 스위치 및 상기 제2 스위치는 상기 위상 출력 신호를 기초로 상기 제1 출력과 상기 제2 출력 사이에서 스위칭하도록 구성되는, QPSK 인터레이싱 필터.

**청구항 44**

제40항에 있어서, 상기 QPSK 신호를 기초로 제1 채널 신호를 생성하고, 상기 QPSK 신호를 기초로 제2 채널 신호를 생성하도록 구성된 전력 분할기를 더 포함하는, QPSK 인터레이싱 필터.

**청구항 45**

제40항에 있어서, 상기 제1 BPSK 신호의 제2 위상을 시프트하도록 구성된 제3 위상 시프터 및 상기 제2 BPSK 신호의 제3 위상을 시프트하도록 구성된 제4 위상 시프터를 더 포함하는, QPSK 인터레이싱 필터.

**청구항 46**

제45항에 있어서, 상기 제3 스위치는 상기 제1 BPSK 신호와 상기 제2 BPSK 신호 사이에서 선택하여 출력 BPSK 신호를 생성하도록 구성되는, QPSK 인터레이싱 필터.

**청구항 47**

송수신기로서,

이진 위상 시프트 키잉(BPSK) 신호를 수신하도록 구성된 제1 입력 및 제1 주파수 레퍼런스를 수신하도록 구성된 제2 입력을 갖고, 제1 주입 고정 발진기 출력을 생성하도록 구성된 제1 주입 고정 발진기;

상기 BPSK 신호를 수신하도록 구성된 제3 입력 및 제2 주파수 레퍼런스를 수신하도록 구성된 제4 입력을 갖고,

제2 주입 고정 발진기 출력을 생성하도록 구성된 제2 주입 고정 발진기;

상기 제1 주입 고정 발진기의 상기 제2 입력과 결합되어 상기 제1 주파수 레퍼런스를 생성하도록 구성된 제1 위상 고정 루프;

상기 제2 주입 고정 발진기의 상기 제4 입력과 결합되어 상기 제2 주파수 레퍼런스를 생성하도록 구성된 제2 위상 고정 루프;

상기 제1 위상 고정 루프 출력을 수신하도록 구성되고, 상기 제2 주입 고정 발진기 출력을 수신하도록 구성되어, 상기 제1 주입 고정 발진기 출력 및 상기 제2 주입 고정 발진기 출력을 기초로 캐리어 주파수 신호를 생성하도록 구성된 혼합기; 및

상기 캐리어 주파수 신호를 수신하도록 구성된 변조기를 포함하는, 송수신기.

**청구항 48**

제47항에 있어서, 상기 제1 주입 고정 발진기 및 상기 제2 주입 고정 발진기와 결합된 제2 혼합기를 포함하는, 송수신기.

**청구항 49**

제48항에 있어서, 상기 제1 위상 고정 루프와 결합되고 상기 제2 위상 고정 루프와 결합된 유한 상태 기계를 포함하는, 송수신기.

**청구항 50**

제49항에 있어서, 상기 유한 상태 기계는 제어 신호에 의해 상기 제1 위상 고정 루프와 결합되는, 송수신기.

**청구항 51**

제50항에 있어서, 상기 제어 신호는 상기 제1 위상 고정 루프의 분할 팩터를 조정하는, 송수신기.

**청구항 52**

제47항에 있어서, 상기 제1 위상 고정 루프와 상기 제2 위상 고정 루프는 디지털 위상 고정 루프인, 송수신기.

**청구항 53**

제47항에 있어서, 상기 제1 위상 고정 루프와 상기 제2 위상 고정 루프는 아날로그 위상 고정 루프인, 송수신기.

**청구항 54**

제47항에 있어서, 상기 제1 주입 고정 발진기 및 상기 제2 주입 고정 발진기와 결합된 직교 위상 시프트 키잉(QPSK) 분해 필터를 포함하는, 송수신기.

**청구항 55**

제47항에 있어서, 상기 제1 위상 고정 루프는 상기 제1 주입 고정 발진기의 제1 출력을 수신하도록 구성되고, 상기 제1 레퍼런스 주파수는 상기 제1 주입 고정 발진기의 상기 제1 출력에 적어도 기초하는, 송수신기.

**청구항 56**

제47항에 있어서, 상기 제1 주파수 레퍼런스는 상기 BPSK 신호의 캐리어 주파수보다 크고, 상기 제2 주파수 레퍼런스는 상기 BPSK 신호의 상기 캐리어 주파수 미만인, 송수신기.

**청구항 57**

송수신기로서,

이진 위상 시프트 키잉(BPSK) 신호를 수신하도록 구성된 제1 입력 및 제1 주파수 레퍼런스를 수신하도록 구성된 제2 입력을 갖는 제1 주입 고정 발진기;



상기 BPSK 신호를 수신하도록 구성된 제3 입력 및 제2 주파수 레퍼런스를 수신하도록 구성된 제4 입력을 갖는 제2 주입 고정 발진기;

상기 제1 주입 고정 발진기의 상기 제2 입력과 결합되어 상기 제1 주파수 레퍼런스를 생성하도록 구성된 제1 주입 고정 발진기(ILO) 제어 회로;

상기 제2 주입 고정 발진기의 제4 입력과 결합되어 상기 제2 주파수 레퍼런스를 생성하도록 구성된 제2 위상 고정 발진기 제어 회로;

제1 주입 고정 발진기 출력을 수신하고 제2 주입 고정 발진기 출력을 수신하여 상기 제1 주입 고정 발진기 출력 및 상기 제2 주입 고정 발진기 출력을 기초로 캐리어 주파수 신호를 생성하도록 구성된 혼합기; 및

상기 캐리어 주파수 신호를 수신하도록 구성된 변조기를 포함하는, 송수신기.

**청구항 58**

제57항에 있어서, 상기 제1 주입 고정 발진기 및 상기 제2 주입 고정 발진기와 결합된 제2 혼합기를 포함하는, 송수신기.

**청구항 59**

제58항에 있어서, 상기 제1 ILO 제어 회로와 결합되고, 상기 제2 ILO 제어 회로와 결합된 유상 상태 기계를 포함하는, 송수신기.

**청구항 60**

제59항에 있어서, 상기 제어 신호는 상기 제1 주입 고정 발진기 제어 회로의 튜닝 상수를 조정하는, 송수신기.

**청구항 61**

제57항에 있어서, 상기 변조기는 디지털 비트 스트림을 수신하도록 구성되는, 송수신기.

**청구항 62**

제57항에 있어서, 상기 제1 주입 고정 발진기 제어 회로와 상기 제2 주입 고정 발진기 제어 회로 중 적어도 하나는 위상 고정 루프인, 송수신기.

**청구항 63**

제57항에 있어서, 상기 제1 주입 고정 발진기 제어 회로와 상기 제2 주입 고정 발진기 제어 회로 중 적어도 하나는 주파수 고정 루프인, 송수신기.

**청구항 64**

제57항에 있어서, 상기 제1 위상 고정 루프는 상기 제1 주입 고정 발진기의 제1 출력을 수신하도록 구성되고, 상기 제1 레퍼런스 주파수는 상기 제1 주입 고정 발진기의 상기 제1 출력에 적어도 기초하는, 송수신기.

**청구항 65**

제57항에 있어서, 상기 제1 주파수 레퍼런스는 상기 BPSK 신호의 캐리어 주파수보다 크고, 상기 제2 주파수 레퍼런스는 상기 BPSK 신호의 상기 캐리어 주파수 미만인, 송수신기.

**청구항 66**

신호를 복조하고 베이스밴드 신호를 변조하는 방법으로서,

이진 위상 시프트 키잉 신호를 수신하는 단계;

상기 이진 위상 시프트 키잉 신호를 기초로 제1 채널을 생성하는 단계;

상기 이진 위상 시프트 키잉 신호를 기초로 제2 채널을 생성하는 단계;

제1 주입 고정 발진기 제어 회로와 결합된 제1 주입 고정 발진기를 포함하는 제1 회로를 사용하여 상기 제1 채널

널을 프로세싱하여 제1 출력을 생성하는 단계;

제2 주입 고정 발진기 제어 회로와 결합된 제2 주입 고정 발진기를 포함하는 제2 회로를 사용하여 상기 제2 채널을 프로세싱하여 제2 출력을 생성하는 단계;

상기 제1 출력과 상기 제2 출력을 곱하여 캐리어 주파수 신호를 생성하는 단계; 및

상기 캐리어 주파수 신호를 기초로 베이스밴드 신호를 변조하는 단계를 포함하는, 방법.

## 명세서

### 기술분야

[0001] 관련 출원들의 상호 참조

[0002] 본 출원은 2012년 1월 31일에 출원된 미국 가출원 61/593,221호 및 2012년 3월 23일에 출원된 미국 가출원 제 61/615,169호에 대해 우선권을 주장하는, 2013년 1월 30일에 출원된 미국 특허출원 제13/754,819호, 2013년 1월 30일에 출원된 미국 특허출원 제13/754,841호, 및 2013년 1월 30일에 출원된 미국 특허출원 제13/754,853호에 대한 우선권을 주장하는 국제 출원으로서 이들 모두는 전체적으로 참조로서 여기에 통합되어 있다.

[0003] 기술 분야

[0004] 본 개시의 실시예들은 일반적으로 통신 시스템 및 방법들에 관한 것으로서, 더 구체적으로 이진 위상 시프트 키잉(Binary Phase Shift Keying; BPSK) 신호들 및 옵션으로서 직교 위상 시프트 키잉(Quadrature Phase Shift Keying; QPSK) 신호들을 송수신하기 위한 수신기 및 송수신기 아키텍처 및 방법들에 관한 것이다.

### 배경 기술

[0005] 고속 집적 회로 기술에서의 최근의 진보는 메쉬 센서 네트워크(mesh sensor network)와 같은 초저전력 무선 링크, 원격 산업 모니터링 및 삽입형 의료 디바이스(implantable medical device)를 통해 여러 혁신적이고 다기능의 애플리케이션을 가능하게 하고 있다. 무선 데이터 액세스의 경우, 채택된 변조 방식은 비트 레이트 및 비트 에러 레이트의 측면에서 링크 품질에 매우 중요하다.

[0006] 위상 시프트 키잉(PSK), 특히 이진 위상 시프트 키잉(BPSK) 및 직교 위상 시프트 키잉(QPSK)은 IEEE 802.15.4, 위성 위치확인 시스템(GPS), IEEE 802.11 (WiFi) 시스템, 및 의료 텔레메트리(telemetry)와 같은 무선 시스템에서 널리 사용되는 디지털 변조 방식이다. 이러한 기법은 캐리어 신호들의 위상을 시프트함으로써 디지털 비트들을 표현한다. 유사한 대역폭 점유 하에서, PSK 신호들은 진폭 시프트 키잉(ASK) 또는 주파수 시프트 키잉(FSK) 변조 방식에 비해 잡음에 더 강하다.

### 발명의 내용

#### 해결하려는 과제

[0007] PSK 신호의 복조는 대개 COSTAS 루프와 같은 캐리어 복구 회로에 의해 달성되는 코히런트 검파(coherent detection) 및 동기화를 요구한다. 그러나, 그 복잡성으로 인해 COSTAS 루프의 소비 전력 감소를 위한 여유는 제한적이다. 이러한 점은 추가적인 발전에 장애물이 되고 있다. 따라서, 주요 개발들이 필요하며, 상당한 이익이 될 것이다.

#### 과제의 해결 수단

[0008] 수신기 및 송수신기가 설명된다. 수신기는 BPSK 신호를 수신하도록 구성된 제1 입력 및 제1 주파수 레퍼런스를 수신하도록 구성된 제2 입력을 갖는 제1 주입 고정 발진기를 포함한다. 수신기는 또한 BPSK 신호를 수신하도록 구성된 제3 입력 및 제2 주파수 레퍼런스를 수신하도록 구성된 제4 입력을 갖는 제2 주입 고정 발진기를 포함한다. 또한, 수신기는 제1 주입 고정 발진기의 제2 입력과 결합된 제1 위상 고정 루프를 포함한다. 제1 위상 고정 루프는 제1 주파수 레퍼런스를 생성하도록 구성된다. 그리고, 제2 주입 고정 발진기의 제4 입력과 제2 위상 고정 루프가 결합된다. 제2 위상 고정 루프는 제2 주파수 레퍼런스를 생성하도록 구성된다.

[0009] 수신기는 직교 위상 시프트 키잉(QPSK) 신호를 수신하도록 구성된 필터를 포함한다. 또한, 수신기는 필터와 결합된 증폭기를 포함한다. 그리고, 증폭기에는 QPSK 분해 필터가 결합된다. QPSK 분해 필터는 QPSK 신호를 기

초로 제1 BPSK 신호를 생성하고, QPSK 신호를 기초로 제2 BPSK 신호를 생성하도록 구성된다.

[0010] 송수신기는 이진 위상 시프트 키잉(BPSK) 신호를 수신하도록 구성된 제1 입력 및 제1 주파수 레퍼런스를 수신하도록 구성된 제2 입력을 갖는 제1 주입 고정 발진기를 포함한다. 제1 주입 고정 발진기는 제1 주입 고정 발진기 출력을 생성하도록 구성된다. 제2 주입 고정 발진기는 BPSK 신호를 수신하도록 구성된 제3 입력 및 제2 주파수 레퍼런스를 수신하도록 구성된 제4 입력을 갖는다. 제2 주입 고정 발진기는 제1 주입 고정 발진기 출력을 생성하도록 구성된다. 또한, 송수신기는 제1 주입 고정 발진기의 제2 입력과 결합된 제1 위상 고정 루프를 포함한다. 제1 위상 고정 루프는 제1 주파수 레퍼런스를 생성하도록 구성된다. 또한, 송수신기는 제2 주입 고정 발진기의 제4 입력과 결합된 제2 위상 고정 루프를 포함한다. 제2 위상 고정 루프는 제2 주파수 레퍼런스를 생성하도록 구성된다. 송수신기는 제1 위상 고정 루프 출력을 수신하고 제2 주입 고정 발진기 출력을 수신하도록 구성된 혼합기(mixer)를 포함한다. 혼합기는 또한 제1 주입 고정 발진기 출력 및 제2 주입 고정 발진기 출력을 기초로 캐리어 주파수 신호를 생성하도록 구성된다. 그리고, 송수신기는 캐리어 주파수 신호를 수신하도록 구성된 변조기를 포함한다.

[0011] 본 발명의 실시예들의 그 밖의 특징들 및 이점들은 첨부 도면 및 다음의 상세한 설명으로부터 명확해질 것이다.

**도면의 간단한 설명**

[0012] 본 명세서에 통합되는 첨부 도면들은 여기에 개시된 본 발명의 하나 이상의 예시적인 실시예들을 예시하고, 상세한 설명과 함께 이들 발명의 원리 및 예시적인 구현들을 설명하기 위해 제공하는 역할을 한다. 당업자는 이 도면들이 단지 예시적이고, 여기에 설명된 내용은 본 명세서의 문맥 및 본 교시의 범위 및 범위를 기초로 적용될 수 있다는 점을 이해할 것이다.

도면에서, 동일한 도면 부호들은 명세서에서 동일한 부분을 지칭한다.

도 1은 일 실시예에 따른 위상 고정 루프들을 포함하는 수신기 아키텍처의 회로 블록도를 예시한다.

도 2는 일 실시예에 따른 주파수 고정 루프들을 포함하는 수신기 아키텍처의 회로 블록도를 예시한다.

도 3은 일 실시예에 따른 주입 고정 루프 제어 회로의 회로 블록도를 예시한다.

도 4는 일 실시예에 따른 다수의 주파수 분할기(frequency divider)를 포함하는 주입 고정 루프 제어 회로의 회로 블록도를 예시한다.

도 5는 일 실시예에 따른 주입 고정 발진기의 회로 블록도를 예시한다.

도 6은 일 실시예에 따른 유한 상태 기계를 구현하는 프로세스를 예시한다.

도 7은 일 실시예에 따른 QPSK 신호를 프로세싱하기 위한 수신기 아키텍처의 블록도를 예시한다.

도 8은 일 실시예에 따른 QPSK 분해 필터의 회로 블록도를 예시한다.

도 9는 일 실시예에 따른 스위치 제어 회로를 포함하는 QPSK 분해 필터의 회로 블록도를 예시한다.

도 10은 일 실시예에 따른 QPSK 인터레이싱(interlacing) 필터를 포함하는 수신기 아키텍처의 회로 블록도를 예시한다.

도 11은 일 실시예에 따른 QPSK 인터레이싱 필터의 회로 블록도를 예시한다.

도 12는 일 실시예에 따른 스위치 제어 회로들을 포함하는 QPSK 인터레이싱 필터의 회로 블록도를 예시한다.

도 13은 일 실시예에 따른 송수신기 아키텍처의 회로 블록도를 예시한다.

**발명을 실시하기 위한 구체적인 내용**

[0013] 당업자는 다음의 상세한 설명이 단지 예시적으로서 임의의 방법으로 제한하려는 것이 아님을 이해할 것이다. 본 발명의 다른 실시예들은 여기서 제공되는 교시들 및 본 개시의 이점을 갖는 이러한 당업자에게 제안될 수 있다. 이하 첨부 도면에 예시된 본 발명의 예시적인 구현예들에 대해 상세히 설명할 것이다.

[0014] 명확성을 위해, 여기에 설명된 예시적인 구현예들의 일상적인 특징 전부가 도시되고 설명되는 것이 아니다. 임의의 이러한 실제 구현예의 개발에서, 임의의 실제 구현예의 개발에 있어서, 단속 규제, 안전 규제, 사회적 제약, 환경적 제약, 건강 제약, 및 사업 관련 제약과의 호환과 같은 개발자의 특정 목적을 성취하기 위해 여러 구

현에 특정 결정들이 행해져야 하고, 이들 특정 목적은 구현에마다 그리고 개발자마다 달라질 것이라는 점이 이해될 것이다.

[0015] 본 개시의 실시예들은 일반적으로 이로 제한되는 것은 아니지만, 무선 광학 통신 시스템과 같은 통신 시스템들 및 방법들에 관한 것으로서, 더 구체적으로 이진 위상 시프트 키잉(BPSK) 및 옵션으로서 직교 위상 시프트 키잉(QPSK) 신호들을 수신하기 위한 수신기 아키텍처 및 방법들에 관한 것이다.

[0016] 도면들을 참조하면, 도 1은 일 실시예에 따른 수신기에 사용하기 위한 수신기 아키텍처(100)의 회로 블록도를 예시한다. 도 1에 예시된 실시예에 따르면, 필터(104)는 캐리어 주파수가  $f_c$ 인 BPSK 신호(102)를 수신하도록 구성된다. 일 실시예의 경우, 캐리어 주파수는 800 메가헤르츠(MHz)를 포함하고, 최대 6 기가헤르츠(GHz)를 포함하는 범위의 주파수일 수 있다. 당업자는 공지 기술들을 사용하여 다른 주파수들을 갖는 BPSK 신호가 사용될 수 있다는 점을 이해할 것이다. 일 실시예의 경우, BPSK 신호(102)는 이로 한정되는 것은 아니지만, 도체, 공기, 및 광 섬유 케이블과 같은 유리를 포함하는 매개체를 통해 전파되는 신호를 이로 한정되는 것은 아니지만 수신, 증폭, 형성하기 위한 하나 이상의 공지의 컴포넌트들을 포함하는 안테나 및/또는 회로망으로부터 온 것일 수 있다. 필터(104)는 대역 통과 필터, 저대역 통과 필터, 고대역 통과 필터, 또는 이들의 조합일 수 있다. 일 실시예에 따르면, 필터(104)는 저항기, 커패시터, 및 인덕터와 같은 이산 컴포넌트들, 트랜지스터 연산 증폭기와 같은 능동 컴포넌트들, 디지털 신호 프로세서, 필드-프로그래머블 게이트 어레이(FPGA), 애플리케이션 특정 집적 회로(ASIC), 및 신호를 필터링하기 위한 그 밖의 회로들 중 하나 이상을 이용하여 구현될 수 있다. 필터(104)는 원하는 신호의 주파수 범위를 선택하고 공지된 것을 포함하는 기법들을 이용함으로써 원하지 않는 잡음 또는 신호의 부분들을 최소화하기 위한 대역폭을 갖도록 구성된다.

[0017] 일 실시예의 경우, BPSK 신호(102)는 캐리어 주파수( $f_c$ )를 중심으로 하는 신호 대역을 선택한 대역 통과 필터(BPF)로서 구성된 필터(104)에 의해 필터링된다. 일 실시예의 경우, 필터(104)는 신호 대역 밖의 주파수들에서 신호의 진폭을 감소시키거나, 신호의 주파수들을 제거하거나, 주파수들 또는 신호의 일부를 취소하거나, 다른 공지 기법을 사용하여 캐리어 주파수를 중심으로 하는 신호 대역을 선택함으로써 캐리어 주파수를 중심으로 하는 신호 대역을 선택하도록 구성된다. 필터(104)는 필터링된 BPSK 신호(105)를 생성하도록 구성된다. 도 1에 예시된 실시예에 따르면, 필터(104)는 증폭기(106)와 결합된다. 증폭기(106)는 공지된 바와 같은 신호의 진폭을 증가하는데 사용되는 컴포넌트들 중 하나 이상을 포함한다. 컴포넌트들은 이들로 제한되는 것이 아니지만, 트랜지스터, 저항기, 커패시터, 인덕터, 연산 증폭기, 집적 회로, 또는 신호를 형성 또는 가공하는데 사용되는 다른 디바이스 중 하나 이상을 포함한다. 증폭기는 이득을 갖도록 구성된다. 일부 실시예들의 경우, 증폭기의 이득은 값으로 설정되고, 이에 따라 증폭기는 범위 내에서 증폭 출력 신호를 생성하여 수신기 아키텍처(100)에서 다음 스테이지의 적절한 동작을 보장한다. 일부 실시예에 따라, 증폭기(106)는 공지 기법들을 이용함으로써 가변 이득을 갖도록 구성된다. 증폭기(106)의 이득은 BPSK 신호(102), 필터링된 BPSK 신호(105), 증폭된 BPSK 신호(108), 및 공지 기법들을 사용하는 다른 신호들 중 하나 이상에 기반할 수 있다. 일부 실시예는 공지된 것과 같은 기법들을 사용하는 증폭의 하나 이상의 스테이지를 포함하는 증폭기(106)를 포함한다.

[0018] 도 1에 예시된 실시예에 따르면, BPSK 신호(102)는 저잡음 증폭기(LNA)로서 구성된 증폭기(106)에 의해 증폭된다. 일 실시예의 경우, LNA는 신호 경로에 대한 잡음의 유입을 최소화하도록 구성된다. 일 실시예의 경우, LNA는 1 데시벨(dB)을 포함하고, 최대 5dB를 포함하는 범위의 잡음 지수를 갖도록 구성된다. 일 실시예의 경우, 증폭기(106)는 다수의 증폭 스테이지 중 하나로서 LNA를 포함한다. 도 1에 예시된 실시예에 따르면, 증폭기(106)는 2개의 주입 고정 발진기(ILO), 즉 제1 주입 고정 발진기(ILO1; 110) 및 제2 주입 고정 발진기(ILO2; 112)와 결합된다. 2개의 주입 고정 발진기(ILO)는 BPSK 신호를 ASK 신호로 변환시키는데 사용된다. 일부 실시예들에 따르면, 증폭기(106)는 공지된 바와 같은 전력 분할기를 통해 ILO1(110) 및 ILO2(112)와 결합될 수 있다.

[0019] 다른 실시예의 경우, 증폭기(106)는 공지 기법을 사용하여 차동 입력 쌍 및 차동 출력 쌍을 갖는 차동 증폭기이다. 이러한 실시예의 경우, 전력 분할기를 사용하지 않고, 차동 증폭기로서 구성된 증폭기(106)의 양의 출력은 ILO1(110)과 결합되고, 증폭기(106)의 음의 출력은 ILO2(112)와 결합된다. 다른 방법으로서, 차동 증폭기로서 구성된 증폭기(106)의 양의 출력은 ILO2(112)와 결합되고, 증폭기(106)의 음의 출력은 ILO1(110)과 결합된다. 일 실시예의 경우, 증폭기(106)는 커패시터를 통해 ILO1(110)과 교류(AC) 결합된다. 유사하게, 증폭기(106)는 일 실시예에 따라 커패시터를 통해 ILO2(112)와 AC 결합된다.

[0020] 일 실시예에 따르면, 캐리어 주파수( $f_c$ )에서의 증폭된 BPSK 신호(108)는 2개의 ILO에 피드되는데, 이들 ILO 각각은 위상 고정 루프(PLL)에 의해 제어된다. 일 실시예에 따르면, PLL은 아날로그 위상 고정 루프, 디지털 위

상 고정 루프, 또는 임의의 다른 타입의 위상 고정 루프로서 구현될 수 있다. 일 실시예의 경우, 제1 위상 고정 루프(PLL1; 114)는 IL01(110)과 결합되고, 제2 위상 고정 루프(PLL2; 116)는 IL02(112)와 결합된다. 일 실시예에 따르면, 2개의 PLL은 IL01의 초기 주파수를  $f_c/2 + \Delta f$ 에 설정하고, IL02의 초기 주파수를  $f_c/2 - \Delta f$ 에 설정하도록 구성된다. 일 실시예의 경우, 주파수 오프셋( $\Delta f$ )은 데이터율(data rate) 및 다른 수신기 사양을 기초로 설정된다. 일 실시예의 경우,  $\Delta f$ 는 BPSK 신호(102)의 데이터율의 1/2을 포함하고, 최대 1/8을 포함하는 범위일 수 있다. 예시로서 비제한적으로, 수신기는 2MHz를 포함하고, 최대 8MHz를 포함하는 범위의  $\Delta f$ 를 갖고 데이터율이 초당 16 메가비트(Mbps)의 BPSK 신호를 수신하도록 구성된다. 당업자는 주파수 오프셋( $\Delta f$ )이 다른 값들로 설정되어 수신기의 원하는 성능을 성취할 수 있다. 일 실시예에 따르면, IL01(110) 및 IL02(112)에 의해 수신되는, 캐리어 주파수가  $f_c$ 인 증폭 BPSK 신호(108)는 IL01(110) 및 IL02(112)로 하여금 각각의 PLL에 의해  $f_c/2$ 의 주파수로 설정된 초기 주파수들로부터 재고정되게 할 것이다.

[0021] 도 1에 예시된 실시예와 같은 일 실시예에 따르면, PLL1(114)은 IL01 출력(120)과 결합되고, PLL2(116)는 IL02 출력(122)과 결합된다. PLL1(114)은 피드백 루프의 일부로서 IL01 출력(120)을 사용하여 수신된 IL01 출력(120)을 기초로 PLL1(114)의 동작을 조정하도록 구성된다. PLL2(116)는 피드백 루프의 일부로서 IL02 출력(122)을 사용하여 IL02 출력(122)을 기초로 PLL2(116)의 동작을 조정하도록 구성된다. 피드백 루프에 IL01 출력(120)을 사용하는 것은 결과적으로, 일 실시예의 경우 IL01(110)이 더 정확한 채널 선택을 유지하고 인접 채널에 의해 일어난 간섭을 거부하도록 PLL1(114) 및 IL01(110)이 폐루프 제어 시스템(closed-loop control system)으로서 동작하게 한다. 피드백 루프에서 IL02 출력(122)을 사용하는 것은 결과적으로, 일 실시예의 경우 IL02(112)가 더 정확한 채널 선택을 유지하고 인접 채널에 의해 일어난 간섭을 거부하도록 PLL2(116) 및 IL02(112)가 폐루프 제어 시스템으로서 동작하게 한다. 피드백 루프 및 PLL 또는 FLL을 ILO와 함께 사용하는 것은 자유롭게 동작하는 ILO를 사용하는 시스템 내에 존재하는 주파수 선택의 부정확성을 극복한다. 이러한 부정확성은 수신기의 성능을 저하시킬 수 있으며, 결과적으로 비트 오류를 초래한다. 폐루프 제어 시스템에서 ILO를 동작시키는 것은 이로 제한되는 것은 아니지만, 전원 공급 전압의 변동(fluctuation), 열 프로파일(thermal profile) 변화, 및 수신기에 유입된 잡음 또는 간섭을 포함하는 비이상적인 효과들을 완화시킨다.

[0022] 일 실시예의 경우, 유한 상태 기계(FSM; 118)는 복수의 동작 모드로부터 동작 모드, 및 다양한 제어 스테이지의 시퀀스를 선택하도록 구성된다. 일 실시예에 따르면, FSM(118)은 PLL1(114)을 제어하여 IL01(110)의 초기 주파수를 설정하고, PLL2(116)를 제어하여 IL02(112)의 초기 주파수를 설정하도록 구성된다. 일단 ILO가 입력 신호에 대해 고정되면, 일 실시예에 따라 PLL은 더 큰 튜닝 시간 상수를 이용하여 작동하도록 구성될 것이다. 일 실시예의 경우, ILO가 고정되기 전에 시간 상수보다 1배 내지 최대 1000배의 범위의 튜닝 상수를 갖도록 구성된다.

[0023] 일 실시예에 따르면, FSM(118)은 ILO의 고정 상태를 기초로 PLL의 튜닝 상수를 조정하도록 구성된다. 일 실시예에 따르면, FSM(118)은 하나 이상의 제어 라인을 통해 PLL1(114) 및 PLL2(116)와 결합된다. 일 실시예의 경우, FSM(118)은 제1 제어 라인(124)을 통해 PLL1(114)과 결합되고, 제2 제어 라인(126)을 통해 PLL2(116)와 결합된다. 일 실시예에 따르면, FSM(118)에는 PLL1(114)과 PLL2(116) 중 어느 하나 또는 양자 모두에 하나 이상의 제어 신호들을 송신하도록 제1 제어 라인(124) 및 제2 제어 라인(126)과 같은 제어 라인이 구성된다. 제어 신호는 PLL이 턴오프되고, 턴오프되고, 주파수를 증가시키고, 주파수를 감소시키고, 그렇지 않으면 PLL 또는 그 하나 이상의 컴포넌트들의 동작을 변경하게 할 수 있다. 제어 신호는 전압 신호, 전류 신호, 광학 신호, 또는 컴포넌트 또는 디바이스의 동작을 제어하기 위한 임의의 다른 방식을 포함하지만, 이들로 한정되지 않는다. 일 실시예의 경우, FSM(118)은 이로 한정되는 것은 아니지만 병렬 버스 및 직렬 버스를 포함하는 복수의 제어 라인에 의해 하나 이상의 PLL과 결합될 수 있다. FSM(118)은 로직 게이트, 릴레이, 플립플롭, 프로그래머블 로직 디바이스, 프로그래머블 로직 컨트롤러, 마이크로컨트롤러, 마이크로프로세서, 또는 ASIC, 또는 시스템의 상태 및 시스템의 상태 간의 전이를 기초로 행동들을 수행하는 임의의 다른 디바이스 및/또는 소프트웨어를 사용하여 구현될 수 있다.

[0024] 도 1에 예시된 바와 같이, 일 실시예는 혼합기(128)에 결합된 IL01(110) 및 IL02(112)를 포함한다. 혼합기(128)가 IL01 출력(120) 및 IL02 출력(122)을 수신하여 출력들을 혼합(예를 들어, 더하고, 빼고, 곱함으로써) BPSK 신호(102)의 위상 변화들을 기초로 신호를 발생시키도록 구성된다. 일 실시예의 경우, 혼합기(MIX; 128)는 싱글 엔드형 혼합기(single-ended mixer), 밸런스형 혼합기(balanced mixer), 더블-밸런스형 혼합기(double-balanced mixer), 또는 신호를 결합하는데 사용되는 다른 회로로서 구현될 수 있다. 일 실시예의 경우, 혼합기(128)는 저대역 통과 필터(130)와 결합된다. 일 실시예에 따르면, 저대역 통과 필터(LPF; 130)는 필터를 구현하기 위해 전술된 것을 포함하는 기법들을 이용하여 구현될 수 있다. 일 실시예의 경우, LPF(130)

는 입력된 BPSK 신호(102)의 데이터율을 기초로 차단 주파수(cut-off frequency)를 갖도록 구성된다. 일 실시예의 경우, LPF(130)의 차단 주파수는 대역내 신호(in-band signal)를 가능한 많이 유지하면서 인접 채널 간섭을 필터링해내도록 구성된다. 일 실시예의 경우, LPF(130)는 아날로그-디지털 컨버터(ADC; 132)와 결합된다. ADC(132)는 LPF(130)로부터 수신된 신호를 샘플링하여 BPSK 신호(102)를 기초로 비트 시퀀스 또는 베이스밴드 신호를 생성하도록 구성된다. 일 실시예의 경우, ADC(132)의 출력 신호(134)는 BPSK 신호(102)에 의해 운반되는 복조된 비트 시퀀스이다. 일 실시예에 따르면, ADC(132)의 출력 신호(134)는 디지털 데이터를 프로세싱하기 위한 공지 기법들을 이용함으로써 디코딩하고/거나 컨디셔닝을 위해 더 프로세싱될 수 있다.

[0025] 도 2는 일 실시예에 따라 수신기에서 사용하기 위한 주파수 고정 루프(FLL)를 포함하는 수신기 아키텍처(200)의 회로 블록도를 예시한다. 도 2에 예시된 실시예의 경우, 도 1을 참조하여 전술된 PLL들을 대신하여 ILO 제어 회로로서 FLL들이 사용된다. 도 2에 예시된 실시예에 따르면, FLL1(202)은 ILO1(216)과 결합되고, FLL2(204)는 ILO2(218)와 결합된다. 일 실시예의 경우, FLL1(202) 및 FLL2(204)는 도 1에 예시된 실시예와 같은 PLL 제어 케이스에서와 같은 위상 정렬 없이 ILO1(216)의 초기 주파수를  $f_c/2+\Delta f$ 에 설정하고, ILO2(218)의 초기 주파수를  $f_c/2-\Delta f$ 에 설정하도록 구성된다. 도 1에 예시된 실시예에서의 ILO1(110) 및 ILO2(112)에 대해 전술된 바와 같이, ILO1(216) 및 ILO2(218)는 캐리어 주파수가  $f_c$ 인 증폭된 BPSK 신호(214)를 수신하도록 구성되는데, 이는 ILO1(216) 및 ILO2(218)로 하여금 각자의 FLL들에 의해  $f_c/2$ 의 주파수로 설정된 이들의 초기 주파수로부터 재고정되게 할 것이다.

[0026] 도 2에 예시된 수신기 아키텍처(200)의 실시예의 나머지는 전술된 바와 같은 수신기 아키텍처(100)와 유사하다. 구체적으로, 도 2에 예시된 바와 같은 수신기 아키텍처(200)의 일 실시예는 여기에 설명된 기법들을 이용함으로써 BPSK 신호(206)를 수신하도록 구성된 필터(208)를 포함한다. 필터(208)는 여기에 설명된 바와 같은 기법들을 사용하여 필터링된 BPSK 신호(210)를 생성하도록 구성된다. 필터(208)는 증폭기(212)와 결합된다. 일 실시예의 경우, 증폭기(212)는 전술된 기법들에 따라 구성된다. 일 실시예의 경우, FLL1(202)은 ILO1 출력(222)과 결합되고, FLL2(204)는 ILO2 출력(224)와 결합된다. ILO1 출력(222) 및 ILO2 출력(224)은 여기에 설명된 것을 포함하는 기법들을 개별적으로 사용하여 FLL1(202) 및 FLL2(204)를 위한 피드백 루프의 일부로서 사용된다. 일 실시예의 경우, FSM(220) 및 제1 제어 신호(CTRL1; 226) 및 제2 제어 신호(CTRL2; 228)는 여기에 설명된 것을 포함하는 기법들을 이용하여 구현될 수 있다. 도 2에 예시된 실시예에 따르면, 수신기 아키텍처(200)는 ILO1(216) 및 ILO2(218)과 결합된 혼합기(230)를 포함한다. 혼합기(230)는 여기에 설명된 바를 포함하는 기법들을 이용함으로써 구성 및 구현될 수 있다. 일 실시예의 경우, 혼합기(230)는 LPF(232)와 결합된다. LPF(232)는 여기에 설명된 바를 포함하는 기법들을 이용하여 구현될 수 있다. 도 2에 더 예시된 바와 같이, 일 실시예는 ADC(234)와 결합된 LPF(232)를 포함한다. 일 실시예의 경우, LPF(232)는 여기에 설명된 바를 포함하는 기법들을 이용함으로써 ADC(234)와 결합될 수 있다. 일 실시예에 따르면, ADC(234)는 이로 제한되는 것은 아니지만, BPSK 신호(206)를 기초로 비트 시퀀스 또는 베이스밴드 신호를 포함하는 출력 신호(236)를 생성하도록 구현될 수 있다.

[0027] 도 3은 일 실시예에 따라 위상 고정 루프의 컴포넌트들을 예시하는 PLL 또는 FLL과 같은 ILO 제어 회로(300)의 블록도이다. 수정 발진기(XO; 302)는 주파수  $F_{X0}$ 에서 레퍼런스 주파수 신호(304)를 제공한다. 일 실시예에 따르면, XO(302)는 1 메가헤르츠(MHz) 내지 40MHz 범위를 갖도록 구성될 수 있다. 특정 실시예의 경우, XO(302)는 20MHz의 주파수를 가질 수 있다. 당업자는 XO의 주파수가 임의의 주파수일 수 있다는 점을 이해할 것이다. 일 실시예의 경우, XO(302)는 검출기(306)와 결합된다. 일 실시예의 경우, 검출기(306)는 위상 주파수 검출기와 같은 위상 검출기(PD)이다. 위상 검출기는 이들로 제한되는 것은 아니지만, 주파수 혼합기, 아날로그 곱셈기(multiplier), 논리 회로, 및 입력 신호 사이의 위상 차이에 기반하는 신호를 생성하는 다른 회로들을 포함할 수 있다. 위상 검출기는 공지 기법들을 이용함으로써 레퍼런스 주파수 신호(304) 및 ILO 출력 신호(316) 사이의 위상 차이에 기반하는 위상 차이 신호(308)를 생성하도록 구성된다. 위상 주파수 검출기를 사용하는 실시예의 경우, 위상 차이 신호는 ILO 출력 신호(316)와 레퍼런스 주파수 신호(304) 사이의 위상 차이 및 주파수 차이에 기반할 수 있다. 일 실시예의 경우, ILO 제어 회로(300)는 FLL로서 구현되고, 검출기(306)는 주파수 검출기이다. 주파수 검출기는 이로 제한되는 것은 아니지만, 주파수 카운터, 및 2개의 신호 사이의 주파수 차이를 검출하는 다른 회로들을 포함한다.

[0028] 도 3에 예시된 실시예에 따르면, 검출기(306)는 LPF(310)와 결합된다. LPF(310)는 여기에 설명된 바를 포함하는 기법들을 이용하여 구현될 수 있다. 일 실시예의 경우, LPF(310)는 필터 출력 신호(312)를 생성한다. LPF(310)는 ILO(314)와 결합된다. ILO(314)는 ILO(314)를 초기 발진 주파수로 설정하고 ILO(314)의 발진 주파수를 유지하는데 사용되는 제1 출력 신호(312)를 수신하도록 구성된다. ILO(314)는 또한 BPSK 신호와 같은 신

호(315)를 수신하도록 구성된다. 일 실시예의 경우, ILO 제어 회로(300)는 신호(315)의 캐리어 주파수의 대략 절반으로 필터 출력 신호(312)를 유지하도록 구성된다. 전술된 바와 같이, 일 실시예에 따르면, ILO 출력 신호(316)가 혼합기로 피드된다.

[0029] 도 3에 예시된 실시예의 경우, ILO(314)는 주파수 분할기(DIV; 302)와 결합된다. 주파수 분할기(302)는 ILO 출력 신호(316) 및 X0 주파수  $F_{X0}$ (304)의 주파수가 분할 비에 의해 정의될 수 있도록 ILO 출력 신호(316)의 주파수를 분할하도록 구성된다. 주파수 분할기(302)는 이들로 제한되는 것은 아니지만, 재생 주파수 분할기, 주입 고정 주파수 분할기, 카운터, 플립플롭(flip-flop)의 배열, 및 신호의 주파수를 분할하는데 사용된 다른 회로들을 포함한다. 일 실시예의 경우, 주파수 분할기(302)는 제어 라인(317)에 의해 FSM과 결합된다. 일 실시예에 따른 FSM은 제어 라인(317)을 통해 신호를 전송하여 주파수 분할기(302)의 분할 팩터를 조정함으로써 ILO 제어 회로(300)의 분할 비를 변경하도록 구성된다. 특정 실시예의 경우, FSM은 주파수 분할기의 레지스터들을 설정하여 주파수 분할기(302)의 분할 팩터를 변경시키도록 구성된다. 일 실시예의 경우, 주파수 분할기(302)는 검출기(306)와 결합된다. 검출기(306)는 전술한 바와 같이 주파수 분할기(307)의 출력 및 레퍼런스 주파수 신호(304)를 기초로 위상 차이 신호(308)를 생성하도록 구성된다. 일 실시예에 따르면, PLL로서 구성된 ILO 제어 회로(300)의 피드백 루프는 X0와 ILO 사이의 위상 정렬의 제어를 제공한다.

[0030] 도 4는 다수의 주파수 분할기를 포함하는 PLL 또는 FLL과 같은 ILO 제어 회로(400)의 일 실시예를 예시한다. 수정 발진기(X0; 402)는 제1 레퍼런스 주파수 분할기(DIV1; 404)와 결합된다. 일 실시예의 경우, X0(402)는 제1 레퍼런스 주파수 신호(403)를 생성하도록 구성된다. X0(402)는 여기에 설명된 바와 같은 주파수에서 제1 레퍼런스 주파수 신호(403)를 생성하도록 구성될 수 있다. 일 실시예의 경우, 레퍼런스 주파수 분할기(404)는 X0(402)의 주파수를 감소시키도록 구성된다. 제1 레퍼런스 주파수 분할기(404)는 여기에 설명된 바와 같은 주파수 분할기를 포함한다. 일 실시예에 따르면, 제1 레퍼런스 주파수 분할기(404)는 여기에 설명된 바를 포함하는 기법들을 이용함으로써 제1 레퍼런스 주파수 신호(403)를 기초로 레퍼런스 신호(405)를 생성하도록 구성된다. 일 실시예의 경우, 제1 레퍼런스 주파수 분할기(404)는 10킬로헤르츠, 최대 1MHz를 포함하는 범위의 주파수에서 제1 레퍼런스 신호(403)를 생성하도록 구성된다. 당업자는 제1 레퍼런스 주파수 분할기(404)가 임의의 분할 팩터만큼 제1 레퍼런스 주파수 신호(403)의 주파수를 감소시키고, 공지 기법들을 이용함으로써 특정 주파수에서 레퍼런스 신호(405)를 생성하도록 구성될 수 있다는 점을 이해한다.

[0031] 도 4에 예시된 실시예의 경우, 제1 레퍼런스 주파수 분할기(404)는 위상 주파수 검출기(406)와 같은 검출기와 결합된다. 위상 주파수 검출기(PFD; 406)는 레퍼런스 신호(405)를 수신하여 제2 입력 신호와 비교하도록 구성된다. 전술한 바와 같이, PFD(406)는 공지 기법들을 이용함으로써 ILO(410)의 출력에 기반한 신호와 같은 제2 신호와 레퍼런스 신호(405) 사이의 적어도 위상 차이를 기초로 위상 차이 신호(407)를 생성하도록 구성된다. PFD(406)는 저대역 통과 필터(LPF; 408)와 결합된다. 저대역 통과 필터(408)는 필터링된 레퍼런스 신호(409)를 생성하기 위한 필터를 구현하기 위해 여기에 설명된 기법들을 이용함으로써 구성될 수 있다. 도 4에 예시된 실시예에 따르면, LPF(408)는 ILO(410)와 결합된다. ILO(410)는 여기에 설명된 바를 포함하는 기법들을 이용함으로써 필터링된 레퍼런스 신호(409)를 기초로 ILO 출력 신호(411)를 출력한다. 일 실시예에 따르면, ILO(410)는 버퍼 또는 버퍼 증폭기(412)와 결합된다. 일 실시예의 경우, 버퍼 증폭기(412)는 이로 제한되는 것은 아니지만, 트랜지스터 회로, 연산 증폭기 회로, 또는 그 밖의 버퍼 회로를 포함한다. 버퍼 증폭기(412)는 제2 주파수 분할기(DIV2; 414)와 결합된다. 일 실시예의 경우, 제2 주파수 분할기(414)는 여기에 설명된 바를 포함하는 기법들을 사용함으로써 2인 분할 팩터에 의해 버퍼링된 ILO 출력 신호의 주파수를 분할하여 ILO 출력 신호(411)의 주파수의 절반에서 신호를 생성하도록 구성된다.

[0032] 도 4에 예시된 실시예에 따르면, 제2 주파수 분할기(414)는 프리스케일러(prescaler; 416)에 결합된다. 프리스케일러(416)는 제2 주파수 분할기(414)의 출력 신호를 분할 팩터로 나누도록 구성된다. 일 실시예의 경우, 분할 팩터는 4를 포함하고, 최대 5를 포함하는 범위에 있을 수 있다. 다른 실시예의 경우, 분할 팩터는 8를 포함하고, 최대 9를 포함하는 범위에 있을 수 있다. 당업자는 다른 분할 팩터들이 사용될 수 있다는 점을 이해할 것이다. 일 실시예의 경우, 프리스케일러(146)는 이로 제한되는 것이 아니지만, 공지 기법들을 이용함으로써 입력 신호의 주파수를 감소시키도록 구성된 전자 카운팅 회로를 포함한다. 일 실시예에 따르면, 프리스케일러(416)는 제3 주파수 분할기(DIV3; 418)로 결합된다. 제3 주파수 분할기(418)는 프리스케일러(416)의 출력 신호의 주파수를 감소시키도록 구성된다. 일 실시예의 경우, 제3 주파수 분할기(418)는 FSM(420)과 결합된다. 일 실시예에 따르면, 제3 레퍼런스 주파수 분할기(418)는 여기에 설명된 바를 포함하는 기법들을 사용함으로써 FSM(420)로부터 제어 신호(419)를 수신하여 제3 분할기(418)의 분할 팩터를 조정하도록 구성된다. 제3 주파수 분할기(418)는 1부터 최대 300까지의 팩터에 의해 분할을 조정하도록 구성될 수 있다. 일 실시예의 경우,

FSM(420)은 여기에 전술된 바와 같이, 0볼트 내지 5볼트로 달라질 수 있고 제3 주파수 분할기(418)의 팩터에 의해 분할을 조정하는 제어 신호를 생성할 수 있다. 일 실시예의 경우, 제어 신호는 로직 “0” 및 “1”에 대응하여 제3 주파수 분할기(418)의 팩터에 의해 분할을 조정하는 신호일 수 있다. 일 실시예에 따르면, 제3 주파수 분할기(418)는 수신기가 프로세싱하도록 설계된 모든 주파수 대역을 커버할 분할 팩터를 갖도록 구성된다. 도 4에 예시된 실시예에 따르면, 제3 주파수 분할기(418)는 ILO 출력 신호(411)의 주파수를 위상 주파수 검출기(406)에 대한 입력을 위한 주파수로 더 분할하도록 구성된다. 여기에 설명된 바와 같이, 위상 주파수 검출기(406)는 제3 주파수 분할기(418)로부터의 수신 신호 및 레퍼런스 신호(405)를 기초로 위상 차이 신호(405)를 생성하도록 구성된다.

[0033] 도 5는 일 실시예에 따라 ILO(428)의 회로 블록도를 예시한다. 일 실시예의 경우, ILO(428)는 제2 인덕터(432)와 직렬로 결합된 제1 컨덕터(420)를 포함한다. 제1 인덕터(430) 및 제2 인덕터(432)는 전압(431)과 결합되어 ILO(428)에 전력을 공급한다. 일 실시예의 경우, ILO(428)는 제2 커패시터(436)와 직렬로 결합된 제1 커패시터(434)를 포함한다. 제1 커패시터(434) 및 제2 커패시터(436)는 제1 인덕터(430) 및 제2 인덕터와 병렬로 결합된다. 일 실시예의 경우, ILO(428)는 제4 커패시터(440)와 직렬로 결합된 제3 커패시터(438)를 포함한다. 제3 커패시터(438) 및 제4 커패시터(440)는 제1 인덕터(430) 및 제2 인덕터(423), 그리고 제1 커패시터(434) 및 제2 커패시터(436)와 병렬로 결합된다.

[0034] 일 실시예의 경우, 제1 커패시터(434), 제2 커패시터(436), 제3 커패시터(438), 및 제4 커패시터(440) 중 하나 이상은 가변 커패시터를 사용하여 구현된다. 가변 커패시터는 이들로 제한되는 것은 아니지만, 버랙터(varactor), 커패시터 사이를 스위칭함으로써 커패시턴스를 조정하도록 구성된 커패시터와 같은 디지털 튜닝 커패시터, 및 이들의 커패시턴스를 조정하도록 구성된 다른 컴포넌트들을 포함한다. 일 실시예는 가변 커패시터들을 사용하여 구현된 제1 커패시터(434) 및 제2 커패시터(436)를 포함하고, 고정된 커패시턴스를 갖는 커패시터들을 사용하여 구현된 제3 커패시터(438) 및 제4 커패시터(440)를 포함한다. 다른 실시예는 모두 가변 커패시터들을 사용하여 구현된 커패시터들을 포함한다. 또 다른 실시예는 고정된 커패시턴스를 갖는 커패시터들을 사용하여 구현된 제1 커패시터(434) 및 제2 커패시터(436)를 포함하고, 가변 커패시터들을 사용하여 구현된 제3 커패시터(438) 및 제4 커패시터(440)를 포함한다.

[0035] 일 실시예에 따르면, 인덕터들 및 커패시터들의 값들은 ILO를 공진 주파수로 튜닝하는데 사용된다. 하나 이상의 버랙터를 이용하는 실시예의 경우, 버랙터의 커패시턴스는 제어 전압을 사용하여 ILO의 공진 주파수를 튜닝하기 위해 조정될 수 있다. 하나 이상의 디지털 튜닝된 커패시터를 사용한 실시예의 경우, 디지털 튜닝된 커패시터의 커패시턴스는 하나 이상의 비트를 사용하여 상이한 커패시터 값들 사이에서 선택하도록 조정될 수 있다. 일 실시예의 경우, FSM은 여기에 설명된 바를 포함하는 기법들을 이용함으로써, 제어 신호를 사용하여 하나 이상의 가변 커패시터의 커패시턴스 값을 제어하도록 구성된다.

[0036] 도 5에 예시된 실시예에 따르면, ILO의 공진 주파수는 
$$\frac{1}{2\pi\sqrt{L(C1+C2)}}$$
에 의해 결정되는데; 여기서 L은 제2 인덕터(432)와 직렬인 제1 인덕터(430)의 유효 인덕턴스이고, C1은 제2 커패시터(436)와 직렬인 제1 커패시터(434)의 유효 커패시턴스이고, C2는 제4 커패시터(440)와 직렬인 제3 커패시터(438)의 유효 커패시턴스이다. 예시로서 비제한적으로, ILO는 L이 5 나노헨리(nH)의 인덕턴스와 같도록 인덕터들의 값을 사용하고, C1과 C2가 1 피코패럿(pF)의 커패시턴스와 같도록 커패시터들의 값을 사용함으로써 1.59GHz의 공진 주파수를 갖도록 튜닝될 수 있다. 전술한 수학적식을 사용하면, 당업자는 컴포넌트들의 상이한 값들이 ILO의 원하는 공진 주파수를 달성하도록 사용될 수 있다는 점을 이해할 것이다.

[0037] 도 5에 예시된 실시예에 따르면, ILO(428)는 교차 결합된 트랜지스터들로서 구성된 제1 트랜지스터(446) 및 제2 트랜지스터(448)를 포함한다. 제1 인덕터(430) 및 제2 인덕터(432), 제1 커패시터(434) 및 제2 커패시터(436), 그리고 제3 커패시터(438) 및 제4 커패시터(440)는 교차 결합된 트랜지스터들로서 구성된 제1 트랜지스터(446) 및 제2 트랜지스터(448)와 병렬로 결합된다. 일 실시예에 따르면, 교차 결합된 트랜지스터로서 구성된 제1 트랜지스터(446) 및 제2 트랜지스터(448)는 제3 트랜지스터(452)와 결합된다. 일 실시예의 경우, 제3 트랜지스터(452)는 또한 접지와 같은 저전위(low potential)에 결합된다. 일 실시예의 경우, ILO(428)는 금속 산화막 반도체 전계효과 트랜지스터(MOSFET)를 포함하는 트랜지스터들을 사용하여 구현될 수 있다. 그러나, 당업자는 다른 타입의 트랜지스터들이 사용될 수 있다는 점을 이해할 것이다. N-채널 MOSFET들을 사용하여 구현된 ILO의 경우, 제1 커패시터(434) 및 제2 커패시터(436), 그리고 제3 커패시터(438) 및 제4 커패시터(440)는 교차 결합된 것으로서 구성된 제1 트랜지스터(446)의 드레인 및 제2 트랜지스터(448)의 드레인과 병렬 결합되고, 제3 트



랜지스터(452)는 제1 트랜지스터(446)의 소스 및 제2 트랜지스터(448)의 소스와 결합된다.

[0038] 일 실시예에 따르면, ILO(428)는 PLL 또는 FLL과 같은 ILO 제어 회로로부터 주파수 레퍼런스를 수신하도록 구성된 레퍼런스 주파수 입력(442)을 포함한다. 도 5에 예시된 바와 같이, ILO(428)는 제1 커패시터(434)와 제2 커패시터(436) 사이의 레퍼런스 입력(442)을 수신하도록 구성된다. 일 실시예의 경우, 레퍼런스 입력(442)은 여기에 설명된 바를 포함하는 기법들을 사용하여 ILO(428)의 공진 주파수를 제어하도록 사용된다. ILO(428)는 제1 주입 입력(444)을 사용하여 BPSK 신호를 포함하는 신호를 수신하도록 구성된다. 일 실시예의 경우, ILO(428)는 제3 커패시터(438)와 제4 커패시터(440) 사이의 제1 주입 신호 입력(444) 상의 제1 주입 신호를 수신하도록 구성된다. 일 실시예의 경우, 레퍼런스 입력(442)은 ILO의 공진 주파수를 조정하는데 사용되는 저주파수 제어이고, 레퍼런스 입력(444)은 ILO의 공진 주파수를 조정하는데 사용되는 고주파수 제어이다.

[0039] 일 실시예에 따르면, ILO(428)는 신호를 수신하기 위한 제2 주입 입력(450)을 포함할 수 있다. 도 5에 예시된 일 실시예에 따르면, ILO(428)는 제3 트랜지스터(452)의 게이트에 있는 제2 주입 신호 입력(450) 상의 제2 주입 신호를 수신하도록 구성된다. 일부 실시예의 경우, 제1 주입 입력(44) 및 제2 주입 입력(450)은 모두 신호를 ILO(428)로 입력하는데 사용된다. ILO(428)는 양의 ILO 출력(454) 상의 양의 ILO 출력 신호 및 음의 ILO 출력(456) 상의 음의 ILO 출력 신호를 생성하도록 구성된다.

[0040] 도 6은 일 실시예에 따라 유한 상태 기계를 구현하기 위한 프로세스를 예시한다. 일 실시예에 따르면, 초기 상태는 수신기 전력 차단 상태(514) 이후에 대개 일어나는 수신기 웨이크업 상태(502)이다. 일 실시예의 경우, 유한 상태 기계는 수신기의 PLL 또는 FLL과 같은 ILO 제어 회로의 하나 이상의 컴포넌트에 전력 공급하도록 구성된다. 수신기 웨이크업 상태(502)에서의 유한 상태 기계는 이로 제한되는 것은 아니지만, 수정 발진기, 프리스케일러, 전하 펌프, 및 ILO 제어 회로의 다른 회로망을 포함하는 컴포넌트들 중 하나 이상을 턴온하도록 구성된다. 일 실시예의 경우, FSM은 공지 기술들을 사용하여 ILO 제어 회로 내의 하나 이상의 컴포넌트의 레지스터를 설정함으로써 컴포넌트들에 대한 전원 공급 또는 차단을 제어하도록 구성된다. 전원 전압 및 온도(PVT) 교정 상태(504)에서, FSM은 제조 공정, 전원 공급 전압, 및 동작 온도(PVT) 중 하나 이상에 의해 발생하는 변화량의 결과로서 오류를 교정하도록 구성된다. 일 실시예의 경우, FSM은 ILO를 레퍼런스 주파수 신호를 사용하는 주파수에 교정하도록 구성된다. 일 실시예의 경우, FSM은 ILO 제어 회로의 운영 값들을 조정함으로써 ILO 주파수를 설정하도록 구성된다. 일 실시예에 따르면, FSM은 여기에 설명된 바를 포함하는 기법들을 사용하여 주파수를 설정하기 위해 하나 이상의 레지스터를 설정하여 ILO 제어 회로 내의 하나 이상의 분할 팩터를 설정하도록 구성된다. 일 실시예의 경우, FSM은 여기에 설명된 바를 포함하는 기법들을 이용함으로써, FSM으로부터 제어 신호를 사용하여 증폭기에 대한 전원을 턴오프함으로써 입력 BPSK 신호 없이 ILO 제어 회로를 턴온하도록 구성된다. 일 실시예의 경우, 전원을 턴오프하기 위한 제어 신호는 5볼트 신호이다. FSM은 ILO 제어 회로의 수정 발진기의 주파수에 기반한 주파수 분할기로부터 전압 신호를 수신하도록 구성된다. FSM은 주파수 분할기로부터의 전압 신호가 수정 발진기의 원하는 주파수를 나타낼 때까지 수정 발진기의 전압을 조정하도록 구성된다. 일 실시예의 경우, 주파수 분할기로부터의 원하는 전압으로부터의 전압 신호는 2.5볼트이거나, 듀티 사이클이 50%인 펄스폭 변조 신호이다. 그 후, FSM이 PVT 교정 상태(504)로 재진입할 때까지 그 전압으로 수정 발진기의 전압 레벨을 설정한다.

[0041] 일 실시예에 따르면, 프로세스는 데이터 전송 상태(512)로부터 PVT 교정 상태(504)에 진입할 수 있다. 일 실시예의 경우, FSM은 타이머 또는 카운터를 설정함으로써 결정된 시간 후에 데이터 전송 상태에서부터 PVT 교정 상태(504)에 진입한다. FSM은 또한 수신 신호에서의 주파수 시프트의 검출 시에 데이터 전송 상태에서부터 PVT 교정 상태(504)에 진입할 수 있다. PVT 교정 상태(504)에서 수행되는 교정 후에, FSM은 신호 획득 상태(506)로 진입한다. 이 상태에서, 캐리어 주파수를 갖는 신호는 신호의 전력이 임계 레벨에 도달되었을 획득된다고 결정될 것이다. 일 실시예의 경우, FSM은 공지 기법들을 이용하여 신호 엔벨로프 전원(signal envelop power)을 측정함으로써 신호의 전력이 임계 레벨에 도달했다고 결정할 수 있다. 임계 레벨은 수신기의 원하는 성능 레벨을 기초로 설정되고, 무선 표준에 의해 정의될 수 있다. 프로세스는 신호가 획득되었다는 FSM에 의해 판단 시에 채널 검출 상태(508)로 이동한다. 일 실시예에 따르면, ILO 제어 회로의 주파수 오류가 범위 내에 있으면, FSM은 채널이 검출되었다고 판단한다. 주파수 오류는 일 실시예에 따른 주파수 차이 신호와 같은 ILO 제어 회로의 검출기의 출력에 기초한다. 일 실시예의 경우, 주파수 오류가 0.01% (또는 100ppm) 내에 있다고 FSM이 판단한 경우, FSM은 채널이 검출되었다고 판단한다. 당업자는 수신기의 원하는 성능에 기초하여 다른 주파수 오류 범위가 설정될 수 있다는 점을 이해할 것이다.

[0042] 클리어 채널 평가 상태(510)에서, FSM은 채널 품질을 판단하도록 구성된다. 일 실시예의 경우, FSM은 공지 기법들을 이용함으로써 판단된 신호 대 잡음비에 기초하여 채널을 판단한다. 일 실시예의 경우, 신호 대 잡음비

가 20dB 미만이면, FSM은 채널 품질이 불충분하다고 판단한다. 이 프로세스는 채널 검출 상태(508) 또는 클리어 채널 평가 상태(510)로 이동할 수 있고, 채널이 유효하지 않거나 채널 품질이 충분하지 않다고 FSM이 결정하면, 신호 획득 상태(506)로 되돌아 갈 수 있다. FSM이 채널이 검출되지 않는다고 판단하거나 채널 품질이 낮다고 판단하면, 프로세스는 신호 획득 상태(506)로 되돌아 간다. 일 실시예의 경우, 프로세스가 신호 획득 상태로 진입한다고 FSM이 일정 기간 내에 여러 차례 결정하면, 프로세스는 수신기 전원 차단 상태(514)로 이동한다.

[0043] 일 실시예에 따르면, 데이터 전송 상태(512)는 신호 획득 상태(50) 후에 일어날 수 있다. 예를 들어, 프로세스는 FSM이 최종 데이터 전송이 성공했다고 판단했을 때 데이터 전송 상태(512)를 떠난 후 일정 내에 신호 획득 상태(506)로부터 데이터 전송 상태(512)로 진입할 수 있다. 다른 방법으로서, 프로세스는 채널 검출 상태(508)에 진입할 수 있다. 일 실시예의 경우, 프로세스는 다양한 데이터 전송 모드들을 위해 채널 검출 상태(508)로부터 데이터 전송 상태(512)로 전이될 수 있다. 예를 들어, FSM은 채널 검출 시에 채널 검출 상태(508)로부터 데이터 전송 상태(512)로 전이하는 프로세스를 구성하는 하나 이상의 데이터 전송 모드로 동작하도록 구성될 수 있다. 데이터 전송의 종료가 검출되는 경우, 프로세스는 FSM이 추가 전송을 위해 PVT 오류를 재교정하도록 구성된 PVT 교정 상태(504)에 진입하거나, 수신기 전력 차단 상태(514)로 진행한다. 일 실시예의 경우, FSM은 예를 들어, 채널이 오랫동안 검출되지 않은 경우, 비트 스트림의 종료가 검출된 경우, 또는 공지된 데이터 스트림의 종료를 검출하기 위한 다른 기법들을 이용하여, 데이터 전송의 종료를 판단한다. 전송된 상태들 및 전이 조건들은 일반적인 시나리오의 일례이고, 본 개시는 도시된 특정 예시들로 한정되지 않는다. 본 개시의 사상 및 범위 내에 여러 다른 시나리오들이 가능하다. 추가적인 상태 및 전이 조건들은 본 교시의 사상 및 범위 내에 있고, 상이한 분야에서 배제되지 않는다.

[0044] 도 7은 일 실시예에 따라 QPSK 신호를 프로세싱하기 위한 수신기 아키텍처(600)의 블록도를 예시한다. 도 7에 예시된 일 실시예에 따르면, 필터(604)는 QPSK 신호(602)를 수신하도록 구성된다. 일 실시예의 경우, QPSK 신호(602)는 이로 한정되는 것은 아니지만, 도체, 공기, 및 광 섬유 케이블과 같은 유리를 포함하는 매개체를 통해 전파되는 신호를 이로 한정되는 것은 아니지만 수신, 증폭, 형성하기 위한 하나 이상의 공지의 컴포넌트들을 포함하는 안테나 및/또는 회로망으로부터 온 것일 수 있다. 필터(604)는 여기에 설명된 바를 포함하는 기법들을 이용하여 구현될 수 있다. 일 실시예의 경우, 필터(604)는 대역 통과 필터이다. 일 실시예에 따르면, QPSK 신호(602)는 프로세싱될 캐리어 주파수(fc)를 중심으로 하는 신호 대역을 선택하는 대역 통과 필터(BPF)로서 구성된 필터(604)에 의해 필터링된다.

[0045] 도 7에 예시된 바와 같이, 필터(604)는 증폭기(608)와 결합된다. 증폭기(608)는 여기에 설명된 바와 같은 기법들을 이용하여 구현될 수 있다. 일 실시예의 경우, 증폭기(608)는 여기에 설명된 바와 같은 저잡음 증폭기(LNA)이다. 일 실시예에 따르면, 증폭기(608)는 QPSK 분해 필터(610)와 같은 QPSK-BPSK 컨버터와 결합된다. 일 실시예에 따르면, QPSK 분해 필터(610)는 수신된 증폭 QPSK 신호(610)를 2개의 BPSK 신호, 제1 BPSK 신호(612) 및 제2 BPSK 신호(618)로 분해하도록 구성된다. 일 실시예의 경우, QPSK 분해 필터(610)는 증폭된 QPSK 신호(610)를 증폭된 QPSK 신호(610)의 동위상 채널 및 증폭된 QPSK 신호(610)의 직교 위상 채널로 분해하도록 구성된다. 일 실시예에 따르면, 제1 BPSK 신호(612)는 증폭된 QPSK 신호(610)의 동위상 채널 및 증폭된 QPSK 신호(610)의 직교 위상 채널이다. 일 실시예에 따르면, 제2 BPSK 신호(618)는 증폭된 QPSK 신호(610)의 동위상 채널이고, 제1 BPSK 신호(612)는 증폭된 QPSK 신호(610)의 직교위상 채널이다. 일 실시예에 따르면, 제1 BPSK 신호(612) 및 제2 BPSK 신호(618)는 입력된 QPSK 신호(602)의 데이터율의 절반이고, 입력 QPSK 신호(602)와 동일한 심볼율(symbol rate)이다.

[0046] 도 7에 예시된 실시예에 따르면, QPSK 분해 필터(610)는 제1 BPSK 수신기(614) 및 제2 BPSK 수신기(620)와 결합된다. 제1 BPSK 수신기(614)는 QPSK 분해 필터(610)로부터 제1 BPSK 신호(612)를 수신하도록 구성된다. 제2 BPSK 수신기(620)는 QPSK 분해 필터(610)로부터 제2 BPSK 신호(618)를 수신하도록 구성된다. 일 실시예에 따르면, 제1 BPSK 수신기(614) 및 제2 BPSK 수신기(620)는 여기에 설명된 바와 같은 기법들을 이용함으로써 구현된다. BPSK 수신기(614)는 제1 BPSK 신호(612)를 기초로 제1 복조 출력 신호(616)를 생성하도록 구성되고, 제2 BPSK 수신기(620)는 제2 BPSK 신호(618)를 기초로 제2 복조 출력 신호(622)를 생성하도록 구성된다. 일 실시예에 따르면, 제1 복조 출력 신호(616) 및 제2 BPSK 신호(622)는 복조된 출력 신호들을 디코딩, 프로세싱, 또는 다른 형태로 변환하기 위한 공지 기법들을 사용하여 더 프로세싱된다.

[0047] 도 8은 일 실시예에 따라 QPSK 분해 필터(700)와 같은 QPSK-BPSK 컨버터의 회로 블록도를 예시한다. 입력된 QPSK 신호(702)는 2개의 채널로 분열된다. 일 실시예에 따르면, 입력된 QPSK 신호(702)는 공지된 바와 같은 전력 분할기를 사용하여 2개의 채널로 분열된다. 일 실시예의 경우, 전력 분할기는 입력된 QPSK 신호(702)에 대해 양의 45도(+45°) 위상 시프트를 갖는 제1 채널 신호(705) 및 입력된 QPSK 신호(702)에 대해 음의 45도(-

45° ) 위상 시프트를 갖는 제2 채널 신호(706)를 생성하도록 구성된다. 이러한 전력 분할기(704)는 입력된 QPSK 신호(702)에 대해 양의 45도(+45° ) 위상 시프트를 갖는 제1 채널 신호(705) 및 입력된 QPSK 신호(702)에 대해 음의 45도(-45° ) 위상 시프트를 갖는 제2 채널 신호(706)를 생성하기 위해 위상 시프터(phase shifter)를 포함한다.

[0048] 도 8에 예시된 실시예에 따르면, 전력 분할기(704)는 양의 위상 시프터(708) 및 음의 위상 시프터(710)와 결합된다. 일 실시예의 경우, 양의 위상 시프터(708)는 양의 45도(+45° )만큼 신호의 위상을 시프트 하도록 구성된다. 일 실시예에 따르면, 음의 위상 시프터(710)는 음의 45도(-45° )만큼 신호의 위상을 시프트하도록 구성된다. 위상 시프터는 PIN 다이오드 위상 시프터, 장하 선로(loadcd-line) 위상 시프터, 반사 타입 위상 시프터, 또는 신호의 위상을 변경하기 위한 다른 회로로서 구현될 수 있다. 도 8에 예시된 바와 같이, 일 실시예는 혼합기(712) 및 제1 스위치(714)와 결합된 양의 위상 시프터(708)를 포함한다. 일 실시예에 따르면, 음의 위상 시프터(710)는 혼합기(712) 및 제2 스위치(716)에 결합된다. 혼합기(712)는 양의 위상 시프터(708)로부터 제1 위상 시프트 신호(718)를 수신하고, 음의 위상 시프터(710)로부터 제2 위상 시프트 신호(720)를 수신하도록 구성된다. 혼합기(712)는 여기에 설명된 바를 포함하는 기법들을 이용하여 구현될 수 있다.

[0049] 일 실시예의 경우, 혼합기(712)는 위상 검출기(722)와 결합된다. 혼합기(712)는 제1 위상 시프트 신호(718) 및 제2 위상 시프트 신호(720)의 곱인 혼합 신호(724)를 생성한다. 위상 검출기(722)는 혼합 신호(724)의 위상을 기초로 위상 출력 신호(726)를 생성한다. 위상 출력 신호(726)는 위상 검출기(722)에 의해 수신된 혼합 신호(724)의 위상 변화를 기초로 전압 및/또는 전류가 달라질 수 있다. 일 실시예의 경우, 위상 출력 신호(726)는 위상 검출기(722)에 의해 수신된 혼합 신호(724)를 기초로 고전압과 저전압 사이에서 달라지는 신호이다. 일 실시예의 경우, 고전압은 로직 1과 등가인 전압 레벨이고, 저전압은 로직 0과 등가인 전압 레벨이다. 위상 검출기(722)는 여기에 설명된 바를 포함하는 기법들을 이용하여 구현될 수 있다.

[0050] 도 8에 예시된 실시예에 따라, 위상 검출기(722)는 제1 스위치(714) 및 제2 스위치(716)와 결합된다. 일 실시예에 따르면, 제1 스위치(714) 및 제2 스위치(716)는 위상 검출기(722)로부터의 위상 출력 신호(726)에 의해 제어된다. 혼합 신호(724)의 위상이  $\pi/2$  라디안이면, 위상 검출기(722)는 위상 출력 신호(726)를 생성하여 제1 스위치(714) 및 제2 스위치(716)를 “0” 상태(728)로 스위칭하도록 구성된다. 혼합 신호(724)의 위상이  $3\pi/2$  라디안이면, 위상 검출기(722)는 위상 출력 신호(726)를 생성하여 제1 스위치(714) 및 제2 스위치(716)를 “1” 상태(730)로 스위칭하도록 구성된다. 일 실시예의 경우, 제1 스위치(714) 및 제2 스위치(716)는 위상 검출기(726)로부터의 위상 출력 신호(726)를 기초로 “0” 상태(728)와 “1” 상태(730) 사이에서 선택한다.

[0051] 도 8에 예시된 실시예에 따르면, 제1 스위치(714)는 제1 스위치(714)가 “0” 상태(728)에 있는 경우 제1 위상 시프트 신호(718)를 사용하여 제1 BPSK 신호(732)를 생성하도록 구성되고, 제1 스위치(714)가 “1” 상태(730)에 있는 경우 제1 위상 시프트 신호(718)를 사용하여 제2 BPSK 신호(734)를 생성하도록 구성된다. 제2 스위치(716)는 제2 스위치(716)가 “0” 상태(728)에 있는 경우 제2 위상 시프트 신호(720)를 사용하여 제2 BPSK 신호(734)를 생성하도록 구성되고, 제2 스위치(716)가 “1” 상태(730)에 있는 경우 제2 위상 시프트 신호(720)를 사용하여 제1 BPSK 신호(732)를 생성하도록 구성된다. 일 실시예에 따르면, QPSK 분해 필터(700)는 BPSK 신호들, 즉 제1 BPSK 신호(732) 및 제2 BPSK 신호(734)의 2개의 채널을 생성한다. 일 실시예에 따르면, 각 채널에서의 BPSK 신호의 데이터율은 QPSK 신호(702)에서의 데이터율의 절반이고, 각 채널에서의 BPSK 신호의 심볼율은 QPSK 신호(702)의 동일한 심볼율일 것이다.

[0052] 도 9는 일 실시예에 따라 스위치 제어 회로를 포함하는 QPSK 분해 필터(740)와 같은 QPSK-BPSK 컨버터의 회로 블록도를 예시한다. 입력된 QPSK 신호(750)는 여기에 설명된 바와 같은 기법들을 사용하여 2개의 채널로 분열된다. 도 9에 예시된 실시예에 따르면, 하나의 채널은 여기에 설명된 바를 포함하는 기법들을 이용함으로써 구현된 양의 위상 시프터(754)와 결합된다. 일 실시예의 경우, 양의 위상 시프터(754)는 양의 45도(+45° ) 위상 시프터이다. 제2 채널은 여기에 설명된 바를 포함하는 기법들을 이용함으로써 구현된 음의 위상 시프터(752)와 결합된다. 일 실시예의 경우, 음의 위상 시프터(752)는 음의 45도(-45° ) 위상 시프터이다.

[0053] 도 9에 예시된 바와 같이, 일 실시예는 혼합기(756), 제1 스위치(758), 및 제2 스위치(764)와 결합된 양의 위상 시프터(754)를 포함한다. 일 실시예에 따르면, 음의 위상 시프터(752)는 혼합기(756), 제1 스위치(758), 및 제2 스위치(764)에 결합된다. 제1 스위치(758)는 제1 트랜지스터(760) 및 제2 트랜지스터(762)를 이용함으로써 구현된다. 제2 스위치(764)는 제3 트랜지스터(766) 및 제4 트랜지스터(768)를 이용함으로써 구현된다. 혼합기(756)는 여기에 설명된 바와 같은 기법들을 이용하여 구현될 수 있다.

[0054] 일 실시예의 경우, 혼합기(756)는 직접 및 딜레이 회로(772)를 통해 위상 검출기(770)와 결합된다. 일 실시예

의 경우, 딜레이 회로(772)는 수 나노초만큼 혼합기(756)로부터의 출력을 지연시키도록 구성된다. 일 실시예의 경우, 딜레이 회로(1024)는 1 나노초를 포함하고, 최대 20 나노초를 포함하는 범위의 시간만큼 혼합기(1008)로부터의 출력을 지연시키도록 구성된다. 일 실시예에 따르면, 딜레이 회로(772)는 저항기-커패시터(RC) 회로로서 구현된다. 위상 검출기(770)는 여기에 설명된 바와 같은 기법들을 이용하여 구현될 수 있다. 위상 검출기(770)는 여기에 설명된 바를 포함하는 기법들을 이용함으로써 구현된 저대역 통과 필터(774)와 결합된다. 저대역 통과 필터(774)는 전원 공급 전압의 절반과 같은 일정한 임계 전압을 기초로 저대역 통과 필터의 출력의 부호를 판단하도록 구성된 부호 검출기(부호; 776)와 결합된다. 일 실시예의 경우, 부호 검출기는 공지된 기법들을 이용함으로써 비교기로서 구현된다. 부호 검출기(776)는 D 플립플롭(778)을 이용함으로써 구현된 스위치 제어 회로와 결합된다. D 플립플롭(778)은 Q 출력(780), Q- 출력(782), D 입력(784), 및 클럭 입력(786)을 포함한다. 일 실시예의 경우, 부호 인버터(776)로부터의 출력은 D 플립플롭(778)의 클럭 입력(786)과 결합된다. Q 출력(780)은 제1 스위치(758)의 제1 트랜지스터(760) 및 제2 스위치(764)의 제4 트랜지스터(768)와 결합된다. Q- 출력(782)은 D 플립플롭(778)의 D 입력(784), 제1 스위치(758)의 제2 트랜지스터(762), 및 제2 스위치(764)의 제3 트랜지스터(766)와 결합된다. D 플립플롭(778)은 QPSK 분해 필터에 관해 여기에 설명된 바와 같이 음의 위상 시프터(752)로부터의 출력과 양의 위상 시프터(754)의 출력 사이에서 선택함으로써 제1 스위치(758) 및 제2 스위치(764)를 스위칭하여 제1 BPSK 신호(788) 및 제2 BPSK 신호(790)를 생성하도록 구성된다.

[0055] 도 10은 일 실시예에 따라 QPSK 인터레이싱 필터와 같은 QPSK-BPSK 컨버터를 포함하는 수신기 아키텍처(800)의 회로 블록도를 예시한다. 도 10에 예시된 일 실시예에 따르면, 필터(804)는 QPSK 신호(802)를 수신하도록 구성된다. 일 실시예의 경우, QPSK 신호(802)는 이로 한정되는 것은 아니지만, 도체, 공기, 및 광 섬유 케이블과 같은 유리를 포함하는 매개체를 통해 전파되는 신호를 이로 한정되는 것은 아니지만 수신, 증폭, 형성하도록 구성된 하나 이상의 컴포넌트를 포함하는 안테나 및/또는 회로망일 수 있다. 필터(804)는 여기에 설명된 바를 포함하는 기법들을 이용하여 구현될 수 있다. 일 실시예의 경우, 필터(804)는 대역 통과 필터로서 구성된다. 일 실시예에 따르면, 입력 QPSK 신호(802)는 프로세싱될 캐리어 주파수(fc)를 중심으로 하는 신호 대역을 선택하는 대역 통과 필터(BPF)로서 구성된 필터(804)에 의해 필터링된다.

[0056] 도 10에 예시된 바와 같이, 필터(804)는 증폭기(808)와 결합된다. 증폭기(808)는 여기에 설명된 바와 같은 기법들을 이용하여 구현될 수 있다. 일 실시예의 경우, 증폭기(808)는 여기에 설명된 바와 같은 저잡음 증폭기(LNA)이다. 일 실시예에 따르면, 증폭기(808)는 QPSK 인터레이싱 필터(812)와 결합된다. 일 실시예에 따르면, QPSK 인터레이싱 필터(812)는 증폭 QPSK 신호(810)와 같은 QPSK 신호를 기초로 BPSK 신호(816)를 생성하도록 구성된다. 일 실시예에 따르면, 데이터율이 QPSK 신호(802)와 동일하고, QPSK 신호(802)의 심볼율의 두 배가 되도록 생성된다.

[0057] 도 10에 예시된 실시예에 따르면, QPSK 인터레이싱 필터(812)는 BPSK 수신기(818)와 결합된다. BPSK 수신기(818)는 QPSK 인터레이싱 필터(812)로부터 생성된 BPSK 신호(816)를 수신하도록 구성된다. BPSK 수신기(818)는 BPSK 신호(816)를 기초로 복조된 출력 신호(820)를 생성하도록 구성된다. 일 실시예에 따르면, 복조 출력 신호(820)는 공지 기법들을 사용하여 복조 데이터를 다른 형태로 디코딩 또는 변환하도록 더 프로세싱된다.

[0058] 도 11은 일 실시예에 따라 QPSK 인터레이싱 필터(900)와 같은 QPSK-BPSK 컨버터의 회로 블록도를 예시한다. QPSK 신호(902)는 2개의 채널로 분열된다. 일 실시예에 따르면, 입력 QPSK 신호(902)는 공지된 바와 같은 전력 분할기(904)를 사용하여 2개의 채널로 분열된다. 일 실시예의 경우, 전력 분할기는 QPSK 신호(902)에 대해 양의 45도(+45°) 위상 시프트를 갖는 제1 채널 신호(902) 및 QPSK 신호(902)에 대해 음의 45도(-45°) 위상 시프트를 갖는 제2 채널 신호(906)를 생성하도록 구성된다. 이러한 전력 분할기(904)는 QPSK 신호(902)에 대해 양의 45도 위상 시프트를 갖는 제1 채널 신호(905) 및 QPSK 신호(902)에 대해 음의 45도 위상 시프트를 갖는 제2 채널 신호(902)를 생성하기 위해 위상 시프터들을 포함한다.

[0059] 도 11에 예시된 실시예에 따르면, 전력 분할기(904)는 양의 45도(+45°) 위상 시프터(908) 및 음의 45도(-45°) 위상 시프터(910)와 결합된다. 위상 시프터는 여기에 설명된 바를 포함하는 기법들을 이용하여 구현될 수 있다. 도 11에 예시된 바와 같이, 일 실시예는 혼합기(912) 및 제1 스위치(914)와 결합된 양의 위상 시프터(908)를 포함한다. 일 실시예에 따르면, 음의 위상 시프터(910)는 혼합기(912) 및 제2 스위치(916)에 결합된다. 혼합기(912)는 양의 위상 시프터(908)로부터 제1 위상 시프트 신호(918)를 수신하고, 음의 위상 시프터(910)로부터 제2 위상 시프트 신호(920)를 수신하도록 구성된다. 혼합기(912)는 여기에 설명된 바와 같은 기법들을 이용하여 구현될 수 있다.

[0060] 일 실시예의 경우, 혼합기(912)는 위상 검출기(922)와 결합된다. 혼합기(912)는 제1 위상 시프트 신호(918) 및

제2 위상 시프트 신호(920)의 곱인 혼합 신호(924)를 생성하도록 구성된다. 위상 검출기(922)는 혼합 신호(924)의 위상을 기초로 위상 출력 신호(926)를 생성하도록 구성된다. 위상 출력 신호(926)는 위상 검출기(924)에 의해 수신된 혼합 신호(922)의 위상 변화를 기초로 전압 및/또는 전류가 달라질 수 있다. 일 실시예의 경우, 위상 출력 신호(926)는 위상 검출기(922)에 의해 수신된 혼합 신호(922)를 기초로 고전압과 저전압 사이에서 달라지는 신호이다. 일 실시예의 경우, 고전압은 로직 “1” 과 등가인 전압 레벨이고, 저전압은 로직 “0” 과 등가인 전압 레벨이다. 위상 시프터(922)는 여기에 설명된 바와 같은 기법들을 이용하여 구현될 수 있다.

[0061] 도 11에 예시된 실시예에 따라, 위상 검출기(922)는 제1 스위치(914) 및 제2 스위치(916)와 결합된다. 일 실시예에 따르면, 제1 스위치(914) 및 제2 스위치는 위상 검출기(922)로부터 위상 출력 신호(926)에 의해 제어되도록 구성된다. 혼합 신호(924)의 위상이  $\pi/2$  라디안이면, 위상 검출기(922)는 위상 출력 신호(926)를 생성하여 제1 스위치(914) 및 제2 스위치(916)를 “0” 상태(928)로 스위칭하도록 구성된다. 혼합 신호(924)의 위상이  $3\pi/2$  라디안이면, 위상 검출기(922)는 위상 출력 신호(926)를 생성하여 제1 스위치(914) 및 제2 스위치(916)를 “1” 상태(930)로 스위칭하도록 구성된다. 일 실시예의 경우, 제1 스위치(914) 및 제2 스위치(916)는 위상 검출기(922)로부터의 위상 출력 신호(926)를 기초로 “0” 상태(928)와 “1” 상태(930) 사이를 교번한다. 도 11에 예시된 실시예에 따르면, 제1 스위치(914)는 제1 스위치(914)가 “0” 상태(928)에 있는 경우 제1 위상 시프트 신호(918)를 사용하여 제1 BPSK 신호(932)를 생성하도록 구성되고, 제1 스위치(914)가 “1” 상태(930)에 있는 경우 제1 위상 시프트 신호(918)를 사용하여 제2 BPSK 신호(934)를 생성하도록 구성된다. 제2 스위치(916)는 제2 스위치(916)가 “0” 상태(928)에 있는 경우 제2 위상 시프트 신호(920)를 사용하여 제2 BPSK 신호(934)를 생성하도록 구성되고, 제2 스위치(916)가 “1” 상태(930)에 있는 경우 제2 위상 시프트 신호(920)를 사용하여 제1 BPSK 신호(930)를 생성하도록 구성된다. 일 실시예에 따르면, QPSK 인터레이싱 필터(900)는 BPSK 신호들, 즉 제1 BPSK 신호(932) 및 제2 BPSK 신호(934)의 2개의 채널을 생성한다.

[0062] 도 11에 예시된 실시예에 따르면, 제1 스위치(914)는 제2 양의 45도 위상 시프터(936)와 결합되고, 제2 스위치(916)는 제2 음의 45도 위상 시프터(938)와 결합된다. 제2 양의 45도 위상 시프터(936)는 여기에 설명된 바와 같은 기법들을 이용함으로써 45도만큼 시프트된 제1 BPSK 신호(932)의 위상을 시프트하도록 구성된다. 제2 음의 45도 위상 시프터(938)는 여기에 설명된 바와 같은 기법들을 이용함으로써 음의 45도만큼 제2 BPSK 신호(934)의 위상을 시프트하도록 구성된다. 일 실시예에 따르면, 제2 양의 45도 위상 시프터(935) 및 제2 음의 45도 위상 시프터(938)는 제3 스위치(940)와 결합된다. 일 실시예에 따르면, 제3 스위치(940)는 제2 양의 45도 위상 시프터(936)로부터의 출력과 제2 음의 45도 위상 시프터(938)의 출력 사이에서 선택하도록 구성된다. 제3 스위치(940)는 제2 양의 45도 위상 시프터(936)로부터의 출력과 제2 음의 45도 위상 시프터(938)의 출력을 기초로 BPSK 출력(942)을 생성한다.

[0063] 도 11에 예시된 실시예에 따르면, 혼합기(912)는 제3 스위치(940)와 결합된다. 제3 스위치(940)는 혼합기(912)에 의해 생성된 혼합 신호(924)를 수신하도록 구성된다. 일 실시예의 경우, 제3 스위치(940)는 혼합 신호(924)를 기초로 “C” 상태(944)와 “D” 상태(946) 사이에서 선택하도록 구성된다. 도 11에 예시된 실시예에 따르면, 제3 스위치(940)는 제3 스위치(940)가 “C” 상태(944)인 경우 양의 위상 시프터(936)의 출력을 사용하여 출력 BPSK 신호(942)를 생성하도록 구성된다. 제3 스위치(940)는 제3 스위치(940)가 “D” 상태(946)인 경우 음의 위상 시프터(938)의 출력을 사용하여 출력 BPSK 신호(942)를 생성하도록 구성된다. 일 실시예의 경우, 제3 스위치(940)는 혼합 신호(924)의 위상을 기초로 “C” 상태(944)와 “D” 상태(946) 사이에 교번하도록 구성된다. 일 실시예에 따르면, 제3 스위치(940)에 의해 생성된 출력 BPSK 신호(942)는 QPSK 신호(902)와 동일한 데이터율을 갖고, QPSK 신호(902)의 심볼율의 2배의 심볼율을 갖는다.

[0064] 도 12는 일 실시예에 따라 스위치 제어 회로들을 포함하는 QPSK 인터레이스 필터(1000)의 도면을 예시한다. QPSK 신호(1002)는 여기에 설명된 바를 포함하는 기법들을 사용하여 2개의 채널로 분열된다. 일 실시예에 따르면, 하나의 채널은 여기에 설명된 바를 포함하는 기법들을 이용함으로써 구현된 양의 위상 시프터(1004)와 결합된다. 일 실시예의 경우, 양의 위상 시프터(1004)는 양의 45도(+45°) 위상 시프터이다. 제2 채널은 여기에 설명된 바를 포함하는 기법들을 이용함으로써 구현된 음의 위상 시프터(1006)와 결합된다. 일 실시예의 경우, 음의 위상 시프터(1006)는 음의 45도(-45°) 위상 시프터이다.

[0065] 도 12에 예시된 바와 같이, 일 실시예는 혼합기(1008), 제1 스위치(1010), 및 제2 스위치(1016)와 결합된 양의 위상 시프터(1004)를 포함한다. 일 실시예에 따르면, 음의 위상 시프터(1006)는 혼합기(1008), 제1 스위치(1010), 및 제2 스위치(1016)에 결합된다. 제1 스위치(1010)는 제1 트랜지스터(1012) 및 제2 트랜지스터(1014)를 이용함으로써 구현된다. 제2 스위치(1016)는 제3 트랜지스터(1018) 및 제4 트랜지스터(1020)를 이용

함으로써 구현된다. 혼합기(1008)는 여기에 설명된 바와 같은 기법들을 이용하여 구현될 수 있다.

[0066] 일 실시예의 경우, 혼합기(1008)는 직접 및 딜레이 회로(1024)를 통해 위상 검출기(1026)와 결합된다. 일 실시예의 경우, 딜레이 회로(1024)는 여기에 설명된 바를 포함하는 기법들을 이용함으로써 수 나노초만큼 혼합기(1008)로부터의 출력을 지연시킨다. 일 실시예의 경우, 딜레이 회로(1024)는 1 나노초를 포함하고, 최대 20 나노초를 포함하는 범위의 시간만큼 혼합기(1008)로부터의 출력을 지연시키도록 구성된다. 위상 시프터(1026)는 여기에 설명된 바와 같은 기법들을 이용하여 구현될 수 있다. 위상 검출기(1026)는 여기에 설명된 바를 포함하는 기법들을 이용하여 구현된 저대역 통과 필터(1028)와 결합된다. 저대역 통과 필터(1028)는 여기에 설명된 바와 같은 기법들을 사용하여 전력 공급 전압의 절반과 같은 일정한 임계 전압을 기초로 저대역 통과 필터의 출력의 부호를 판단하도록 구성된 부호 검출기(103)와 결합된다. 부호 검출기(1030)는 D 플립플롭(1032)을 이용하여 구현된 제1 스위치 제어 회로와 결합된다. D 플립플롭(1032)은 Q 출력(Q; 1034), Q- 출력(Q-; 1036), D 입력(D; 1038), 및 클럭 입력(CLK; 1040)을 포함한다. 일 실시예의 경우, 부호 인버터(1030)로부터의 출력은 D 플립플롭(1032)의 클럭 입력(1040)과 결합된다. Q 출력(1034)은 제1 스위치(1010)의 제1 트랜지스터(1012) 및 제2 스위치(1016)의 제4 트랜지스터(1020)와 결합된다. Q- 출력(1036)은 D 입력(1038), 제1 스위치(1010)의 제2 트랜지스터(1014), 및 제2 스위치(1016)의 제3 트랜지스터(1018)와 결합된다. D 플립플롭(1032)은 QPSK 인터레이싱 필터(1000)에 대해 여기에 설명된 바와 같이 제1 스위치(1010)와 제2 스위치(1016)를 스위칭하여 제1 BPSK 신호(1042) 및 제2 BPSK 신호(1044)를 생성하도록 구성된다.

[0067] 일 실시예에 따르면, 제3 스위치는 제2 양의 위상 시프터(1048)로부터의 출력과 제2 음의 위상 시프터(1050)의 출력 사이에서 선택하도록 구성된다. 일 실시예의 경우, 제2 양의 위상 시프터(1048)는 양의 45도만큼 신호의 위상을 시프트하도록 구성되고, 제2 음의 위상 시프터(1050)는 음의 45도만큼 신호의 위상을 시프트하도록 구성된다. 제3 스위치(1046)는 제2 양의 위상 시프터(1048)로부터의 출력과 제2 음의 위상 시프터(1050)의 출력을 기초로 BPSK 출력(1048)을 생성하도록 구성된다.

[0068] 도 12에 예시된 실시예에 따르면, 부호 인버터(1030)는 제3 D 플립플롭(1052)과 결합된다. 제3 D 플립플롭(1052)은 AND 게이트(1054) 및 제1 D 플립플롭(1032)과 결합된다. 도 12에 예시된 실시예에 따르면, 제2 D 플립플롭(1052)은 AND 게이트(1054)와 결합된 Q 출력(1056)을 포함한다. 제2 D 플립플롭(1052)은 또한 부호 인버터(1030)와 결합된 클럭 입력(1058)을 포함한다. 제2 D 플립플롭(1052)의 D 입력(1060)은 양의 전압(VDD)과 같은 고전위(high potential)와 결합된다. AND 게이트(1054)는 제3 스위치(1046)와 결합된다. 일 실시예의 경우, AND 게이트(1054)는 제3 스위치(1046)의 제2 트랜지스터(1014)와 결합되고, 인버터(1062)를 통해 제3 스위치(1046)의 제1 트랜지스터(1012)와 결합된다. 인버터(1062)는 또한 제2 지연 회로(1064)를 통해 AND 게이트(1054)의 입력과 결합된다. 일 실시예의 경우, 딜레이 회로(1064)는 입력 QPSK 신호(1002)의 심볼 주기의 절반만큼 인버터(1062)로부터의 출력을 지연시키도록 구성된다.

[0069] 제2 D 플립플롭(1058), AND 게이트(1054), 인버터(1062), 및 제2 지연 회로(1064)는 혼합기(1008)의 출력을 기초로 제3 스위치(1046)를 위한 제어 회로를 거동시켜서 제2 양의 위상 시프터(1048)의 출력과 음의 위상 시프터(1050)의 출력 사이에서 선택하도록 구성된다. 제3 스위치(1046)는 QPSK 인터레이싱 필터들에 대해 여기에서 설명된 바를 포함하는 기법들을 이용하여 제2 양의 위상 시프터(1048)의 출력과 제2 음의 위상 시프터(1050)의 출력 사이에서 선택함으로써 출력 BPSK 신호(1051)를 생성하도록 구성된다.

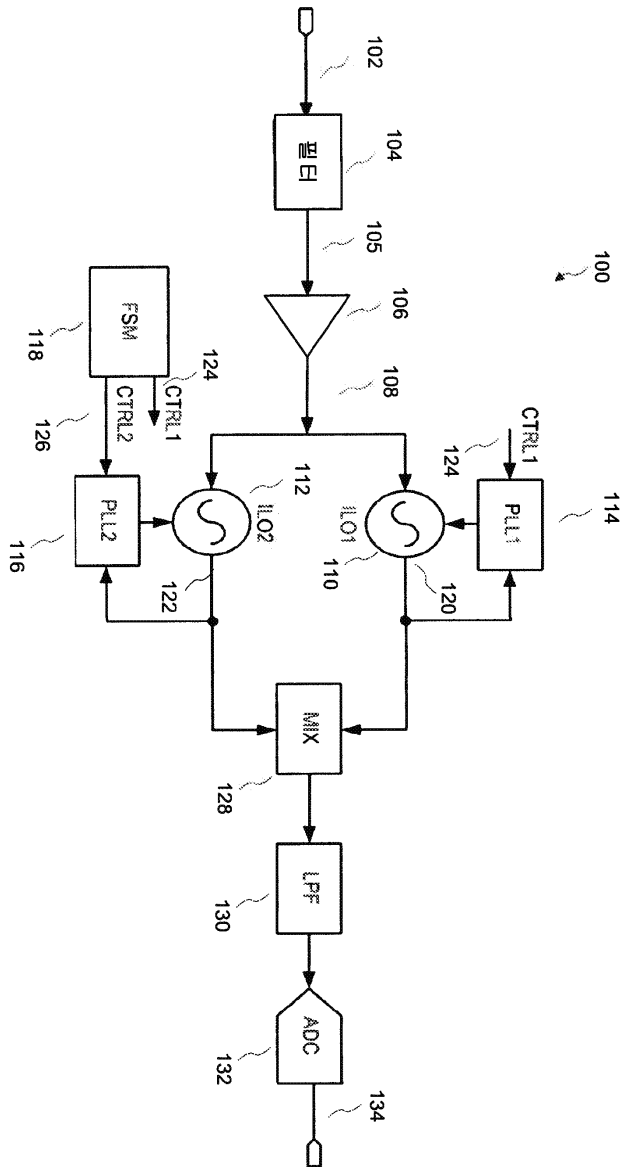
[0070] 도 13은 일 실시예에 따라 송수신기 아키텍처(1300)의 회로 블록도를 예시한다. 일 실시예에 따르면, 송수신기 아키텍처(1300)는 BPSK 수신기 및 BPSK 송수신을 포함한다. 일 실시예에 따른 송수신기를 위한 송수신기 아키텍처(1300)는 제2 혼합기(MIX2; 1341)와 결합된 변조기(1340)를 포함한다. 제2 혼합기(1341)는 여기에 설명된 바를 포함하는 기법들을 이용하여 구현될 수 있다. 제2 혼합기(1341)는 IL01 출력(1320) 및 IL02 출력(1322)과 결합된다. 제2 혼합기(1341)는 IL01 출력(1320) 및 IL02 출력(1322)을 기초로 캐리어 주파수 신호(1336)를 생성하도록 구성된다. 일 실시예의 경우, 제2 혼합기(1341)는 필터(1304)에 수신된 BPSK 신호(1302)와 동일한 캐리어 주파수의 주파수를 갖는 캐리어 주파수 신호(1336)를 생성하도록 구성된다.

[0071] 일 실시예의 경우, 변조기(1340)는 직접적인 무선 주파수 변조기이다. 변조기는 아날로그 또는 디지털 신호를 포함하는 베이스밴드 신호(1338)를 수신하도록 구성된다. 일 실시예의 경우, 베이스밴드 신호(1338)는 디지털 비트 스트림일 수 있다. 일 실시예의 경우, 베이스밴드 신호(1338)는 공지 기법들을 이용하여 변조기에 의해 신호가 수신되기 전에 사전 프로세싱된다. 일 실시예의 경우, 송수신기 아키텍처(1300)는 베이스밴드 신호(1338)를 사전 프로세싱하도록 구성된 펄스 형성 및 사전 왜곡 유한 임펄스 응답(FIR) 필터와 같은 필터를 포함한다. 일 실시예에 따르면, 펄스 형성 & 사전 왜곡 FIR 필터는 변조기(1340)와 결합된다.

- [0072] 변조기는 여기에 설명된 기법들을 사용하여 구현된 것을 포함하는 혼합기를 사용하여 구현된다. 변조기(1340)는 변조 신호(1342)를 생성하도록 구성된다. 일 실시예의 경우, 변조기(1340)는 캐리어 주파수 신호(1336)의 주파수와 동일한 캐리어 주파수를 갖는 변조 신호(1342)를 생성하도록 구성된다. 일 실시예의 경우, 변조 신호(1342)는 여기에 설명된 바를 포함하는 기법들을 이용하여 구현된 증폭기를 통해 증폭될 수 있다. 송수신기 아키텍처의 일 실시예에는 이들로 제한되는 것은 아니지만, 송수신 스위치, 전력 증폭기, 필터, 안테나, 및 전송을 위한 변조 신호를 송신하거나 컨디셔닝하는데 사용되는 다른 회로들을 포함하는 변조기(1340)와 결합된 하나 이상의 송신 회로를 포함할 수 있다.
- [0073] 도 13에 예시된 실시예에 따르면, 송수신기 아키텍처(1300)는 여기에 설명된 바와 같은 수신기 아키텍처를 이용하는 수신기를 포함한다. PLL1(1314)와 같은 ILO 제어 회로는 ILO1(1310)와 결합되고, PLL2(1316)와 같은 ILO 제어 회로는 ILO2(1312)와 결합된다. 일 실시예의 경우, ILO 제어 회로들은 여기에 전술된 바와 같이 PLL 또는 FLL일 수 있다. 일 실시예의 경우, 여기에 설명된 바를 포함하는 기법들을 사용하여, PLL1(1314)은 ILO1(1310)의 초기 주파수를  $f_c/2+\Delta f$ 에 설정하도록 구성되고, PLL2(1316)는 ILO2(1312)의 초기 주파수를  $f_c/2-\Delta f$ 에 설정하도록 구성된다. 여기에 설명된 바와 같이, ILO1(1310) 및 ILO2(1312)는 캐리어 주파수가  $f_c$ 인 증폭 BPSK 신호(1308)와 같은 BPSK 신호를 수신하도록 구성된다. ILO1(1310) 및 ILO2(1312)는 각자의 ILO 제어 회로들에 의해 주파수( $f_c/2$ )로 설정된 바와 같이 자신의 초기 주파수들로 재조정될 것이다.
- [0074] 전술한 바와 같이, 변조기는 ILO1 출력 신호(1320)와 ILO2 출력 신호(1322)의 혼합 신호인 캐리어 주파수 신호(1336)를 수신하도록 구성된다. ILO1(1310) 및 ILO2(1312)의 출력의 혼합은 캐리어 주파수가  $f_c$ 인 캐리어 주파수 신호(1336)를 생성할 것이다. 변조기는 송신을 위한 캐리어 주파수( $f_c$ )에서 변조 신호(1342)를 생성하도록 구성된다. 일 실시예의 경우,  $f_c/2+\Delta f$ 인 ILO 주파수(또는  $f_c/2-\Delta f$ 인 ILO 주파수)와  $f_c$ 인 캐리어 주파수에서의 송신을 위한 변조 신호 사이의 구분은 송신기에서의 “풀링(pulling)” 문제점들을 감소시키는데, 이는 강한 송신 신호에 의해 일어나는 ILO와 같은 발진기의 동작 주파수에서 주파수 시프트이다. 이는 송신기의 수신 섹션에서의 성능을 저하시킬 수 있다.
- [0075] 도 13에 예시된 실시예에 따르면, 송수신기는 여기에 설명된 바를 포함하는 기법들을 사용하여 BPSK 신호(1302)를 수신하도록 구성된 필터(1304)를 포함한다. 필터(1304)는 여기에 설명된 바와 같은 기법들을 이용하여, 필터링된 BPSK 신호(1305)를 생성하도록 구성된다. 필터(1304)는 증폭기(1306)와 결합된다. 일 실시예의 경우, 증폭기(1306)는 전술된 기법들에 따라 구성된다. 일 실시예의 경우, PLL1(1314)은 ILO1 출력(1320)과 결합되고, PLL2(1316)는 ILO2 출력(1322)과 결합된다. ILO1 출력(1320) 및 ILO2 출력(1322)은 여기에 설명된 바를 포함하는 기법들을 사용하여 각각, PLL1(1314) 및 PLL2(1316)를 위한 피드백 루프의 일부로서 사용된다. 일 실시예의 경우, FSM(1318) 및 제1 제어 신호(CTRL1; 1324) 및 제2 제어 신호(CTRL2; 1326)는 여기에 설명된 기법들을 이용하여 구현될 수 있다.
- [0076] 도 13에 예시된 실시예에 따르면, 송수신기 아키텍처(1300)는 ILO1(1310) 및 ILO2(1312)와 결합된 제1 혼합기(MIX1; 1328)를 포함한다. 혼합기(1328)는 여기에 설명된 바를 포함하는 기법들을 이용하여 구현될 수 있다. 일 실시예의 경우, 혼합기(1328)는 LPF(1330)와 결합된다. LPF(1330)는 여기에 설명된 바를 포함하는 기법들을 이용하여 구현될 수 있다. 도 13에 더 예시된 바와 같이, 일 실시예는 ADC(1330)와 결합된 LPF(1332)를 포함한다. 일 실시예의 경우, LPF(1330)는 여기에 설명된 바를 포함하는 기법들을 이용하여 ADC(1332)와 결합될 수 있다. 일 실시예에 따른 ADC(1332)는 비트 시퀀스 및 BPSK 신호(1302)를 기초로 여기에 설명된 바와 같은 기법들을 사용하여 이들로 제한되는 것은 아니지만, 베이스밴드 신호의 비트 시퀀스 및 다른 형태를 포함하는 출력 신호(1334)를 생성하도록 구현될 수 있다. 일 실시예에 따르면, 송수신기 아키텍처(1300)는 여기에 설명된 바와 같은 QPSK 분해 필터 및 여기에 설명된 바와 같은 QPSK 인터페이스 필터를 포함하는 QPSK-BPSK 컨버터를 포함하는 수신기를 포함할 수 있다.
- [0077] 일부 실시예들에 따르면, 여기에 설명된 수신기 아키텍처들 및 송수신기 아키텍처들 중 하나 이상은 수신기 아키텍처들 및 송수신기 아키텍처들의 컴포넌트들 및 회로들을 생성하기 위해 공지된 반도체 프로세스들을 사용하여 집적 회로에 구현될 수 있다. 앞서 식별된 실시예들의 여러 변형예들이 전술한 설명 및 교시의 관점에서 당업자에게 자명할 것이라는 점이 인식되어야 한다. 따라서, 본 발명은 이들 특정 실시예, 예시된 예시들, 및 여기에 도시되고 설명된 본 개시의 방법들에 의해 한정되지 않는다. 오히려, 본 발명의 범위는 다음의 청구항들과 이들의 균등물에 의해 정의되어야 할 것이다.

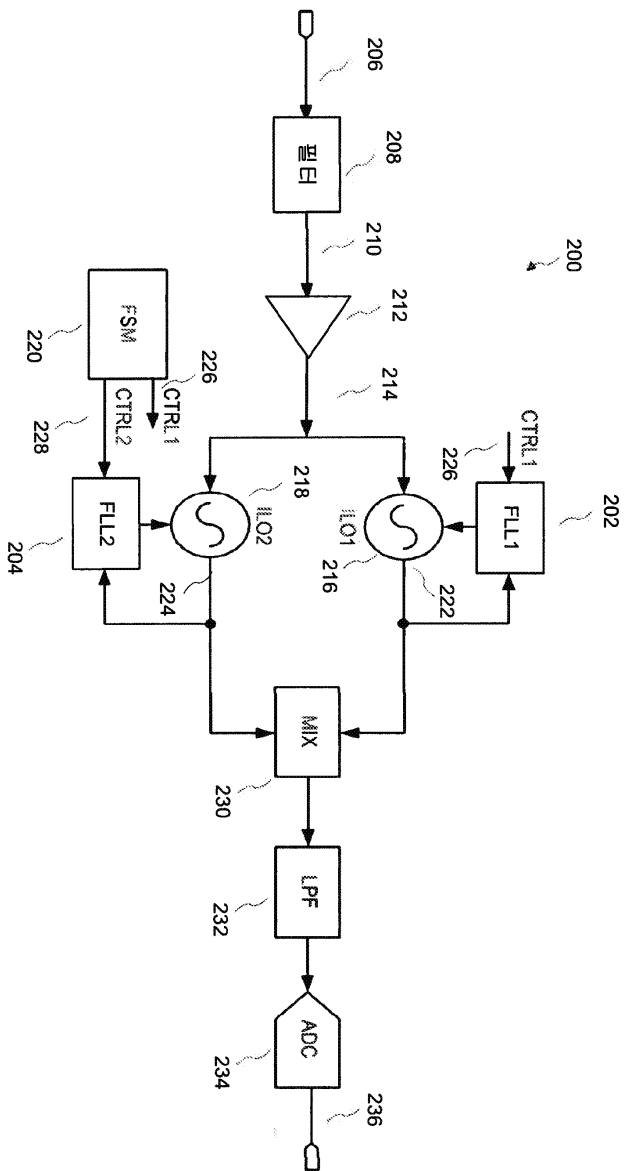
도면

도면1

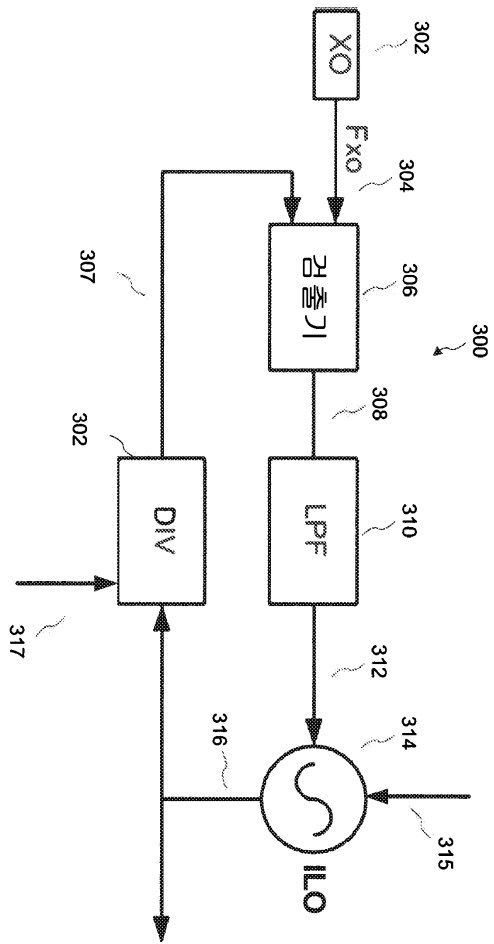




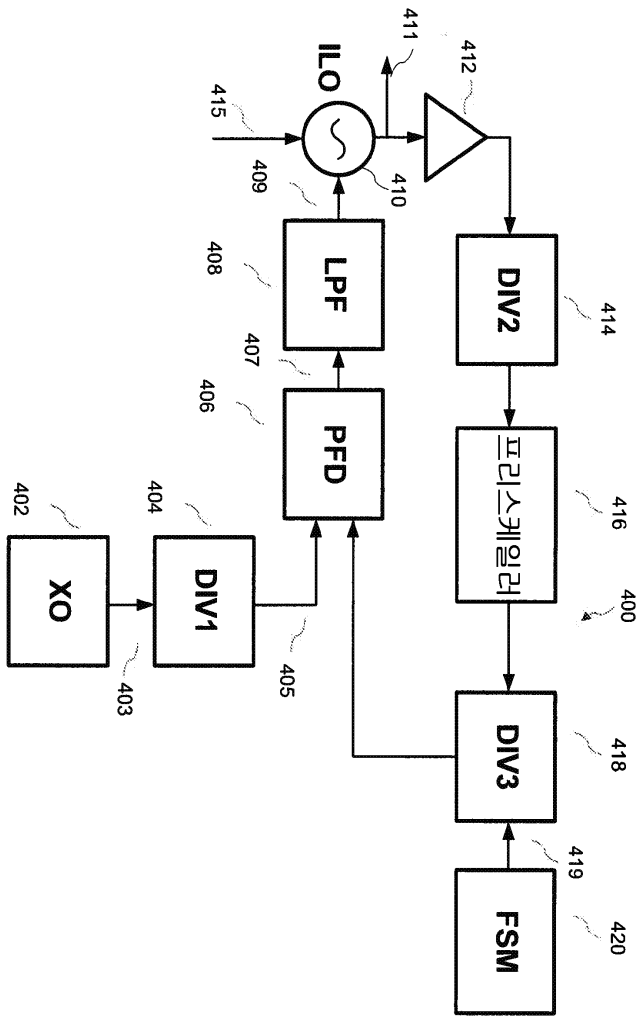
도면2



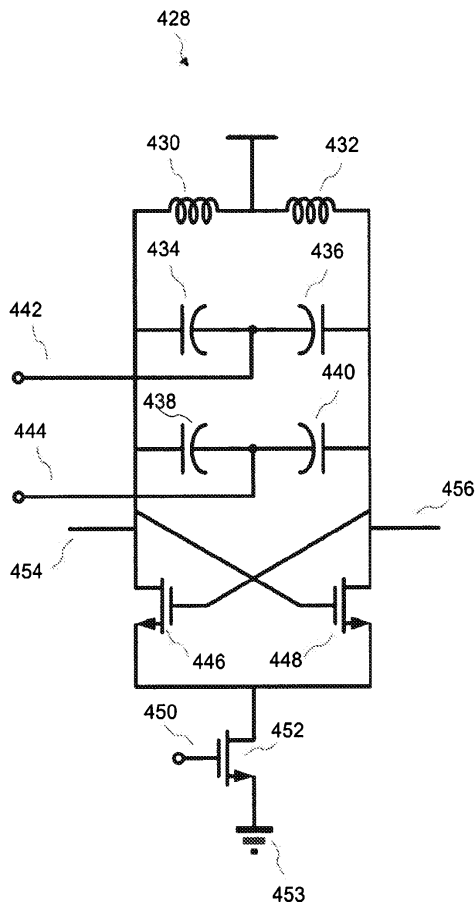
도면3



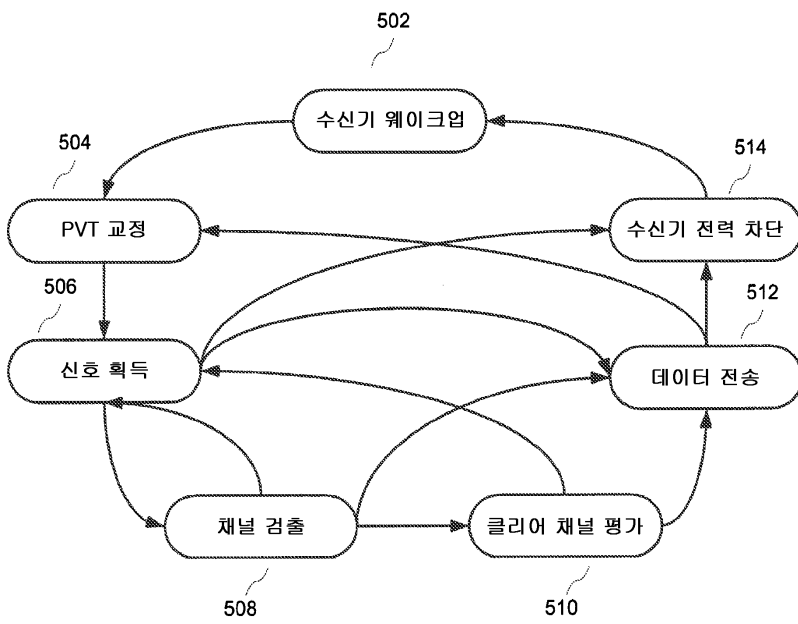
도면4



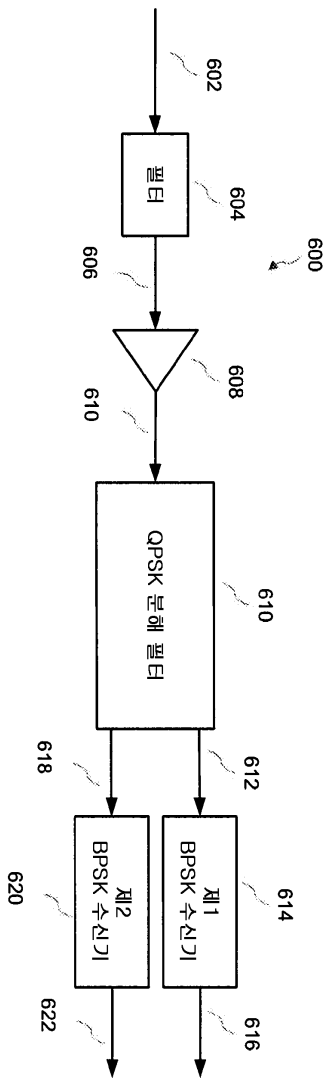
도면5



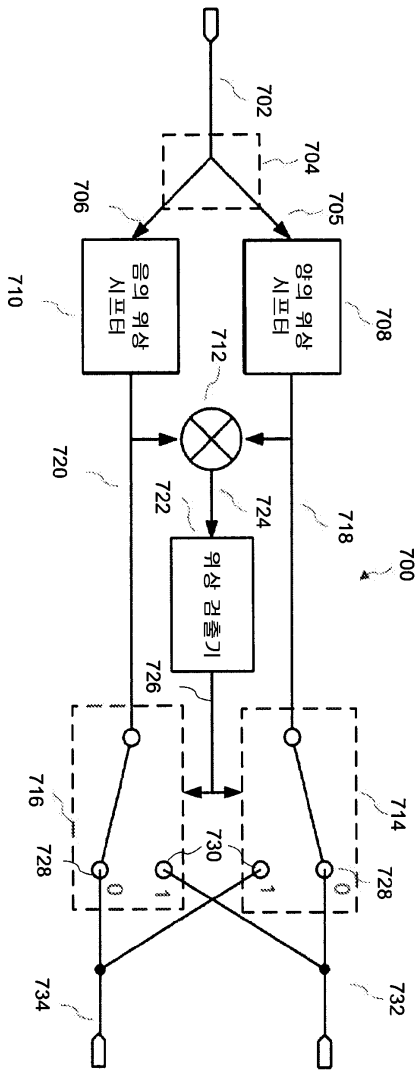
도면6



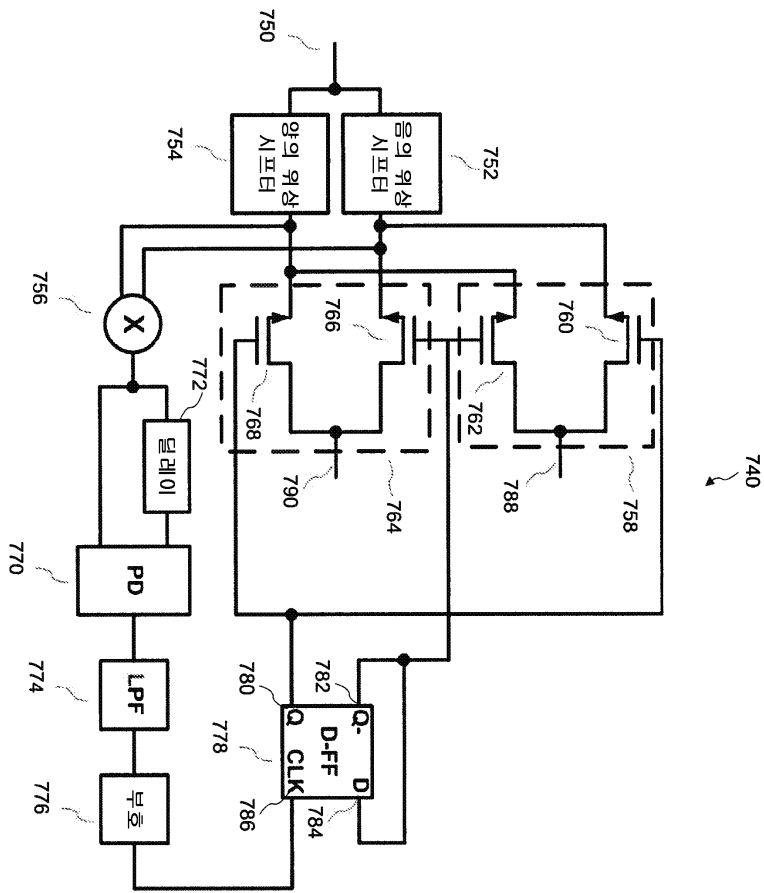
도면7



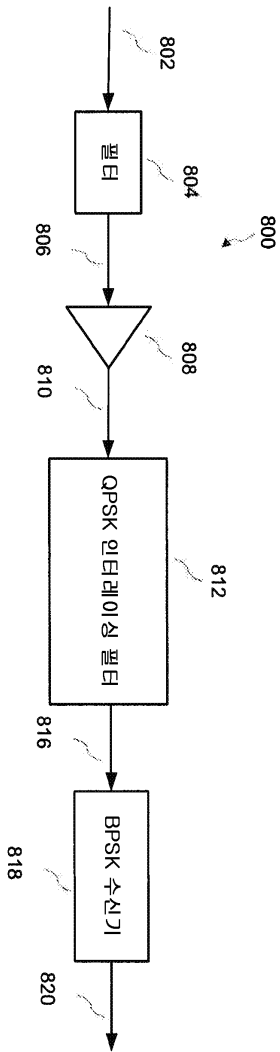
도면8



도면9

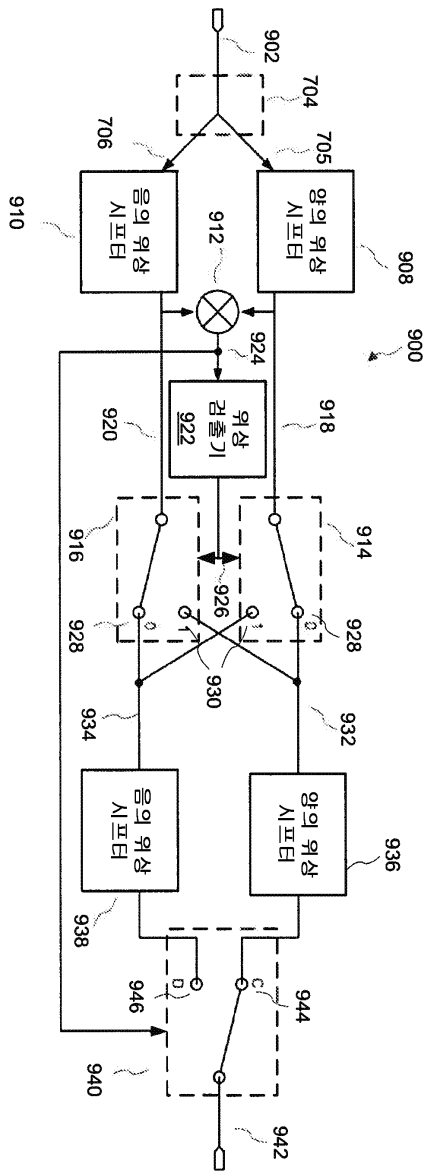


도면10

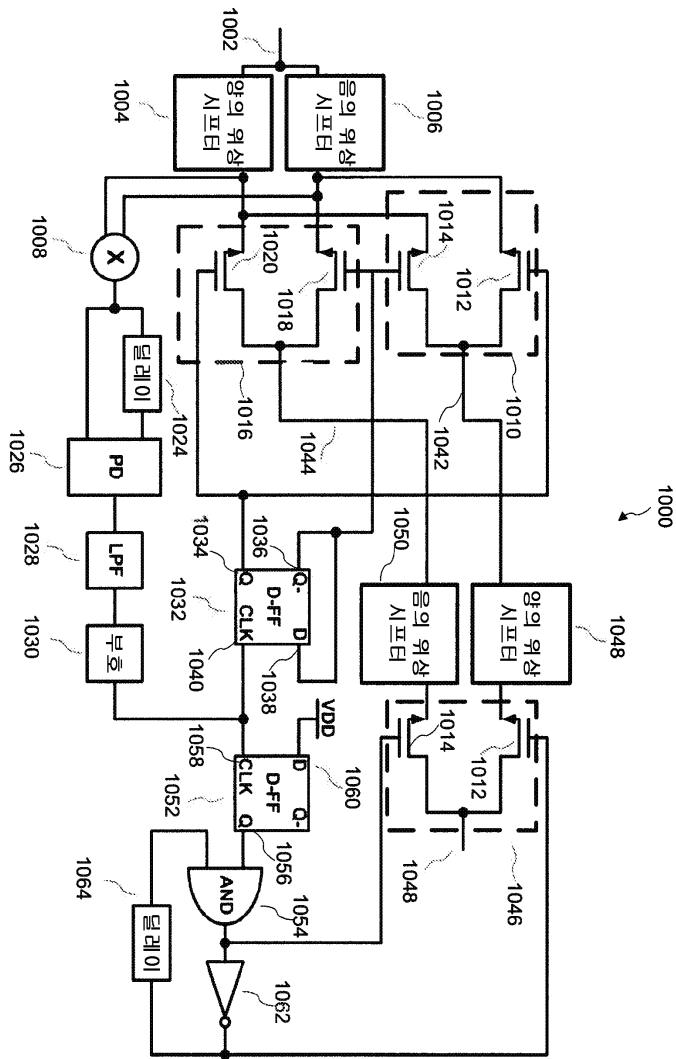




도면11



도면12



도면13

