



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년02월13일
 (11) 등록번호 10-1699297
 (24) 등록일자 2017년01월18일

(51) 국제특허분류(Int. Cl.)
 H01L 31/068 (2006.01) H01L 31/0216 (2014.01)
 H01L 31/18 (2006.01)
 (21) 출원번호 10-2010-0087804
 (22) 출원일자 2010년09월08일
 심사청구일자 2015년08월14일
 (65) 공개번호 10-2012-0025732
 (43) 공개일자 2012년03월16일
 (56) 선행기술조사문헌
 JP2003298078 A*
 WO2010021204 A1*
 JP2009021494 A*
 KR1020100089538 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지전자 주식회사
 서울특별시 영등포구 여의대로 128 (여의도동)
 (72) 발명자
고화영
 서울특별시 서초구 바우피로 38, LG전자 전자기술원 (우면동)
김형석
 서울특별시 서초구 바우피로 38, LG전자 전자기술원 (우면동)
 (뒷면에 계속)
 (74) 대리인
특허법인로얄

전체 청구항 수 : 총 1 항

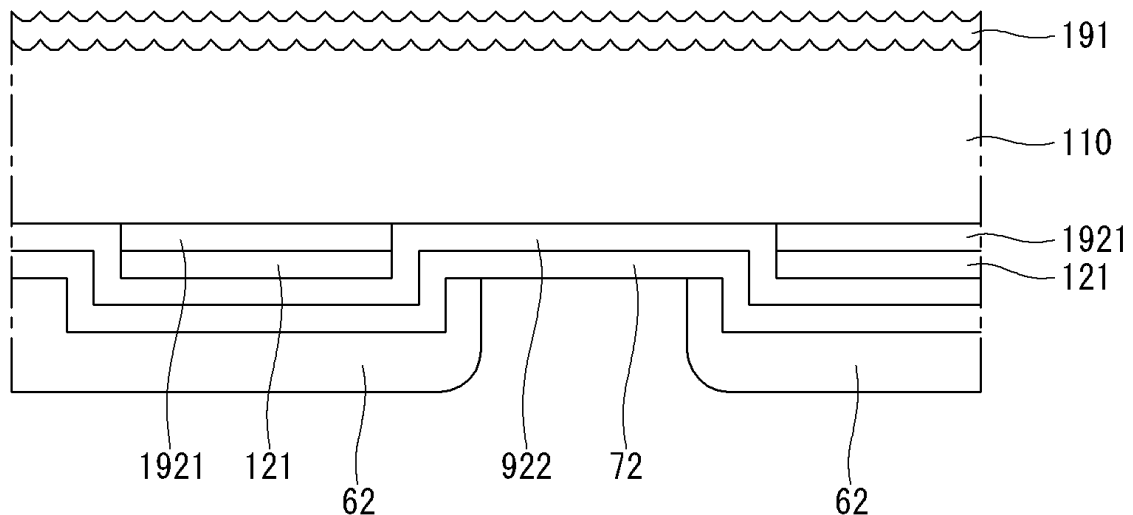
심사관 : 방기인

(54) 발명의 명칭 **태양 전지의 제조 방법**

(57) 요약

본 발명은 태양 전지의 제조 방법에 관한 것이다. 태양 전지의 제조 방법은 기판의 제1 면 위에 제1 불순물을 함유한 제1 불순물막을 형성하는 단계, 상기 제1 불순물막 위에 제1 에칭 페이스트를 부분적으로 도포하여, 상기 제1 에칭 페이스트와 접해 있는 상기 제1 불순물막을 식각하고 상기 식각된 제1 불순물막 하부에 존재하는 상기 (뒷면에 계속)

대표도 - 도3h



기판의 일부를 노출하여, 복수의 제1 불순물부를 형성하는 단계, 상기 복수의 제1 불순물부 위 그리고 상기 기판의 노출된 부분 위에 제2 불순물을 함유한 제2 불순물막을 형성하는 단계, 상기 제2 불순물막 위에 제2 에칭 페이스트를 부분적으로 도포하여, 상기 제2 에칭 페이스트와 접해 있는 상기 제2 불순물막을 식각하여, 상기 복수의 제1 불순물부와 이격되는 복수의 제2 불순물부를 형성하는 단계, 그리고 복수의 제1 불순물부와 상기 복수의 제2 불순물부 위에 위치하는 복수의 제1 전극과 복수의 제2 전극을 형성하는 단계를 포함한다. 이로 인해, 에칭 페이스트를 이용하여 복수의 제1 불순물부와 복수의 제2 불순물부를 형성하므로, 태양 전지의 제조 공정이 용이하고 공정 시간이 줄어든다.

(72) 발명자

이현민

서울특별시 서초구 바우피로 38, LG전자 전자기술원 (우면동)

최정훈

서울특별시 서초구 바우피로 38, LG전자 전자기술원 (우면동)

김철

서울특별시 서초구 바우피로 38, LG전자 전자기술원 (우면동)

명세서

청구범위

청구항 1

기관의 제1 면 위에 제1 보호막을 형성하는 단계,

상기 제1 보호막 위에 제1 불순물을 함유한 제1 불순물막을 형성하는 단계,

상기 제1 불순물막 위에 제1 에칭 페이스트를 부분적으로 도포하여, 상기 제1 에칭 페이스트와 접해 있는 상기 제1 불순물막 및 상기 제1 불순물막의 하부에 존재하는 상기 제1 보호막을 순차적으로 식각하여 복수의 제1 보호 부분 및 복수의 제1 보호 부분 위에 위치하는 복수의 제1 불순물부를 형성하는 단계,

상기 복수의 제1 불순물부 위 및 상기 복수의 제1 불순물부가 위치하지 않는 상기 기관의 상기 제1 면 위에 제2 보호막을 형성하는 단계,

상기 제2 보호막 위에 제2 불순물을 함유한 제2 불순물막을 형성하는 단계,

상기 제2 불순물막 위에 제2 에칭 페이스트를 부분적으로 도포하여, 상기 제2 에칭 페이스트와 접해 있는 상기 제2 불순물막 및 상기 제2 불순물막의 하부에 존재하는 상기 제2 보호막을 순차적으로 식각하여 복수의 제2 보호 부분 및 복수의 제2 보호 부분 위에 위치하는 복수의 제2 불순물부를 형성하는 단계 형성하는 단계, 그리고

복수의 제1 불순물부와 상기 복수의 제2 불순물부 위에 각각 위치하는 복수의 제1 전극과 복수의 제2 전극을 형성하는 단계

를 포함하고,

상기 복수의 제1 불순물부는 상기 복수의 제2 불순물부와 서로 이격되어 위치하고,

상기 복수의 제1 보호 부분은 상기 복수의 제2 보호 부분과 서로 이격되어 위치하고,

상기 제1 에칭 페이스트와 상기 제2 에칭 페이스트는 서로 다른 물질을 함유하는 태양 전지의 제조 방법.

청구항 2

청구항 2은(는) 설정등록료 납부시 포기되었습니다.

제1항에서,

상기 제1 불순물은 p형의 도전성 타입을 갖고, 상기 제2 불순물은 n형의 도전성 타입을 갖는 태양 전지의 제조 방법.

청구항 3

청구항 3은(는) 설정등록료 납부시 포기되었습니다.

제2항에서,

상기 제2 에칭 페이스트는 알칼리(alkali)계 물질을 함유하고 있는 태양 전지의 제조 방법.

청구항 4

청구항 4은(는) 설정등록료 납부시 포기되었습니다.

제3항에서,

상기 알칼리계 물질은 KOH(potassium hydroxide), TMAH(tetramethyl ammonium hydroxide), 또는 EDP(ethylene diamine pyrocatechol)을 함유하고 있는 태양 전지의 제조 방법.

청구항 5

청구항 5은(는) 설정등록료 납부시 포기되었습니다.

제2항에서,

상기 기관은 n형의 불순물을 함유하고 있는 태양 전지의 제조 방법.

청구항 6

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

제1항에서,

상기 기관의 상기 제1 면과 마주하고 있는 상기 기관의 제2 면 위에 제3 보호막을 형성하는 단계를 더 포함하는 태양 전지의 제조 방법.

청구항 7

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

제6항에서,

상기 제1 내지 제3 보호막은 서로 동일한 물질로 이루어지는 태양 전지의 제조 방법.

청구항 8

청구항 8은(는) 설정등록료 납부시 포기되었습니다.

제7항에서,

상기 제1 내지 3 보호막은 진성 비정질 실리콘으로 이루어지는 태양 전지의 제조 방법.

청구항 9

청구항 9은(는) 설정등록료 납부시 포기되었습니다.

제1항에서,

상기 제1 불순물부와 상기 제2 불순물부의 폭은 서로 다르고,

상기 제1 보호 부분의 폭은 상기 제1 불순물부의 폭과 동일하고,

상기 제2 보호 부분의 폭은 상기 제2 불순물부의 폭과 동일한 태양 전지의 제조 방법.

청구항 10

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

제9항에서,

상기 제1 불순물부의 폭은 상기 제2 불순물부의 폭보다 큰 태양 전지의 제조 방법.

청구항 11

청구항 11은(는) 설정등록료 납부시 포기되었습니다.

제1항에서,

상기 복수의 제1 불순물부 및 상기 복수의 제1 보호 부분을 형성한 후, 제1 용액을 이용하여 상기 기관의 상기 제1 면을 세정하는 단계, 그리고

상기 복수의 제2 불순물부 및 상기 복수의 제2 보호 부분을 형성한 후, 제2 용액을 이용하여 상기 기관의 상기 제1 면을 세정하는 단계

를 더 포함하는 태양 전지의 제조 방법.

청구항 12

청구항 12은(는) 설정등록료 납부시 포기되었습니다.

제11항에서,

상기 제1 용액과 상기 제2 용액은 물인 태양 전지의 제조 방법.

청구항 13

청구항 13은(는) 설정등록료 납부시 포기되었습니다.

제1항에서,

상기 제1 및 제2 전극 형성 단계는 상기 복수의 제1 불순물부 위와 상기 복수의 제2 불순물부 위에 스크린 인쇄 방법으로 금속 페이스트를 각각 도포한 후 건조하여, 상기 복수의 제1 불순물부 위에 위치하는 상기 복수의 제1 전극을 형성하고 상기 복수의 제2 불순물부 위에 상기 복수의 제2 전극을 형성하는 태양 전지의 제조 방법.

청구항 14

청구항 14은(는) 설정등록료 납부시 포기되었습니다.

제1항에서,

상기 기판의 상기 제1 면과 마주하고 있는 상기 기판의 제2 면 위에 반사 방지막을 형성하는 단계를 더 포함하는 태양 전지의 제조 방법.

청구항 15

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

제14항에서,

상기 기판의 상기 제1 면은 빛이 입사되지 않은 면이고, 상기 기판의 상기 제2 면은 빛이 입사되는 면인 태양 전지의 제조 방법.

청구항 16

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

제1항 내지 제15항 중 어느 한 항에서,

상기 기판은 결정질 반도체로 이루어져 있고, 상기 제1 불순물부와 상기 제2 불순물부는 비결정질 반도체로 이루어져 있는 태양 전지의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 태양 전지의 제조 방법에 관한 것이다

배경 기술

[0002] 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예측되면서 이들을 대체할 대체 에너지에 대한 관심이 높아지고, 이에 따라 태양 에너지로부터 전기 에너지를 생산하는 태양 전지가 주목 받고 있다.

[0003] 일반적인 태양 전지는 p형과 n형처럼 서로 다른 도전성 타입(conductive type)에 의해 p-n 접합을 형성하는 반도체부, 그리고 서로 다른 도전성 타입의 반도체부에 각각 연결된 전극을 구비한다.

[0004] 이러한 태양 전지에 빛이 입사되면 반도체에서 복수의 전자-정공 쌍이 생성되고, 생성된 전자-정공 쌍은 광기전력 효과(photovoltaic effect)에 의해 전하인 전자와 정공으로 각각 분리되어, 전자는 n형의 반도체부 쪽으로 이동하고 정공은 p형의 반도체부 쪽으로 이동한다. 이동한 전자와 정공은 각각 p형의 반도체부와 n형의 반도체부에 연결된 서로 다른 전극에 의해 수집되고 이 전극들을 전선으로 연결하여 전력을 얻는다.

발명의 내용

해결하려는 과제

- [0005] 본 발명이 이루고자 하는 기술적 과제는 태양 전지의 제조를 용이하게 하기 위한 것이다.
- [0006] 본 발명이 이루고자 하는 다른 기술적 과제는 태양 전지의 제조 시간을 단축시키기 위한 것이다.

과제의 해결 수단

- [0007] 본 발명의 한 특징에 따른 태양 전지의 제조 방법은 기판의 제1 면 위에 제1 불순물을 함유한 제1 불순물막을 형성하는 단계, 상기 제1 불순물막 위에 제1 에칭 페이스트(etching paste)를 부분적으로 도포하여, 상기 제1 에칭 페이스트와 접해 있는 상기 제1 불순물막을 식각하고 상기 식각된 제1 불순물막 하부에 존재하는 상기 기판의 일부를 노출하여, 복수의 제1 불순물부를 형성하는 단계, 상기 복수의 제1 불순물부 위 그리고 상기 기판의 노출된 부분 위에 제2 불순물을 함유한 제2 불순물막을 형성하는 단계, 상기 제2 불순물막 위에 제2 에칭 페이스트를 부분적으로 도포하여, 상기 제2 에칭 페이스트와 접해 있는 상기 제2 불순물막을 식각하여, 상기 복수의 제1 불순물부와 이격되는 복수의 제2 불순물부를 형성하는 단계, 그리고 복수의 제1 불순물부와 상기 복수의 제2 불순물부 위에 위치하는 복수의 제1 전극과 복수의 제2 전극을 형성하는 단계를 포함한다.
- [0008] 상기 제1 불순물은 p형의 도전성 타입을 갖고, 상기 제2 불순물은 n형의 도전성 타입을 갖는 것이 좋다.
- [0009] 상기 제2 에칭 페이스트는 알칼리(alkali)계 물질을 함유하고 할 수 있다.
- [0010] 상기 알칼리계 물질은 KOH(potassium hydroxide), TMAH(tetramethyl ammonium hydroxide), 또는 EDP(ethylene diamine pyrocatechol) 을 함유할 수 있다.
- [0011] 상기 기판은 n형의 불순물을 함유할 수 있다.
- [0012] 상기 특징에 따른 태양 전지의 제조 방법은 상기 제1 불순물막을 형성하기 전에, 상기 기판의 상기 제1 면 위에 제1 보호막을 형성하는 단계를 더 포함할 수 있고, 상기 제1 불순물막은 상기 제1 보호막 위에 위치할 수 있으며, 상기 제1 불순물부 형성 단계는 상기 제1 에칭 페이스트에 의해 식각되는 상기 제1 불순물부의 하부에 위치한 상기 제1 보호막을 상기 제1 에칭 페이스트로 식각하여, 상기 복수의 제1 불순물부 하부에 존재하는 복수의 제1 보호 부분을 형성하는 단계를 포함할 수 있다.
- [0013] 상기 특징에 따른 태양 전지의 제조 방법은 상기 기판의 상기 제1 면과 마주하고 있는 상기 기판의 제2 면 위에 제2 보호막을 형성하는 단계를 더 포함할 수 있다.
- [0014] 상기 제1 보호막과 상기 제2 보호막은 진성 비정질 실리콘으로 이루어질 수 있다.
- [0015] 상기 특징에 따른 태양 전지의 제조 방법은 상기 제2 불순물막을 형성하기 전에, 상기 복수의 제1 불순물부 위 그리고 상기 기판의 노출된 부분 위에 제2 보호막을 형성하는 단계를 더 포함할 수 있고, 상기 제2 불순물막은 상기 제2 보호막 위에 위치할 수 있으며, 상기 제2 불순물부 형성 단계는 상기 제2 에칭 페이스트에 의해 식각되는 상기 제2 불순물부의 하부에 위치한 상기 제2 보호막을 상기 제2 에칭 페이스트로 식각하여, 상기 복수의 제2 불순물부 하부에 존재하는 복수의 제2 보호 부분을 형성하는 단계를 포함할 수 있다.
- [0016] 상기 제2 보호막은 진성 비정질 실리콘으로 이루어질 수 있다.
- [0017] 상기 특징에 따른 태양 전지의 제조 방법은 상기 복수의 제1 불순물부를 형성한 후, 제1 용액을 이용하여 상기 기판의 상기 제1 면을 세정하는 단계, 그리고 상기 복수의 제2 불순물부를 형성한 후, 제2 용액을 이용하여 상기 기판의 상기 제1 면을 세정하는 단계를 더 포함할 수 있다.
- [0018] 상기 제1 용액과 상기 제2 용액은 물일 수 있다.
- [0019] 상기 제1 및 제2 전극 형성 단계는 상기 복수의 제1 불순물부 위와 상기 복수의 제2 불순물부 위에 스크린 인쇄 방법으로 금속 페이스트를 도포한 후 건조하여, 상기 복수의 제1 불순물부 위에 위치하는 상기 복수의 제1 전극을 형성하고 상기 복수의 제2 불순물부 위에 상기 복수의 제2 전극을 형성할 수 있다.
- [0020] 상기 특징에 따른 태양 전지의 제조 방법은 상기 기판의 상기 제1 면과 마주하고 있는 상기 기판의 제2 면 위에 반사 방지막을 형성하는 단계를 더 포함할 수 있다.
- [0021] 상기 기판의 상기 제1 면은 빛이 입사되지 않은 면이고, 상기 기판의 상기 제2 면은 빛이 입사되는 면일 수 있다.

[0022] 상기 기판은 결정질 반도체로 이루어져 있고, 상기 제1 불순물부와 상기 제2 불순물부는 비결정질 반도체로 이루어져 있는 것이 좋다.

발명의 효과

[0023] 본 발명의 특징에 따르면, 에칭 페이스트를 이용하여 복수의 제1 불순물부와 복수의 제2 불순물부를 형성하므로, 태양 전지의 제조 공정이 용이하고 공정 시간이 줄어든다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 한 실시예에 따른 태양 전지의 일부 사시도이다.
 도 2는 도 1에 도시한 태양 전지를 II-II선을 따라 잘라 도시한 단면도이다.
 도 3a 내지 도 3j는 본 발명의 한 실시예에 따른 태양 전지의 제조 공정을 순차적으로 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0026] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한 어떤 부분이 다른 부분 위에 "전체적"으로 형성되어 있다고 할 때에는 다른 부분의 전체 면(또는 전면)에 형성되어 있는 것뿐만 아니라 가장자리 일부에는 형성되지 않은 것을 뜻한다.

[0027] 그러면 첨부한 도면을 참고로 하여 본 발명의 한 실시예인 태양 전지의 제조 방법에 대하여 설명한다.

[0028] 먼저, 도 1 및 도 2를 참고로 하여 본 발명의 한 실시예에 따른 태양 전지에 대하여 상세하게 설명한다.

[0029] 도 1은 본 발명의 한 실시예에 따른 태양 전지의 일부 사시도이고, 도 2는 도 1에 도시한 태양 전지를 II-II선을 따라 잘라 도시한 단면도이다.

[0030] 도 1 및 도 2를 참고로 하면, 본 발명의 한 실시예에 따른 태양 전지(11)는 기판(110), 빛이 입사되는 기판(110)의 면인 입사면[이하, '전면(front surface)'라 함] 위에 위치하는 전면 보호부(191), 전면 보호부(191) 위에 위치하는 반사 방지부(130), 빛이 입사되지 않고 입사면의 반대쪽 면인 기판(110)의 면[이하, '후면(rear surface)'라 함] 위에 위치하는 후면 보호부(192), 후면 보호부(192) 위에 위치하는 복수의 에미터부(emitter region)(121), 후면 보호부(192) 위에 위치하고 복수의 에미터부(121)와 이격되어 있는 복수의 후면 전계부[back surface field (BSF) region](172), 복수의 에미터부(121) 위에 각각 위치하는 복수의 제1 전극(141), 그리고 복수의 후면 전계부(172) 위에 각각 위치하는 복수의 제2 전극(142)을 포함한다.

[0031] 기판(110)은 제1 도전성 타입, 예를 들어 n형 도전성 타입의 실리콘(silicon)으로 이루어진 반도체 기판이다. 이때, 실리콘은 단결정 실리콘 또는 다결정 실리콘과 같은 결정질 실리콘이다. 기판(110)이 n형의 도전성 타입을 가질 경우, 인(P), 비소(As), 안티몬(Sb) 등과 같이 5가 원소의 불순물이 기판(110)에 도핑(doping)된다. 하지만, 이와는 달리, 기판(110)은 p형 도전성 타입일 수 있고, 실리콘 이외의 다른 반도체 물질로 이루어질 수도 있다. 기판(110)이 p형의 도전성 타입을 가질 경우, 기판(110)은 붕소(B), 갈륨(Ga), 인듐(In) 등과 같은 3가 원소의 불순물이 기판(110)에 도핑된다.

[0032] 이러한 기판(110)은 불규칙한 표면을 갖는 요철면(uneven surface)을 갖는다. 편의상 도 1에서, 기판(110)의 가장자리 부분만 요철면으로 도시하여 그 위에 위치하는 전면 보호부(191)와 반사 방지부(130) 역시 그 가장자리 부분만 요철면으로 도시한다. 하지만, 실질적으로 기판(110)의 전면 전체가 요철면을 갖고 있으며, 이로 인해 기판(110)의 전면 위에 위치한 전면 보호부(191)와 반사 방지부(130) 역시 요철면을 갖는다.

[0033] 또한, 기판(110)은 전면뿐만 아니라 후면에도 요철면을 가질 수 있다. 이 경우, 기판(110)의 후면에 위치하는

후면 보호부(192), 복수의 에미터부(121), 후면 전계부(172), 그리고 제1 및 제2 전극(141, 142) 역시 요철면을 가질 수 있다.

- [0034] 기관(110)의 전면 위에 위치한 전면 보호부(191)는 기관(110)의 표면 및 그 근처에 주로 존재하는 땀글링 결합(dangling bond)과 같은 결함(defect)을 안정한 결합으로 바꾸어 결합에 의해 기관(110)의 표면 쪽으로 이동한 전하가 소멸되는 것을 감소시키는 패시베이션 기능(passivation function)을 수행하여 결합에 의해 기관(110)의 표면 및 그 근처에서 손실되는 전하의 양을 감소시킨다.
- [0035] 본 실시예에서, 전면 보호부(191)는 진성 비정질 실리콘[intrinsic amorphous silicon (a-Si)]으로 이루어져 있고, 약 1nm 내지 10nm의 두께를 가질 수 있다.
- [0036] 전면 보호부(191)의 두께가 약 1nm 이상이면 기관(110) 전면에서 전면 보호부(191)가 좀더 균일하게 도포되므로 패시베이션 기능을 좀더 양호하게 수행할 수 있으며, 전면 보호부(191)의 두께가 약 10nm 이하이면 전면 보호부(191) 내에서 흡수되는 빛의 양을 좀더 감소시켜 기관(110) 내로 입사되는 빛의 양을 좀더 증가시킬 수 있다. 전면 보호부(191)는 필요에 따라 생략 가능하다.
- [0037] 전면 보호부(191) 위에 위치한 반사 방지부(130)는 태양 전지(11)로 입사되는 빛의 반사도를 줄이고 특정한 파장 영역의 선택성을 증가시켜, 태양 전지(11)의 효율을 높인다. 이러한 반사 방지부(130)는 실리콘 질화막(SiNx), 비정질 실리콘 질화막(a-SiNx), 실리콘 산화막(SiOx) 등으로 이루어지고, 약 70nm 내지 90nm의 두께를 가질 수 있다. 이러한 반사 방지부(130)는 필요에 따라 생략 가능하다.
- [0038] 기관(110)의 후면에 위치한 후면 보호부(192)는 서로 이격되어 있는 복수의 제1 후면 보호 부분(1921)과 복수의 제2 후면 보호 부분(1922)을 구비한다. 제1 후면 보호 부분(1921)과 제2 후면 보호 부분(1922)은 기관(110) 위에서 번갈아 위치하며 서로 나란히 정해진 방향으로 뻗어 있다.
- [0039] 후면 보호부(192)는 전면 보호부(191)와 동일하게, 진성 비정질 실리콘으로 이루어지고 패시베이션 기능을 수행하여, 기관(110)의 후면 쪽으로 이동한 전하가 불안정한 결합에 의해 소멸되는 것을 감소한다.
- [0040] 후면 보호부(192)의 제1 및 제2 후면 보호 부분(1921, 1922)은 기관(110)의 후면 쪽으로 이동한 전하가 각각 제1 및 제2 후면 보호 부분(1921, 1922)을 통과하여 복수의 에미터부(121)와 복수의 후면 전계부(172)로 이동할 수 있는 두께를 갖는다. 예를 들어, 각 제1 및 제2 후면 보호 부분(1921, 1922)의 두께는 약 1nm 내지 10nm일 수 있다.
- [0041] 각 제1 및 제2 후면 보호 부분(1921, 1922)의 두께가 약 1nm 이상이면 기관(110) 후면에 제1 및 제2 후면 보호 부분(1921, 1922)이 좀더 균일하게 도포되므로 패시베이션 기능을 좀더 양호하게 수행할 수 있으며, 제1 및 제2 후면 보호 부분(1921, 1922) 각각의 두께가 약 10nm 이하이면 전하의 이동을 좀더 용이하게 하고 제1 및 제2 후면 보호 부분(1921, 1922) 내에서 기관(110)을 통과한 빛이 흡수되는 양을 좀더 감소시켜 기관(110) 내로 재입사되는 빛의 양을 좀더 증가시킬 수 있다. 전면 보호부(191)와 유사하게, 후면 보호부(192) 역시 필요에 따라 생략 가능하다.
- [0042] 복수의 에미터부(121)는 후면 보호부(192)의 제1 후면 보호 부분(1921) 위에 존재하고 제1 후면 보호 부분(1921)을 따라 길게 뻗어 있다.
- [0043] 각 에미터부(121)는 기관(110)의 도전성 타입과 반대인 제2 도전성 타입, 예를 들어, p형의 도전성 타입을 갖고 있고, 기관(110)과 다른 반도체, 예를 들어, 비정질 실리콘으로 이루어져 있는 불순물부다. 따라서, 에미터부(121)는 결정질 반도체로 이루어진 기관(110)과 이종 접합을 형성하고 또한 p-n 접합을 형성한다.
- [0044] 기관(110)과 복수의 에미터부(121) 간에 형성된 p-n 접합에 인한 내부 전위차(built-in potential difference)에 의해, 기관(110)에 입사된 빛에 의해 생성된 전하인 전자-정공 쌍은 전자와 정공으로 분리되어 전자는 n형 쪽으로 이동하고 정공은 p형 쪽으로 이동한다. 따라서, 기관(110)이 n형이고 복수의 에미터부(121)가 p형일 경우, 분리된 정공은 후면 보호부(192)의 제1 후면 보호 부분(1921)을 관통하여 각 에미터부(121) 쪽으로 이동하고 분리된 전자는 후면 보호부(192)의 제2 후면 보호 부분(1921) 쪽으로 이동한다.
- [0045] 각 에미터부(121)는 기관(110)과 p-n접합을 형성하므로, 본 실시예와 달리, 기관(110)이 p형의 도전성 타입을 가질 경우, 에미터부(121)는 n형의 도전성 타입을 가진다. 이 경우, 분리된 전자는 후면 보호부(192)의 제1 후면 보호 부분(1921)을 통해 복수의 에미터부(121) 쪽으로 이동하고 분리된 정공은 후면 보호부(192)의 제2 후면 보호 부분(1922) 쪽으로 이동한다.

- [0046] 복수의 에미터부(121)가 p형의 도전성 타입을 가질 경우 에미터부(121)에는 3가 원소의 불순물이 도핑될 수 있고, 반대로 복수의 에미터부(121)가 n형의 도전성 타입을 가질 경우, 에미터부(121)에는 5가 원소의 불순물이 도핑될 수 있다.
- [0047] 각 에미터부(121)는 약 5nm 내지 15nm의 두께를 가질 수 있다.
- [0048] 에미터부(121)의 두께가 약 5nm 이상이면 p-n 접합을 좀더 양호하게 형성할 수 있고, 약 15nm 이하이면 에미터부(121) 내에서 흡수되는 빛의 양을 좀더 감소시켜 기관(110) 내로 재입사되는 빛의 양을 좀더 증가시킬 수 있다.
- [0049] 이들 복수의 에미터부(121)는 제1 후면 보호 부분(1921)과 함께 패시베이션 기능을 수행할 수 있고, 이 경우 결합에 의해 기관(110)의 후면에서 소멸되는 전하의 양이 감소하여 태양 전지(11)의 효율이 향상된다.
- [0050] 복수의 후면 전계부(172)는 후면 보호부(192)의 제2 후면 보호 부분(1922) 위에 존재하고, 제2 후면 보호 부분(1922)을 따라 길게 뻗어 있다. 따라서, 도 1 및 도 2에 도시한 것처럼, 기관(110)의 후면 위에는 서로 이격되어 있는 후면 전계부(172)와 에미터부(121)가 번갈아 위치한다.
- [0051] 이러한 복수의 후면 전계부(172)는 기관(110)과 동일한 도전성 타입의 불순물이 기관(110)보다 고농도로 도핑된 불순물부이다. 예를 들어, 복수의 후면 전계부(172)는 n+의 불순물 영역일 수 있다.
- [0052] 본 실시예에서, 복수의 후면 전계부(172)는 비정질 실리콘(a-Si)과 같은 비결정질 반도체로 이루어져, 기관(110)과 이종 접합(hetero junction)을 형성한다.
- [0053] 이러한 후면 전계부(172)는 기관(110)과 후면 전계부(172)와의 불순물 농도 차이로 인한 전위 장벽에 의해 전자의 이동 방향인 후면 전계부(172) 쪽으로의 정공 이동을 방해하는 반면, 후면 전계부(172) 쪽으로의 전하(예, 전자) 이동을 용이하게 한다. 따라서, 제2 후면 보호 부분(1922)을 통과한 전하, 예를 들어, 전자가 후면 전계부(172) 및 그 부근에서 정공과 재결합되어 손실되는 양을 감소시키고, 제2 후면 보호 부분(1922)으로부터 후면 전계부(172)로의 전자 이동을 가속화시켜 후면 전계부(172)로의 전자 이동량을 증가시킨다.
- [0054] 각 후면 전계부(172)는 약 10nm 내지 25nm의 두께를 가질 수 있다. 후면 전계부(172)의 두께가 약 10nm 이상이면 정공의 이동을 방해하는 전위 장벽을 좀더 양호하게 형성할 수 있어 전하 손실을 더 감소시킬 수 있고, 약 25nm 이하이면 후면 전계부(172) 내에서 흡수되는 빛의 양을 더욱 감소시켜 기관(110) 내로 재입사되는 빛의 양을 좀더 증가시킬 수 있다.
- [0055] 이들 복수의 후면 전계부(172)는 제2 후면 보호 부분(1922)과 함께 패시베이션 기능을 수행할 수 있고, 이 경우 결합에 의해 기관(110)의 후면에서 소멸되는 전하의 양이 감소하여 태양 전지(11)의 효율이 향상된다. 이러한 후면 전계부(172)는 필요에 따라 생략 가능하다.
- [0056] 본 실시예의 경우, 복수의 에미터부(121)와 복수의 후면 전계부(172) 하부에 위치하고 불순물이 존재하지 않거나 거의 없는 진성 반도체 물질(진성 a-Si)의 후면 보호부(192)로 인해, 결정질 반도체 물질로 이루어진 기관(110) 위에 바로 복수의 에미터부(121)와 복수의 후면 전계부(172)가 위치할 때보다 복수의 에미터부(121)와 복수의 후면 전계부(172) 형성 시 결정화 현상이 줄어든다. 이로 인해, 진성 비정질 실리콘 위에 위치하는 복수의 에미터부(121)와 복수의 후면 전계부(172)의 특성이 향상된다.
- [0057] 본 실시예에서, 각 에미터부(121)와 각 후면 전계부(172)의 폭(W1, W2)은 서로 상이하다. 즉, 에미터부(121)의 폭(W1)이 후면 전계부(172)의 폭(W2)보다 크다. 이때, 에미터부(121) 하부에 존재하는 제1 후면 보호 부분(1921)의 폭 역시 후면 전계부(172) 하부에 존재하는 제2 후면 보호 부분(1922)의 폭 보다 크다. 이로 인해, p-n 접합 영역이 증가하므로 전자-정공 쌍의 발생량이 증가하고, p-n 접합 부분에서의 전류 손실을 줄일 수 있으며, 전자에 비해 이동도가 낮은 정공의 수집에 유리하다.
- [0058] 하지만, 이와는 달리, 후면 전계부(172)의 폭(W2)이 에미터부(121)의 폭(W1)보다 클 수 있다. 이 경우, 후면 전계부(172)로 덮여지는 기관(110)의 표면 면적이 증가하여, 후면 전계부(172)로 인한 후면 전계 효과가 증가한다.
- [0059] 복수의 에미터부(121) 위에 위치하는 복수의 제1 전극(141)은 복수의 에미터부(121)를 따라서 길게 연장되어 있고, 복수의 에미터부(121)와 물리적 및 전기적으로 연결되어 있다.
- [0060] 각 제1 전극(141)은 해당 에미터부(121) 쪽으로 이동하는 전하, 예를 들어, 정공을 수집한다.

- [0061] 복수의 후면 전계부(172) 위에 위치하는 복수의 제2 전극(142)은 복수의 후면 전계부(172)를 따라서 길게 연장되어 있고, 복수의 후면 전계부(172)와 전기적 및 물리적으로 연결되어 있다.
- [0062] 각 제2 전극(142)은 해당 후면 전계부(172) 쪽으로 이동한 전하, 예를 들어, 전자를 수집한다.
- [0063] 복수의 제1 및 제2 전극(141, 142)은 알루미늄(Al)이나 은(Ag)과 같은 금속 물질을 함유하고 있지만, 니켈(Ni), 구리(Cu), 주석(Sn), 아연(Zn), 인듐(In), 티타늄(Ti), 금(Au) 및 이들의 조합으로 이루어진 군으로부터 선택된 적어도 하나의 도전성 금속 물질 또는 이외의 다른 도전성 금속 물질로 이루어질 수 있다.
- [0064] 이처럼, 복수의 제1 및 제2 전극(141, 142)이 금속 물질로 이루어져 있으므로, 복수의 제1 및 제2 전극(141, 142)은 복수의 에미터부(121)와 복수의 후면 전계부(172)를 각각 통과한 빛을 기관(110) 쪽으로 반사시킨다.
- [0065] 이와 같은 구조를 갖는 본 실시예에 따른 태양 전지(11)는 복수의 제1 전극(141)과 복수의 제2 전극(142)이 빛이 입사되지 않은 기관(110)의 후면에 위치하고, 기관(110)과 복수의 에미터부(121)가 서로 다른 종류의 반도체로 이루어져 있는 태양 전지로서, 그 동작은 다음과 같다.
- [0066] 태양 전지(11)로 빛이 조사되어 반사 방지부(130) 및 전면 보호부(191)를 순차적으로 통과한 후 기관(110)으로 입사되면 빛 에너지에 의해 기관(110)에서 전자-정공 쌍이 발생한다.
- [0067] 이때, 반사 방지부(130)에 의해 기관(110)으로 입사되는 빛의 반사 손실이 줄어들어 기관(110)으로 입사되는 빛의 양은 더욱더 증가한다.
- [0068] 이들 전자-정공 쌍은 기관(110)과 에미터부(121)의 p-n 접합에 의해 서로 분리되어, 정공은 p형의 도전성 타입을 갖는 에미터부(121)쪽으로 이동하고 전자는 n형의 도전성 타입을 갖는 후면 전계부(172)쪽으로 이동하여 각각 제1 전극(141)과 제2 전극(142)으로 전달됨으로써, 제1 및 제2 전극(141, 142)에 의해 수집된다. 이러한 제1 전극(141)과 제2 전극(142)을 도선으로 연결하면 전류가 흐르게 되고, 이를 외부에서 전력으로 이용하게 된다.
- [0069] 이때, 기관(110)의 후면뿐만 아니라 기관(110)의 전면에 보호부(192, 191)가 위치하므로, 기관(110)의 전면 및 후면 표면 그리고 그 근처에 존재하는 결함으로 인한 전하 손실량이 줄어들어 태양 전지(11)의 효율이 향상된다.
- [0070] 또한, 기관(110)의 후면에 기관(110)과 동일한 도전성 타입의 불순물을 고농도로 함유한 전계부(172)가 위치하므로, 기관(110) 후면으로의 정공 이동이 방해된다. 이로 인해, 기관(110)의 후면 및 그 부근에서 전자와 정공이 재결합되어 소멸되는 것이 줄어들어, 태양 전지(11)의 효율은 향상된다.
- [0071] 또한, 본 실시예에 따른 태양 전지(11)는 기관(110)과 복수의 에미터부(121)간의 이중 접합을 이용한 태양 전지이므로, 기관(110)과 에미터부 간의 밴드갭 에너지(band gap energy, E_g)로 인한 높은 개방 전압(V_{oc})이 얻어진다. 이로 인해, 태양 전지(11)는 동종 접합을 이용한 태양 전지보다 높은 효율이 얻어진다.
- [0072] 다음, 도 3a 내지 도 3j를 참고로 하여, 본 발명의 한 실시예에 따른 태양 전지(11)의 제조 방법에 대하여 설명한다.
- [0073] 도 3a 내지 도 3j는 본 발명의 한 실시예에 따른 태양 전지의 제조 공정을 순차적으로 나타낸 도면이다.
- [0074] 도 3a를 참고로 하면, 먼저, n형의 다결정 실리콘으로 이루어진 기관(110)의 후면에 실리콘 산화막(SiO_x) 등으로 이루어진 식각 방지막(60)을 적층한다.
- [0075] 그런 다음, 도 3b에 도시한 것처럼, 식각 방지막(60)을 마스크로 하여, 식각 방지막(60)이 형성되지 않은 기관(110)의 면을 식각한 후 세정한 다음, 식각 방지막(60)을 제거한다. 이로 인해, 실리콘 잉곳(ingot)에서 태양 전지용 기관을 얻기 위한 슬라이싱(slicing) 공정 시 발생한 기관(110) 표면의 손상 부분(saw damage portion)이 제거되고 노출된 기관(110)의 면에 요철면을 형성된다.
- [0076] 대안적인 예에서, 별도의 식각 방지막(60)을 형성하지 않고 식각을 원하는 기관(110)의 표면만 또는 기관(110) 전체를 식각액 등에 노출시켜 원하는 기관(110)의 면에 요철면을 형성할 수 있다.
- [0077] 그런 다음, 도 3c에 도시한 것처럼, 요철면인 기관(110)의 전면과 기관(110)의 후면에 플라즈마 화학 기상 증착법(plasma enhanced chemical vapor deposition, PECVD) 등과 같은 증착법을 이용하여 진성 비정질 실리콘으로 이루어진 전면 보호부(191)와 제1 후면 보호막(921)을 형성한다. 이때, 증착 물질에 노출되는 기관(110)의 면 위치를 변경하여 기관(110)의 전면과 후면에 동일한 물질로 이루어진 전면 보호막(191)과 제1 후면 보호막(92

1)을 형성하며, 전면 보호부(191)와 제1 후면 보호막(921)의 형성 순서는 변경 가능하다.

[0078] 다음, 도 3d에 도시한 것처럼, PECVD 등을 이용하여 제1 후면 보호막(921) 위에 실란 가스(SiH₄), 수소(H₂), 3가 원소의 도펀트 등을 이용하여 비정질 실리콘으로 이루어지고 3가 원소의 불순물을 함유하는 비정질 실리콘층을 형성하여 불순물막인 에미터막(21)을 형성한다.

[0079] 다음, 도 3e에 도시한 것처럼, 스크린 인쇄법 등으로 이용하여 에미터막(21) 위에 부분적으로 에칭 페이스트(etching paste, 61)를 도포한 후 열처리한다. 이때, 에칭 페이스트(61)는 3가 원소의 불순물이 함유된 에미터막(21)과 그 하부에 위치한 진성 비정질 실리콘막인 제1 후면 보호막(921)을 식각하는 특성을 갖고 있다.

[0080] 이로 인해, 에칭 페이스트(61)가 도포된 에미터막(21) 부분과 그 하부의 제1 후면 보호막(921) 부분은 에칭 페이스트(61)에 의해 순차적으로 식각되고, 에칭 페이스트(61)가 도포되어 있지 않은 에미터막(21) 부분과 그 하부의 제1 후면 보호막(921) 부분은 식각되지 않는다.

[0081] 이때, 에칭 페이스트(61)의 열처리 시간, 열처리 온도 또는 에칭 페이스트의 도포 두께 등에 따라 식각되는 양이 정해지므로, 이들 열처리 시간, 열처리 온도, 페이스트 도포량 등을 조정하여, 제1 후면 보호막(921) 하부에 존재하는 기관(110)을 에칭 페이스트(62)로부터 보호한다.

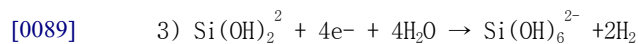
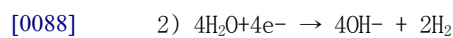
[0082] 따라서, 정해진 열처리 시간이 경과하면, 물 등을 이용하여 기관(110)의 세정 동작을 실시하여, 기관(110) 위에 존재하는 에칭 페이스트(61)의 잔여물을 제거한다. 이로 인해, 도 3f에 도시한 것처럼, 복수의 제1 후면 보호부분(1921)과 그 위에 위치하는 복수의 에미터부(121)가 완성된다.

[0083] 다음, 도 3g에 도시한 것처럼, PECVD 등을 이용하여 진성 비정질 실리콘으로 이루어진 제2 후면 보호막(922)을 형성하고, 그 위에 실란 가스(SiH₄), 수소(H₂), 5가 원소의 도펀트(dopant) 등을 이용하여 비정질 실리콘층(예, n⁺-a-Si)을 형성하여 불순물막인 후면 전계막(72)을 형성한다.

[0084] 그런 다음, 도 3h에 도시한 것처럼, 스크린 인쇄법 등으로 이용하여 후면 전계막(72) 위에 부분적으로 에칭 페이스트(62)를 도포한 후 열처리한다. 이때, 에칭 페이스트(62)는 5가 원소의 불순물이 함유된 후면 전계막(72)과 그 하부에 위치한 제2 후면 보호막(922)을 식각하는 특성을 갖고 있다.

[0085] 이때, 에칭 페이스트(62)는 에칭 페이스트(61)과 다르게, KOH(potassium hydroxide)계 에칭 페이스트, TMAH(tetramethyl ammonium hydroxide)계 에칭 페이스트, 또는 EDP(ethylene diamine pyrocatechol) 계 에칭 페이스트와 같은 알칼리(alkali)계 에칭 페이스트이다.

[0086] 일반적으로 알칼리(OH⁻)계 에천트를 이용하여 실리콘(Si)을 식각할 때, 실리콘(Si)과 에천트간의 반응식은 다음과 같다.



[0090] 즉, 1)번 반응식에 의해 생성된 Si(OH)₂²⁺ 이 2)번 반응식에 의해 생성된 4OH⁻와 결합하여 3)번 반응식에 기재한 것처럼, Si은 Si(OH)₆²⁻의 형태로 물에 녹아실리콘(Si)이 식각된다.

[0091] 하지만, 1)의 반응식에서 생성된 전자(e⁻)들은 붕소 등과 같은 p형의 불순물이 고농도(약 10²⁰cm⁻³ 이상)로 도핑된 막을 만나면 p형의 불순물이 도핑된 실리콘 막에 함유되어 다수 캐리어로서 존재하는 정공과 결합하여, 2)번 반응을 방해하여 4OH⁻의 생성을 못하게 하고, 이로 인해, 3)번의 반응이 이루어지지 않아 결국 실리콘(Si)의 식각이 이루어지지 않게 된다. 따라서, p형 불순물이 함유된 막은 에칭 페이스트(62)는 식각되지 않는다.

[0092] 이로 인해, 에칭 페이스트(62)가 도포된 후면 전계막(72) 부분과 그 하부의 제2 후면 보호막(922) 부분이 에칭 페이스트(62)에 의해 순차적으로 식각되고, 에칭 페이스트(62)가 도포되어 있지 않은 후면 전계막(72) 부분과 그 하부의 제2 후면 보호막(922) 부분 그리고 p형 불순물이 함유된 복수의 에미터부(121)는 에칭 페이스트(62)

에 의해 식각되지 않는다.

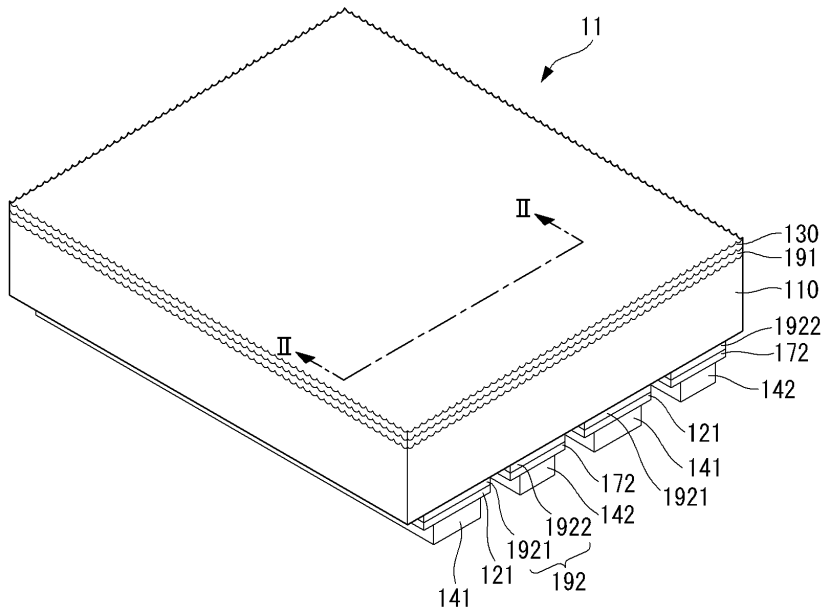
- [0093] 따라서, 에칭 페이스트(62)가 도포된 부분의 후면 전계막(72)과 그 하부의 제2 후면 보호막(922)이 순차적으로 식각되고, 이때, 이미 설명한 것처럼, 에미터부(121)에는 p형의 불순물이 함유되어 있으므로, 에칭 페이스트(62)가 에미터부(121)과 접촉하면 더 이상의 식각 동작은 행해지지 않는다.
- [0094] 따라서 정해진 열처리 시간이 경과하면, 물 등을 이용하여 기관(110)의 세정 동작을 실시하여, 기관(110) 위에 존재하는 에칭 페이스트(62)의 잔여물을 제거하여, 도 3i에 도시한 것처럼, 복수의 에미터부(121)과 이격되어 있는 복수의 후면 전계부(172)과 그 하부에 위치하는 제2 후면 보호 부분(1922)이 기관(110)의 후면 위에 형성되고, 이로 인해, 복수의 제1 후면 보호 부분(1921)과 복수의 제2 후면 보호 부분(1922)을 구비한 후면 보호부(192)이 완성된다. 이때, 에칭 페이스트(62)의 열처리 시간, 열처리 온도 또는 페이스트의 도포량 등을 조정하여, 제2 후면 보호막(922) 하부에 존재하는 기관(110)을 에칭 페이스트(62)로부터 보호한다.
- [0095] 이로 인해, 기관(110)의 후면 위에서, 에칭 페이스트(61)는 복수의 에미터부(121)가 형성되는 위치에 대응되게 도포되고, 에칭 페이스트(62)는 복수의 후면 전계부(172)가 형성되는 위치에 대응되게 도포된다.
- [0096] 이처럼, 감광막을 이용하고 노광 및 현상 공정 그리고 에칭 공정 등을 통해 기관(110)의 후면 위에 복수의 에미터부와 복수의 후면 전계부를 형성하는 방법과 비교할 때, 본 실시예는 원하는 부분에 직접 도포한 후 원하는 부분을 식각하는 에칭 페이스트를 이용하여 복수의 에미터부와 복수의 후면 전계부를 형성한다. 이로 인해, 복수의 에미터부와 복수의 후면 전계부를 형성하는 공정이 매우 간단해져 복수의 에미터부와 복수의 후면 전계부의 공정 시간이 크게 단축되고, 이로 인해, 태양 전지의 공정 시간과 제조 비용이 감소한다.
- [0097] 또한, p형 도전성 타입을 갖는 막(예를 들어, 에미터부)과 n형 도전성 타입을 갖는 막(예를 들어, 후면 전계부)중 하나만 선택적으로 식각하는 에칭 페이스트(61, 62)에 의해 복수의 에미터부(121)과 복수의 후면 전계부(172) 모두 에칭 페이스트를 이용하여 형성되므로, 태양 전지(11)의 공정 시간과 제조 비용이 감소한다.
- [0098] 다음, 도 3j에 도시한 것처럼, 복수의 에미터부(121)와 복수의 후면 전계부(172) 위에 스크린 인쇄법을 이용하여 알루미늄(Al)이나 은(Ag)과 같은 금속 물질이 함유된 금속 페이스트를 도포한 후 건조한다. 이로 인해, 복수의 에미터부(121) 위에 위치하고 복수의 에미터부(121)를 따라 연장하는 복수의 제1 전극(141)과 복수의 후면 전계부(172) 위에 위치하고 복수의 후면 전계부(172)를 따라 연장하는 복수의 제2 전극(142)이 형성된다.
- [0099] 그런 다음, 전면 보호부(191) 위에 반사 방지부(130)를 형성하여 태양 전지(11)를 완성한다(도 1 및 도 2). 이때, 반사 방지부(130)는 기관(110)의 후면에 형성된 구성 요소들을 보호하기 위해 저온에서 행해지는 공정, 예를 들어, 스퍼터링법 등으로 행해질 수 있지만, PECVD 등과 같은 다양한 막 적층법으로 형성될 수 있다.
- [0100] 본 실시예에서, 기관(110)은 n형이고 복수의 에미터부(121)는 p형인 것을 기초로 하여 설명하였지만, 이미 설명한 것처럼, 기관(110)은 p형이고 복수의 에미터부(121)는 n형일 수 있다. 이 경우, 복수의 후면 전계부(172)는 기관(110)과 동일한 p형의 불순물 영역이 된다.
- [0101] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

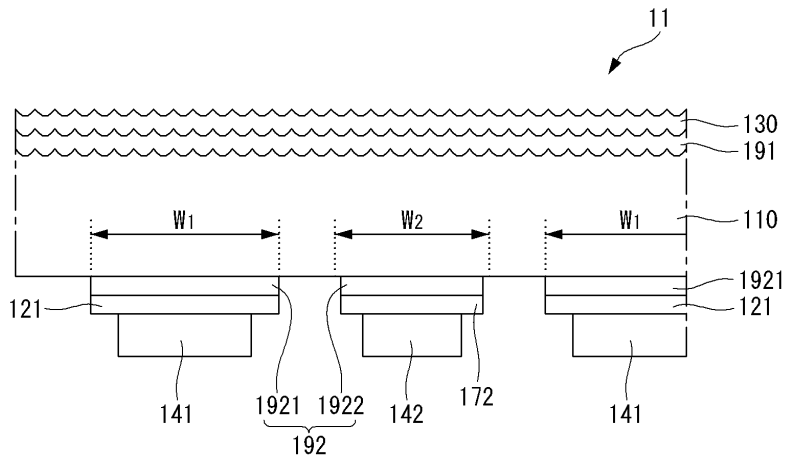
- [0102] 21: 에미터막 61, 62: 에칭 페이스트
- 72: 후면 전계막 110: 기관
- 121: 에미터부 130: 반사 방지부
- 141, 142: 전극 172: 후면 전계부
- 191: 전면 보호부 192: 후면 보호부
- 921, 922: 후면 보호막 1921, 1922: 후면 보호 부분

도면

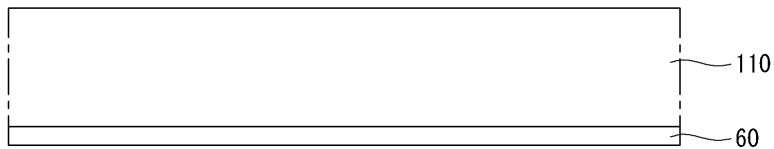
도면1



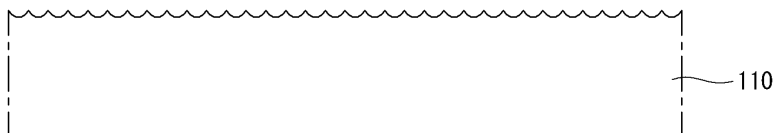
도면2



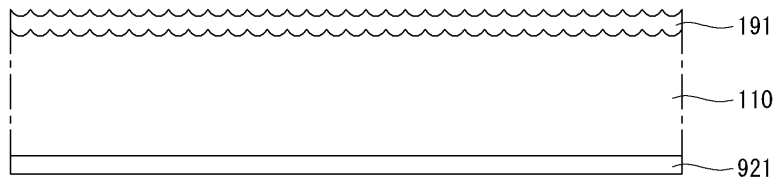
도면3a



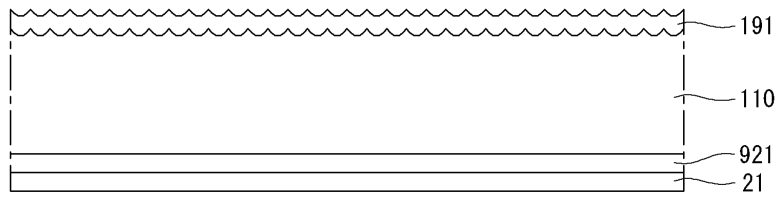
도면3b



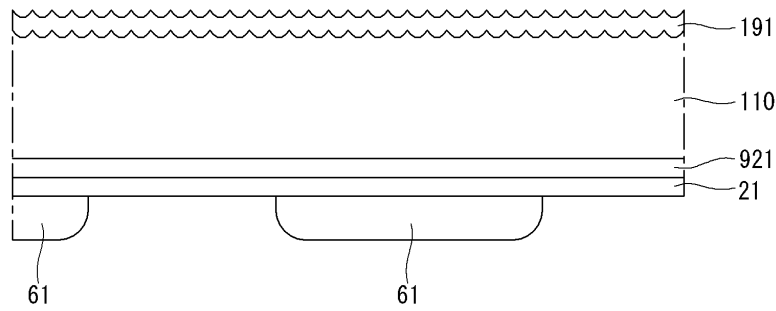
도면3c



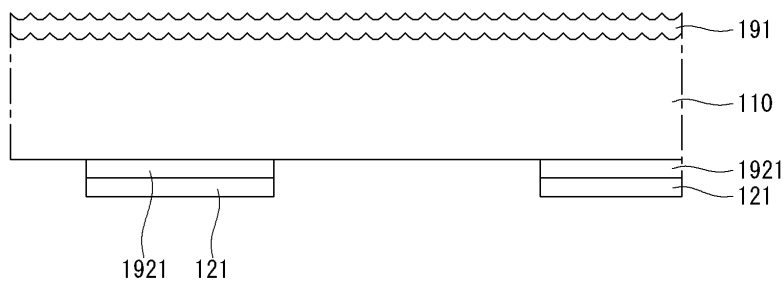
도면3d



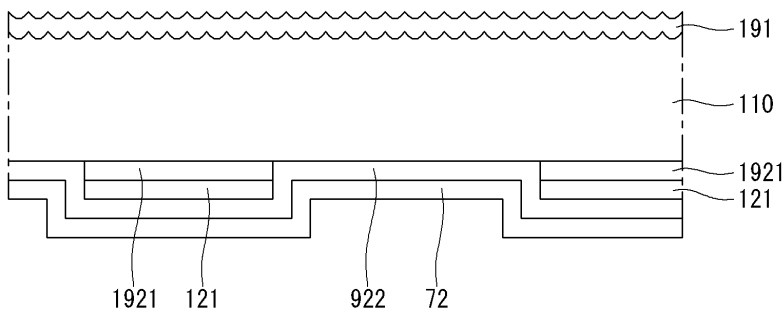
도면3e



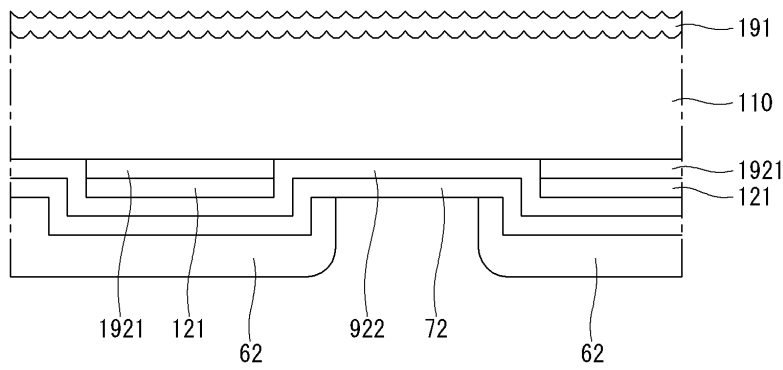
도면3f



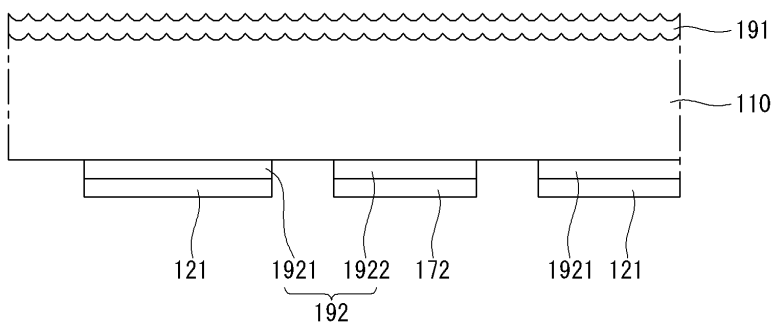
도면3g



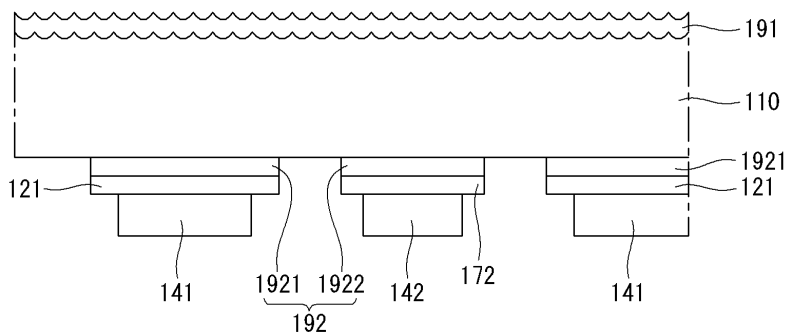
도면3h



도면3i



도면3j



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

상기 제2 불순막

【변경후】

상기 제2 불순물막