

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3601890号
(P3601890)

(45) 発行日 平成16年12月15日(2004.12.15)

(24) 登録日 平成16年10月1日(2004.10.1)

(51) Int.Cl.⁷

F I

H03F 3/34

H03F 3/34

A

H03F 3/45

H03F 3/45

Z

請求項の数 6 (全 9 頁)

(21) 出願番号	特願平7-282205	(73) 特許権者	000003078
(22) 出願日	平成7年10月30日(1995.10.30)		株式会社東芝
(65) 公開番号	特開平9-130163		東京都港区芝浦一丁目1番1号
(43) 公開日	平成9年5月16日(1997.5.16)	(74) 代理人	100064285
審査請求日	平成14年10月11日(2002.10.11)		弁理士 佐藤 一雄
		(74) 代理人	100073379
			弁理士 佐藤 政光
		(74) 代理人	100077609
			弁理士 玉真 正美
		(74) 代理人	100096921
			弁理士 吉元 弘
		(72) 発明者	田 邊 顕
			神奈川県川崎市幸区堀川町580番1号
			株式会社東芝 半導体システム技術センタ
			一内
			最終頁に続く

(54) 【発明の名称】 オフセット除去回路

(57) 【特許請求の範囲】

【請求項1】

全差動出力及び同相出力を有する複数の演算増幅器を含んだオフセット除去回路において、
 前記演算増幅器のそれぞれの全差動出力の一方を入力されて所定の演算を行い演算結果を出力する第1の演算器と、
 前記演算増幅器のそれぞれの全差動出力の他方を入力されて所定の演算を行い演算結果を出力する第2の演算器と、
 前記演算増幅器のそれぞれの同相出力を入力されてその平均値を出力する第3の演算器と、
 を備えることを特徴とするオフセット除去回路。

【請求項2】

全差動出力及び同相出力を有する第1、第2の演算増幅器を含んだオフセット除去回路において、
 前記第1の演算増幅器の全差動出力の一方と前記第2の演算増幅器の全差動出力の一方とを入力されて所定の演算を行い演算結果を出力する第1の演算器と、
 前記第1の演算増幅器の全差動出力の他方と前記第2の演算増幅器の全差動出力の他方とを入力されて所定の演算を行い演算結果を出力する第2の演算器と、
 前記第1の演算増幅器の同相出力と前記第2の演算増幅器の同相出力とを入力されて加算し、加算結果を出力する加算器と、

前記加算器の出力した前記加算結果に所定値を乗算して出力する乗算器と、
を備えることを特徴とするオフセット除去回路。

【請求項 3】

全差動出力及び同相出力を有する第 1、第 2 の演算増幅器を含んだオフセット除去回路において、

前記第 1 の演算増幅器の第 1 の全差動出力端子と前記第 2 の演算増幅器の第 1 の全差動出力端子とに接続されており、前記第 1 及び第 2 の演算増幅器からそれぞれ全差動出力の一方を与えられて加算し出力する第 1 の加算器と、

前記第 1 の演算増幅器の第 2 の全差動出力端子と前記第 2 の演算増幅器の第 2 の全差動出力端子とに接続されており、前記第 1 及び第 2 の演算増幅器からそれぞれ全差動出力の他
10 方を与えられて加算し出力する第 2 の加算器と、

前記第 1 の演算増幅器の同相出力端子と前記第 2 の演算増幅器の同相出力端子との間に直列に接続された第 1 及び第 2 の抵抗であって、前記第 1 及び第 2 の抵抗の接続点から平均化された同相出力を発生する前記第 1 及び第 2 の抵抗と、

を備えることを特徴とするオフセット除去回路。

【請求項 4】

外部から第 1 及び第 2 の信号を反転入力端子及び非反転入力端子にそれぞれに入力され、全差動出力の一方を出力端子より発生する第 1 の演算増幅器と、

前記第 1 の演算増幅器の出力端子に入力端子が接続され、前記全差動出力の一方を与えられて反転し、出力端子から全差動出力の他方を発生する反転増幅器と、
20

前記第 1 の演算増幅器の出力端子と前記反転増幅器の出力端子との間に接続され、前記第 1 の演算増幅器が発生した前記全差動出力の一方と前記反転増幅器が発生した前記全差動出力の他方とを与えられてその中間電位に対応する同相出力を発生する同相出力発生部と、

を備えることを特徴とするオフセット除去回路。

【請求項 5】

全差動出力及び同相出力を有する第 1、第 2 及び第 3 の演算増幅器を含んだオフセット除去回路において、

前記第 1 の演算増幅器の第 1 の全差動出力端子と前記第 2 の演算増幅器の第 1 の全差動出力端子とに接続されており、前記第 1 及び第 2 の演算増幅器からそれぞれ全差動出力の一方
30 を与えられて加算し出力する第 1 の加算器と、

前記第 2 の演算増幅器の第 2 の全差動出力端子と前記第 2 の演算増幅器の第 2 の全差動出力端子とに接続されており、前記第 1 及び第 2 の演算増幅器からそれぞれ全差動出力の他方
40 を与えられて加算し出力する第 2 の加算器と、

前記第 1 の演算増幅器の同相出力端子と前記第 2 の演算増幅器の同相出力端子とに接続され、それぞれの同相出力を与えられて平均化し基準電位として出力する基準電位発生器とを備えており、

前記第 3 の演算増幅器は、前記第 1 及び第 2 の加算器のそれぞれの出力端子に非反転入力端子及び反転入力端子を接続され、前記基準電位発生器の出力端子に基準電位端子を接続されており、前記基準電位発生器が出力した前記基準電位と、前記第 1 及び第 2 の加算器
40 のそれぞれの出力とを与えられて、全差動出力及び同相出力を発生することを特徴とするオフセット除去回路。

【請求項 6】

前記各々の演算増幅器の同相出力は、全差動出力を発生する 2 つの端子の間に直列に接続された二つの抵抗の接続点より取り出されることを特徴とする請求項 1、2、3、ないし 5 のいずれかに記載されたオフセット除去回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明はオフセット除去回路に係わり、特に全差動出力を有する演算増幅器によりアナロ
50

グ信号の処理を行う装置に好適なものに関する。

【0002】

【従来の技術】

アナログ信号処理では、電源電圧除去比の向上、ダイナミックレンジの拡大、高調波歪の低減等の要請がある。そこで近年では、直流成分として含まれている雑音やドリフト等の影響を相殺するため、全差動出力を有する演算増幅器が広く用いられている。

【0003】

図6に、従来の二つの演算増幅器21及び22を有する信号処理回路の構成を示す。外部入力端子1及び2から入力された信号 V_{i-1} 、 V_{i+1} が、演算増幅器21の反転入力端子及び非反転入力端子にそれぞれ入力され、演算結果信号 V_{o+1} 及び V_{o-1} として出力される。信号 V_{o+1} は加算器23に入力され、信号 V_{o-1} は加算器24に入力される。 10

【0004】

一方、外部入力端子3及び4から入力された信号 V_{i-2} 、 V_{i+2} が、演算増幅器22の反転入力端子及び非反転入力端子にそれぞれ入力され、演算結果信号 V_{o+2} 及び V_{o-2} として出力される。信号 V_{o+2} は加算器23に入力され、信号 V_{o-2} は加算器24に入力される。これにより、加算器23からは信号 $V_{o+1} + V_{o+2}$ が、信号 V_{o+} として外部へ出力される。加算器24からは、信号 $V_{o-1} + V_{o-2}$ が信号 V_{o-} として外部へ出力される。 20

【0005】

【発明が解決しようとする課題】

しかし、このような従来の信号処理回路には次のような問題があった。

【0006】

上述した全差動出力を有する演算増幅器21及び22においては、それぞれの同相出力電位 V_{cm1} 及び V_{cm2} は不安定になりやすく、またそれぞれの電位にはオフセット量が存在する。ここで、 $V_{o+1} = V_{d1} + V_{cm1}$ 、 $V_{o-1} = -V_{d1} + V_{cm1}$ 、 $V_{o+2} = V_{d2} + V_{cm2}$ 、 $V_{o-2} = -V_{d2} + V_{cm2}$ である。オフセット量は、理想的な同相電位 V_{cm} に対して V_{cm1} 及び V_{cm2} が有する電位差である。 30

【0007】

従来の技術には、例えば“Proc. IEEE ISCAS 1991 pp. 1363-1366”に示されているように、同相出力電位を安定化するためにこの電位を帰還する経路を設けたものもある。しかし、このような従来の帰還経路を付加した場合には、同相出力電位は安定化するが、それぞれの同相出力が含んでいるオフセット量を相殺することはできず、絶対値を正確に設定することは困難である。特に、複数のアナログ信号処理系の回路を同一チップ上に形成した場合には、各々の素子の特性が製造プロセス上のばらつきが原因となって、それぞれの素子の同相出力が含むオフセット量は大きく異なったものとなる。この結果、複数の信号処理系の出力を加算又は減算して複合する出力を行う場合、それぞれの同相出力電位に含まれたオフセット量の差異が、直接処理結果の誤差となってもたらされることになる。 40

【0008】

本発明は上記事情に鑑みてなされたもので、全差動出力を有する複数の演算増幅器を用いた回路において、それぞれの同相出力電位に存在するオフセット量を相殺することが可能なオフセット除去回路を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明によるオフセット除去回路は、全差動出力及び同相出力を有する複数の演算増幅器を含んだオフセット除去回路であって、演算増幅器のそれぞれの全差動出力の一方を入力 50

されて所定の演算を行い演算結果を出力する第1の演算器と、演算増幅器のそれぞれの全差動出力の他方を入力されて所定の演算を行い演算結果を出力する第2の演算器と、演算増幅器のそれぞれの同相出力を入力されてその平均値を出力する第3の演算器とを備えている。

【0010】

本発明の他の回路は、全差動出力及び同相出力を有する第1、第2の演算増幅器を含んだオフセット除去回路であって、第1の演算増幅器の全差動出力の一方と第2の演算増幅器の全差動出力の一方とを入力されて所定の演算を行い演算結果を出力する第1の演算器と、第1の演算増幅器の全差動出力の他方と第2の演算増幅器の全差動出力の他方とを入力されて所定の演算を行い演算結果を出力する第2の演算器と、第1の演算増幅器の同相出力と第2の演算増幅器の同相出力とを入力されて加算し、加算結果を出力する加算器と、加算器の出力した加算結果に所定値を乗算して出力する乗算器とを備える。

10

【0011】

本発明の他のオフセット除去回路は、第1の演算増幅器の第1の全差動出力端子と第2の演算増幅器の第1の全差動出力端子とに接続されており、第1及び第2の演算増幅器からそれぞれ全差動出力の一方を与えられて加算し出力する第1の加算器と、第1の演算増幅器の第2の全差動出力端子と第2の演算増幅器の第2の全差動出力端子とに接続されており、第1及び第2の演算増幅器からそれぞれ全差動出力の他方を与えられて加算し出力する第2の加算器と、第1の演算増幅器の同相出力端子と第2の演算増幅器の同相出力端子との間に直列に接続された第1及び第2の抵抗であって、第1及び第2の抵抗の接続点から平均化された同相出力を発生する第1及び第2の抵抗とを備える。

20

【0012】

本発明のさらに他のオフセット除去回路は、外部から第1及び第2の信号を反転入力端子及び非反転入力端子にそれぞれに入力され、全差動出力の一方を出力端子より発生する第1の演算増幅器と、第1の演算増幅器の出力端子に入力端子が接続され、全差動出力の一方を与えられて反転し、出力端子から全差動出力の他方を発生する反転増幅器と、第1の演算増幅器の出力端子と反転増幅器の出力端子との間に接続され、第1の演算増幅器が発生した全差動出力の一方と反転増幅器が発生した全差動出力の他方とを与えられてその中間電位に対応する同相出力を発生する同相出力発生部とを備える。

【0013】

30

本発明の他のオフセット除去回路は、全差動出力及び同相出力を有する第1、第2及び第3の演算増幅器を含んでおり、第1の演算増幅器の第1の全差動出力端子と第2の演算増幅器の第1の全差動出力端子とに接続されており、第1及び第2の演算増幅器からそれぞれ全差動出力の一方を与えられて加算し出力する第1の加算器と、第2の演算増幅器の第2の全差動出力端子と第2の演算増幅器の第2の全差動出力端子とに接続されており、第1及び第2の演算増幅器からそれぞれ全差動出力の他方を与えられて加算し出力する第2の加算器と、第1の演算増幅器の同相出力端子と第2の演算増幅器の同相出力端子とに接続され、それぞれの同相出力を与えられて平均化し基準電位として出力する基準電位発生器とを備え、第3の演算増幅器は、第1及び第2の加算器のそれぞれの出力端子に非反転入力端子及び反転入力端子を接続され、基準電位発生器の出力端子に基準電位端子を接続されており、基準電位発生器が出力した基準電位と、第1及び第2の加算器のそれぞれの出力とを与えられて、全差動出力及び同相出力を発生することを特徴としている。

40

【0014】

ここで、各々の演算増幅器の同相出力は、全差動出力を発生する2つの端子の間に直列に接続された二つの抵抗の接続点より取り出されるものであってもよい。

【0015】

【作用】

複数の演算増幅器のそれぞれの同相出力が第3の演算器に入力されて、平均化されたものが出力されることによって、各々の同相出力に含まれていたオフセット量が相殺される。

【0016】

50

【実施例】

以下、本発明の一実施例について図面を参照して説明する。

【0017】

図1に、第1の実施例によるオフセット除去回路の構成を示す。この回路は、全差動出力及び同相出力を有する二つの演算増幅器11及び12と、それぞれの全差動出力を加算する加算器15及び16と、それぞれの同相出力を加算する加算器13と、加算器13の出力に1/2を乗算する乗算器14とを備えている。

【0018】

入力信号 V_{i-1} 及び V_{i+1} が入力される外部入力端子1及び2が、演算増幅器11の反転入力端子と非反転入力端子にそれぞれ接続されており、入力信号 V_{i-2} 及び V_{i+2} が入力される外部入力端子3及び4が演算増幅器12の反転入力端子と非反転入力端子にそれぞれ接続されている。演算増幅器11及び12のそれぞれの非反転出力 V_{o+1} 、 V_{o+2} が加算器15に入力され、加算されたものが出力 V_{o+} として外部出力端子5より出力される。同様に、演算増幅器11及び12の反転出力 V_{o-1} 、 V_{o-2} が加算器16に入力され、加算されて出力 V_{o-} として外部出力端子6より出力される。

【0019】

さらに、演算増幅器11及び12のそれぞれの同相出力 V_{cm1} 、 V_{cm2} が加算器13に入力されて加算され、乗算器14に与えられて1/2が乗算される。この結果、 $(V_{cm1} + V_{cm2}) / 2$ がこの回路の同相出力 V_{cm} として外部出力端子7より外部へ出力される。

【0020】

このように、本実施例によれば複数の演算増幅器11および12のそれぞれの同相出力電位 V_{cm1} 及び V_{cm2} を用いて平均化した出力 $(V_{cm1} + V_{cm2}) / 2$ を全体の回路の同相出力電位 V_{cm} として用いる。これにより、演算増幅器21及び22の全差動出力 V_{o+1} 及び V_{o-1} 、 V_{o+2} 及び V_{o-2} をそれぞれ加算又は減算した値においてオフセット量が相殺され、完全に除去される。

【0021】

第1の実施例は、二つのアナログ信号処理系における演算増幅器の同相出力に存在するオフセット量を相殺するものである。しかし、アナログ信号処理系が n (n は2以上の整数)個設けられている場合にも同様に本発明を適用することができる。即ち、1番目の演算増幅器の出力を V_{o1} 、2番目の演算増幅器の出力を V_{o2} 、…、 n 番目の演算増幅器の出力を V_{on} 、差動出力成分を順に $\pm V_{d1}$ 、 $\pm V_{d2}$ 、…、 $\pm V_{dn}$ 、同相出力成分を順に V_{c1} 、 V_{c2} 、…、 V_{cn} とすると、次のような関係が成立する。

【0022】

$$V_{o1} = V_{d1} + V_{c1}, -V_{o1} = -V_{d1} + V_{c1} \quad (1)$$

$$V_{o2} = V_{d2} + V_{c2}, -V_{o2} = -V_{d2} + V_{c2} \quad (2)$$

...

$$V_{on} = V_{dn} + V_{cn}, -V_{on} = -V_{dn} + V_{cn} \quad (3)$$

同相出力成分の平均値を $V_{cm} (= (V_{c1} + V_{c2} + \dots + V_{cn}) / n)$ とし、この平均値 V_{cm} に対するDCオフセット電圧を、それぞれ V_{os1} 、 V_{os2} 、…、 V_{osn} とすると、次の関係が成立する。

【0023】

$$V_{o1} = V_{d1} + V_{cm} + V_{os1}, -V_{o1} = -V_{d1} + V_{cm} + V_{os1} \quad (4)$$

$$V_{o2} = V_{d2} + V_{cm} + V_{os2}, -V_{o2} = -V_{d2} + V_{cm} + V_{os2} \quad (5)$$

...

$$V_{on} = V_{dn} + V_{cm} + V_{osn}, -V_{on} = -V_{dn} + V_{cm} + V_{osn} \quad (6)$$

ここで、全てのDCオフセット電圧 $V_{os1} \sim V_{osn}$ を合計すると、次のように0になる。

【0024】

$$\begin{aligned} \sum_{i=1}^n V_{osi} &= \sum_{i=1}^n (V_{ci} - V_{cm}) \\ &= V_{c1} + V_{c2} + \dots + V_{cn} - n \cdot V_{cm} = 0 \end{aligned}$$

10

(7)

このように、複数のアナログ信号処理系の信号を加算した場合、同相出力電圧の平均値 V_{cm} を同相入力電圧、即ち基準電位として用いることで、各演算増幅器の同相出力に含まれていたDCオフセット電圧を完全に相殺することができる。

【0025】

第1の実施例における演算増幅器11、12の同相出力は、例えば図2に示されたような構成により得ることができる。演算増幅器11の全差動出力 V_{o+1} 、 V_{o-1} をそれぞれ出力する内部端子8、9の間に、同一の抵抗値を有する抵抗 R_1 及び R_2 を直列に接続する。そして、抵抗 R_1 と抵抗 R_2 とを接続するノードに接続された内部端子10から、同相出力 V_{cm1} を取り出すことができる。

20

【0026】

本発明の第2の実施例によるオフセット除去回路は、図3に示されたような構成を備えている。上記第1の実施例では、演算増幅器11の同相出力 V_{cm1} と演算増幅器12の同相出力 V_{cm2} とを加算器13により加算し、乗算器14により $1/2$ 倍することで同相出力 V_{cm} を得ている。これに対し、本実施例では演算増幅器11の同相出力端子と演算増幅器12の同相出力端子との間を、同一の抵抗値を有し直列に接続された抵抗 R_3 及び R_4 で接続し、接続ノードに接続された外部出力端子7より同相出力 V_{cm} を取り出している。他の構成は、第1の実施例と同様であり、説明を省略する。

【0027】

30

図4に、本発明の第3の実施例によるオフセット除去回路の構成を示す。本実施例では、一方の演算増幅器の出力を他方の演算増幅器により反転することで、全差動出力を得ており、さらにこの全差動出力から抵抗分割により同相出力を生成している点に特徴がある。

【0028】

外部入力端子1及び2に、演算増幅器11の反転入力端子と非反転入力端子とがそれぞれ接続されており、演算増幅器11の出力端子に外部出力端子5が接続されている。また演算増幅器11の出力端子には、抵抗 R_5 を介して演算増幅器12の反転入力端子が接続されており、反転入力端子は抵抗 R_6 を介して演算増幅器12の出力端子に接続されている。この演算増幅器12の出力端子は外部出力端子6に接続され、非反転入力端子は接地されている。さらに、外部出力端子5と外部出力端子6との間には、抵抗 R_7 及び R_8 が直列に接続されており、この抵抗 R_7 と抵抗 R_8 との接続点には外部出力端子7が接続されている。

40

【0029】

このような構成としたことで、演算増幅器11から全差動出力の一方の電位 V_{o+} が外部出力端子5を介して出力され、抵抗 R_5 、 R_6 及び演算増幅器12とで構成された反転増幅器により反転された電位 V_{o-} が外部出力端子6より出力される。さらに、外部出力端子7より同相出力 V_{cm} が出力される。

【0030】

図5に、本発明の第4の実施例によるオフセット除去回路の構成を示す。演算増幅器11及び12、抵抗 R_3 及び R_4 、加算器15及び16から成る構成は、図3に示された第2

50

の実施例の構成と同様であり、説明を省略する。第4の実施例ではさらに、加算器15及び16のそれぞれの全差動出力 V_{o+} 及び V_{o-} を、後段の演算増幅器33の非反転入力端子及び反転入力端子に入力すると共に、さらに抵抗R3及びR4の接続ノードN1から出力される同相出力 V_{cm} を、基準電位 V_{ref} として演算増幅器33に入力している点に特徴がある。

【0031】

このような構成により、本実施例では後段の演算増幅器33から全差動出力 V_{o+} 及び V_{o-} と、前段の演算増幅器11及び12の同相出力 V_{cm1} 及び V_{cm2} が含まれているオフセット量を相殺した同相出力 V_{cm} を得ることができる。

【0032】

上述した実施例はいずれも一例であって、本発明を限定するものではない。例えば、第1から第4の実施例ではいずれも演算増幅器を2つ用いているが、3つ以上用いてもよい。この場合には、図1に示された第1の実施例を例にとると、 m 個(m は3以上)の演算増幅器の全差動出力の一方の電位 V_{o+1} 、 V_{o+2} 、…、 V_{o+m} を一方の加算器で全て加算し、あるいはこのうちの幾つかを減算(例えば、 $V_{o+1} + V_{o+2} - V_{o+3} - V_{o+4} + \dots - V_{o+m}$)し、演算増幅器の全差動出力の他方の電位 V_{o-1} 、 V_{o-2} 、…、 V_{o-m} を他方の加算器で全て加算し、あるいはこのうちの幾つかを減算(例えば、 $V_{o-1} + V_{o-2} - V_{o-3} - V_{o-4} + \dots - V_{o-m}$)し、それぞれの同相出力 V_{cm1} 、 V_{cm2} 、…、 V_{cmm} を全て加算して $1/m$ 倍したものを出力してもよい。

【0033】

【発明の効果】

以上説明したように、本発明のオフセット除去回路によれば、全差動出力を有する複数の演算増幅器のそれぞれの同相出力を平均化することにより、各々の同相出力に含まれていたオフセット量を相殺することが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるオフセット除去回路の構成を示した回路図。

【図2】同オフセット除去回路における演算増幅器11で同相出力を取り出すための構成を示した回路図。

【図3】本発明の第2の実施例によるオフセット除去回路の構成を示した回路図。

【図4】本発明の第3の実施例によるオフセット除去回路の構成を示した回路図。

【図5】本発明の第4の実施例によるオフセット除去回路の構成を示した回路図。

【図6】従来のオフセット除去回路の構成を示した回路図。

【符号の説明】

11、12、33 演算増幅器
1～4 外部入力端子
5～10 外部出力端子
13、15、16 加算器
14 乗算器
R1～R8 抵抗

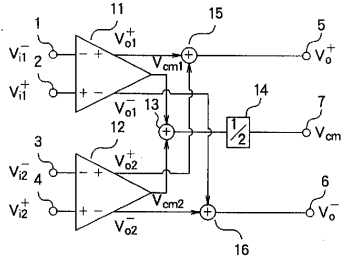
10

20

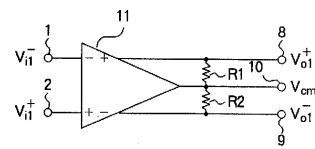
30

40

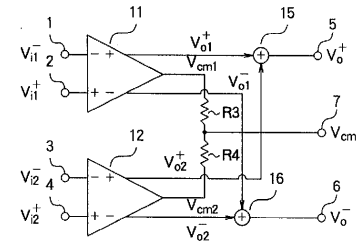
【図 1】



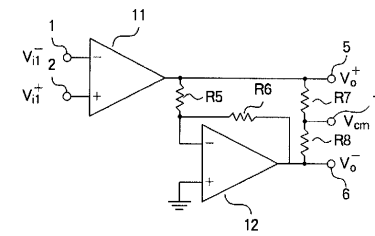
【図 2】



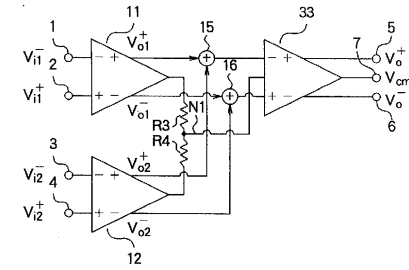
【図 3】



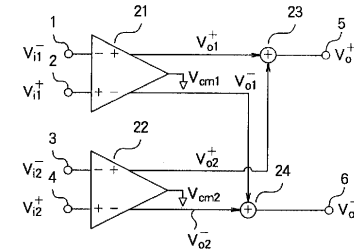
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 貫 井 匡
神奈川県川崎市幸区柳町70番地 株式会社東芝 柳町工場内

審査官 佐藤 敬介

(56)参考文献 特開平05-283952 (JP, A)
特開昭60-116212 (JP, A)
特開平06-177670 (JP, A)
特開平06-216772 (JP, A)
特開平01-098306 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)
H03F 1/00-3/72