



(12)发明专利

(10)授权公告号 CN 105009451 B

(45)授权公告日 2017. 10. 24

(21)申请号 201480012397.4

(22)申请日 2014.03.07

(65)同一申请的已公布的文献号

申请公布号 CN 105009451 A

(43)申请公布日 2015.10.28

(30)优先权数据

13/797,645 2013.03.12 US

(85)PCT国际申请进入国家阶段日

2015.09.06

(86)PCT国际申请的申请数据

PCT/US2014/021835 2014.03.07

(87)PCT国际申请的公布数据

W02014/164311 EN 2014.10.09

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 J·M·戈德布拉特

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 元云

(51)Int.Cl.

H03K 3/012(2006.01)

H03K 3/356(2006.01)

H03K 19/00(2006.01)

(56)对比文件

US 2001/0040834 A1,2001.11.15,

CN 1143314 C,2004.03.24,

US 2005/0285628 A1,2005.12.29,

审查员 徐生芹

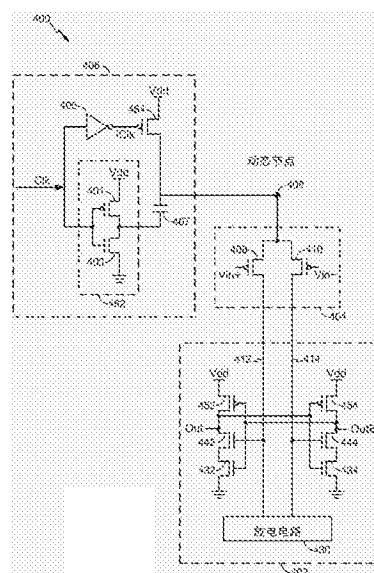
权利要求书3页 说明书13页 附图6页

(54)发明名称

用于扩展信号比较电压范围的电路和方法

(57)摘要

用于扩展信号比较电压范围的电路包括锁存电路(402)和响应于共模输入信号(V_{in+} , V_{in-})的比较器(404)。该比较器(404)耦合至该锁存电路(402)并耦合到动态节点(408)。该电路还包括耦合至该动态节点(408)的受时钟控制升压电路(406)。该受时钟控制升压电路(406)被配置成经由偏置该动态节点来扩展该比较器的供电电压范围。一种用于扩展信号比较电压范围的方法包括响应于时钟信号(Clk)来选择性地移位动态电路的接地参考或该动态电路的供电参考之一的电压电平。



1. 一种用于扩展信号比较电压范围的电路,所述电路包括:

锁存电路;

响应于差分输入信号对的比较器,所述比较器耦合至所述锁存电路并耦合至具有动态电压的节点;以及

受时钟控制升压电路,其耦合至所述节点并被配置成经由偏置所述节点来扩展所述比较器的供电电压范围,其中所述受时钟控制升压电路包括:

耦合在电源电压与接地之间的第一反相器,其中所述第一反相器响应于时钟信号并且其中所述第一反相器的输出耦合至电容器的第一端子;

第二反相器,用于接收所述时钟信号并响应于所述时钟信号而生成反相时钟信号;以及

开关,其响应于所述反相时钟信号并被配置成选择性地将所述电容器的第二端子耦合至接地。

2. 如权利要求1所述的电路,其特征在于,所述节点被偏置为低于接地的电压。

3. 如权利要求1所述的电路,其特征在于,所述节点提供所述比较器的接地参考。

4. 如权利要求3所述的电路,其特征在于,所述比较器包括:

耦合至所述节点并响应于所述差分输入信号对的第一输入信号的第一晶体管;以及

耦合至所述节点并响应于所述差分输入信号对的第二输入信号的第二晶体管,

其中所述比较器的输出指示通过所述第一晶体管至所述接地参考的第一放电速率是否超过通过所述第二晶体管至所述接地参考的第二放电速率。

5. 如权利要求1所述的电路,其特征在于,所述节点提供所述比较器的供电参考。

6. 如权利要求5所述的电路,其特征在于,所述比较器包括:

耦合至所述节点并响应于第一输入信号的第一晶体管;以及

耦合至所述节点并响应于第二输入信号的第二晶体管,

其中所述比较器的输出指示通过所述第一晶体管至所述供电参考的第一充电速率是否超过通过所述第二晶体管至所述供电参考的第二充电速率。

7. 一种用于扩展信号比较电压范围的电路,所述电路包括:

锁存电路;

响应于差分输入信号对的比较器,所述比较器耦合至所述锁存电路并耦合至具有动态电压的节点;以及

包括耦合至所述节点的电容器的受时钟控制电路,其中所述电容器响应于时钟信号而被选择性地充电,并且其中所述电容器选择性地偏置所述节点,其中所述受时钟控制电路包括:

耦合在电源电压与接地之间的第一反相器,其中所述第一反相器响应于所述时钟信号并且其中所述第一反相器的输出耦合至所述电容器的第一端子;

第二反相器,用于接收所述时钟信号并响应于所述时钟信号而生成反相时钟信号;以及

开关,其响应于所述反相时钟信号并被配置成选择性地将所述电容器的第二端子耦合至接地。

8. 如权利要求7所述的电路,其特征在于,所述电容器的第一端子选择性地耦合至接地

并且其中所述电容器将所述节点偏置为小于接地的电压以扩展所述比较器的供电范围。

9. 如权利要求7所述的电路,其特征在于,所述开关包括n型场效应晶体管。

10. 一种用于扩展信号比较电压范围的方法,所述方法包括:

响应于时钟信号来选择性地移位动态电路的接地参考的电压电平,其中所述动态电路耦合至受时钟控制升压电路,其中所述动态电路包括配置成响应于差分输入信号对而生成至锁存电路的输出的比较器,并且其中所述受时钟控制升压电路包括:

耦合在电源电压与接地之间的第一反相器,其中所述第一反相器响应于时钟信号并且其中所述第一反相器的输出耦合至电容器的第一端子;

第二反相器,用于接收所述时钟信号并响应于所述时钟信号而生成反相时钟信号;以及

开关,其响应于所述反相时钟信号并被配置成选择性地所述电容器的第二端子耦合至接地。

11. 如权利要求10所述的方法,其特征在于,所述比较器被配置成基于通过所述比较器的第一晶体管至所述接地参考的第一放电速率和通过所述比较器的第二晶体管至所述接地参考的第二放电速率来生成至所述锁存电路的所述输出,其中所述第一晶体管响应于在所述比较器处接收到的所述差分输入信号对的第一输入信号,并且其中所述第二晶体管响应于所述差分输入信号对的第二输入信号。

12. 如权利要求10所述的方法,其特征在于,所述比较器经由具有动态电压的节点耦合至所述受时钟控制升压电路,并且所述方法进一步包括:

在复位阶段期间将所述受时钟控制升压电路的电容器的第一端子耦合至电源电压并将所述电容器的第二端子耦合至接地以对所述电容器进行充电;以及

在比较阶段期间将所述电容器的所述第一端子耦合至所述接地,其中所述电容器的所述第二端子耦合至所述节点以提供低于所述接地的电压电平作为给所述动态电路的所述接地参考。

13. 一种用于推升差分信号对的共模电压的装置,所述装置包括:

动态锁存式比较器,包括:

耦合成接收所述差分信号对的第一输入信号的第一晶体管,其中所述第一晶体管的源极耦合至具有动态电压的节点;以及

耦合成接收所述差分信号对的第二输入信号的第二晶体管,其中所述第二晶体管的源极耦合至所述节点;以及

包括耦合至所述节点的电容器的受时钟控制升压电路,其中所述电容器响应于时钟信号而被选择性地充电,其中所述电容器选择性地偏置所述节点以推升所述共模电压,并且其中所述受时钟控制升压电路包括:

耦合在电源电压与接地之间的第一反相器,其中所述第一反相器响应于时钟信号并且其中所述第一反相器的输出耦合至所述电容器的第一端子;

第二反相器,用于接收所述时钟信号并响应于所述时钟信号而生成反相时钟信号;以及

开关,其响应于所述反相时钟信号并被配置成选择性地所述电容器的第二端子耦合至接地。

14. 如权利要求13所述的装置,其特征在于,所述第一晶体管和所述第二晶体管是n型金属氧化物半导体(NMOS)晶体管,并且其中所述电容器通过将所述节点偏置为低于接地的电压来选择性偏置所述节点以推升所述共模电压。

15. 如权利要求13所述的装置,其特征在于,所述第一晶体管和所述第二晶体管是p型金属氧化物半导体(PMOS)晶体管,并且其中推升所述共模电压包括将所述节点偏置为高于供电电压的电压。

16. 一种用于扩展信号比较电压范围的设备,包括:

用于比较差分输入信号对的装置,所述用于比较的装置耦合至锁存电路并耦合至具有动态电压的节点;以及

用于使用受时钟控制升压电路来偏置所述节点以扩展信号比较电压范围的装置,其中所述受时钟控制升压电路包括:

耦合在电源电压与接地之间的第一反相器,其中所述第一反相器响应于时钟信号并且其中所述第一反相器的输出耦合至电容器的第一端子;

第二反相器,用于接收所述时钟信号并响应于所述时钟信号而生成反相时钟信号;以及

开关,其响应于所述反相时钟信号并被配置成选择性地将所述电容器的第二端子耦合至接地。

17. 如权利要求16所述的设备,其特征在于,偏置所述节点扩展所述用于比较的装置的供电范围。

18. 如权利要求16所述的设备,其特征在于,所述节点提供所述用于比较的装置的接地参考或供电参考之一。

19. 如权利要求18所述的设备,其特征在于,所述用于比较的装置包括:

耦合至所述节点并响应于第一输入信号的第一晶体管;以及

耦合至所述节点并响应于第二输入信号的第二晶体管,

其中所述用于比较的装置的输出指示通过所述第一晶体管至所述接地参考的第一放电速率是否超过通过所述第二晶体管至所述接地参考的第二放电速率。

用于扩展信号比较电压范围的电路和方法

[0001] 根据35U.S.C. §119的优先权要求

[0002] 本申请要求2013年3月12日提交的美国专利申请序列号13/797,645的权益,其通过引用整体纳入于此。

[0003] 领域

[0004] 本公开一般涉及比较电路。

[0005] 相关技术描述

[0006] 技术进步已产生越来越小且越来越强大的计算设备。例如,当前存在各种各样的便携式个人计算设备,包括较小、轻量且易于由用户携带的无线计算设备,诸如便携式无线电话、个人数字助理(PDA)以及寻呼设备。更具体地,便携式无线电话(诸如蜂窝电话和网际协议(IP)电话)可通过无线网络来传达语音和数据分组。此外,许多此类无线电话包括被纳入于其中的其他类型的设备。例如,无线电话还可包括数码相机、数码摄像机、数字记录器以及音频文件播放器。同样,此类无线电话可处理可执行指令,包括可被用于访问因特网的软件应用,诸如web浏览器应用。如此,这些无线电话可包括显著的计算能力。

[0007] 电子设备(诸如无线电话)中使用的供电电压(V_{dd})一般随技术进步而降低。然而,在互补金属氧化物半导体(CMOS)器件中使用的晶体管(诸如场效应晶体管(FET))的阈值电压未曾如供电电压的降低一样快地降低。降低电源电压(V_{dd})而不成比例降低晶体管阈值电压上没有成比例的降低的一个结果是比较电路(例如,比较器)的性能降低。例如,比较器可以通过向第一晶体管的栅极提供第一输入信号并向第二晶体管的栅极提供第二输入信号来生成两个共模输入信号之间的比较结果。这些共模输入信号之间的电压差可以导致通过相应晶体管的电流差,从而使得能够实现对耦合至各晶体管的预充电节点的不同速率的放电。然而,当共模输入信号(例如,第一和第二输入信号)的电压是比较器的电压范围(例如,V_{dd}-V_{ss})的大约一半时,共模输入信号的电压可能会小于该比较器的晶体管的阈值电压,结果导致在比较操作和延展了的比较时间期间通过这些晶体管的电流显著减小。

[0008] 概述

[0009] 公开了用于扩展比较电路的电压范围的电路和方法。比较器可以通过向第一晶体管的栅极提供第一输入信号并向第二晶体管的栅极提供第二输入信号来生成两个共模输入信号之间的比较结果。比较器的负端可以耦合至动态节点。在复位阶段期间,受时钟控制电路可将该动态节点的电压移位至地(V_{ss})。在比较阶段期间,受时钟控制电路可将该动态节点的电压移位至小于地(V_{ss})的电压(即,将该动态节点的电压移位至负电压)以扩展该比较器的电压范围。

[0010] 在特定实施例中,一种电路包括锁存电路和响应于共模输入信号的比较器。该比较器耦合至该锁存电路和动态节点。该电路还包括耦合至该动态节点的受时钟控制升压电路。此受时钟控制升压电路被配置成经由偏置该动态节点来扩展该比较器的供电电压范围。

[0011] 在另一特定实施例中,一种电路包括锁存电路和响应于共模输入信号的比较器。该比较器耦合至该锁存电路和动态节点。该电路还包括受时钟控制电路,其包括耦合至该

动态节点的电容器。该电容器响应于时钟信号而被选择性地充电并且该电容器选择性地偏置该动态节点。

[0012] 在另一特定实施例中,一种用于扩展信号比较电压范围的方法包括响应于时钟信号来选择性地移位动态电路的接地参考或该动态电路的电源参考之一的电压电平。

[0013] 与未耦合至负电压接地参考的比较器相比,由所公开的实施例中的至少一个实施例提供的一个特定优势是比较器的经扩展范围,这是因选择性地降低比较器的负端的电压以至少部分地补偿该比较器的降低的供电电压所结果得到的。本公开的其他方面、优点和特征将在阅读了整个申请后变得明了,整个申请包括下述章节:附图简述、详细描述以及权利要求。

[0014] 附图简述

[0015] 图1是能操作用于扩展比较电路的电压范围的系统的特定解说性实施例的框图;

[0016] 图2是解说图1的系统的特定实施例的复位阶段的示意图;

[0017] 图3是解说图1的系统的特定实施例的比较阶段的示意图;

[0018] 图4是能操作用于扩展比较电路的电压范围的电路的特定解说性实施例的示意图;

[0019] 图5是扩展比较电路的电压范围的方法的特定实施例的流程图;以及

[0020] 图6是包括能操作用于扩展比较电路的电压范围的组件的无线设备的框图。

[0021] 详细描述

[0022] 参照图1,示出了能操作用于扩展比较电路的电压范围的系统100的特定解说性实施例。系统100包括锁存电路102、动态电路114和受时钟控制电路106。动态电路114包括比较电路,其被解说为比较器104。锁存电路102被耦合以接收来自比较器104的比较输出信号110。受时钟控制电路106经由动态节点108耦合至比较器104。

[0023] 比较器104被配置成接收并响应于共模输入信号对112(例如,差分信号对)。例如,比较器104被配置成在第一输入端处接收第一输入信号(V_{in+})以及在第二输入端处接收第二输入信号(V_{in-})。在特定实施例中,第一输入端可耦合至比较器104的第一晶体管的栅极并且第二输入端可耦合至比较器104的第二晶体管的栅极,如关于图2进一步详细描述。第一和第二晶体管的漏极端可被耦合以基于第一输入信号(V_{in+})和第二输入信号(V_{in-})来生成比较输出信号110。比较器104的第一和第二晶体管的源极端可被耦合至动态节点108。在特定实施例中,动态节点108可以提供比较器104的接地参考。

[0024] 锁存电路102被配置成接收比较输出信号110并响应于预充电节点降落至阈值以下而锁存比较输出信号110。例如,如关于图2-3的实施例进一步详细描述,比较输出信号110可影响预充电节点对(即,第一预充电节点和第二预充电节点)的放电速率。当第一输入信号(V_{in+})具有大于第二输入信号(V_{in-})的电压电平时,第一预充电节点可以大于第二预充电节点的速率来放电。当第二输入信号(V_{in-})具有大于第一输入信号(V_{in+})的电压电平时,第二预充电节点可以大于第一预充电节点的速率来放电。

[0025] 受时钟控制电路106被配置成接收时钟信号(Clk)并响应于接收到时钟信号(Clk)而选择性地设置动态节点108处的电压电平。例如,受时钟控制电路106可以选择性地将动态节点108的电压电平偏置为接地(或更高)。此外,受时钟控制电路106可以选择性地将动态节点108的电压电平偏置为小于接地(即,偏置为负电压电平)以‘推升’比较器104的供电电压范围。将动态节点108的电压电平偏置为小于接地可以推升该对共模输入信号112(即,

差分信号对)的共模电压。

[0026] 在操作期间,受时钟控制电路106响应于时钟信号(C1k)转换为逻辑低电压电平而将动态节点108的电压电平偏置为接地。当动态节点108的电压电平被偏置为接地时,比较器104的第一和第二晶体管的栅-源电压可以小于第一和第二晶体管的阈值电压,从而使得第一和第二晶体管抑活(或者在低导电性状态中操作,诸如在三极管区中操作)。受时钟控制电路106响应于时钟信号(C1k)转换为逻辑高电压电平而将动态节点108的电压电平偏置为小于接地。当动态节点108的电压电平被偏置为小于接地的电压时,分别接收第一和第二输入信号(V_{in+} 、 V_{in-})的第一和第二晶体管的栅-源电压可以增大至大于阈值电压的电压电平。结果,第一和第二晶体管可被激活(或在高导电性状态中操作,诸如在饱和工作区中操作)。当第一和第二晶体管被激活时,比较输出信号110可以指示比较器104的比较结果,诸如关于图2-3进一步详细描述。

[0027] 将领会,图1的系统100可以通过选择性地偏置动态节点108以在不增大供应给比较器104的电源电压(V_{dd})的情况下激活比较器104(即,第一和第二晶体管)来降低电池功率。例如,将动态节点108偏置为负电压(即,小于接地的电压)可以增大比较器104的电压范围而不增大电源电压(V_{dd}),从而避免了增大的电源电压(V_{dd})的附加功耗。

[0028] 参照图2,示出了能操作于扩展比较电路的电压范围的电路200的复位阶段。电路200包括图1的锁存电路102、比较器104和受时钟控制电路106。在特定实施例中,受时钟控制电路106可包括受时钟控制升压电路。

[0029] 比较器104包括第一晶体管208(诸如,第一n型金属氧化物半导体(NMOS)晶体管)和第二晶体管210(诸如,第二NMOS晶体管)。第一晶体管208的源极耦合至动态节点108,并且第一晶体管208的漏极耦合至第一预充电节点212。第一晶体管208的栅极被耦合以接收这两个共模输入信号112中的第一输入信号(V_{in+})。第二晶体管210的源极耦合至动态节点108,并且第二晶体管210的漏极耦合至第二预充电节点214。第二晶体管210的栅极被耦合以接收这两个共模输入信号112的第二输入信号(V_{in-})。因此,第一晶体管208可被耦合至动态节点108并响应于第一输入信号(V_{in+})并且第二晶体管210可被耦合至动态节点108并响应于第二输入信号(V_{in-})。

[0030] 受时钟控制电路106包括第一反相器202,其可包括第一p型金属氧化物半导体(PMOS)晶体管201和第三NMOS晶体管203。受时钟控制电路106进一步包括开关204(例如,第四NMOS晶体管)、第二反相器205和电容器206。第一反相器202的输入端被耦合以接收时钟信号(C1k)并且输出端(例如,第一PMOS晶体管201的漏极)耦合至电容器206的第一端子(即,正端子)。

[0031] 第二反相器205被耦合以接收时钟信号(C1k)。第二反相器205被配置成响应于接收到时钟信号(C1k)而生成反相时钟信号(IC1k)。第四NMOS晶体管(即,开关204)的栅极被耦合以接收反相时钟信号(IC1k)。第四NMOS晶体管的源极耦合至接地并且第四NMOS晶体管204的漏极耦合至电容器206的第二端子(即,负端子)。电容器206耦合至动态节点108。

[0032] 在复位阶段期间,受时钟控制电路106响应于时钟信号(C1k)而选择性地动态节点108的电压电平移位至接地。例如,在复位阶段期间,时钟信号(C1k)从逻辑高电压电平转换为逻辑低电压电平。时钟信号(C1k)被提供给第一PMOS晶体管201的栅极和第三NMOS晶体管203的栅极。响应于接收到具有逻辑低电压电平的时钟信号(C1k),第一PMOS晶体管201被

激活并且第三NMOS晶体管203被抑活。第一PMOS晶体管201被配置成响应于时钟信号(C1k)的逻辑低电压电平而选择性地对电容器206充电。例如,第一PMOS晶体管201在激活之际可用作基于电源电压(Vdd)对电容器206进行充电的上拉晶体管。

[0033] 时钟信号(C1k)还被提供给第二反相器205并且第二反相器205生成具有逻辑高电压电平的反相时钟信号(IC1k)。第二反相器205将反相时钟信号(IC1k)提供给开关204的栅极。响应于接收到具有逻辑高电压电平的反相时钟信号(IC1k),开关204被激活以将动态节点108以及将电容器206的第二端子耦合至接地。因此,在复位阶段期间,受时钟控制电路106的电容器206的第一端子经由第一PMOS晶体管201耦合至电源电压(Vdd)并且电容器206的第二端子耦合至接地以对电容器206进行充电。

[0034] 根据复位阶段期间的时间的在电容器206的第一端子处的电压在第一时序图220中解说。参照第一时序图220,电容器206的第一端子的电压在复位阶段期间随时间增加而增大。第一端子处的电压增加可能归因于当第一PMOS晶体管201响应于逻辑低时钟信号(C1k)而被激活时第一PMOS晶体管201使得能够基于电源电压(Vdd)来对电容器206进行充电。

[0035] 根据复位阶段期间的时间的跨电容器206的电压在第二时序图222中解说。参照第二时序图222,跨电容器206的电压在复位阶段期间随时间增加而增大。然而,跨电容器206的电压并不增大至与电容器206的第一端子处的电压一致的电平,这是因为电容器206可能具有非零器件电导。例如,可能花费有限时间来对电容器206进行充电并且花费不同的有限时间来对电容器206进行放电,从而使得时间平均电荷为非零。结果,如果电容器206被完全充电而PMOS晶体管201被激活,则第一PMOS晶体管201可以将动态节点108拉至更高电压而非对电容器206进行充电。

[0036] 动态节点108处的电压在第三时序图224中解说。当时钟信号(C1k)转换为逻辑低电压电平时,动态节点108处的电压下落至大致接地。动态节点108处的电压在复位阶段的一部分上跟踪电容器206的第一端子处的因非零器件电导而引起的电压(即,从接地上升的电压)。因此,在复位阶段期间,电容器206响应于时钟信号(C1k)而被选择性地充电。

[0037] 当动态节点108的电压电平被偏置为大致接地时,第一和第二晶体管208、210的栅-源电压可以分别小于第一和第二晶体管208、210的阈值电压。第一和第二晶体管208、210可在栅-源电压小于阈值电压时被抑活(或者可以在具有小传导率的操作模式中操作,诸如在三极管工作区中操作)。抑活第一和第二晶体管208、210可以导致基本上没有放电电流流经晶体管208、210,并且比较器104可进入“关闭”状态。

[0038] 将领会,图2的电路200可以在共模输入信号112(即,第一输入信号(Vin+)与第二输入信号(Vin-))之间的比较被推迟时通过关闭比较器104来减少功耗。例如,受时钟控制电路106可以选择性地偏置动态节点108以关闭或复位比较器104。具体地,受时钟控制电路106可将动态节点108偏置为大致接地。结果,第一和第二晶体管208、210的栅-源电压可以分别小于第一和第二晶体管208、210的阈值电压。当晶体管208、210的栅-源电压小于晶体管208、210的阈值电压时,晶体管208、210(即,比较器104)可被抑活(或在低导电性状态中操作)。还将领会,图2的电路200可以对电容器206进行充电以供在比较阶段期间用于偏置动态节点108,如关于图3所描述的。

[0039] 图2中解说的时序图220-224是出于解说性目的并且出于解释清楚目的被提供。时

序图220-224中的信息可根据图2的电路200的各种实现而变化。例如,时序图220-224中的轨迹可以是弯曲的而非分段线性的并且可以具有因工艺、温度和电压(PVT)条件所结果导致的波动。此外,时序图220-224可能并非按比例绘制。

[0040] 参照图3,示出了能操作于扩展比较电路的电压范围的电路200的比较阶段。电路200包括锁存电路102、比较器104和受时钟控制电路106。在特定实施例中,受时钟控制电路106可包括受时钟控制升压电路。

[0041] 图3解说了锁存电路102包括耦合至第一和第二预充电节点212、214的预充电电路330的示例实现。锁存电路102还包括交叉耦合的反相器对。该对交叉耦合的反相器中的第一反相器包括第二PMOS晶体管332和第五NMOS晶体管352。第二PMOS晶体管332的栅极耦合至第五NMOS晶体管352的栅极。第二PMOS晶体管332的源极被耦合以接收电源电压(V_{dd})并且第二PMOS晶体管332的漏极耦合至第三PMOS晶体管342的源极。第五NMOS晶体管352的源极耦合至接地并且第五NMOS晶体管352的漏极耦合至第三PMOS晶体管342的漏极。第三PMOS晶体管342的栅极耦合至第一预充电节点212。该对交叉耦合的反相器中的第二反相器包括第四PMOS晶体管334和第六NMOS晶体管354。第四PMOS晶体管334的栅极耦合至第六NMOS晶体管354的栅极。第四PMOS晶体管334的源极被耦合以接收电源电压(V_{dd})并且第四PMOS晶体管334的漏极耦合至第五PMOS晶体管344的源极。第六NMOS晶体管354的源极耦合至接地并且第六NMOS晶体管354的漏极耦合至第五PMOS晶体管344的漏极。第五PMOS晶体管344的栅极耦合至第二预充电节点214。

[0042] 在比较阶段期间,受时钟控制电路106使用经充电电容器206以响应于时钟信号(C1k)而选择性地将动态节点108的电压电平移位至低于接地(即,将动态节点108的电压电平移位至负电压电平)。例如,在比较阶段期间,时钟信号(C1k)从逻辑低电压电平转换为逻辑高电压电平。时钟信号(C1k)被提供给第一PMOS晶体管201的栅极并提供给第三NMOS晶体管203的栅极。响应于接收到具有逻辑高电压电平的时钟信号(C1k),第一PMOS晶体管201被抑活并且第三NMOS晶体管203被激活。结果,第三NMOS晶体管203响应于时钟信号(C1k)的逻辑高电压电平而选择性地将电容器206的第一端子耦合至接地。例如,根据比较阶段期间的时间的在电容器206的第一端子处的电压在第一时序图320中解说。参照第一时序图320,当时钟信号从逻辑低电压电平转换为逻辑高电压电平时,电容器206的第一端子处的电压在比较阶段期间降低为大致接地。第一端子处的电压的降低可归因于第三NMOS晶体管203将电容器206的第一端子耦合至接地。

[0043] 时钟信号(C1k)还被提供给第二反相器205,并且第二反相器205生成具有逻辑低电压电平的反相时钟信号(IC1k)。第二反相器205将反相时钟信号(IC1k)提供给开关204的栅极。响应于接收到具有逻辑低电压电平的反相时钟信号(IC1k),开关204被抑活。抑活开关204可用于将电容器206的第二端子与接地解耦。因此,在比较阶段期间,响应于关断开关204(即,第四NMOS晶体管),受时钟控制电路106的电容器206的第一端子经由第三NMOS晶体管203耦合至接地并且电容器206的第二端子与接地解耦。电容器206的第二端子耦合至动态节点108并且可以响应于通过第一和第二晶体管208、210的放电电流(即,电容器206的第二端子可被耦合以接收负电荷)。结果,当时钟信号从逻辑低电压电平转换为逻辑高电压电平时,跨电容器206的电压根据比较阶段期间的的时间降低。根据比较阶段期间的的时间的跨电容器206的电压在第二时序图322中解说。

[0044] 动态节点108耦合至电容器206并且动态节点108处的电压可以跟踪电容器206放电的速率。例如,动态节点108处的电压在第三时序图324中解说。当时钟信号(C1k)转换为逻辑高电压电平时,动态节点108处的电压下落至小于接地的电压(即,下落至负电压)。具体地,第三NMOS晶体管203和开关204(即,第四NMOS晶体管)使用在复位阶段期间跨电容器206建立的电压来将动态节点108驱至负电压。响应于动态节点108具有负电压,第一和第二晶体管208、210可被激活。流经第一和第二晶体管208、210的电流可以对电容器206进行放电。因此,在比较阶段期间,电容器206响应于时钟信号(C1k)而选择性地放电,并且选择性地偏置动态节点108(即,将动态节点108的电压偏置为小于接地的电压电平)。

[0045] 当动态节点108的电压电平被偏置为小于接地的电压电平(即,偏置为负电压)时,与如关于图2所描述的当动态节点108的电压电平在复位阶段期间被偏置为大致接地相比,比较器104的电压范围被扩展。通过偏置动态节点108的电压电平(即,偏置第一晶体管208的源极的电压电平)并维持第一输入信号(V_{in+})的电压电平来扩展比较器104的电压范围可以将第一晶体管208的栅-源电压增大至大于第一晶体管208的阈值电压的电平。以类似方式,通过偏置动态节点108的电压电平(即,偏置第二晶体管210的源极的电压电平)并维持第二输入信号(V_{in-})的电压电平来扩展比较器104的电压范围可以将第二晶体管210的栅-源电压增大至大于第二晶体管210的阈值电压的电平。当第一和第二晶体管208、210的栅-源电压分别大于第一和第二晶体管208、210的阈值电压时,第一和第二晶体管208、210可被激活以分别对第一和第二预充电节点212、214进行放电。如以下所解释的,因为第一和第二晶体管208、210的源极耦合至共用电压(即,动态节点108),所以如果第一和第二晶体管208、210具有相似的特性(即,相似的阈值电压),则锁存电路102的第一和第二输出端(Out、OutB)可以确定第一和第二输入信号(V_{in+} 、 V_{in-})之间的电压差。

[0046] 预充电电路330在复位阶段期间将第一和第二预充电节点212、214充电至预充电电平,并且预充电电路330可以在比较阶段期间抑活。当第一和第二晶体管208、210被激活时,第一和第二晶体管208、210用作下拉晶体管并开始分别对第一和第二预充电节点212、214进行放电。第三PMOS晶体管342响应于第一预充电节点212的电压,并且第五PMOS晶体管344响应于第二预充电节点214的电压。例如,随着第一预充电节点212的电压的降低,第三PMOS晶体管342传导电流的速率增大。另外,随着第二预充电节点214的电压降低,第五PMOS晶体管344传导电流的速率增大。

[0047] 当第一预充电节点212处的电压下落至足以激活第三PMOS晶体管342的电平(或者下落至足以将第三PMOS晶体管342的操作模式从三极管区改变为饱和区的电平)时,该对交叉耦合的反相器中的第一反相器332、352翻转并在锁存电路102的第一输出端(Out)处输出高电压信号。第一输出端(Out)处的高电压信号驱动该对交叉耦合的反相器中的第二反相器334、354以维持锁存电路102的第二输出端(OutB)处的低电压信号。例如,第一输出端(Out)处的高电压信号可被施加于第六NMOS晶体管354的栅极并被施加于第四PMOS晶体管334的栅极。结果,第六NMOS晶体管354可用作下拉晶体管并将第二输出端(OutB)耦合至接地,并且第四PMOS晶体管334可被抑活(或在低导电性状态中操作)。当第二预充电节点214处的电压下落至足以激活第五PMOS晶体管344的电平(或者下落至足以将第五PMOS晶体管344的操作模式从三极管区改变为饱和区的电平)时,该对交叉耦合的反相器中的第二反相器334、354翻转并在第二输出端(OutB)处输出高电压信号。第二输出端(OutB)处的高电压

信号驱动该对交叉耦合的反相器的第一反相器332、352以维持第一输出端 (Out) 处的低电压信号。例如,第二输出端 (OutB) 处的高电压信号可被施加于第五NMOS晶体管352的栅极并被施加于第二PMOS晶体管332的栅极。结果,第二NMOS晶体管352可用作下拉晶体管并将第一输出端 (Out) 耦合至接地,并且第二PMOS晶体管332可被抑活 (或在低导电性状态中操作)。

[0048] 锁存电路102的第一和第二输出 (Out、OutB) 指示共模输入信号112的第一输入信号 (Vin+) 与第二输入信号 (Vin-) 之间的相对电压差。例如,当第一输入信号 (Vin+) 具有大于第二输入信号 (Vin-) 的电压电平时,第一晶体管208可以大于第二晶体管210的速率来传导,从而导致第一预充电节点212以比第二预充电节点214更大的速率进行放电。当第一预充电节点212以比第二预充电节点214更大的速率放电时,施加到第三PMOS晶体管342的栅极的电压 (即,第一预充电节点212的电压) 激活第三PMOS晶体管342并且第一反相器332、352在第一输出端 (Out) 处输出高电压信号。因此,当第一输入信号 (Vin+) 具有大于第二输入信号 (Vin-) 的电压时,锁存电路102的第一输出端 (Out) 生成高电压信号。

[0049] 替换地,当第二输入信号 (Vin-) 具有大于第一输入信号 (Vin+) 的电压电平时,第二晶体管210可以大于第一晶体管208的速率来传导,从而导致第二预充电节点214以比第一预充电节点212更大的速率进行放电。当第二预充电节点214以比第一预充电节点212更大的速率放电时,施加到第五PMOS晶体管344的栅极的电压 (即,第二预充电节点214的电压) 激活第五PMOS晶体管344并且第二反相器334、354在第二输出端 (OutB) 处输出高电压信号。因此,当第二输入信号 (Vin-) 具有大于第一输入信号 (Vin+) 的电压时,锁存电路102的第二输出端 (OutB) 生成高电压信号。因此,各输出端 (Out、OutB) 指示通过第一晶体管208至接地参考 (即,动态节点108) 的第一放电速率是否超过通过第二晶体管210到接地参考的第二放电速率。

[0050] 在特定实施例中,比较器104可以是配置成基于通过比较器104的第一晶体管到接地参考的第一放电速率和通过该比较器的第二晶体管到接地参考的第二放电速率来生成至锁存电路的输出的动态锁存比较器。例如,在图3中,比较器104可以基于通过比较器104的第一晶体管208的第一放电速率 (即,第一晶体管208对第一预充电节点212进行放电的速率) 来生成至锁存电路102的第一和第二输出 (Out、OutB)。另外,比较器104可以基于通过比较器104的第二晶体管210的第二放电速率 (即,第二晶体管210对第二预充电节点214进行放电的速率) 来生成至锁存电路102的第一和第二输出 (Out、OutB)。

[0051] 将领会,图3的电路200可以扩展比较器104的电压范围以激活第一和第二晶体管208、210。例如,受时钟控制电路106可以选择性地将动态节点108偏置为负电压 (即,小于接地的电压) 以将第一和第二晶体管208、210的栅-源电压增大至大于第一和第二晶体管208、210的阈值电压的电压电平。增大第一和第二晶体管208、210的栅-源电压可以在不增大比较器104 (即,第一和第二晶体管208、210) 的电源电压 (Vdd) 的情况下使晶体管208、210能激活 (或在操作的饱和和工作区中操作)。将进一步领会,扩展比较器104的电压范围而不增大比较器104的电源电压 (Vdd) 可以降低电池功耗。

[0052] 图3中解说的时序图320-324是出于解说性目的的,并且出于解释清楚目的被提供。时序图320-324中的信息可根据图3的电路200的各种实现而变化。例如,时序图320-324中的轨迹可以是弯曲的而非分段线性的,并且可以具有因工艺、温度和电压 (PVT) 条件所结

果导致的波动。此外,时序图320-324可能并非按比例绘制。

[0053] 参照图4,示出了能操作用于扩展比较电路的电压范围的电路400。电路400包括锁存电路402、比较器404(即,动态电路或比较电路)和受时钟控制电路406。锁存电路402被耦合以接收来自比较器404的输出。受时钟控制电路406经由动态节点408耦合至比较器404。

[0054] 比较器404包括第一晶体管409(诸如,第一p型金属氧化物半导体(PMOS)晶体管)和第二晶体管410(诸如,第二PMOS晶体管)。第一晶体管409的源极耦合至动态节点408,并且第一晶体管409的漏极耦合至第一被放电节点412。第一晶体管409的栅极被耦合以接收第一输入信号(V_{in+})。第二晶体管410的源极耦合至动态节点408,并且第二晶体管410的漏极耦合至第二被放电节点414。第二晶体管410的栅极被耦合以接收第二输入信号(V_{in-})。因此,第一晶体管409可被耦合至动态节点408并响应于第一输入信号(V_{in+})并且第二晶体管410可被耦合至动态节点408并响应于第二输入信号(V_{in-})。第一输入信号(V_{in+})和第二输入信号(V_{in-})可以是共模输入信号(例如,差分信号对)。

[0055] 受时钟控制电路406包括第一反相器462,其可包括第三PMOS晶体管401和第一NMOS晶体管403。受时钟控制电路406进一步包括开关464(例如,第四PMOS晶体管)、第二反相器405、和电容器407。第一反相器462的输入端被耦合以接收时钟信号($C1k$)并且输出端(例如,第三PMOS晶体管401的漏极)耦合至电容器407的第一端子(即,负端子)。第二反相器405被耦合以接收时钟信号($C1k$)。第二反相器405被配置成响应于接收时钟信号($C1k$)而生成反相时钟信号($IC1k$)。第四PMOS晶体管(即,开关464)的栅极被耦合以接收反相时钟信号($IC1k$)。第四PMOS晶体管的源极耦合至供电电压(V_{dd})并且第四PMOS晶体管464的漏极耦合至电容器407的第二端子(即,正端子)。电容器407的正端子耦合至动态节点408。

[0056] 锁存电路402包括耦合至第一被放电节点412和第二被放电节点414的放电电路430。锁存电路402还包括交叉耦合的反相器对。该对交叉耦合的反相器中的第一反相器包括第五PMOS晶体管452和第二NMOS晶体管432。第二NMOS晶体管432的栅极耦合至第五PMOS晶体管452的栅极。第五PMOS晶体管452的源极被耦合以接收供电电压(V_{dd})并且第五PMOS晶体管452的漏极耦合至第三NMOS晶体管442的漏极。第二NMOS晶体管432的源极耦合至接地并且第二NMOS晶体管432的漏极耦合至第五NMOS晶体管442的源极。第三NMOS晶体管442的栅极耦合至第一被放电节点412。该对交叉耦合的反相器中的第二反相器包括第六PMOS晶体管454和第四NMOS晶体管434。第六PMOS晶体管454的栅极耦合至第四NMOS晶体管434的栅极。第六PMOS晶体管454的源极被耦合以接收供电电压(V_{dd})并且第六PMOS晶体管454的漏极耦合至第五NMOS晶体管444的漏极。第五NMOS晶体管434的源极耦合至接地并且第四NMOS晶体管434的漏极耦合至第五NMOS晶体管444的源极。第五NMOS晶体管444的栅极耦合至第二被放电节点414。

[0057] 在复位阶段期间,受时钟控制电路406响应于时钟信号($C1k$)而将动态节点408的电压电平选择性地移位至大致等于供电电压(V_{dd})的电压。例如,在复位阶段期间,时钟信号($C1k$)从逻辑电压低电平转换为逻辑高电压电平。时钟信号($C1k$)被提供给第三PMOS晶体管401的栅极和第一NMOS晶体管403的栅极。响应于接收到具有逻辑高电压电平的时钟信号($C1k$),第三PMOS晶体管401被抑活并且第一NMOS晶体管403被激活。一旦激活,第一NMOS晶体管403被配置成选择性地将电容器407的负端子偏置为接地。时钟信号($C1k$)还提供给第二反相器405并且具有逻辑低电压电平的反相时钟信号($IC1k$)被提供给开关464的栅极。开

关464响应于接收到具有逻辑低电压电平的反相时钟信号 (IC1k) 而激活,从而将供电电压 (Vdd) 耦合至电容器407的正端子。因此,在复位阶段期间,电容器407基于供电电压 (Vdd) 来充电并且动态节点408的电压大致等于供电电压 (Vdd)。

[0058] 当动态节点408的电压电平大致等于供电电压 (Vdd) 时,第一和第二晶体管409、410的栅-源电压可以分别小于第一和第二晶体管409、410的阈值电压。第一和第二晶体管409、410可在栅-源电压小于阈值电压时被抑活(或者可以在具有小传导率的工作模式中操作,诸如在三极管工作区中操作)。抑活第一和第二晶体管409、410可以结果导致基本上没有充电电流流经晶体管409、410,并且比较器404可进入“关闭”状态。

[0059] 在比较阶段期间,受时钟控制电路406响应于时钟信号 (C1k) 而使用经充电电容器407来选择性地将动态节点408的电压电平移位至供电电压 (Vdd) 以上。例如,在比较阶段期间,时钟信号 (C1k) 从逻辑高电压电平转换为逻辑低电压电平。时钟信号 (C1k) 被提供给第三PMOS晶体管401的栅极并提供给第一NMOS晶体管403的栅极。响应于接收到具有逻辑低电压电平的时钟信号 (C1k),第三PMOS晶体管401被激活并且第一NMOS晶体管403被抑活。一旦激活,第三PMOS晶体管401被配置成向电容器407的负端子提供大致等于供电电压 (Vdd) 的电压。例如,第三PMOS晶体管401可用作基于耦合至第三PMOS晶体管401的源极的供电电压 (Vdd) 的上拉晶体管。时钟信号 (C1k) 被提供给第二反相器405并且具有逻辑高电压电平的反相时钟信号 (IC1k) 被提供给开关464的栅极。响应于接收到具有逻辑高电压电平的反相时钟信号 (IC1k),开关464可关断。动态节点408耦合至电容器407的正端子。因此,动态节点408的电压可等于在复位阶段期间生成的跨经充电电容器407的电压加上在电容器407的负端子处的供电电压 (Vdd)。

[0060] 将动态节点408的电压电平偏置为大于供电电压 (Vdd) 的电压可以推升共模输入信号 (Vin+、Vin-) (例如,差分信号对) 的共模电压。例如,当动态节点408的电压电平被偏置为高于供电电压 (Vdd) 时,与当动态节点408的电压电平被偏置为供电电压 (Vdd) 相比,比较器404的电压范围被扩展。通过偏置动态节点408的电压电平(即,偏置第一晶体管409的源极的电压电平)并维持第一输入信号 (Vin+) 的电压电平来扩展比较器404的电压范围可以将第一晶体管409的栅-源电压增大至大于第一晶体管409的阈值电压的电平。以类似方式,通过偏置动态节点408的电压电平(即,偏置第二晶体管410的源极的电压电平)并维持第二输入信号 (Vin-) 的电压电平来扩展比较器404的电压范围可以将第二晶体管410的栅-源电压增大至大于第二晶体管410的阈值电压的电平。当第一和第二晶体管409、410的栅-源电压分别大于第一和第二晶体管409、410的阈值电压时,第一和第二晶体管可被激活以分别对第一和第二被放电节点412、414进行充电。如以下所解释的,因为第一和第二晶体管409、410的源极耦合至共用电压(即,动态节点408),所以如果第一和第二晶体管409、410具有相似的特性(即,相似的阈值电压),则锁存电路402的第一和第二输出 (Out、OutB) 可以确定第一和第二输入信号 (Vin+、Vin-) 之间的电压差。

[0061] 放电电路430在复位阶段期间将第一和第二被放电节点412、414放电,并且放电电路430在比较阶段期间可以抑活。当第一和第二晶体管409、410被激活时,第一和第二晶体管409、410用作上拉晶体管并开始分别对第一和第二被放电节点412、414进行充电。第三NMOS晶体管442响应于第一被放电节点412的电压,并且第五NMOS晶体管444响应于第二被放电节点414的电压。例如,随着第一被放电节点412的电压增大,第三NMOS晶体管442传导

电流的速率增大。另外,随着第二被放电节点414的电压增大,第五NMOS晶体管444传导电流的速率增大。

[0062] 当第一被放电节点412处的电压上升至足以激活第三NMOS晶体管442的电平时,该对交叉耦合的反相器中的第一反相器432、452翻转并在锁存电路402的第一输出端(Out)处输出低电压信号。第一输出端(Out)处的该低电压信号驱动该对交叉耦合的反相器中的第二反相器434、454以维持锁存电路402的第二输出端(OutB)处的高电压信号。例如,第一输出端(Out)处的低电压信号可被施加于第六PMOS晶体管454的栅极并施加于第四NMOS晶体管434的栅极。结果,第六PMOS晶体管454可用作上拉晶体管并将第二输出端(OutB)耦合至接地,并且第四NMOS晶体管434可被抑活。当第二被放电节点414处的电压上升至足以激活第五NMOS晶体管444的电平时,该对交叉耦合的反相器中的第二反相器434、454翻转并在第二输出端(OutB)处输出低电压信号。以如以上描述的类似方式,第二输出端(OutB)处的低电压信号驱动该对交叉耦合的反相器中的第一反相器432、452以维持第一输出端(Out)处的高电压信号。

[0063] 锁存电路402的第一和第二输出(Out、OutB)指示第一输入信号(Vin+)与第二输入信号(Vin-)之间的相对电压差。例如,当第一输入信号(Vin+)具有小于第二输入信号(Vin-)的电压电平时,第一晶体管409可以大于第二晶体管410的速率来传导,从而导致第一被放电节点412以比第二被放电节点414更大的速率进行充电。当第一被放电节点412以比第二被放电节点414更大的速率充电时,施加到第三NMOS晶体管442的栅极的电压激活第三NMOS晶体管442并且第一反相器432、452在第一输出端(Out)处输出低电压信号。因此,当第一输入信号(Vin+)具有小于第二输入信号(Vin-)的电压时,锁存电路402的第一输出端(Out)生成低电压信号。以类似方式,当第二输入信号(Vin-)具有小于第一输入信号(Vin+)的电压时,锁存电路402的第二输出端(OutB)生成低电压信号。

[0064] 将领会,图4的电路400可以在比较模式期间扩展比较器404的电压范围以激活第一和第二晶体管409、410,并且在复位模式期间关闭比较器404。关闭比较器404可以降低电池功耗。

[0065] 参照图5,示出了扩展比较电路的电压范围的方法500的特定实施例的流程图。在解说性实施例中,方法500可使用图1的系统100、图2-3的电路200、图4的电路400、或其任何组合来执行。

[0066] 方法500包括在502响应于时钟信号来选择性地移位动态电路的接地参考或该动态电路的电源参考之一的电压电平。例如,参照图1-3中解说的各实施例,受时钟控制电路106可以响应于时钟信号(Clk)而选择性地动态节点108的电压电平移位至接地和移位至低于接地的电压电平(即,负电压)。动态节点108可以是动态电路(即,比较器104)的接地参考。时钟信号(Clk)可以控制受时钟控制电路是处于复位节点还是比较阶段。例如,如关于图2所描述的,响应于时钟信号(Clk)从逻辑高电压电平转换为逻辑低电压电平,受时钟控制电路106在复位阶段中操作并选择性地动态节点108的电压偏置为大致接地。另外,如关于图3所描述的,响应于时钟信号(Clk)从逻辑低电压电平转换为逻辑高电压电平,受时钟控制电路106在比较阶段中操作并选择性地动态节点偏置为负电压(即,低于接地的电压)以扩展比较器的电压范围。作为另一示例,参照图4中解说的实施例,受时钟控制电路406可以响应于时钟信号(Clk)而选择性地动态节点408的电压电平移位至供电电压

(Vdd) 和移位至大于供电电压 (Vdd) 的电压。动态节点 408 可以是动态电路 (即, 比较器 404) 的供电参考。

[0067] 当选择性地移位接地参考的电压电平时, 在 504, 在复位阶段期间, 受时钟控制电路的电容器的第一端子可被耦合至电源电压并且该电容器的第二端子可被耦合至接地以对电容器进行充电。例如, 在图 2 中, 在复位阶段期间 (即, 当时钟信号 (C1k) 在逻辑低电压电平时), 受时钟控制电路 106 的电容器 206 的第一端子耦合至电源电压 (Vdd)。具体地, 当时钟信号 (C1k) 转换为逻辑低电压电平时, 第一 PMOS 晶体管 201 激活并用作上拉晶体管。当第一 PMOS 晶体管 201 被激活时, 电容器 206 的第一端子通过第一 PMOS 晶体管 201 的传导来被耦合至电源电压 (Vdd)。在复位阶段期间, 受时钟控制电路 106 的电容器 206 的第二端子 (即, 负端子) 耦合至接地。具体地, 当反相时钟信号 (IC1k) 转换为逻辑高电压电平时 (即, 当时钟信号 (C1k) 转换为逻辑低电压电平时), 开关 204 激活并用作下拉晶体管。当开关 (204 例如, 第四 NMOS 晶体管) 被激活时, 电容器 206 的第二端子通过第四 NMOS 晶体管 204 的传导来被耦合至接地。

[0068] 在 506, 在比较阶段期间, 电容器的第一端子可被耦合至接地。例如, 在图 3 中, 在比较阶段期间 (即, 当时钟信号 (C1k) 转换为逻辑高电压电平时), 电容器 206 的第一端子耦合至接地。具体地, 当时钟信号 (C1k) 转换为逻辑高电压电平时, 第三 NMOS 晶体管 203 激活并用作下拉晶体管。当第三 NMOS 晶体管 203 被激活时, 电容器 206 的第一端子通过第三 NMOS 晶体管 203 的传导来被耦合至接地。电容器 206 的第二端子可被耦合至动态节点 108 以提供小于接地的电压电平 (即, 负电压) 作为给动态电路 (即, 比较器 104) 的接地参考。替换地, 在图 4 中, 电容器 407 可被耦合至电源电压 (Vdd) 以将供电参考移位至动态电路。

[0069] 将领会, 图 5 的方法 500 可以扩展比较器 104 的信号比较电压范围以激活第一和第二晶体管 208、210。例如, 受时钟控制电路 106 可以选择性地将动态节点 108 偏置为负电压 (即, 低于接地的电压) 以将第一和第二晶体管 208、210 的栅-源电压增大至大于第一和第二晶体管 208、210 的阈值电压的电压电平。增大第一和第二晶体管 208、210 的栅-源电压可以在不增大比较器 104 的电源电压 (Vdd) 的情况下使晶体管 208、210 能激活 (或在操作的饱和和工作区中操作)。

[0070] 参照图 6, 示出了包括能操作用于扩展比较电路的电压范围的组件的无线设备 600 的框图。设备 600 包括耦合至存储器 632 的处理器 610, 诸如数字信号处理器 (DSP)。

[0071] 图 6 还示出了耦合至处理器 610 和显示器 628 的显示器控制器 626。编码器/解码器 (CODEC) 634 也可耦合至处理器 610。扬声器 636 和话筒 638 可耦合至 CODEC 634。图 6 还指示了无线控制器 640 可被耦合至处理器 610 及无线天线 642。射频 (RF) 接口 680 可以被布置于无线控制器 640 与无线天线 642 之间。

[0072] 处理器 610 可包括受时钟控制电路 106、比较器 104 和锁存电路 102。在特定实施例中, 处理器 610 可被配置成响应于时钟信号而选择性地移位动态电路的接地参考的电压电平。例如, 处理器 610 可将时钟信号 (C1k) 转换为逻辑低电压电平从而导致受时钟控制电路 106 进入复位阶段, 或者将时钟信号 (C1k) 转换为逻辑高电压电平从而导致受时钟控制电路 106 进入比较阶段。

[0073] 存储器 632 可以是包括可执行指令 656 的有形非瞬态处理器可读存储介质。指令 656 可由处理器 (诸如处理器 610) 执行以响应于时钟信号来选择性地移位动态电路的接地

参考或该动态电路的供电参考之一的电压电平。例如,在特定实施例中,指令656可由处理器610执行以将时钟信号(C1k)转换为逻辑低电压电平从而导致受时钟控制电路106进入复位阶段,或者指令656可由处理器610执行以将时钟信号(C1k)转换为逻辑高电压电平从而导致受时钟控制电路106进入比较阶段。在另一实施例中,指令656可由处理器610执行以将图4时钟信号(C1k)转换为逻辑低电压电平从而导致受时钟控制电路406进入比较阶段,或者指令656可由处理器610执行以将图4时钟信号(C1k)转换为逻辑高电压电平从而导致受时钟控制电路406进入复位阶段。在特定实施例中,处理器610可以确定用于将时钟信号(C1k)在逻辑低电压电平与逻辑高电压电平之间转换的静态速率。在另一特定实施例中,处理器610可以基于外在因素(诸如,工艺、电压和温度(PVT)变动)来随机地转换时钟信号(C1k)。

[0074] 在一特定实施例中,处理器610、显示器控制器626、存储器632、CODEC634以及无线控制器640被包括在系统级封装或片上系统设备622中。在一特定实施例中,输入设备630和电源644耦合至片上系统设备622。此外,在特定实施例中,如图6中所解说的,显示器628、输入设备630、扬声器636、话筒638、无线天线642和电源644在片上系统设备622的外部。然而,显示器628、输入设备630、扬声器636、话筒638、无线天线642和电源644中的每一者可耦合至片上系统设备622的组件,诸如接口或控制器。

[0075] 结合所描述的实施例,一种设备包括用于比较共模输入信号的装置,该用于比较的装置耦合至动态节点。例如,用于比较共模输入信号的装置可包括图1-3的比较器104,图1-3的锁存电路102,图4的比较器404,图4的锁存电路402,图6的被编程为执行指令656的处理器610,用于比较共模输入信号的一个或多个其他设备、电路、模块或指令,或其任何组合。

[0076] 该设备还可包括用于偏置动态节点以扩展信号比较电压范围的装置。例如,用于偏置动态节点的装置可包括图1-3的受时钟控制电路106,图4的受时钟控制电路406,图6的被编程为执行指令656的处理器610,用于将动态节点偏置为低于共模输入信号的接地的电压的一个或多个其他设备、电路、模块或指令,或其任何组合。

[0077] 技术人员将进一步领会,结合本文所公开的实施例来描述的各种解说性逻辑框、配置、模块、电路、和算法步骤可实现为电子硬件、由处理器执行的计算机软件、或这两者的组合。各种解说性组件、框、配置、模块、电路、和步骤已经在上文以其功能性的形式作了一般化描述。此类功能性是被实现为硬件还是处理器可执行指令取决于具体应用和加诸于整体系统的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本发明的范围。

[0078] 结合本文所公开的实施例描述的方法或算法的各个步骤可直接用硬件、由处理器执行的软件模块或两者的组合来实现。软件模块可驻留在随机存取存储器(RAM)、闪存、只读存储器(ROM)、可编程只读存储器(PROM)、可擦式可编程只读存储器(EPROM)、电可擦式可编程只读存储器(EEPROM)、寄存器、硬盘、可移动盘、压缩盘只读存储器(CD-ROM)、或本领域中所知的任何其他形式的非瞬态存储介质中。示例性的存储介质耦合至处理器以使得该处理器能从/向该存储介质读和写信息。在替换方案中,存储介质可以被整合到处理器。处理器和存储介质可驻留在专用集成电路(ASIC)中。ASIC可驻留在计算设备或用户终端中。在替换方案中,处理器和存储介质可作为分立组件驻留在计算设备或用户终端中。

[0079] 提供前面对所公开的实施例的描述是为了使本领域技术人员皆能制作或使用所公开的实施例。对这些实施例的各种修改对于本领域技术人员而言将是显而易见的,并且本文中定义的原理可被应用于其他实施例而不会脱离本公开的范围。因此,本公开并非旨在被限定于本文中示出的实施例,而是应被授予与如由所附权利要求定义的原理和新颖性特征一致的最广的可能范围。

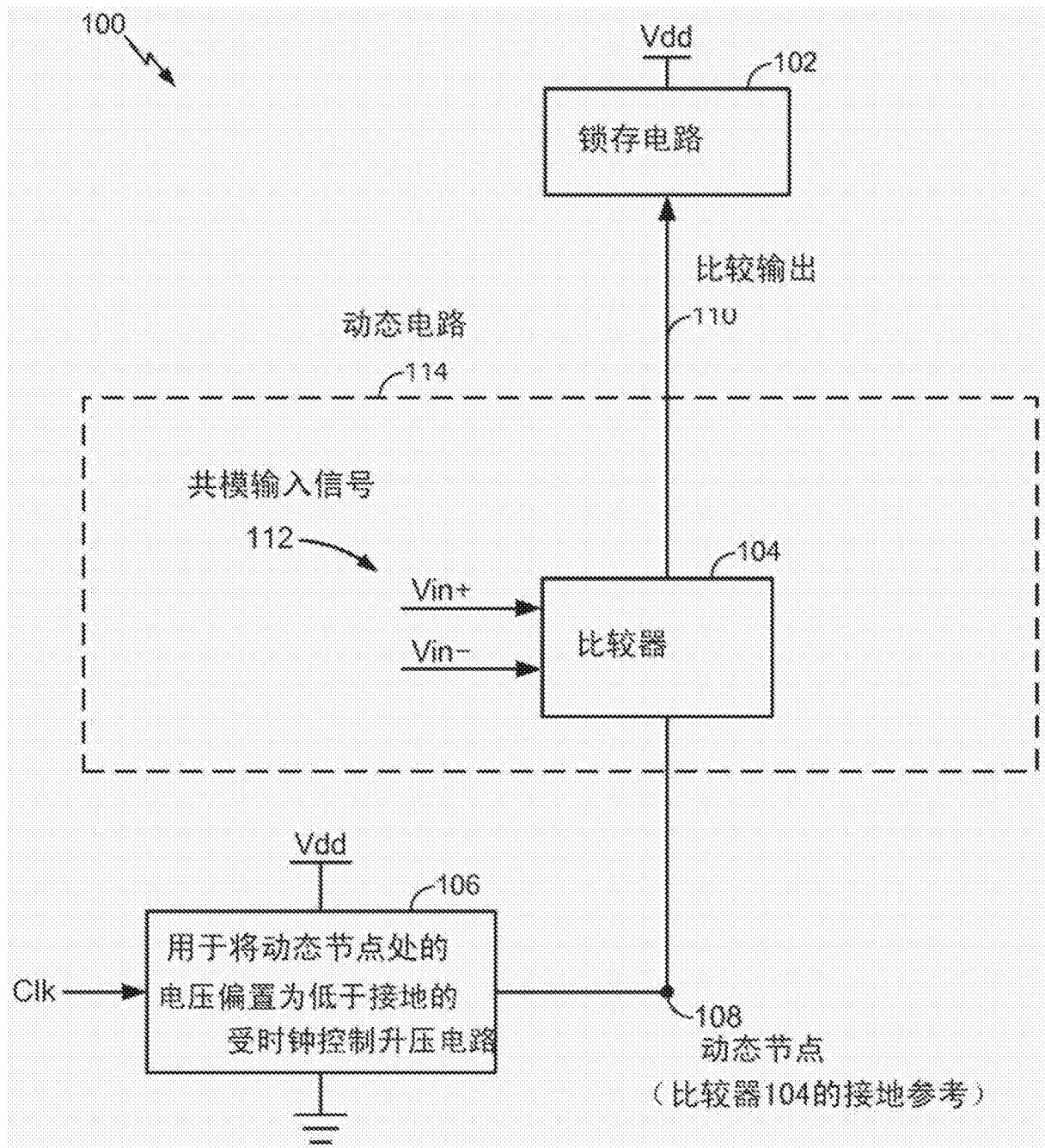


图1

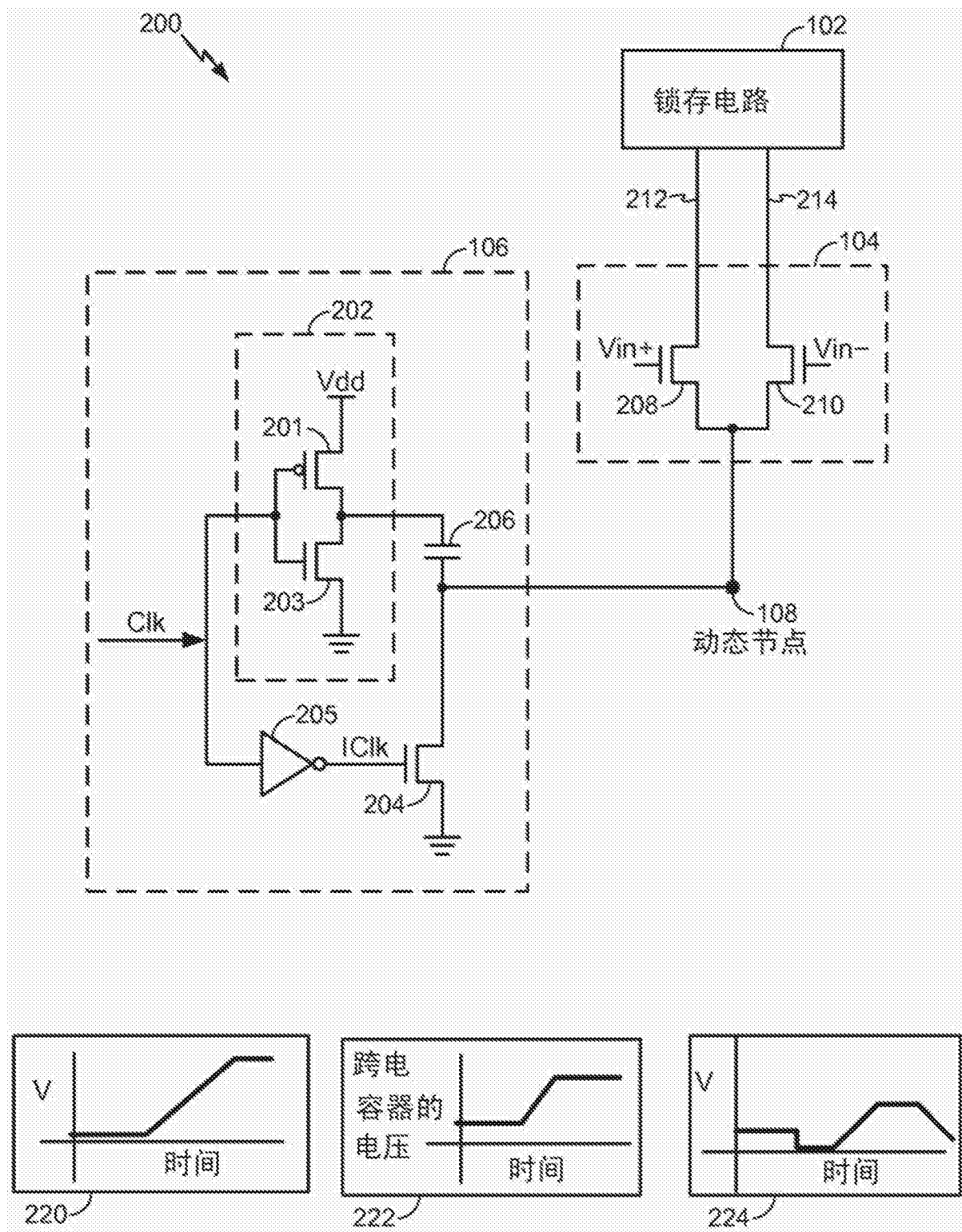


图2

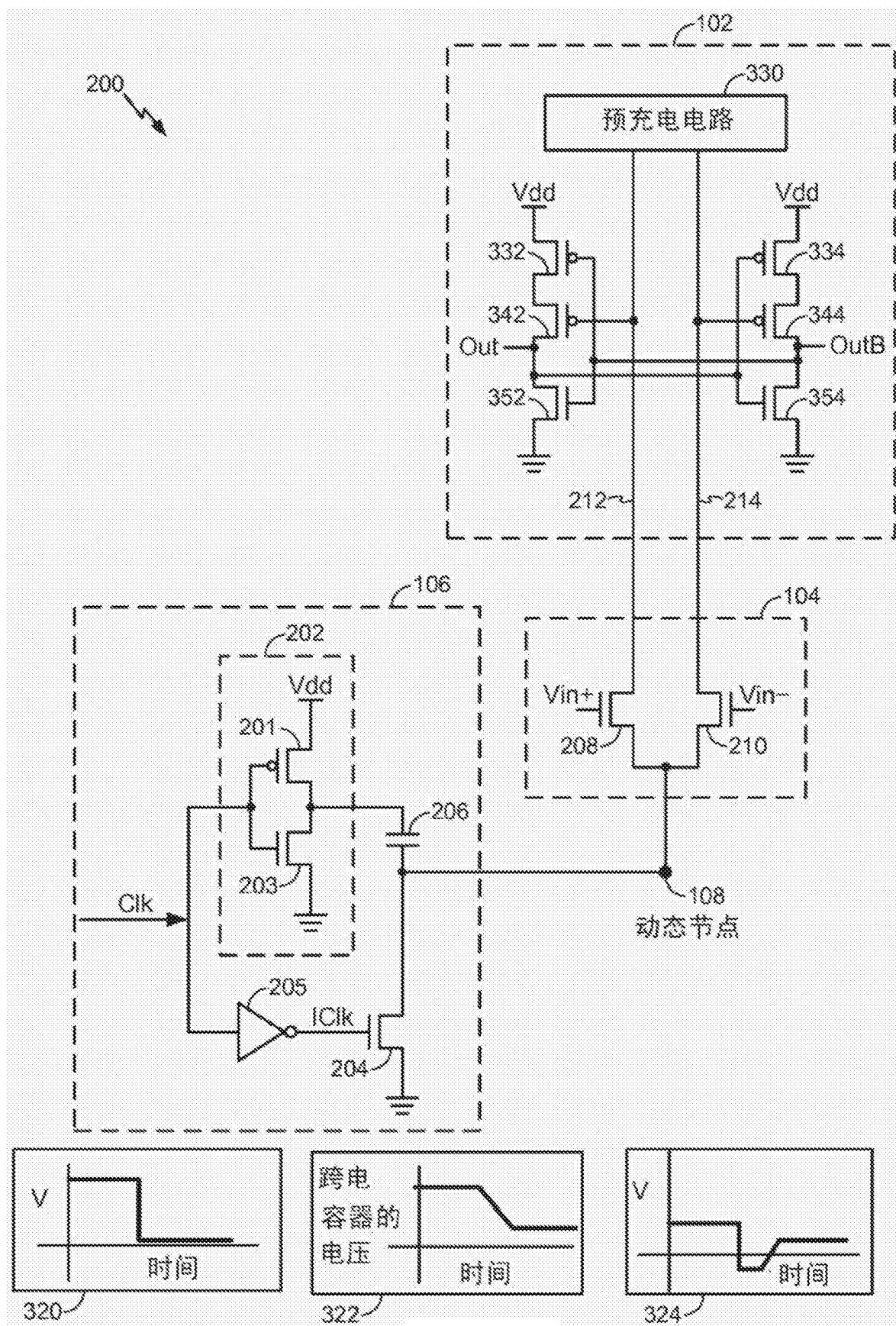


图3

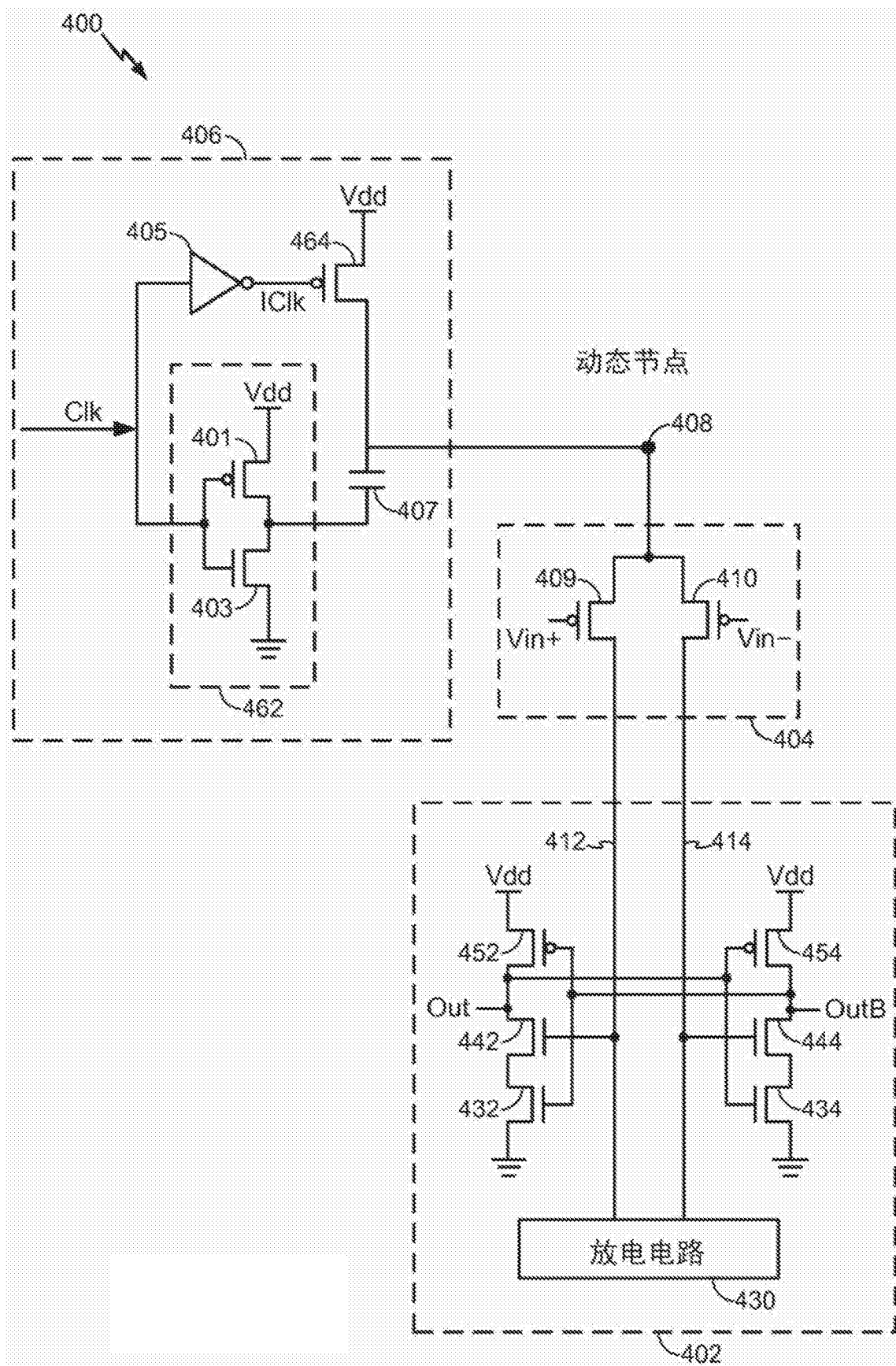


图4

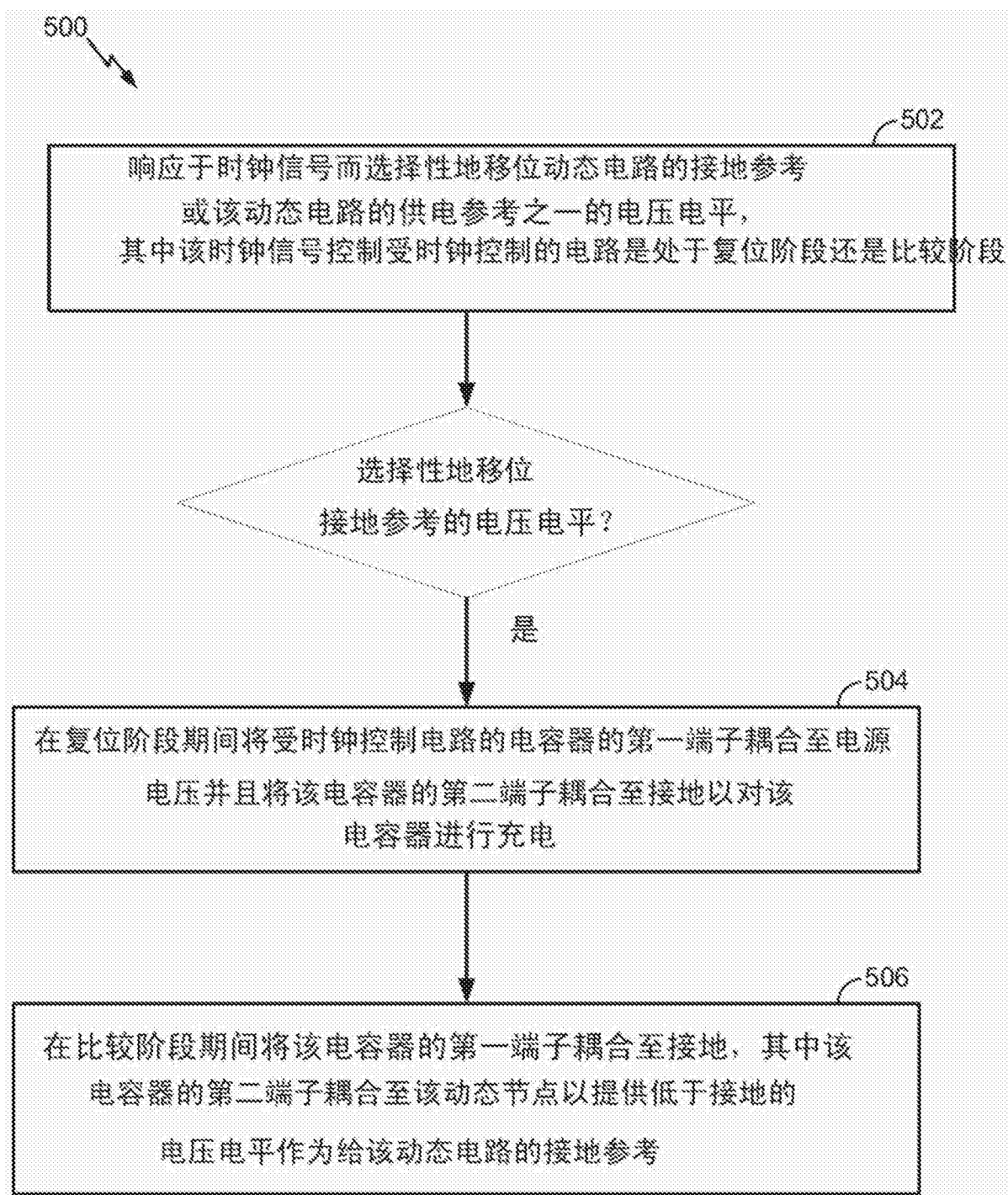


图5

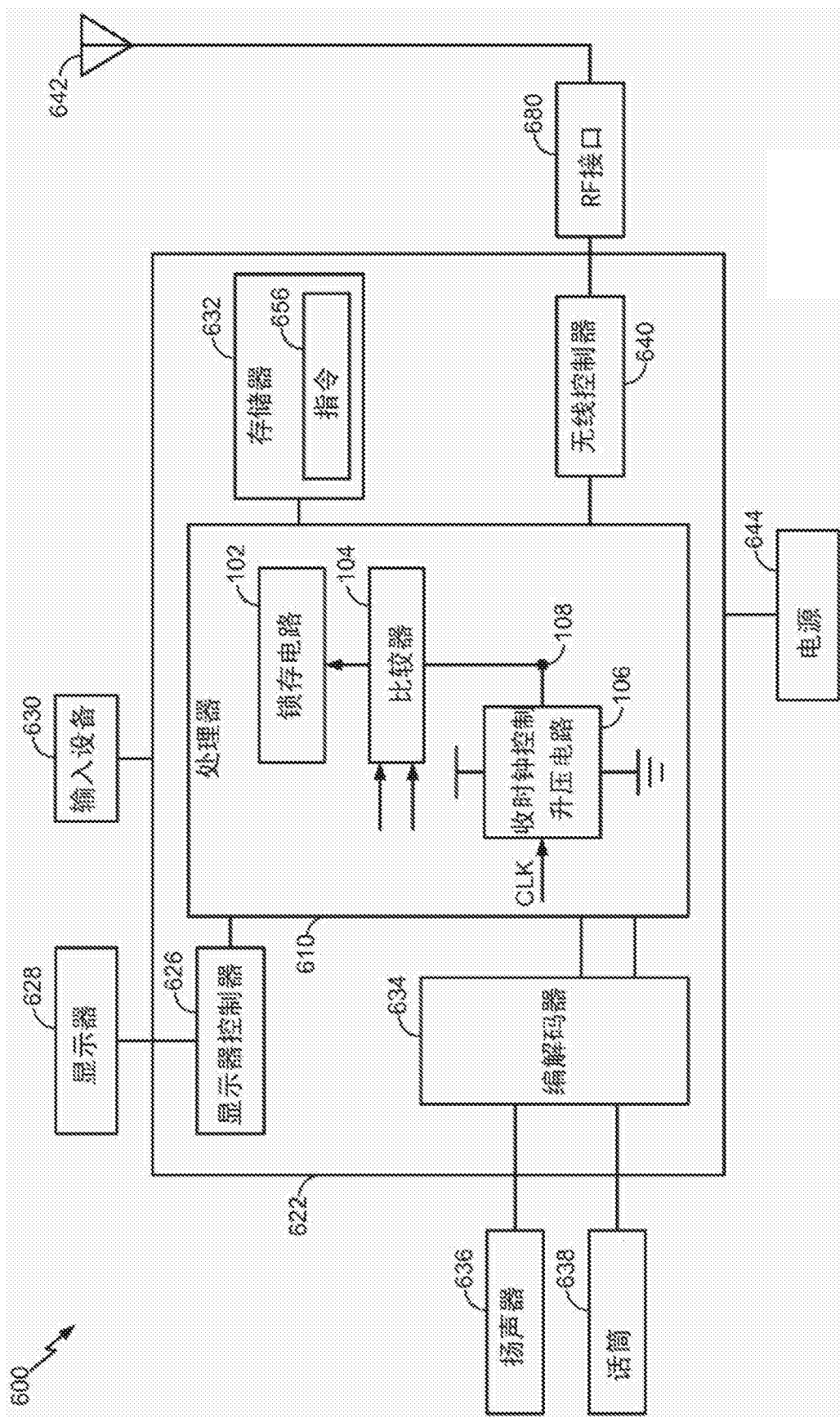


图6