

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年5月6日(06.05.2021)



(10) 国際公開番号

WO 2021/084809 A1

(51) 国際特許分類:

H03F 3/45 (2006.01) H03F 3/68 (2006.01)

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2020/027316

(22) 国際出願日: 2020年7月14日(14.07.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-195804 2019年10月29日(29.10.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

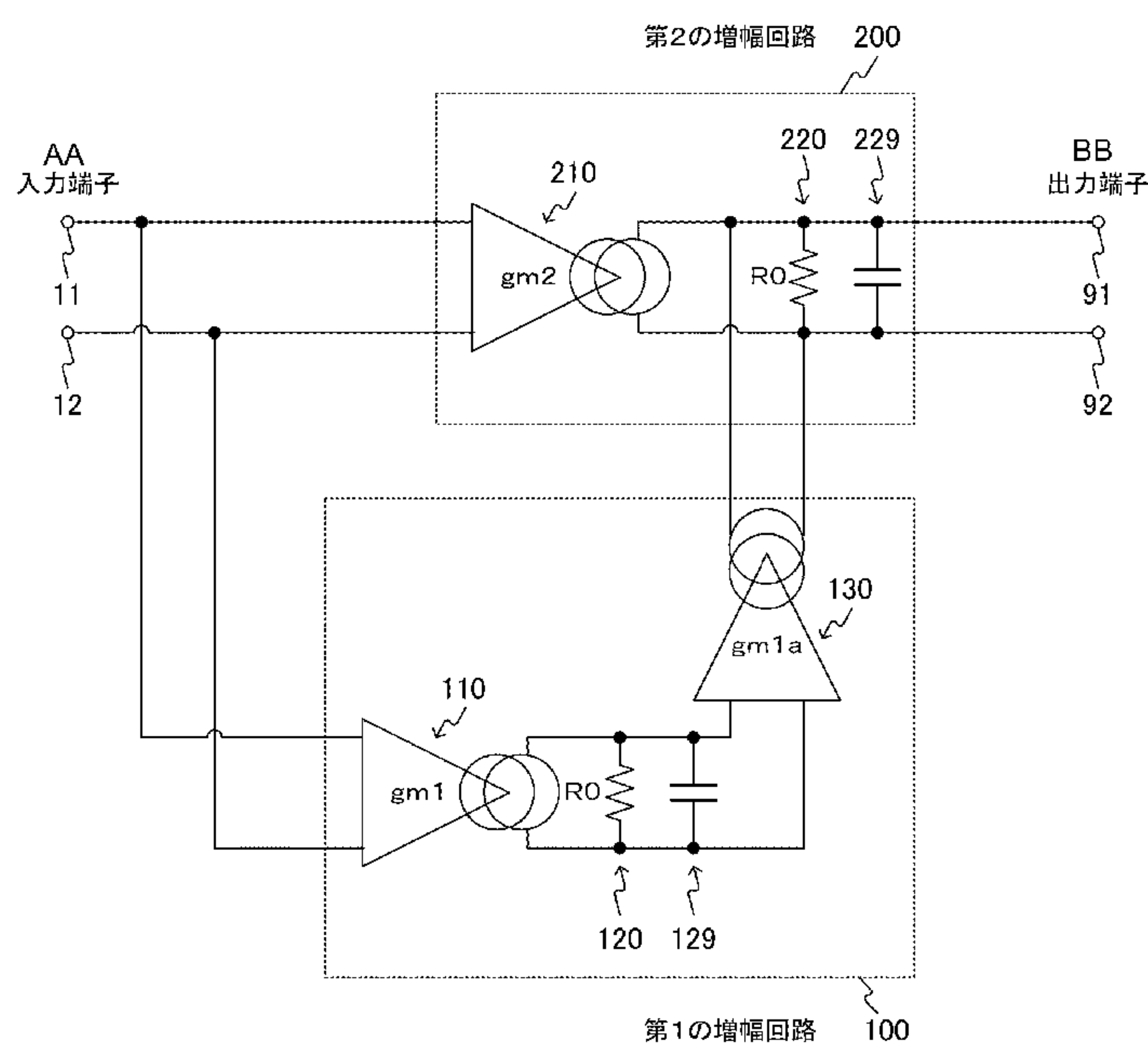
(72) 発明者: 宮崎 大輔 (MIYAZAKI, Daisuke); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 小澤 信久 (OZAWA, Nobuhisa); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

(54) Title: OPERATIONAL AMPLIFIER

(54) 発明の名称: 演算増幅器

[図1]



100... FIRST AMPLIFIER CIRCUIT
200... SECOND AMPLIFIER CIRCUIT
AA... INPUT TERMINAL
BB... OUTPUT TERMINAL

(57) Abstract: The present invention eliminates complicated control of voltage levels in an operational amplifier. This operational amplifier comprises a first amplifier circuit and a second amplifier circuit. The first amplifier circuit outputs a current corresponding to an input voltage. The second amplifier circuit generates a current corresponding to the input voltage. The second amplifier circuit outputs a current that is the sum of the self-generated current and the current output from the first amplifier circuit. For example, an overall high-gain, high-speed operational amplifier can be obtained without

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

requiring a circuit for voltage level control by adopting a high-gain, low-speed amplifier circuit as the first amplifier circuit and adopting a low-gain, high-speed amplifier circuit as the second amplifier circuit.

(57) 要約: 演算増幅器において電圧レベルの複雑な制御を省く。演算増幅器は、第1の増幅回路および第2の増幅回路を備える。第1の増幅回路は、入力電圧に応じた電流を出力する。第2の増幅回路は、入力電圧に応じた電流を生成する。第2の増幅回路は、自身が生成した電流と、第1の増幅回路から出力された電流とを加えた電流を出力する。例えば、第1の増幅回路として高ゲインで低速な増幅回路を採用し、第2の増幅回路として低ゲインで高速な増幅回路を採用すれば、電圧レベルの制御のための回路を要することなく、全体として高ゲインで高速な演算増幅器が得られる。

明 細 書

発明の名称： 演算増幅器

技術分野

[0001] 本技術は、演算増幅器に関する。詳しくは、入力電圧を増幅して出力する演算増幅器に関する。

背景技術

[0002] 従来、演算増幅器の利得を向上させるために、複数の増幅回路の出力信号を足し合わせる技術が知られている。例えば、２段増幅回路の出力と並列に１段増幅回路を接続して、両者の出力信号を重畳する増幅回路が提案されている（例えば、特許文献１参照。）。

先行技術文献

特許文献

[0003] 特許文献１：特開２０１７－０７９３９７号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、並列に接続される増幅回路の出力信号の位相を同位相にすることにより、直流利得を低下させることなく信号帯域の広域化を図っている。しかしながら、従来技術では増幅回路の出力信号を電圧レベルで加算しているため、直流成分を除去するための容量が必要になる。また、差動信号を扱う場合には、コモンモード電圧を決定するためにコモンフィードバック回路が必要になる。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、演算増幅器において電圧レベルの制御に必要な回路を省くことを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第１の側面は、入力電圧に応じた電流を出力する第１の増幅回路と、上記入力電圧に応じた電流と上記第１の増幅回路から出力された電流とを加えた電流を

出力する第2の増幅回路とを具備する演算増幅器である。これにより、2つの増幅回路の出力を電流加算して出力するという作用をもたらす。

[0007] また、この第1の側面において、上記第1および第2の増幅回路の各々は、上記入力電圧に応じた電流を生成するトランスコンダクタンスアンプを備えるようにしてもよい。この場合において、上記第1および第2の増幅回路の各々は、上記トランスコンダクタンスアンプの負荷となるアクティブロードを備え、上記アクティブロードは、上記トランスコンダクタンスアンプの出力電流に対する電圧に応じた電流を生成する内部トランスコンダクタンスアンプと、上記内部トランスコンダクタンスアンプの出力をその入力側に正帰還させる正帰還回路とを備えてもよい。正帰還をかけたアクティブロードを利用することにより、増幅回路として高ゲイン化を図るという作用をもたらす。

[0008] また、この第1の側面において、上記第1の増幅回路は、上記第1の増幅回路の上記トランスコンダクタンスアンプの出力電流に対する電圧に応じた電流を生成する他のトランスコンダクタンスアンプをさらに備え、上記第2の増幅回路の上記アクティブロードは、上記他のトランスコンダクタンスアンプの出力電流と上記第2の増幅回路の上記トランスコンダクタンスアンプの出力電流とを加算した電流を生成するようにしてもよい。これにより、第2の増幅回路のアクティブロードにおいて電流加算を行うという作用をもたらす。

[0009] また、この第1の側面において、上記第1の増幅回路のゲインは上記第2の増幅回路のゲインよりも高く、また、上記第1の増幅回路の速度は上記第2の増幅回路の速度よりも遅い場合を想定すると、全体として高ゲインで高速な演算増幅器が得られる。

[0010] また、この第1の側面において、上記第1および第2の増幅回路の各々は、差動増幅回路であってもよい。この場合であっても、電流加算を前提とすることにより、コモンフィードバック回路は不要となる。

[0011] また、この第1の側面において、上記第2の増幅回路の出力電流に対する

電圧を増幅して出力する第3の増幅回路をさらに具備してもよい。この場合において、上記第3の増幅回路は、プッシュプル回路であってもよく、また、A B級アンプであってもよい。すなわち、用途に応じたアンプを出力段として利用可能である。

図面の簡単な説明

[0012] [図1]本技術の第1の実施の形態における演算増幅器の一例を示すブロック図である。

[図2]本技術の第1の実施の形態における演算増幅器の一例を示す回路図である。

[図3]本技術の実施の形態におけるアクティブロードの等価回路の例を示す図である。

[図4]本技術の第1の実施の形態における演算増幅器の等価回路の例を示す図である。

[図5]本技術の第2の実施の形態における演算増幅器の一例を示すブロック図である。

[図6]本技術の第2の実施の形態における演算増幅器の一例を示す回路図である。

発明を実施するための形態

[0013] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（2つの増幅回路の出力を電流加算した例）
2. 第2の実施の形態（A B級出力アンプに適用した例）

[0014] <1. 第1の実施の形態>

[演算増幅器]

図1は、本技術の第1の実施の形態における演算増幅器の一例を示すブロック図である。

[0015] この演算増幅器は、第1の増幅回路100と、第2の増幅回路200とを備える。第1の増幅回路100および第2の増幅回路200は差動増幅回路

であり、何れにも演算増幅器の入力端子 1 1 および 1 2 からの入力信号が同様に入力される。また、第 2 の増幅回路 2 0 0 の出力信号が演算増幅器の出力端子 9 1 および 9 2 に出力される。この演算増幅器の入力信号および出力信号は、差動信号である。

[0016] 第 1 の増幅回路 1 0 0 は、トランスコンダクタンスアンプ 1 1 0 と、アクティブロード 1 2 0 と、トランスコンダクタンスアンプ 1 3 0 とを備える。また、第 2 の増幅回路 2 0 0 は、トランスコンダクタンスアンプ 2 1 0 と、アクティブロード 2 2 0 とを備える。

[0017] トランスコンダクタンスアンプ 1 1 0、1 3 0 および 2 1 0 は、入力された電圧を電流に変換する電流電圧変換回路である。

[0018] トランスコンダクタンスアンプ 1 1 0 は、入力端子 1 1 および 1 2 からの入力信号の電圧に応じた電流を生成する。アクティブロード 1 2 0 は、トランスコンダクタンスアンプ 1 1 0 の能動負荷（トランジスタ負荷）である。

[0019] トランスコンダクタンスアンプ 1 3 0 は、トランスコンダクタンスアンプ 1 1 0 によって生成された電流に対する電圧に応じた電流を生成する。なお、トランスコンダクタンスアンプ 1 1 0 によって生成された電流は、容量 1 2 9 によってその電流に応じた電圧となり、電圧としてトランスコンダクタンスアンプ 1 3 0 に入力される。

[0020] トランスコンダクタンスアンプ 2 1 0 は、入力端子 1 1 および 1 2 からの入力信号の電圧に応じた電流を生成する。アクティブロード 2 2 0 は、トランスコンダクタンスアンプ 2 1 0 および 1 3 0 の能動負荷である。

[0021] このように、このアクティブロード 2 2 0 は、トランスコンダクタンスアンプ 2 1 0 および 1 3 0 に共有される。これにより、このアクティブロード 2 2 0 は、トランスコンダクタンスアンプ 2 1 0 によって生成された電流と、トランスコンダクタンスアンプ 1 3 0 によって生成された電流とを加算する機能を有する。このアクティブロード 2 2 0 において加算された電流は、容量 2 2 9 によってその電流に応じた電圧となり、出力端子 9 1 および 9 2 に出力される。

[0022] [回路]

図 2 は、本技術の第 1 の実施の形態における演算増幅器の一例を示す回路図である。

[0023] 上述のブロック図について説明したように、この演算増幅器は、第 1 の増幅回路 100 と、第 2 の増幅回路 200 とを備える。第 1 の増幅回路 100 および第 2 の増幅回路 200 の内部の回路は、電流源 113、133 および 213 を明示した点を除き、上述のように、トランスコンダクタンスアンプ 110、130 および 210 と、アクティブロード 120 および 220 を備える。電流源 113、133 および 213 は、電源電位 VDD から電流を生成するものである。

[0024] トランスコンダクタンスアンプ 110 は、差動入力信号の一方がゲートに入力される P 型の MOS (Metal-Oxide-Semiconductor) トランジスタ 111 および 112 を備える。MOS トランジスタ 111 および 112 のソースは、電流源 113 に接続される。MOS トランジスタ 111 および 112 のドレインは、アクティブロード 120 およびトランスコンダクタンスアンプ 130 の入力に接続される。

[0025] アクティブロード 120 は、N 型の MOS トランジスタ 121 乃至 124 と、抵抗 125 および 126 とを備える。MOS トランジスタ 121 乃至 124 のソースは、接地電位 VSS に接続される。

[0026] MOS トランジスタ 121 および 122 は、トランスコンダクタンスアンプ (アクティブロード 120 の内部トランスコンダクタンスアンプ) を構成する。MOS トランジスタ 121 および 122 のゲートには、抵抗 125 および 126 を介してトランスコンダクタンスアンプ 110 の出力が接続される。すなわち、抵抗 125 および 126 はトランスコンダクタンスアンプ 110 の出力電流に応じた電圧を生成し、この電圧が MOS トランジスタ 121 および 122 のゲート・ドレイン間に印加される。

[0027] また、MOS トランジスタ 123 および 124 は、ゲート・ドレインを互いにクロス接続する。これにより、MOS トランジスタ 121 および 122

により構成されるトランスコンダクタンスアンプに正帰還をかけた構造となる。すなわち、MOSトランジスタ123および124は、MOSトランジスタ121および122により構成されるトランスコンダクタンスアンプの出力をその入力側に正帰還させる正帰還回路である。

[0028] トランスコンダクタンスアンプ130は、トランスコンダクタンスアンプ110の出力信号である差動信号の一方がゲートに入力されるP型のMOSトランジスタ131および132を備える。MOSトランジスタ131および132のソースは、電流源133に接続される。MOSトランジスタ131および132のドレインは、アクティブロード220の入力に接続される。

[0029] トランスコンダクタンスアンプ210は、差動入力信号の一方がゲートに入力されるP型のMOSトランジスタ211および212を備える。MOSトランジスタ211および212のソースは、電流源213に接続される。MOSトランジスタ211および212のドレインは、アクティブロード220の入力に接続される。

[0030] アクティブロード220は、N型のMOSトランジスタ221乃至224と、抵抗225および226とを備える。MOSトランジスタ221乃至224のソースは、接地電位VSSに接続される。

[0031] MOSトランジスタ221および222は、トランスコンダクタンスアンプ（アクティブロード220の内部トランスコンダクタンスアンプ）を構成する。MOSトランジスタ221および222のゲートには、抵抗225および226を介してトランスコンダクタンスアンプ210の出力およびトランスコンダクタンスアンプ130の出力が接続される。すなわち、抵抗125および126はトランスコンダクタンスアンプ110の出力電流とトランスコンダクタンスアンプ130の出力電流とを加算した電流に応じた電圧を生成し、この電圧がMOSトランジスタ221および222のゲート・ドレイン間に印加される。

[0032] また、MOSトランジスタ223および224は、ゲート・ドレインを互

いにクロス接続する。これにより、MOSトランジスタ221および222により構成されるトランスコンダクタンスアンプに正帰還をかけた構造となる。すなわち、MOSトランジスタ223および224は、MOSトランジスタ221および222により構成されるトランスコンダクタンスアンプの出力をその入力側に正帰還させる正帰還回路である。

[0033] アクティブロード220を負荷とするトランスコンダクタンスアンプ210の出力信号は、第2の増幅回路200の差動出力信号として出力される。

[0034] [アクティブロード]

図3は、本技術の実施の形態におけるアクティブロードの等価回路の例を示す図である。

[0035] この実施の形態におけるアクティブロード120および220の各々は、トランスコンダクタンスアンプ10に正帰還をかけた負荷20として表される。正帰還をかけたアクティブロードを利用することにより、増幅回路として高ゲイン化を図ることができる。また、正帰還をかけたアクティブロードは、自動的にコモン電圧（平均電圧）が決定されるため、コモンフィードバック回路は不要になる。

[0036] ここで、トランスコンダクタンスアンプ10の相互コンダクタンスを g_{m0} 、負荷20の抵抗値を R_0 とすると、アクティブロード120および220のインピーダンス Z は次式により表される。

$$\begin{aligned} Z &= - (R_0 / g_{m0}) / (R_0 - (1 / g_{m0})) \\ &= R_0 / (g_{m0} \cdot R_0 - 1) \end{aligned}$$

したがって、このインピーダンス Z は、 g_{m0} が「 $1 / R_0$ 」である場合を境として、その極性が反転することがわかる。

[0037] [伝達特性]

図4は、本技術の第1の実施の形態における演算増幅器の等価回路の例を示す図である。

[0038] ここでは、演算増幅器の伝達特性を解析するために、入力抵抗 R_{in} 、帰還抵抗 R_f を接続して、オフ電圧 V_{off} 、入力電圧 V_{in} および出力電圧

V_{out} の関係について検討する。

[0039] トランスコンダクタンスアンプ 110、130、210 の相互コンダクタンスを、それぞれ g_{m1} 、 g_{m1a} 、 g_{m2} とする。また、アクティブロード 120 および 220 の抵抗値を、ともに R_0 とする。

[0040] このとき、第 1 の増幅回路 100 のオープンループ利得（ゲイン） A_{v1} は、次式により表される。

$$A_{v1} = g_{m1} \cdot R_0 \cdot g_{m1a} \cdot R_0$$

[0041] また、第 2 の増幅回路 200 のオープンループ利得（ゲイン） A_{v2} は、次式により表される。

$$A_{v2} = g_{m2} \cdot R_0$$

[0042] まず、オフ電圧 V_{off} と出力電圧 V_{out} の関係を次式に示す。

[数1]

$$\begin{aligned} V_{out} &= \frac{\frac{A_{v1}}{A_{v2}} R_{in} + \frac{A_{v1}}{A_{v2}} R_f}{\left(\frac{A_{v1}}{A_{v2}} + 1 + \frac{1}{A_{v2}} \right) R_{in} + \frac{R_f}{A_{v2}}} * V_{off} \\ &= -\frac{A_{v1}}{A_{v2}} * \frac{R_{in} + R_f}{\left(\frac{A_{v1}}{A_{v2}} + 1 + \frac{1}{A_{v2}} \right) R_{in} + \frac{R_f}{A_{v2}}} * V_{off} \end{aligned} \quad \text{式 1}$$

上式において、 $A_{v1} \gg A_{v2}$ を満たす場合には、

[数2]

$$V_{out} \cong -\frac{A_{v1}}{A_{v2}} * \frac{R_{in} + R_f}{R_{in}} * V_{off} \cong 0 \quad \text{式 2}$$

となる。すなわち、この場合は、第 2 の増幅回路 200 のオフセットは出力電圧に表れなくなる。

[0043] 一方、 $A_{v1} \ll A_{v2}$ となる場合には、

[数3]

$$\begin{aligned}
 V_{out} &= -\frac{A_{v1}R_{in} + A_{v1}R_f}{(A_{v1} + A_{v2} + 1)R_{in} + R_f} * V_{off} \\
 &= \frac{R_{in} + R_f}{\left(1 + \frac{A_{v2}}{A_{v1}} + \frac{1}{A_{v1}}\right)R_{in} + \frac{R_f}{A_{v1}}} * V_{off} \cong \frac{R_{in} + R_f}{R_{in}} * V_{off} \quad \text{式 3}
 \end{aligned}$$

となる。すなわち、この場合は、第2の増幅回路200のオフセットが出力電圧に表れることになる。

[0044] したがって、この第1の実施の形態における演算増幅器においては、第1の増幅回路100のゲイン A_{v1} を第2の増幅回路200のゲイン A_{v2} よりも十分高くすると、第2の増幅回路200のフリッカーノイズ等によるオフセットの影響を回避することができる。

[0045] 次に、入力電圧 V_{in} と出力電圧 V_{out} の関係を次式に示す。

[数4]

$$\frac{R_f}{R_{in}} \frac{V_{in}}{V_{out}} = -1 - \frac{1}{V_{out}} \left[\frac{\frac{V_{out}}{A_{v1}} + V_{off}}{1 + \frac{A_{v2}}{A_{v1}}} + \frac{R_f}{R_{in}} \frac{\frac{V_{out}}{A_{v1}} + V_{off}}{1 + \frac{A_{v2}}{A_{v1}}} \right] \quad \text{式 4}$$

上式を変形すると、次式が得られる。

[数5]

$$\frac{V_{out}}{V_{in}} \cong -\frac{R_f}{R_{in}} \quad \text{式 5}$$

[0046] したがって、第1の増幅回路100および第2の増幅回路200を組み合わせても、直流レベルの伝達関数には影響を与えないことが分かる。

[0047] このように、本技術の第1の実施の形態によれば、第1の増幅回路100および第2の増幅回路200の出力信号を電流により加算することにより、

複数の増幅回路を利用することができる。すなわち、従来の電圧加算において必要とされた電圧レベルの制御のための回路を省くことができる。特に、第1の増幅回路100として高ゲインで低速な増幅回路を採用し、第2の増幅回路200として低ゲインで高速な増幅回路を採用すれば、全体として高ゲインで高速な演算増幅器が得られる。

[0048] <2. 第2の実施の形態>

この第2の実施の形態では、上述の第1の実施の形態の演算増幅器をAB級出力アンプに適用した例について説明する。

[0049] [演算増幅器]

図5は、本技術の第2の実施の形態における演算増幅器の一例を示すブロック図である。

[0050] この第2の実施の形態における演算増幅器は、第1の増幅回路100および第2の増幅回路200に加えて、出力段として第3の増幅回路300を備える。これにより、用途に応じた信号増幅を行うことができる。

[0051] なお、第1の増幅回路100および第2の増幅回路200については、上述の第1の実施の形態と同様であるため、詳細な説明は省略する。

[0052] [回路]

図6は、本技術の第2の実施の形態における演算増幅器の一例を示す回路図である。

[0053] この例では、オーディオアンプを想定して、第3の増幅回路300として、AB級出力段を構成している。すなわち、この第3の増幅回路300は、第2の増幅回路200の出力電流に対する電圧を増幅するAB級アンプである。

[0054] この第3の増幅回路300は、N型のMOSトランジスタ311および312と、P型のMOSトランジスタ321および322を備え、差動増幅回路の一種であるミニマムセクタ・プッシュプル回路を構成する。

[0055] このように、本技術の第2の実施の形態によれば、用途に応じた出力段を備える演算増幅器を構成することができる。

[0056] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0057] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0058] なお、本技術は以下のような構成もとることができる。

(1) 入力電圧に応じた電流を出力する第1の増幅回路と、

前記入力電圧に応じた電流と前記第1の増幅回路から出力された電流とを加えた電流を出力する第2の増幅回路とを具備する演算増幅器。

(2) 前記第1および第2の増幅回路の各々は、前記入力電圧に応じた電流を生成するトランスコンダクタンスアンプを備える前記(1)に記載の演算増幅器。

(3) 前記第1および第2の増幅回路の各々は、前記トランスコンダクタンスアンプの負荷となるアクティブロードを備え、

前記アクティブロードは、前記トランスコンダクタンスアンプの出力電流に対する電圧に応じた電流を生成する内部トランスコンダクタンスアンプと、前記内部トランスコンダクタンスアンプの出力をその入力側に正帰還させる正帰還回路とを備える前記(2)に記載の演算増幅器。

(4) 前記第1の増幅回路は、前記第1の増幅回路の前記トランスコンダクタンスアンプの出力電流に対する電圧に応じた電流を生成する他のトランスコンダクタンスアンプをさらに備え、

前記第2の増幅回路の前記アクティブロードは、前記他のトランスコンダ

クタンスアンプの出力電流と前記第2の増幅回路の前記トランスコンダクタンスアンプの出力電流とを加算した電流を生成する

前記(3)に記載の演算増幅器。

(5) 前記第1の増幅回路のゲインは前記第2の増幅回路のゲインよりも高い

前記(1)から(4)のいずれかに記載の演算増幅器。

(6) 前記第1の増幅回路の速度は前記第2の増幅回路の速度よりも遅い
前記(1)から(5)のいずれかに記載の演算増幅器。

(7) 前記第1および第2の増幅回路の各々は、差動増幅回路である
前記(1)から(6)のいずれかに記載の演算増幅器。

(8) 前記第2の増幅回路の出力電流に対する電圧を増幅して出力する第3の増幅回路をさらに具備する前記(1)から(7)のいずれかに記載の演算増幅器。

(9) 前記第3の増幅回路は、プッシュプル回路である
前記(8)に記載の演算増幅器。

(10) 前記第3の増幅回路は、A B級アンプである
前記(8)または(9)に記載の演算増幅器。

符号の説明

- [0059] 10 トランスコンダクタンスアンプ
 20 負荷
 100 第1の増幅回路
 110 トランスコンダクタンスアンプ
 111、112 MOSトランジスタ
 113 電流源
 120 アクティブロード
 121～124 MOSトランジスタ
 125、126 抵抗
 129 容量

1 3 0 トランスコンダクタンスアンプ

1 3 1、1 3 2 MOSトランジスタ

1 3 3 電流源

2 0 0 第2の増幅回路

2 1 0 トランスコンダクタンスアンプ

2 1 1、2 1 2 MOSトランジスタ

2 1 3 電流源

2 2 0 アクティブロード

2 2 1～2 2 4 MOSトランジスタ

2 2 5、2 2 6 抵抗

2 2 9 容量

3 0 0 第3の増幅回路

3 1 1、3 1 2、3 2 1、3 2 2 MOSトランジスタ

請求の範囲

- [請求項1] 入力電圧に応じた電流を出力する第1の増幅回路と、
前記入力電圧に応じた電流と前記第1の増幅回路から出力された電流とを加えた電流を出力する第2の増幅回路と
を具備する演算増幅器。
- [請求項2] 前記第1および第2の増幅回路の各々は、前記入力電圧に応じた電流を生成するトランスコンダクタンスアンプを備える
請求項1記載の演算増幅器。
- [請求項3] 前記第1および第2の増幅回路の各々は、前記トランスコンダクタンスアンプの負荷となるアクティブロードを備え、
前記アクティブロードは、前記トランスコンダクタンスアンプの出力電流に対する電圧に応じた電流を生成する内部トランスコンダクタンスアンプと、前記内部トランスコンダクタンスアンプの出力をその入力側に正帰還させる正帰還回路とを備える
請求項2記載の演算増幅器。
- [請求項4] 前記第1の増幅回路は、前記第1の増幅回路の前記トランスコンダクタンスアンプの出力電流に対する電圧に応じた電流を生成する他のトランスコンダクタンスアンプをさらに備え、
前記第2の増幅回路の前記アクティブロードは、前記他のトランスコンダクタンスアンプの出力電流と前記第2の増幅回路の前記トランスコンダクタンスアンプの出力電流とを加算した電流を生成する
請求項3記載の演算増幅器。
- [請求項5] 前記第1の増幅回路のゲインは前記第2の増幅回路のゲインよりも高い
請求項1記載の演算増幅器。
- [請求項6] 前記第1の増幅回路の速度は前記第2の増幅回路の速度よりも遅い
請求項1記載の演算増幅器。
- [請求項7] 前記第1および第2の増幅回路の各々は、差動増幅回路である

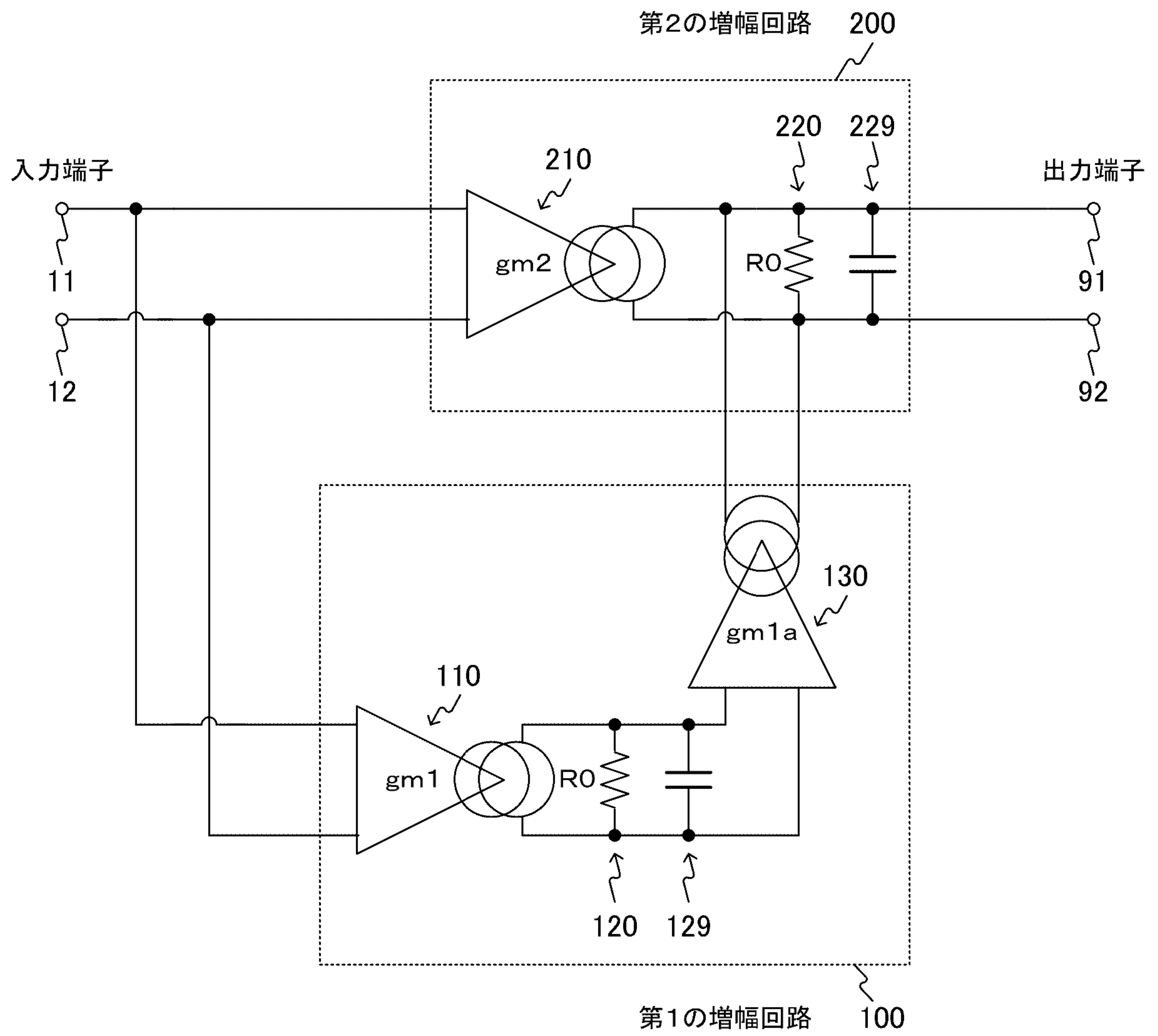
請求項 1 記載の演算増幅器。

[請求項8] 前記第 2 の増幅回路の出力電流に対する電圧を増幅して出力する第 3 の増幅回路をさらに具備する請求項 1 記載の演算増幅器。

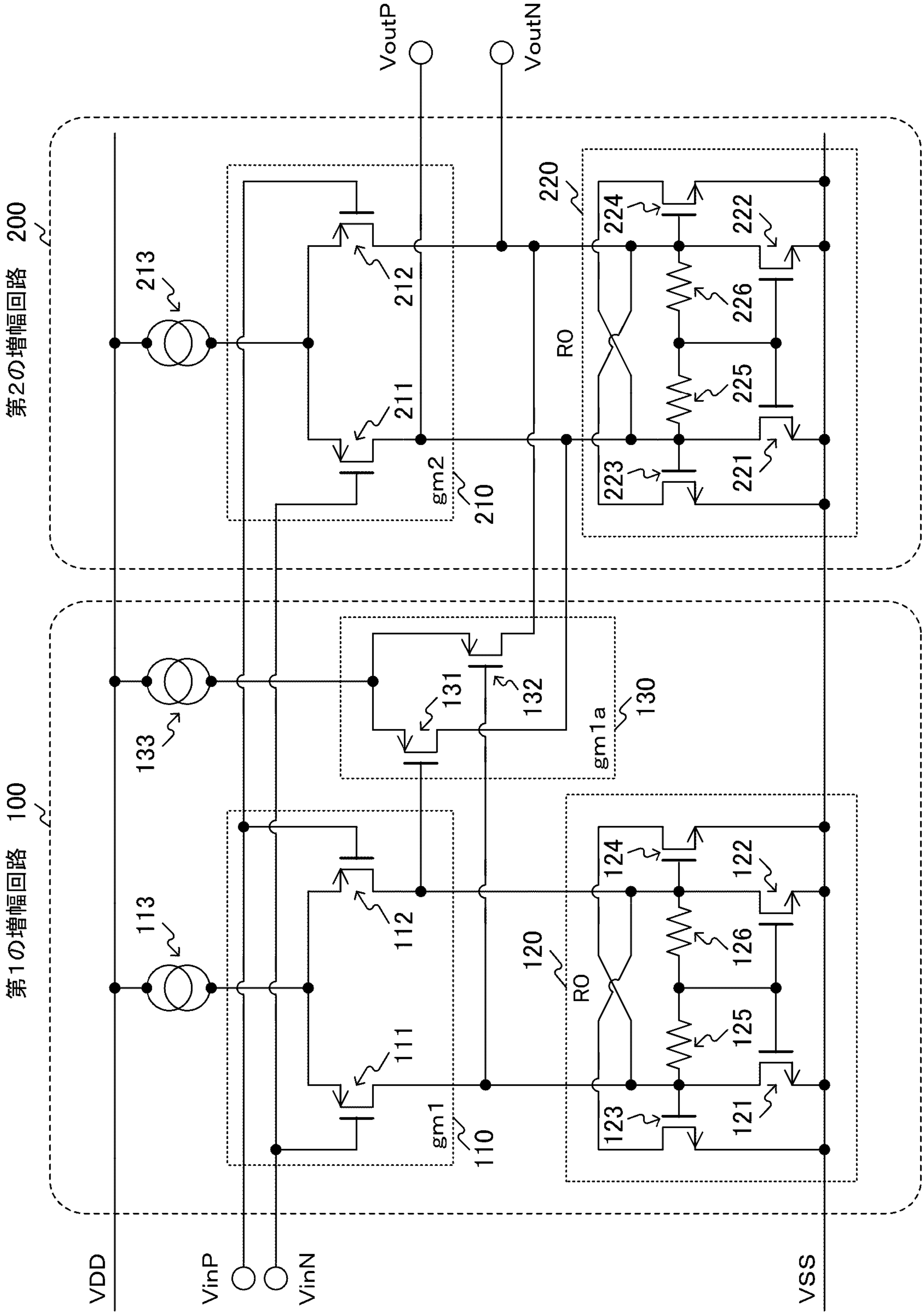
[請求項9] 前記第 3 の増幅回路は、プッシュプル回路である
請求項 8 記載の演算増幅器。

[請求項10] 前記第 3 の増幅回路は、A B 級アンプである
請求項 8 記載の演算増幅器。

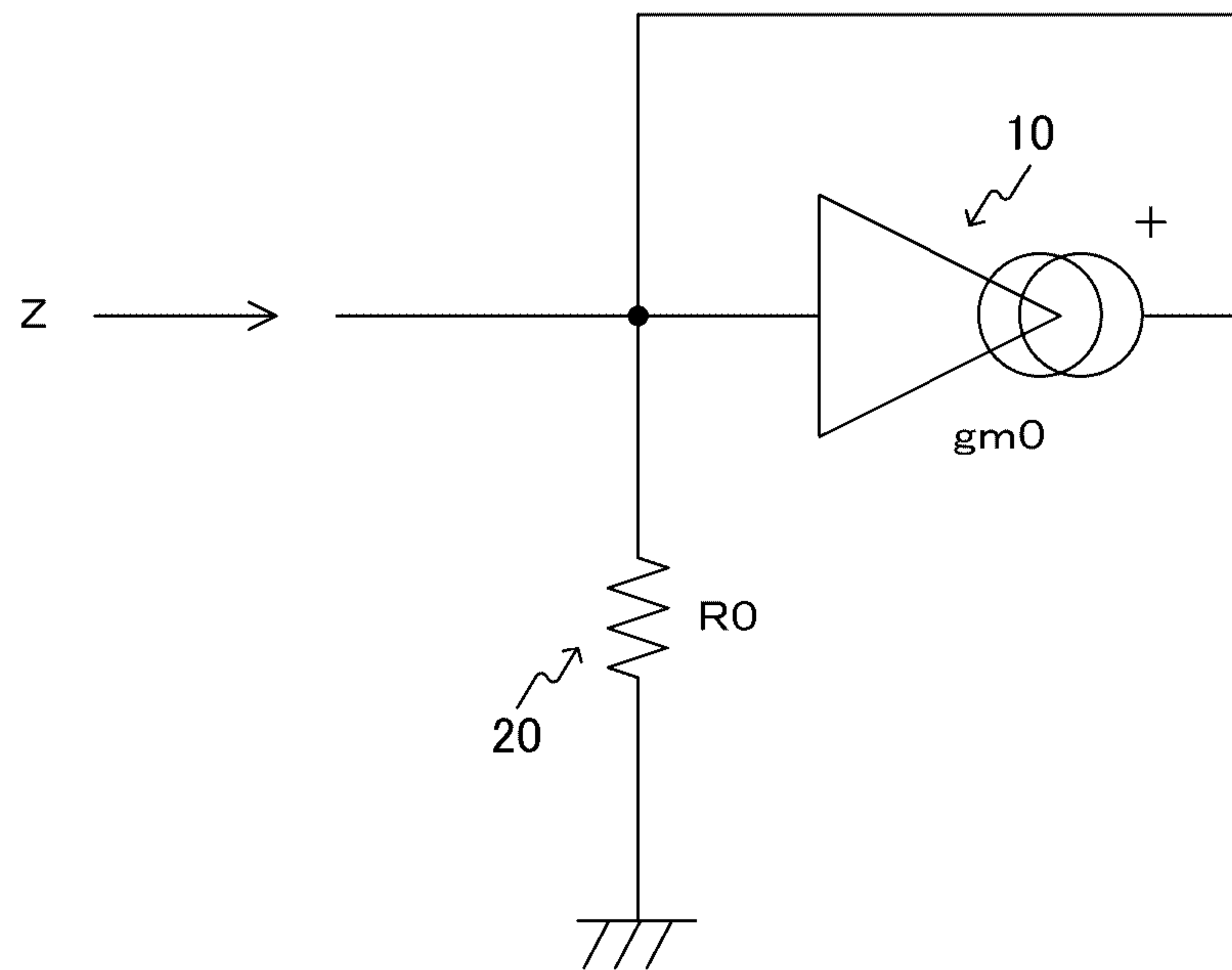
[図1]



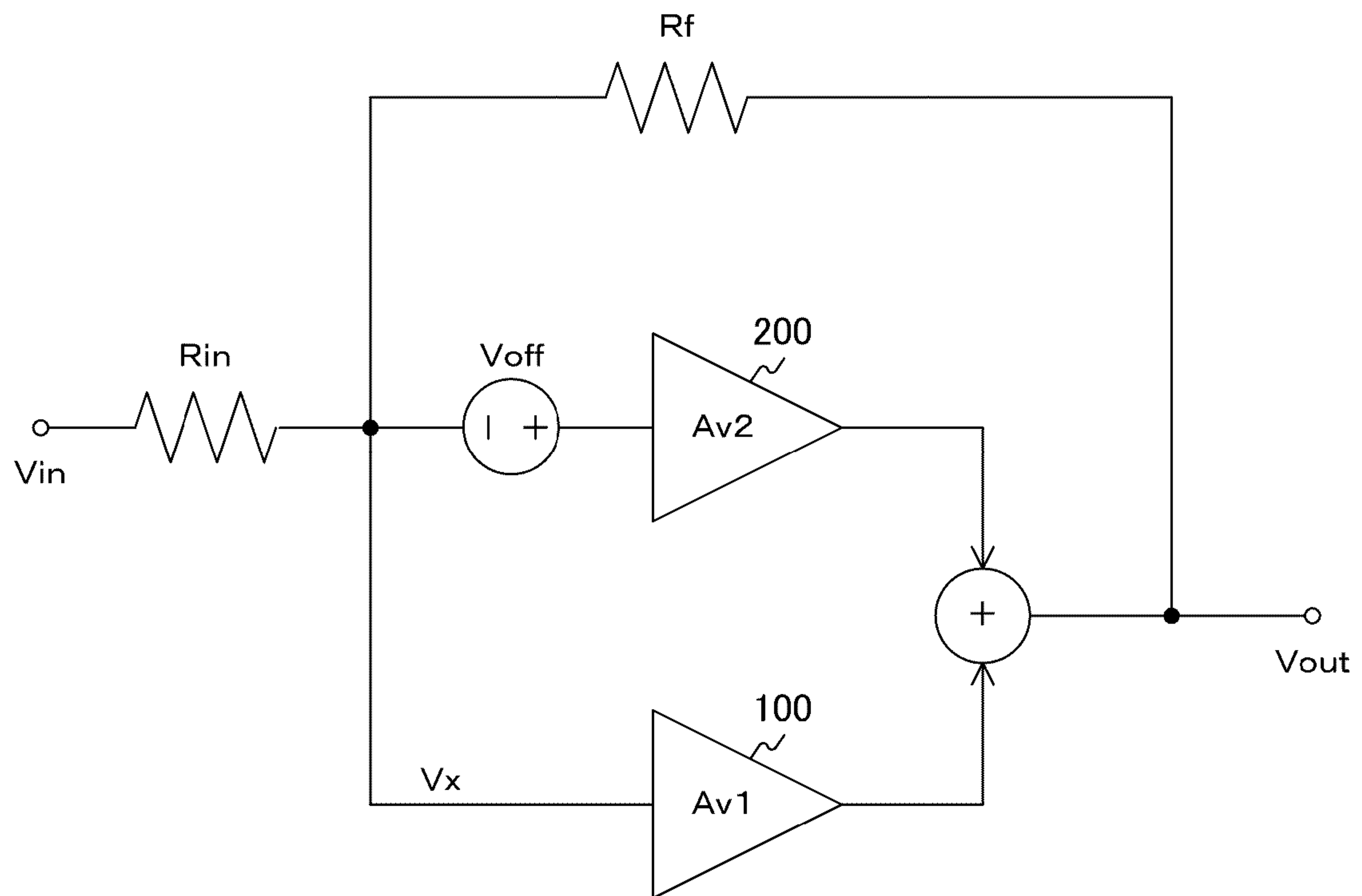
[図2]



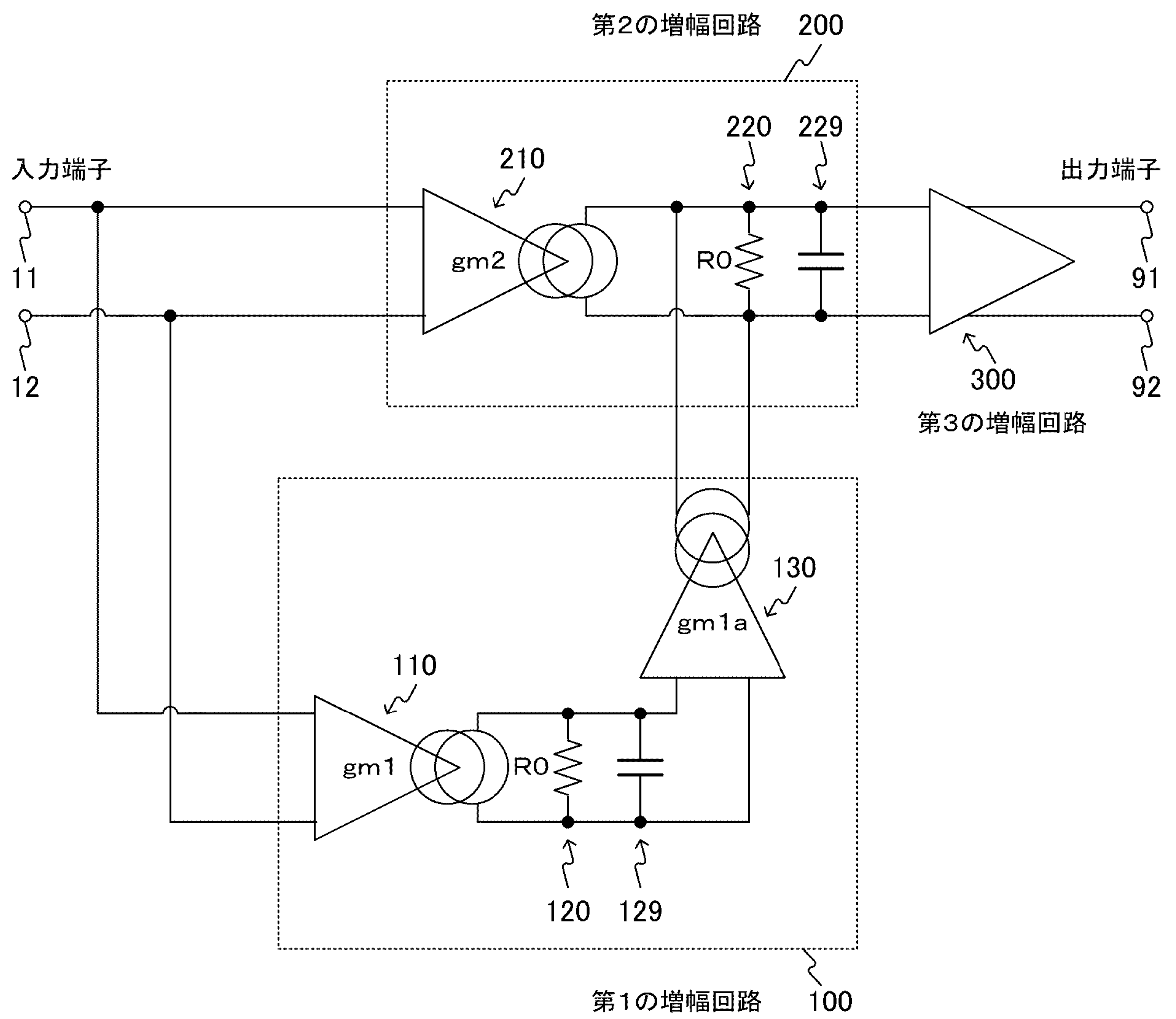
[図3]



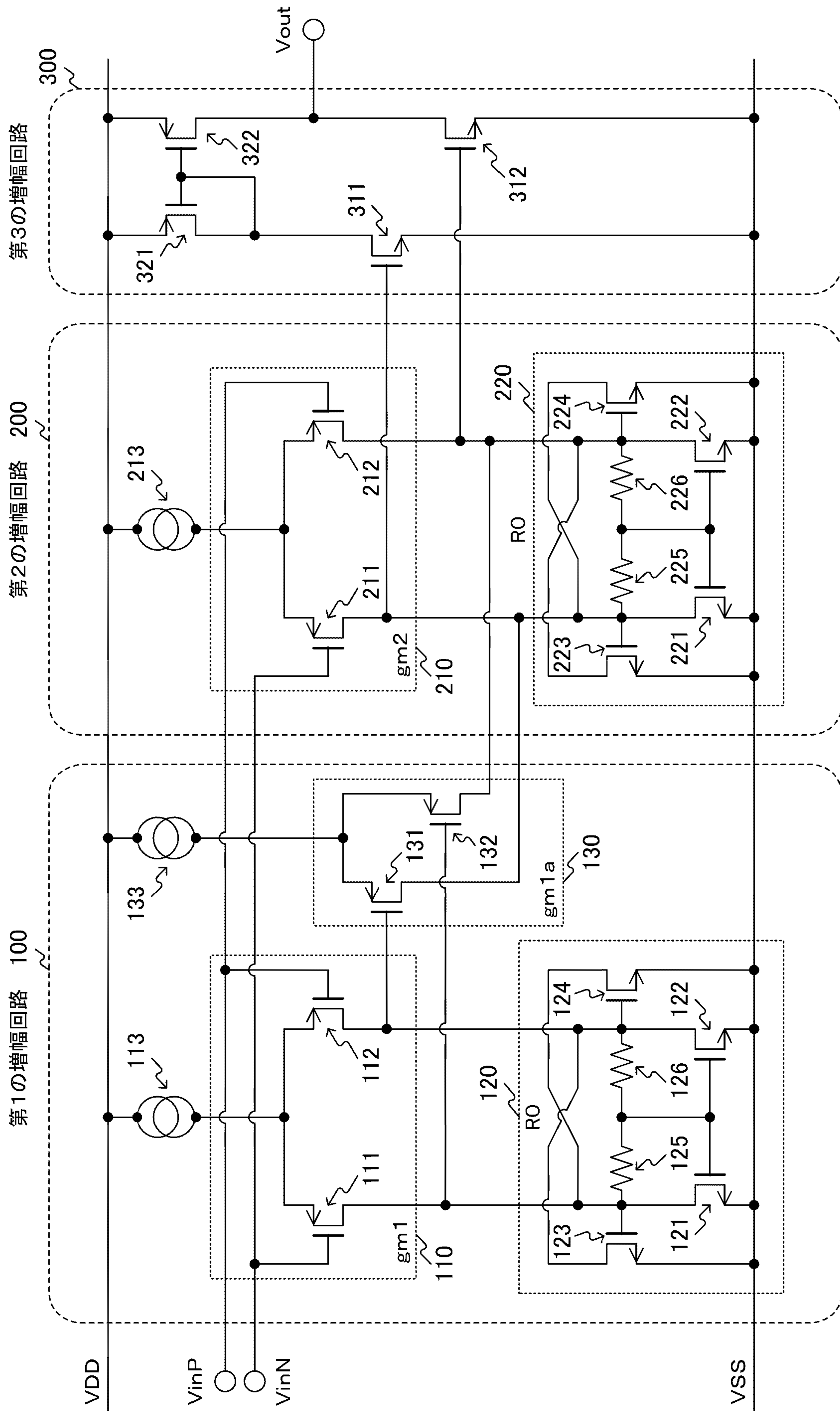
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/027316

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03F3/45(2006.01)i, H03F3/68(2006.01)i
 FI: H03F3/45, H03F3/68220

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03F3/45, H03F3/68

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

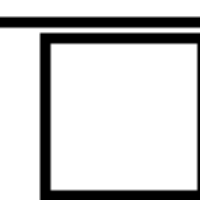
Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003/0122624 A1 (TOMASINI et al.) 03.07.2003	1-2
A	(2003-07-03), paragraphs [0027], [0028], fig. 5, 6	3-4
A	JP 2017-79397 A (TOSHIBA CORPORATION) 27.04.2017 (2017-04-27), entire text, all drawings	1-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

29.09.2020

Date of mailing of the international search report

13.10.2020

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/027316

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17 (2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Document 1: US 2003/0122624 A1 (TOMASINI et al.) 03.07.2003 (2003-07-03), paragraphs [0027], [0028], fig. 5, 6
& IT VA20010048 A1

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: Claims 1-4

- Remark on Protest
- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/027316

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The claims are classified into the five inventions below.

(Invention 1) Claims 1-4

Document 1 discloses "an analog input circuit equipped with a first transconductance gm1 that outputs a current according to an input voltage, and a circuit provided with a second transconductance gm2 that outputs a current obtained by adding a current according to the input voltage and the current output from the first transconductance gm1 together", wherein an operational amplifier is used as each of the first and second transconductances gm1 and gm2. In light of document 1, claims 1-2 lack novelty and do not involve an inventive step, and thus do not have a special technical feature. However, claim 3 that depends from claim 1 has the special technical feature wherein "each of the first and second amplifier circuits is provided with an active load that serves as a load for the transconductance amplifier, and the active load is provided with an internal transconductance amplifier that generates a current according to the voltage with respect to the output current of the transconductance amplifier, and a positive feedback circuit that positively feeds the output of the internal transconductance amplifier back to the input side thereof". Accordingly claims 1-3 are classified as invention 1.

In addition, claim 4 depends from claim 3 and has a link of invention to claim 1, and thus is identified as invention 1.

(Invention 2) Claim 5

Claim 5 cannot be said to have the same or corresponding special technical features between this claim and claim 3 classified as invention 1. In addition, although claim 5 depends from claim 1 classified as invention 1, the added technical feature of this claim relative to claim 1 wherein "the first amplifier circuit has a higher gain than the second amplifier circuit" has a low technical relevance to the technical feature of claim 3 wherein "each of the first and second amplifier circuits is provided with an active load that serves as a load for the transconductance amplifier, and the active load is provided with an internal transconductance amplifier that generates a current according to the voltage with respect to the output current of the transconductance amplifier, and a positive feedback circuit that positively feeds the output of the internal transconductance amplifier back to the input side thereof". Thus, it is not considered that claim 5 has a link of invention to claim 3.

Furthermore, claim 5 is not substantially identical to or similarly closely related to any of the claims classified as invention 1.

Accordingly claim 5 cannot be identified as invention 1.

Meanwhile, claim 5 has the special technical feature wherein "the first amplifier circuit has a higher gain than the second amplifier circuit"; thus this claim is classified as invention 2.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/027316

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

(Invention 3) Claim 6

Claim 6 cannot be said to have the same or corresponding special technical features between this claim and claim 3 classified as invention 1 or claim 5 classified as invention 2. In addition, although claim 6 depends from claim 1 classified as invention 1, the added technical feature of this claim relative to claim 1 wherein "the first amplifier circuit exhibits a lower speed than the second amplifier circuit" has a low technical relevance to the technical feature of claim 3 wherein "each of the first and second amplifier circuits is provided with an active load that serves as a load for the transconductance amplifier, and the active load is provided with an internal transconductance amplifier that generates a current according to the voltage with respect to the output current of the transconductance amplifier, and a positive feedback circuit that positively feeds the output of the internal transconductance amplifier back to the input side thereof". Thus, it is not considered that claim 6 has a link of invention to claim 3. Furthermore, claim 6 is not substantially identical to or similarly closely related to any of the claims classified as invention 1 or 2.

Accordingly claim 6 cannot be identified as either of inventions 1 and 2.

Meanwhile, claim 6 has the special technical feature wherein "the first amplifier circuit exhibits a lower speed than the second amplifier circuit"; thus this claim is classified as invention 3.

(Invention 4) Claim 7

Claim 7 cannot be said to have the same or corresponding special technical features between this claim and claim 3 classified as invention 1, claim 5 classified as invention 2, or claim 6 classified as invention 3. In addition, although claim 7 depends from claim 1 classified as invention 1, the added technical feature of this claim relative to claim 1 wherein "each of the first and second amplifier circuits is a differential amplifier circuit" has a low technical relevance to the technical feature of claim 3 wherein "each of the first and second amplifier circuits is provided with an active load that serves as a load for the transconductance amplifier, and the active load is provided with an internal transconductance amplifier that generates a current according to the voltage with respect to the output current of the transconductance amplifier, and a positive feedback circuit that positively feeds the output of the internal transconductance amplifier back to the input side thereof". Thus, it is not considered that claim 7 has a link of invention to claim 3. Furthermore, claim 7 is not substantially identical to or similarly closely related to any of the claims classified as invention 1, 2, or 3.

Accordingly claim 7 cannot be identified as any of inventions 1, 2, and 3.

Meanwhile, claim 7 has the special technical feature wherein "each of the first and second amplifier circuits is a differential amplifier circuit"; thus this claim is classified as invention 4.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/027316

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

(Invention 5) Claims 8-10

Claim 8 cannot be said to have the same or corresponding special technical features between this claim and claim 3 classified as invention 1, claim 5 classified as invention 2, claim 6 classified as invention 3, or claim 7 classified as invention 4. In addition, although claim 8 depends from claim 1 classified as invention 1, the added technical feature of this claim relative to claim 1 of "being further equipped with a third amplifier circuit that amplifies a voltage with respect to the output current of the second amplifier circuit, and outputs the amplified voltage" has a low technical relevance to the technical feature of claim 3 wherein "each of the first and second amplifier circuits is provided with an active load that serves as a load for the transconductance amplifier, and the active load is provided with an internal transconductance amplifier that generates a current according to the voltage with respect to the output current of the transconductance amplifier, and a positive feedback circuit that positively feeds the output of the internal transconductance amplifier back to the input side thereof". Thus, it is not considered that claim 8 has a link of invention to claim 3. Furthermore, claim 8 is not substantially identical to or similarly closely related to any of the claims classified as invention 1, 2, 3, or 4.

Accordingly claim 8 cannot be identified as any of inventions 1, 2, 3, and 4.

Meanwhile, claim 8 has the special technical feature of "being further equipped with a third amplifier circuit that amplifies a voltage with respect to the output current of the second amplifier circuit, and outputs the amplified voltage"; thus this claim is classified as invention 5.

In addition, claims 9-10 depend from claim 8 and have a link of invention to claim 8, and thus are identified as invention 5.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/027316

US 2003/0122624 A1 03.07.2003 IT VA20010048 A1

JP 2017-79397 A 27.04.2017 (Family: none)

国際調査報告		国際出願番号 PCT/JP2020/027316
A. 発明の属する分野の分類（国際特許分類（IPC）） H03F 3/45(2006.01)i; H03F 3/68(2006.01)i FI: H03F3/45; H03F3/68 220		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H03F3/45; H03F3/68		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2003/0122624 A1 (TOMASINI et al.) 03.07.2003 (2003 - 07 - 03) 段落[0027] - [0028]、図5 - 6	1-2
A		3-4
A	JP 2017-79397 A (株式会社東芝) 27.04.2017 (2017 - 04 - 27) 全文全図	1-4
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 29.09.2020		国際調査報告の発送日 13.10.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 工藤 一光 5W 9274 電話番号 03-3581-1101 内線 3576

第Ⅲ欄 発明の単一性が欠如しているときの意見（第 1 ページの 3 の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

文献 1 : US 2003/0122624 A1 (TOMASINI et al.) 03.07.2003(2003-07-03) 段落[0 0 2 7]－[0 0 2 8]、図 5－6 & IT VA20010048 A1

請求の範囲は、以下の 5 つの発明に区分される。

（発明 1）請求項 1－4

文献 1 には、「入力電圧に応じた電流を出力する第 1 のトランスコンダクタンス g_{m1} と、前記入力電圧に応じた電流と前記第 1 のトランスコンダクタンス g_{m1} から出力された電流とを加えた電流を出力する第 2 のトランスコンダクタンス g_{m2} を備える回路とを具備するアナログ入力回路」において、前記第 1 および第 2 のトランスコンダクタンス g_{m1} 、 g_{m2} の各々として演算増幅器を用いることが記載されており、請求項 1-2 は、文献 1 により新規性及び進歩性が欠如しているため、特別な技術的特徴を有しない。しかしながら、請求項 1 の従属請求項である請求項 3 は、「前記第 1 および第 2 の増幅回路の各々は、前記トランスコンダクタンスアンプの負荷となるアクティブロードを備え、前記アクティブロードは、前記トランスコンダクタンスアンプの出力電流に対する電圧に応じた電流を生成する内部トランスコンダクタンスアンプと、前記内部トランスコンダクタンスアンプの出力をその入力側に正帰還させる正帰還回路とを備える」という特別な技術的特徴を有している。したがって、請求項 1-3 は発明 1 に区分する。

また、請求項 4 は請求項 3 の従属請求項であり、請求項 1 に対して発明の関連を有しているので、発明 1 に区分する。

（発明 2）請求項 5

請求項 5 は、発明 1 に区分された請求項 3 と、同一の又は対応する特別な技術的特徴を有しているとはいえない。また、請求項 5 は、発明 1 に区分された請求項 1 の従属請求項であるが、請求項 1 に対して追加された技術的特徴である「前記第 1 の増幅回路のゲインは前記第 2 の増幅回路のゲインよりも高い」ことは、請求項 3 の技術的特徴である「前記第 1 および第 2 の増幅回路の各々は、前記トランスコンダクタンスアンプの負荷となるアクティブロードを備え、前記アクティブロードは、前記トランスコンダクタンスアンプの出力電流に対する電圧に応じた電流を生成する内部トランスコンダクタンスアンプと、前記内部トランスコンダクタンスアンプの出力をその入力側に正帰還させる正帰還回路とを備える」ことと、技術的関連性が低い。このため、請求項 5 が請求項 3 に対して発明の連関を有しているとは認められない。

さらに、請求項 5 は、発明 1 に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項 5 は発明 1 に区分できない。

そして、請求項 5 は「前記第 1 の増幅回路のゲインは前記第 2 の増幅回路のゲインよりも高い」という特別な技術的特徴を有しているので、発明 2 に区分する。

（発明 3）請求項 6

請求項 6 は、発明 1 に区分された請求項 3 又は発明 2 に区分された請求項 5 と、同一の又は対応する特別な技術的特徴を有しているとはいえない。また、請求項 6 は、発明 1 に区分された請求項 1 の従属請求項であるが、請求項 1 に対して追加された技術的特徴である「前記第 1 の増幅回路の速度は前記第 2 の増幅回路の速度よりも遅い」ことは、請求項 3 の技術的特徴である「前記第 1 および第 2 の増幅回路の各々は、前記トランスコンダクタンスアンプの負荷となるアクティブロードを備え、前記アクティブロードは、前記トランスコンダクタンスアンプの出力電流に対する電圧に応じた電流を生成する内部トランスコンダクタンスアンプと、前記内部トランスコンダクタンスアンプの出力をその入力側に正帰還させる正帰還回路とを備える」ことと、技術的関連性が低い。このため、請求項 6 が請求項 3 に対して発明の連関を有しているとは認められない。さらに、請求項 6 は、発明 1 又は発明 2 に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項 6 は発明 1 及び発明 2 のいずれにも区分できない。

そして、請求項 6 は「前記第 1 の増幅回路の速度は前記第 2 の増幅回路の速度よりも遅い」という特別な技術的特徴を有しているので、発明 3 に区分する。

（発明 4）請求項 7

請求項 7 は、発明 1 に区分された請求項 3、発明 2 に区分された請求項 5 又は発明 3 に区分された請求項 6 と、同一の又は対応する特別な技術的特徴を有しているとはいえない。また、請求項 7 は、発明 1 に区分された請求項 1 の従属請求項であるが、請求項 1 に対して追加された技術的特徴である「前

第Ⅲ欄 発明の単一性が欠如しているときの意見（第 1 ページの 3 の続き）

記第 1 および第 2 の増幅回路の各々は、差動増幅回路である」ことは、請求項 3 の技術的特徴である「前記第 1 および第 2 の増幅回路の各々は、前記トランスコンダクタンスアンプの負荷となるアクティブロードを備え、前記アクティブロードは、前記トランスコンダクタンスアンプの出力電流に対する電圧に応じた電流を生成する内部トランスコンダクタンスアンプと、前記内部トランスコンダクタンスアンプの出力をその入力側に正帰還させる正帰還回路とを備える」ことと、技術的関連性が低い。このため、請求項 7 が請求項 3 に対して発明の連関を有しているとは認められない。さらに、請求項 7 は、発明 1、発明 2 又は発明 3 に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項 7 は発明 1、発明 2 及び発明 3 のいずれにも区分できない。

そして、請求項 7 は「前記第 1 および第 2 の増幅回路の各々は、差動増幅回路である」という特別な技術的特徴を有しているので、発明 4 に区分する。

（発明 5）請求項 8－10

請求項 8 は、発明 1 に区分された請求項 3、発明 2 に区分された請求項 5、発明 3 に区分された請求項 6 又は発明 4 に区分された請求項 7 と、同一の又は対応する特別な技術的特徴を有しているとはいえない。また、請求項 8 は、発明 1 に区分された請求項 1 の従属請求項であるが、請求項 1 に対して追加された技術的特徴である「前記第 2 の増幅回路の出力電流に対する電圧を増幅して出力する第 3 の増幅回路をさらに具備する」ことは、請求項 3 の技術的特徴である「前記第 1 および第 2 の増幅回路の各々は、前記トランスコンダクタンスアンプの負荷となるアクティブロードを備え、前記アクティブロードは、前記トランスコンダクタンスアンプの出力電流に対する電圧に応じた電流を生成する内部トランスコンダクタンスアンプと、前記内部トランスコンダクタンスアンプの出力をその入力側に正帰還させる正帰還回路とを備える」ことと、技術的関連性が低い。このため、請求項 8 が請求項 3 に対して発明の連関を有しているとは認められない。さらに、請求項 8 は、発明 1、発明 2、発明 3 又は発明 4 に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項 8 は発明 1、発明 2、発明 3 及び発明 4 のいずれにも区分できない。

そして、請求項 8 は「前記第 2 の増幅回路の出力電流に対する電圧を増幅して出力する第 3 の増幅回路をさらに具備する」という特別な技術的特徴を有しているので、発明 5 に区分する。

また、請求項 9－10 は請求項 8 の従属請求項であり、請求項 8 に対して発明の関連を有しているので、発明 5 に区分する。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。 請求項 1－4

- 追加調査手数料の異議の
申立てに関する注意
- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

国際出願番号
PCT/JP2020/027316

引用文献			公表日	パテントファミリー文献			公表日
US	2003/0122624	A1	03.07.2003	IT	VA20010048	A1	
JP	2017-79397	A	27.04.2017	(ファミリーなし)			