(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 2 月 19 日(19.02.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/022741 A1

(51) 国際特許分類:
G11C 16/02 (2006.01) *G11C 16/06* (2006.01)
G11C 16/04 (2006.01)

(21) 国際出願番号: PCT/JP2013/071954

(22) 国際出願日: 2013 年 8 月 15 日(15.08.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部１７５３番地 Kanagawa (JP).

(72) 発明者: 澤田 誠二(SAWADA, Seiji); 〒2118668 神奈川県川崎市中原区下沼部１７５３番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目２番７号 中之島セントラルタワー Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

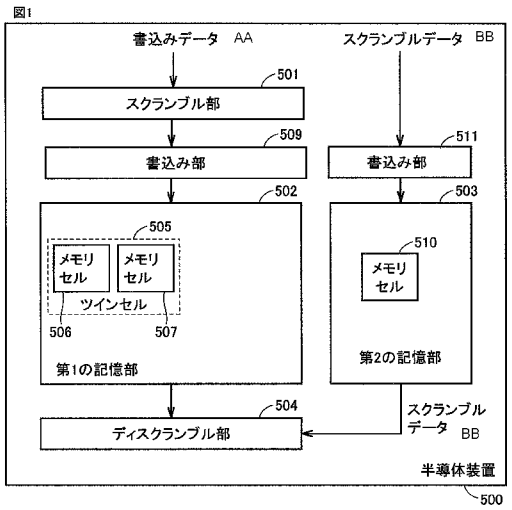
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

WO 2015/022741 A1

(54) **Title**: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置



500 Semiconductor device
501 Scrambling unit
502 First storage unit
503 Second storage unit
504 Descrambling unit
505 Twin-cell
506, 507, 510 Memory cell
509, 511 Write unit
AA Write data
BB Scrambled data

(57) **Abstract**: A scrambling unit (501) performs processing to scramble, using scrambling data, data to be written to a twin-cell (505) within a first storage unit (502). A write unit (509) writes write-data subsequent to scrambling to the twin-cell (505) within the first storage unit (502). A write unit (511) writes the scrambling data to a memory cell (510) within a second storage unit (503). A descrambling unit (504), using the scrambling data read from the second storage unit (503), performs descrambling processing on the data that have been read out from the first storage unit (502).

(57) 要約: スクランブル部（５０１）は、第１の記憶部（５０２）内のツインセル（５０５）に書込むデータをスクランブルデータを用いてスクランブル処理する。書込み部（５０９）は、第１の記憶部（５０２）内のツインセル（５０５）にスクランブル処理後の書込みデータを書込む。書込み部（５１１）は、第２の記憶部（５０３）内のメモリセル（５１０）にスクランブルデータを書込む。ディスクランブル部（５０４）は、第２の記憶部（５０３）から読出されたスクラブルデータを用いて、第１の記憶部（５０２）から読出されたデータをディスクランブル処理する。

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は、半導体装置に関し、たとえば相補的なデータを保持する２つの不揮発性メモリセルを含む半導体装置に関する。

背景技術

[0002] 従来から、記憶データの秘匿性を高める技術が知られている。

たとえば、特開２００８－２０４５０７公報（特許文献１）の半導体装置は、乱数発生部により生成されたスクランブル情報を用いて、書込みデータに対しスクランブル処理を施してから、データ記憶部に書込みを行う方式が記載されている。スクランブル情報は、揮発性メモリであるＳＲＡＭに記憶されるので、半導体装置の電源オフ状態においてデータ記憶部に記憶データが残っていても、電源オフ時にスクランブル情報が消去されるためにデータ記憶部の記憶データを正しく読出すことができなくなる。これにより記憶データの秘匿性の向上を図ることができる。

[0003] また、特開２０１０－２７７５８４号公報（特許文献２）にも、書込みデータをスクランブル処理して書込み、読出した後は、ディスクランブル処理をする不揮発性記憶装置が記載されている。

先行技術文献

特許文献

[0004] 特許文献1：特開２００８－２０４５０７公報

特許文献2：特開２０１０－２７７５８４号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、相補的なデータを保持する２つのセルで構成されるツインセルにおいて、ツインセルデータの消去によって、２つのセルの閾値電圧をともに小さい状態にする。この際に、ツインセルデータ消去前の書込み状態にお

ける２つのセルの閾値電圧の差が、ツインセルデータ消去後も残る可能性が想定される。そのため、ツインセルデータを消去したにも関わらず、ツインセルデータ消去前の書込状態が読出され、セキュリティ上問題となる可能性がある。

[0006] しかしながら、特許文献１に記載の方式では、電源をオフにするとデータ記憶部の記憶データは読出されなくなるという問題がある。

[0007] また、特許文献２に記載の方式では、スクランブル処理された書込みデータとともに、書込み単位ごとに異なるビットパターンである書込み済みフラグと、誤り訂正符号とを記憶することによって、書込み中の電源遮断などの異常を検出することを目的としており、上述のようなセキュリティ上の問題を解決することができない。

[0008] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかであろう。

課題を解決するための手段

[0009] 本発明の一実施形態の半導体装置によれば、スクランブル部は、第１の記憶部内のツインセルに書込むデータをスクランブルデータを用いてスクランブル処理する。書込み部は、第１の記憶部内のツインセルにスクランブル処理後の書込みデータを書込む。書込み部は、第２の記憶部内のメモリセルにスクランブルデータを書込む。ディスクランブル部は、第２の記憶部から読出されたスクラブルデータを用いて、第１の記憶部から読出されたデータをディスクランブル処理する。

発明の効果

[0010] 本発明の一実施形態によれば、ツインセルデータ消去前の書込状態が読出されるのを回避することができる。

図面の簡単な説明

[0011] [図1]第１の実施形態の半導体装置の構成を表わす図である。

[図2]第１の実施形態の半導体装置におけるメモリアレイからのツインセルデータの消去処理の手順を表わすフローチャートである。

[図3]第３の実施形態のマイクロコンピュータの構成を表わす図である。

[図4]フラッシュメモリモジュールの構成を表わす図である。

[図5]（ａ）は、スプリットゲート型フラッシュメモリ素子に与えるバイアス電圧の例を表わす図である。（ｂ）は、ホットキャリア書込み方式を用いるスタックド・ゲート型フラッシュメモリ素子に与えるバイアス電圧の例を表わす図である。（ｃ）は、はＦＮトンネル書込み方式を用いるスタックド・ゲート型フラッシュメモリ素子に与えるバイアス電圧の例を表わす図である。

[図6]（ａ）は、ツインセルデータが“０”を記憶する状態を表わす図である。（ｂ）は、ツインセルデータが“１”を記憶する状態を表わす図である。（ｃ）は、ツインセルデータのイニシャライズ状態を表わす図である。

[図7]（ａ）は、ツインセルデータ“０”を消去する際のシーケンスを表わす図である。（ｂ）は、ツインセルデータ“１”を消去する際のシーケンスを表わす図である。

[図8]第２の実施形態のツインセルデータの読出し系、書込み系、消去系の詳細な回路構成を表わす図である。

[図9]第３の実施形態の半導体装置におけるツインセルデータの書込みおよび読出しに携わる主要な構成要素を表わす図である。

[図10]第４の実施形態の半導体装置におけるツインセルデータの書込みおよび読出しに携わる拡張部の構成を表わす図である。

[図11]第５の実施形態の半導体装置におけるツインセルデータの書込みおよび読出しに携わる主要な構成要素を表わす図である。

[図12]（ａ）は、シングルセルが、シングルセルデータ“０”を記憶する状態を表わす図である。（ｂ）は、シングルセルが、シングルセルデータ“１”を記憶する状態を表わす図である。

[図13]第６の実施形態の半導体装置におけるツインセルデータの書込みおよび読出しに携わる主要な構成要素を表わす図である。

[図14]（ａ）は、３個のシングルセルが、シングルセルデータ“０”を記憶

する状態を表わす図である。（ｂ）は、３個のシングルセルが、シングルセルデータ“１”を記憶する状態を表わす図である。

[図15]読出し列選択回路＆センスアンプに含まれるセンスアンプを表わす図である。

[図16]第７の実施形態の正規部と拡張部の構成を表わす図である。

[図17]第７の実施形態の変形例の正規部と拡張部の構成を表わす図である。

[図18]第８の実施形態のメモリアレイの１消去ブロック構成を表わす図である。

[図19]第８の実施形態における複数のソース線の活性化タイミングを表わす図である。

発明を実施するための形態

[0012] 以下、本発明の実施の形態について、図面を用いて説明する。

［第１の実施形態］

図１は、第１の実施形態の半導体装置の構成を表わす図である。

[0013] この半導体装置５００は、第１の記憶部５０２と、第２の記憶部５０３と、スクランブル部５０１と、書込み部５０９と、書込み部５１１と、ディスクランブル部５０４とを備える。

第１の記憶部５０２は、ツインセル５０５を含む。ツインセル５０５は、メモリセル５０６と、メモリセル５０７とからなる。メモリセル５０６とメモリセル５０７は、電気的に書換え可能である。ツインセル５０５は、メモリセル５０６とメモリセル５０７の閾値電圧の相違によって相補的に１ビットのデータを記憶する。

[0014] 第２の記憶部５０３は、電気的に書き換え可能なメモリセル５１０を含む。

第１の記憶部５０２内のツインセル５０５のデータが消去されるときには、第２の記憶部５０３内のメモリセル５１０のデータも消去される。

[0015] スクランブル部５０１は、第１の記憶部５０２のツインセル５０５に書込むデータをスクランブルデータを用いてスクランブル処理する。

[0016] 書込み部５０９は、第１の記憶部５０２内のツインセル５０５にスクランブル処理後の書込みデータを書込む。

[0017] 書込み部５１１は、第２の記憶部５０３内のメモリセル５１０にスクランブルデータを書込む。

[0018] ディスクランブル部５０４は、第２の記憶部５０３から読出されたスクラブルデータを用いて、第１の記憶部５０２から読出されたデータをディスクランブル処理する。

[0019] 図２は、第１の実施形態の半導体装置における第１の記憶部への書込みデータの書込み処理および読出し処理の手順を表わすフローチャートである。

[0020] まず、半導体装置は、書込み要求信号を受信する（ステップＳ１０１）。

スクランブル部５０１は、第１の記憶部５０２のツインセル５０５に書込むデータをスクランブルデータを用いてスクランブル処理する（ステップＳ１０２）。

[0021] 次に、書込み部５０９は、第１の記憶部５０２内のツインセル５０５にスクランブル処理後の書込みデータを書込む（ステップＳ１０３）。

[0022] 次に、書込み部５１１は、第２の記憶部５０３内のメモリセル５１０にスクランブルデータを書込む（ステップＳ１０４）。

[0023] 次に、半導体装置は、読出し要求信号を受信する（ステップＳ１０５）。

次に、ディスクランブル部５０４は、第２の記憶部５０３から読出されたスクラブルデータを用いて、第１の記憶部５０２から読出されたデータをディスクランブル処理する（ステップＳ１０６）。

[0024] 以上のように、本実施の形態によれば、スクランブル処理後の書込みデータが消去されたとしても、スクランブル処理後の書込みデータとスクランブルデータの両方が読出されない限り、書込みデータが復元されないようにすることができる。

[0025] ［第２の実施形態］

本実施の形態の半導体装置は、マイクロコンピュータである。

（マイクロコンピュータ）

図３は、第２の実施形態のマイクロコンピュータ１の構成を表わす図である。

[0026] 図３に示されるマイクロコンピュータ（ＭＣＵ）１は、たとえば相補型ＭＯＳ集積回路製造技術などによって、単結晶シリコンのような１個の半導体チップに形成される。

[0027] マイクロコンピュータ１は、特に制限されないが、高速バスＨＢＵＳと周辺バスＰＢＵＳを有する。高速バスＨＢＵＳと周辺バスＰＢＵＳは、特に制限されないが、それぞれデータバス、アドレスバスおよびコントロールバスを有する。２個のバスを設けることによって、共通バスに全ての回路を共通接続する場合に比べてバスの負荷を軽くし、高速アクセス動作を保証することができる。

[0028] 高速バスＨＢＵＳには、命令制御部と実行部を備えて命令を実行する中央処理装置（ＣＰＵ）２、ダイレクトメモリアクセスコントローラ（ＤＭＡＣ）３、高速バスＨＢＵＳと周辺バスＰＢＵＳとのバスインタフェース制御若しくはバスブリッジ制御を行うバスインタフェース回路（ＢＩＦ）４が接続される。

[0029] 高速バスＨＢＵＳには、さらに、中央処理装置２のワーク領域などに利用されるランダムアクセスメモリ（ＲＡＭ）５、およびデータやプログラムを格納する不揮発性メモリモジュールとしてのフラッシュメモリモジュール（ＦＭＤＬ）６が接続される。

[0030] 周辺バスＰＢＵＳには、フラッシュメモリモジュール（ＦＭＤＬ）６に対するコマンドアクセス制御を行うフラッシュシーケンサ（ＦＳＱＣ）７、外部入出力ポート（ＰＲＴ）８，９、タイマ（ＴＭＲ）１０、およびマイクロコンピュータ１を制御するための内部のクロックＣＬＫを生成するクロックパルスジェネレータ（ＣＰＧ）１１が接続される。

[0031] さらに、マイクロコンピュータ１は、ＸＴＡＬ／ＥＸＴＡＬに発振子が接続され、または外部クロックが供給されるクロック端子、スタンバイ状態を指示する外部ハードウェアスタンバイ端子ＳＴＢ、リセットを指示する外部

リセット端子ＲＥＳ、外部電源端子Ｖｃｃ、外部接地端子Ｖｓｓを備える。

[0032] ここでは、ロジック回路としてのフラッシュシーケンサ７と、アレイ構成のフラッシュメモリモジュール６は、別ＣＡＤツールを用いて設計されているため、便宜上別々の回路ブロックとして図示されているが、双方併せて一つのフラッシュメモリを構成する。フラッシュメモリモジュール６は、読出し専用の高速アクセスポート（ＨＡＣＳＰ）を介して高速バスＨＢＵＳに接続される。ＣＰＵ２またはＤＭＡＣ３は、高速バスＨＢＵＳから高速アクセスポートを介してフラッシュメモリモジュール６をリードアクセスすることができる。ＣＰＵ２またはＤＭＡＣ３は、フラッシュメモリモジュール６に対して書込みおよび初期化のアクセスを行うときは、バスインタフェース４を介して周辺バスＰＢＵＳ経由でフラッシュシーケンサ７にコマンドを発行する。これによってフラッシュシーケンサ７が周辺バスＰＢＵＳから低速アクセスポート（ＬＡＣＳＰ）を通じてフラッシュメモリモジュールの初期化や書込み動作の制御が行われる。

[0033] （フラッシュメモリモジュール）

図４は、フラッシュメモリモジュール６の構成を表わす図である。

[0034] フラッシュメモリモジュール６は、１ビットの情報の記憶を２個の不揮発性メモリセルを用いて行う。すなわち、メモリアレイ（ＭＡＲＹ）１９は、夫々書換え可能な２個の不揮発性メモリセルＭＣＰ，ＭＣＮを１ビットのツインセルとして複数個備える。図４には、代表的に１対だけ図示されている。本明細書では、メモリセルＭＣＰをポジティブセル、メモリセルＭＣＮをネガティブセルと呼ぶ。

[0035] 揮発性メモリセルＭＣＰ，ＭＣＮは、たとえば、図５（ａ）に例示されるスプリットゲート型フラッシュメモリ素子である。このメモリ素子は、ソース・ドレイン領域の間のチャネル形成領域の上にゲート絶縁膜を介して配置されたコントロールゲートＣＧとメモリゲートＭＧを有する。メモリゲートＭＧとゲート絶縁膜の間にはシリコンナイトライドなどの電荷トラップ領域（SiN）が配置される。選択ゲート側のソースまたはドレイン領域は、ビット

線ＢＬに接続され、メモリゲートＭＧ側のソースまたはドレイン領域はソース線ＳＬに接続される。

[0036] メモリセルの閾値電圧Ｖｔｈを下げるにはＢＬ＝Ｈｉ－Ｚ（高インピーダンス状態）、ＣＧ＝Ｏｐｅｎ、ＭＧ＝－１０Ｖ、ＳＬ＝６、ＷＥＬＬ＝０Ｖとし、ウェル領域（ＷＥＬＬ）とメモリゲートＭＧ間の高電界によって電荷トラップ領域（SiN）からウェル領域（ＷＥＬＬ）に電子が引き抜かれる。この処理単位はメモリゲートＭＧを共有する複数メモリセルとされる。

[0037] メモリセルの閾値電圧Ｖｔｈを上げるにはＢＬ＝０Ｖ、ＣＧ＝０．９Ｖ、ＭＧ＝１０Ｖ、ＳＬ＝６、ＷＥＬＬ＝０Ｖとし、ソース線ＳＬからビット線ＢＬに書込み電流を流し、それによってコントロールゲートＣＧとメモリゲートＭＧの境界部分で発生するホットエレクトロンが電荷トラップ領域（SiN）に注入される。電子の注入はビット線電流を流すか否かによって決まるからこの処理はビット単位で制御される。

[0038] 読出しはＢＬ＝１．５Ｖ、ＣＧ＝１．５Ｖ，ＭＧ＝０Ｖ、ＳＬ＝０Ｖ、ＷＥＬＬ＝０Ｖで行われる。メモリセルの閾値電圧Ｖｔｈが低ければメモリセルはオン状態にされ、閾値電圧Ｖｔｈが高ければオフ状態にされる。

[0039] メモリ素子はスプリットゲート型フラッシュメモリ素子に限定されず、図５（ｂ），図５（ｃ）に例示されるスタックド・ゲート型フラッシュメモリ素子であってよい。このメモリ素子はソース・ドレイン領域の間のチャネル形成領域の上にゲート絶縁膜を介してフローツイングゲートＦＧとコントロールゲートＷＬがスタックされて構成される。図５（ｂ）では、ホットキャリア書込み方式によって閾値電圧Ｖｔｈを上げ、ウェル領域ＷＥＬＬへの電子の放出によって閾値電圧Ｖｔｈを下げる。図５（ｃ）では、ＦＮトンネル書込み方式によって閾値電圧Ｖｔｈを上げ、ビット線ＢＬへの電子の放出によって閾値電圧Ｖｔｈを下げる。

[0040] 上述のメモリゲートＭＧ、コントロールゲートＣＧ、ソース線ＳＬ、ＷＥＬＬ、ビット線ＢＬへ与える電圧は、フラッシュシーケンサ７の制御によって、電源回路（ＶＰＧ）３１で生成されて供給される。

[0041] 以下の説明では、メモリ素子がスプリットゲート型フラッシュメモリ素子であるとして説明する。

[0042] 不揮発性メモリセルＭＣＰ，ＭＣＮから成る一つのツインセルによる情報記憶は不揮発性メモリセルＭＣＰ，ＭＣＮに相補データを格納することによって行う。

[0043] すなわち、メモリセルＭＣＰ，ＭＣＮのそれぞれは、セルデータ“１”（低閾値電圧状態；閾値電圧が消去ベリファイレベルよりも小さい状態）またはセルデータ“０”（高閾値電圧状態；閾値電圧が消去ベリファイレベル以上の状態）を保持することができる。

[0044] 図６（ａ）に示すように、ツインセルデータ“０”は、ポジティブセルＭＣＰがセルデータ“０”、ネガティブセルＭＣＮがセルデータ“１”を保持する状態である。図６（ｂ）に示すように、ツインセルデータ“１”はポジティブセルＭＣＰがセルデータ“１”、ネガティブセルＭＣＮがセルデータ“０”を保持する状態である。図６（ｃ）に示すように、ツインセルのポジティブセルＭＣＰおよびネガティブセルＭＣＮが共にセルデータ“１”を保持する状態はイニシャライズ状態であり、ツインセルデータは不定になる。イニシャライズ状態は、ブランク消去状態ともいう。

[0045] ツインセルデータ“０”の状態およびツインセルデータ“１”の状態からイニシャライズ状態にすることをツインセルデータの消去という。また、イニシャライズ状態からツインセルデータ“１”保持状態またはツインセルデータ“０”保持状態にすることを通常の書込みという。

[0046] ツインセルデータの消去時には、一旦、ポジティブセルＭＣＰとネガティブセルＭＣＮの両方のセルデータを“０”にする処理（プレライトと呼ぶ）を行なってから、消去パルスを印加して両方のセルデータを“１”にする処理が行なわれる。プレライトでは、ポジティブセルＭＣＰとネガティブセルＭＣＮの両方に対して、印加する電圧を通常の書込み時よりも小さくする、または書込みパルスを与える期間を短くすることによって、通常の書込み時よりも弱い書込みを行なう。プレライトでは、閾値電圧が小さい方のメモリ

セルの閾値電圧の増加量が、通常の書込み時の閾値電圧Ｖｔｈの増加量よりも小さい。プレライトを実施する目的は、ポジティブセルＭＣＰとネガティブセルＭＣＮの間の消去ストレスのばらつきを小さくし、リテンション特性悪化を抑制するためである。プレライトによるストレスが、通常の書込みによるストレスよりも大きくならないよう、プレライト時には、図５に示した一般的な通常の書込み（Ｖｔｈ増加）のときの電圧よりも小さい電圧が与えられる。

[0047] 図７（ａ）は、ツインセルデータ“０”を消去する際のシーケンスを表わす図である。

図７（ａ）に示すように、ツインセルデータ“０”の消去を実行する場合に、プレライトによって、両方のセルが共にセルデータ“１”を保持するイニシャライズ状態となるが、消去前はポジティブセルＭＣＰの閾値電圧Ｖｔｈの方がネガティブセルＭＣＮの閾値電圧Ｖｔｈよりも大きいため、消去後でもこの関係が維持される可能性が想定される。この関係が維持された状態で読出しを実施すると、イニシャライズ状態にも関わらずポジティブセルＭＣＰとネガティブセルＭＣＮの閾値電圧Ｖｔｈに差があるために、不定値ではなく実質的に直前のツインセルデータ“０”と等しいデータ“０”を読出してしまう可能性がある。

[0048] 図７（ｂ）は、ツインセルデータ“１”を消去する際のシーケンスを表わす図である。

図７（ｂ）に示すように、ツインセルデータ“１”の消去を実行する場合に、プレライトによって、両方のセルが共にセルデータ“１”を保持するイニシャライズ状態となるが、消去前はネガティブセルＭＣＮの閾値電圧Ｖｔｈの方がポジティブセルＭＣＰの閾値電圧Ｖｔｈよりも大きいため、消去後でもこの関係が維持される可能性が想定される。この直前のツインセルデータ状態で読出しを実施すると、イニシャライズ状態にも関わらず、ポジティブセルＭＣＰとネガティブセルＭＣＮの閾値電圧Ｖｔｈに差があるために、不定値ではなく実質的に直前のツインセルデータ“１”と等しいデータ“１

”を読出してしまう可能性がある。

[0049] このように消去したにも関わらず、読む度にデータが定まらないような不定値ではなく、高い確率で直前のツインセルデータと等しいデータが読み出せてしまうとしたら、セキュリティ上問題となる可能性がある。本発明の実施形態では、このような可能性のある問題を解決することを目的とする。

[0050] 図４に代表的に示されたツインセルのメモリセルＭＣＰ，ＭＣＮにおいて、メモリゲートＭＧは、共通のメモリゲート選択線ＭＧＬに接続され、コントロールゲートＣＧは、共通のワード線ＷＬに接続される。実際には多数のツインセルがマトリクス配置され、行方向の配列単位で対応するメモリゲート選択線ＭＧＬおよびワード線ＷＬに接続される。メモリセルＭＣＰ，ＭＣＮは、列単位でビット線ＢＬＰ，ＢＬＮに接続される。

[0051] ワード線ＷＬは、第１行デコーダ（ＲＤＥＣ１）２４によって選択される。メモリゲート選択線ＭＧＬは、第２行デコーダ（ＲＤＥＣ２）２５によって選択される。第１行デコーダ２４および第２行デコーダ２５による選択動作は、読出しアクセスではＨＡＣＳＰに供給されるアドレス情報などに従い、データの書込み動作および初期化動作ではＬＡＣＳＰに供給されるアドレス情報などに従う。

[0052] 書込み列選択回路５１は、列デコーダ(ＣＤＥＣ)３０のデコード結果に従って、書込み列を選択し、周辺バスＰＢＵＳのデータバス（ＰＢＵＳ＿Ｄ）にインタフェースされる入出力回路（ＩＯＢＵＦ）２９から送られる書込みデータをスクランブル部３５へ出力する。列デコーダ３０の選択動作は、ＬＡＣＳＰに供給されるアドレス情報などに従う。

[0053] スクランブル部３５は、書込み列選択回路５１から送られる書込みデータをスクランブル処理して、スクランブル処理された書込みデータを書込みラッチ部３６に送る。

[0054] 書込みラッチ部３６は、スクランブル処理された書込みデータをラッチし、選択された書込み列のビット線ＢＬＰ，ＢＬＮのいずれかに書込み電流が流れるようにすることによって、選択された書込み列のメモリセルＭＣＰ，

ＭＣＮのいずれかに対して書込みを行なう（すなわち、閾値電圧Ｖｔｈを上げる）。

[0055] ベリファイ部３３は、選択された書込み列のビット線ＢＬＰ，ＢＬＮの電圧と、書込みラッチ部３６に保持されているスクランブル処理された書込みデータに従って、メモリセルＭＣＰ，ＭＣＮの閾値電圧Ｖｔｈが書込みベリファイレベルよりも大きいか否かの検証を実行する。書込みベリファイ結果は、周辺データバスＰＢＵＳ＿Ｄを通じてフラッシュシーケンサ７に供給される。

[0056] ベリファイ部３３は、消去ベリファイを実行する。消去ベリファイにおいては、消去対象領域の各ツインセルを構成するメモリセルＭＣＰ，ＭＣＮの両方の閾値電圧Ｖｔｈが消去ベリファイレベルよりも小さいか否かの検証が行なわれる。消去ベリファイ結果は、周辺データバスＰＢＵＳ＿Ｄを通じてフラッシュシーケンサ７に供給される。

[0057] メモリセルＭＣＰと接続されるビット線ＢＬＰおよびメモリセルＭＣＮに接続されるビット線ＢＬＮは、列選択＆増幅部３７に接続される。

[0058] 列選択＆増幅部３７は、読出し列を選択する。列選択＆増幅部３７は、選択された読出し列のビット線ＢＬＰ，ＢＬＮの電圧の差を増幅することによって、選択された読出し列のメモリセルＭＣＰ，ＭＣＮのツインセルデータを読出す。

[0059] ディスクランブル部３８は、列選択＆増幅部３７から出力される読出されたツインセルデータをディスクランブル処理して、出力バッファ（ＯＢＵＦ）２６を介して高速バスＨＢＵＳのデータバスＨＢＵＳ＿Ｄに出力する。

[0060] 電源回路（ＶＰＧ）３１は、読出し、書込み、初期化に必要な各種動作電圧を生成する。 タイミングジェネレータ（ＴＭＧ）３２は、ＣＰＵ２等からＨＡＣＳＰに供給されるアクセスストローブ信号、ＦＳＱＣ７からＬＡＣＳＰに供給されるアクセスコマンド等に従って、内部動作タイミングを規定する内部制御信号を生成する。

[0061] フラッシュメモリの制御部は、フラッシュシーケンサ（ＦＳＱＣ）７とタ

イミングジェネレータ（ＴＭＧ）３２によって構成される。

[0062] 図８は、第２の実施形態の半導体装置におけるツインセルデータの書込みおよび読出しに携わる主要な構成要素を表わす図である。

[0063] 図８に示すように、第２の実施形態の半導体装置は、正規部１００と、拡張部１０１とを備える。

[0064] 正規部１００は、書込み列選択回路５１と、スクランブラー６１＿１～６１＿Ｎと、インバータＩＶＮ＿１～ＩＶＮ＿Ｎと、書込みラッチ回路６２Ｐ＿１～６２Ｐ＿Ｎ，６２Ｎ＿１～６２Ｎ＿Ｎと、正規マットＮＭＡＴ１と、読出し列選択回路＆センスアンプ６４と、ディスクランブラー６５＿１～６５＿Ｎとを備える。

[0065] 拡張部１０１は、スクランブルデータ発生回路５２と、インバータＩＶＥ＿１～ＩＶＥ＿Ｎと、書込みラッチ回路６３Ｐ＿１～６３Ｐ＿Ｎ，６３Ｎ＿１～６３Ｎ＿Ｎと、拡張マットＥＭＡＴ１と、読出し列選択回路＆センスアンプ６６とを備える。

[0066] スクランブラー６１＿１～６１＿Ｎは、図４のスクランブル部３５を構成する。ディスクランブラー６５＿１～６５＿Ｎは、図４のディスクランブル部３８を構成する。書込みラッチ回路６２Ｐ＿１～６２Ｐ＿Ｎ，６２Ｎ＿１～６２Ｎ＿Ｎ，６３Ｐ＿１～６３Ｐ＿Ｎ，６３Ｎ＿１～６３Ｎ＿Ｎは、図４の書込みラッチ部３６を構成する。読出し列選択回路＆センスアンプ６４，６６は、図４の列選択＆増幅部３７を構成する。

[0067] スクランブルデータ発生回路５２は、Ｎビットのスクランブルデータ Ｓ１～ＳＮを発生する。各ビットＳｉは、書込みラッチ回路６３Ｐ＿ｉへ送られるとともに、インバータＩＶＥ＿ｉを経由して書込みラッチ回路６３Ｎ＿ｉへ送られる。

[0068] スクランブルデータ発生回路５２は、第１行デコーダ（ＲＤＥＣ１）２４および第２行デコーダ（ＲＤＥＣ２）２５によって選択される行が同一の書込みデータに対して、同一のスクランブルデータ（Ｓ１～ＳＮ）を出力し、選択される行が互いに異なる書込みデータに対しては、互いに異なるスクラ

ンブルデータ（Ｓ１～ＳＮ）を出力する。

[0069] スクランブルデータ発生回路５２は、発生したスクランブルデータが（Ｓ１～ＳＮ）がＥＭＡＴ１に未だ書込まれていない場合に、スクランブルデータ（Ｓ１～ＳＮ）を書込みラッチ回路６３Ｐ＿１～６３Ｐ＿Ｎ，６３Ｎ＿１～６３Ｎ＿Ｎへ出力する。

[0070] 正規マットＮＭＡＴ１は、複数個のツインセルＭＴＣ（ｉ，ｊ）を備える。ただし、ｉは列を表わし、１～Ｎとする。ｊは、行を表わし、１～Ｌとする。ツインセルＭＴＣ（ｉ，ｊ）は、ポジティブセルＭＣＰ（ｉ，ｊ）とネガティブセルＭＣＮ（ｉ，ｊ）を含む。ポジティブセルＭＣＰ（ｉ，ｊ）は、ビット線ＢＬＮＰ＿ｉと接続する。ネガティブセルＭＣＮ（ｉ，ｊ）は、ビット線ＢＬＮＮ＿ｉと接続する。

[0071] 拡張マットＥＭＡＴ１は、複数個のツインセルＥＴＣ（ｉ，ｊ）を備える。ただし、ｉは列を表わし、１～Ｎとする。ｊは、行を表わし、１～Ｌとする。ツインセルＥＴＣ（ｉ，ｊ）は、ポジティブセルＥＭＣＰ（ｉ，ｊ）とネガティブセルＥＭＣＮ（ｉ，ｊ）を含む。ポジティブセルＥＭＣＰ（ｉ，ｊ）は、ビット線ＢＬＥＰ＿ｉと接続する。ネガティブセルＥＭＣＮ（ｉ，ｊ）は、ビット線ＢＬＥＮ＿ｉと接続する。

[0072] 正規マットＮＭＡＴ１のツインセルＭＴＣ（ｉ，ｊ）（ｉ＝１～Ｎ、ｊ＝１～Ｌ）のツインセルデータが消去されるときには、拡張マットＥＭＡＴ１のツインセルＥＴＣ（ｉ，ｊ）（ｉ＝１～Ｎ、ｊ＝１～Ｌ）のツインセルデータも消去される。

[0073] 書込み列選択回路５１は、正規マットＮＭＡＴ１の第１列～第Ｎ列のうちのデータを書込む列を選択する。書込み列選択回路５１は、選択した列がｊの場合には、選択した列ｊに対応するスクランブラー６１＿ｊに、入出力回路（ＩＯＢＵＦ）２９から送られる１ビットの書込みデータを出力する。

[0074] スクランブラー６１＿ｉ（ｉ＝１～Ｎ）は、スクランブルデータ発生回路５２からＮビットのスクランブルデータＳ１～ＳＮのうちの１ビットＳｉを受ける。スクランブラー６１＿ｉは、書込み列選択回路５１から１ビットの

書込みデータＤが送られてきたときには、Ｓｉで１ビットの書込みデータをスクランブル処理する。スクランブル処理された書込みデータＤＳｉは、書込みラッチ回路６２Ｐ＿ｉへ送られるとともに、インバータＩＶＮ＿ｉを経由して書込みラッチ回路６２Ｎ＿ｉへ送られる。

[0075] スクランブル処理とは、スクランブルデータを用いて書込みデータを可逆的に変換することを意味する。ディスクランブル処理とは、スクランブルデータを用いてスクランブル処理後のデータを変換することによって元の書込みデータを得ることを意味する。

[0076] スクランブル処理の方式の一例では、スクランブル処理によって書込みデータとスクランブルデータの排他的論理和をとり、ディスクランブル処理によってスクランブル処理後のデータとスクランブルデータの排他的論理和をとり元の書込みデータを得る。ここで、Ｎ個のスクランブラー６１＿ｉ（ｉ＝１～Ｎ）によるスクランブル処理の方式のすべてが同一であってもよいし、すべてが異なっていてもよいし、同一のものと相違するものとが混在していてもよい。

[0077] 書込みラッチ回路６２Ｐ＿ｉ（ｉ＝１～Ｎ）は、スクランブラー６１＿ｉから送られるスクランブル処理された書込みデータＤＳｉが「０」の場合には、書込みパルスＷＰＬＳが活性化された期間、ビット線ＢＬＮＰ＿ｉを接地電圧Ｖｓｓと接続させることによって、ビット線ＢＬＮＰ＿ｉに書込み電流が流れるようにする。これによって、選択された行ｋのメモリセルＭＣＰ（ｉ，ｋ）の閾値電圧Ｖｔｈが増加し、セルデータ「０」が書込まれる。

[0078] 書込みラッチ回路６２Ｐ＿ｉ（ｉ＝１～Ｎ）は、スクランブラー６１＿ｉから送られるスクランブル処理された書込みデータＤＳｉが「１」の場合には、ビット線ＢＬＮＰ＿ｉを電源電圧ＶＤＤと接続させることによって、ビット線ＢＬＮＰ＿ｉに書込み電流が流れないようにする。これによって、選択された行ｋのメモリセルＭＣＰ（ｉ，ｋ）の閾値電圧Ｖｔｈが変化しない。

[0079] 書込みラッチ回路６２Ｎ＿ｉ（ｉ＝１～Ｎ）は、インバータＩＶＮ＿ｉか

ら送られるスクランブル処理された書込みデータの反転データ／ＤＳｉが「０」の場合には、書込みパルスＷＰＬＳが活性化された期間、ビット線ＢＬＮＮ＿ｉを接地電圧Ｖｓｓと接続させることによって、ビット線ＢＬＮＮ＿ｉに書込み電流が流れるようにする。これによって、選択された行ｋのメモリセルＭＣＮ（ｉ，ｋ）の閾値電圧Ｖｔｈが増加し、セルデータ「０」が書込まれる。

[0080] 書込みラッチ回路６２Ｎ＿ｉ（ｉ＝１～Ｎ）は、インバータＩＶＮ＿ｉから送られるスクランブル処理された書込みデータの反転データ／ＤＳｉが「１」の場合には、ビット線ＢＬＮＮ＿ｉを電源電圧ＶＤＤと接続させることによって、ビット線ＢＬＮＮ＿ｉに書込み電流が流れないようにする。これによって、選択された行ｋのメモリセルＭＣＮ（ｉ，ｋ）の閾値電圧Ｖｔｈが変化しない。

[0081] 読出し列選択回路＆センスアンプ６４は、正規マットＮＭＡＴ１の第１列～第Ｎ列のうちのデータを読出す列を選択する。読出し列選択回路＆センスアンプ６４は、選択した列がｊの場合には、ビット線ＢＬＮＰ＿ｊの電圧とビット線ＢＬＮＮ＿ｊの電圧の差を増幅して、スクランブル処理されたツインセルデータを読出して、ディスクランブラー６５＿ｊへ出力する。第１行デコーダ（ＲＤＥＣ１）２４および第２行デコーダ（ＲＤＥＣ２）２５によって選択された行がｋ行の場合には、ツインセルＭＴＣ（ｊ，ｋ）のスクランブル処理された書込みデータＲＤＳｊが読出される。ツインセルＭＴＣ（ｊ，ｋ）にスクランブル処理された書込みデータＤＳｊが書込まれた後、ツインセルＭＴＣ（ｊ，ｋ）のデータが消去されなかった場合に、読出されたデータＲＤＳｊはＤＳｊと等しくなる。一方、ツインセルＭＴＣ（ｊ，ｋ）のデータが消去された後に、ツインセルＭＴＣ（ｊ、ｋ）からデータが読出された場合には、読出されたデータＲＤＳｊは、本来は不定値となるはずであるが、図７を用いて説明したように、ＤＳｊと等しくなる場合がある。

[0082] 書込みラッチ回路６３Ｐ＿ｉ（ｉ＝１～Ｎ）は、スクランブルデータ発生回路５２からＮビットのスクランブルデータＳ１～ＳＮのうちの１ビットＳ

ｉを受ける。書込みラッチ回路６３Ｐ＿ｉは、Ｓｉが「０」の場合には、書込みパルスＷＰＬＳが活性化された期間、ビット線ＢＬＥＰ＿ｉを接地電圧Ｖｓｓと接続させることによって、ビット線ＢＬＥＰ＿ｉに書込み電流が流れるようにする。これによって、選択された行ｋのメモリセルＥＭＣＰ（ｉ，ｋ）の閾値電圧Ｖｔｈが増加し、セルデータ「０」が書込まれる。

[0083] 書込みラッチ回路６３Ｐ＿ｉ（ｉ＝１～Ｎ）は、Ｓｉが「１」の場合には、ビット線ＢＬＥＰ＿ｉを電源電圧ＶＤＤと接続させることによって、ビット線ＢＬＥＰ＿ｉに書込み電流が流れないようにする。これによって、選択された行ｋのメモリセルＥＭＣＰ（ｉ，ｋ）の閾値電圧Ｖｔｈが変化しない。

[0084] 書込みラッチ回路６３Ｎ＿ｉ（ｉ＝１～Ｎ）は、インバータＩＶＥ＿ｉから送られるＮビットのスクランブルデータＳ１～ＳＮのうちの１ビットＳｉの反転値／Ｓｉを受ける。書込みラッチ回路６３Ｎ＿ｉは、／Ｓｉが「０」の場合には、書込みパルスＷＰＬＳが活性化された期間、ビット線ＢＬＥＮ＿ｉを接地電圧Ｖｓｓと接続させることによって、ビット線ＢＬＥＮ＿ｉに書込み電流が流れるようにする。これによって、選択された行ｋのメモリセルＥＭＣＮ（ｉ，ｋ）の閾値電圧Ｖｔｈが増加し、セルデータ「０」が書込まれる。

[0085] 書込みラッチ回路６３Ｎ＿ｉ（ｉ＝１～Ｎ）は、／Ｓｉが「１」の場合には、ビット線ＢＬＮＮ＿ｉを電源電圧ＶＤＤと接続させることによって、ビット線ＢＬＥＮ＿ｉに書込み電流が流れないようにする。これによって、選択された行ｋのメモリセルＥＭＣＮ（ｉ，ｋ）の閾値電圧Ｖｔｈが変化しない。

[0086] 読出し列選択回路＆センスアンプ６６は、拡張マットＥＭＡＴ１の第１列～第Ｎ列のうちのデータを読出す列を選択する。読出し列選択回路＆センスアンプ６６は、選択した列がｊの場合には、ビット線ＢＬＥＰ＿ｊの電圧とビット線ＢＬＥＮ＿ｊの電圧の差を増幅し、スクランブルデータを読出して、読出されたスクランブルデータをディスクランブラー６５＿ｊへ出力する

。第１行デコーダ（ＲＤＥＣ１）２４および第２行デコーダ（ＲＤＥＣ２）２５によって選択された行がｋ行の場合には、ツインセルＥＴＣ（ｊ，ｋ）のスクランブルデータＲＳｊが出力される。ツインセルＥＴＣ（ｊ，ｋ）にスクランブルデータＳｊが書込まれた後、ツインセルＥＴＣ（ｊ，ｋ）のデータが消去されなかった場合に、読出されたツインセルデータＲＳｊはＳｊと等しくなる。一方、ツインセルＥＴＣ（ｊ，ｋ）のデータが消去された後に、ツインセルＥＴＣ（ｊ、ｋ）からデータが読出された場合には、読出されたデータＲＳｊは、本来は不定値となるはずであるが、図７を用いて説明したように、Ｓｊと等しくなる場合がある。

[0087] ディスクランブラー６５＿ｉ（ｉ＝１～Ｎ）は、読出し列選択回路＆センスアンプ６４から出力された１ビットのスクランブル処理されたツインセルデータＲＤＳｉを、読出し列選択回路＆センスアンプ６６から出力された１ビットのスクランブルデータＲＳｉを用いてディスクランブル処理して、出力バッファ（ＯＢＵＦ）２６へ出力する。

[0088] ここで、Ｎ個のディスクランブラー６５＿ｉ（ｉ＝１～Ｎ）によるディスクランブル処理の方式のすべてが同一であってもよいし、すべてが異なっていてもよいし、同一のものと相違するものとが混在していてもよい。ただし、ディスクランブラー６５＿ｉ（ｉ＝１～Ｎ）によるディスクランブル処理の方式は、対応するスクランブラー６１＿ｉにおいてスクラブルデータＳｉを用いて変換された書込みデータＤＳｉを同一のスクランブルデータＳｉを用いて元の書込みデータＤに復元できるものでなくてはならない。

[0089] 以上のように、本実施の形態によれば、スクランブル処理された書込みデータが正規マットに書込まれ、消去されていない場合には、スクランブル処理された書込みデータとスクランブルデータが正しく読出されるので、ディスクランブル処理によって書込みデータを正常に復元することができる。

[0090] スクランブル処理された書込みデータが正規マットに書込まれ、消去された場合には、スクランブルデータも拡張マットから消去される。この状態でも、消去前のスクランブル処理された書込みデータと、消去前のスクランブ

ルデータの両方が読出される可能性はあるが、その確率は低いので、ディスクランブル処理によって書込みデータが復元される確率を低くすることができる。

[0091] ［第２の実施形態の変形例］

第２の実施形態では、書込み列選択回路５１で選択された列、第１行デコーダ（ＲＤＥＣ１）２４および第２行デコーダ（ＲＤＥＣ２）２５によって選択された行のツインセルに１ビットのスクランブル処理された書込みデータが書込まれることとしたが、これに限定されるものではない。外部からＮビットの書込みデータが入力され、第１行デコーダ（ＲＤＥＣ１）２４および第２行デコーダ（ＲＤＥＣ２）２５によって選択された行のすべての列のそれぞれに、１ビットのスクランブル処理された書込みデータが書込まれることとしてもよい。

[0092] また、第２の実施形態では、スクランブラー６１＿ｉおよびディスクランブラー６５＿ｉは、１ビットのデータＳｉを用いて書込みデータをスクランブル処理およびディスクランブル処理することとしたが、これに限定するものではない。スクランブラー６１＿ｉおよびディスクランブラー６５＿ｉは、Ｎビットのスクランブルデータ（Ｓ１～ＳＮ）のうちの複数ビットを用いて書込みデータをスクランブル処理およびディスクランブル処理することとしてもよい。

［第３の実施形態］

図９は、第３の実施形態の半導体装置におけるツインセルデータの書込みおよび読出しに携わる主要な構成要素を表わす図である。

[0093] 図９の半導体装置が、図８の第２の実施形態の半導体装置と相違する点は、以下である。図８の半導体装置の正規部１００が、Ｎ個のスクランブラー６１＿１～６１＿ＮとＮ個のディスクランブラー６５＿１～６５＿Ｎを備えたのに対して、図８の半導体装置の正規部２００が、１個のスクランブラー７１と１個のディスクランブラー７５を備える点である。

[0094] スクランブラー７１は、スクランブルデータ発生回路５２からＮビットの

スクランブルデータＳ１～ＳＮを受ける。スクランブラー７１は、書込み列選択回路５１が選択した列がｉで、書込み列選択回路５１から１ビットの書込みデータＤが送られてきたときには、Ｓｉで１ビットの書込みデータをスクランブル処理する。スクランブル処理された書込みデータＤＳｉは、書込みラッチ回路６２Ｐ＿ｉへ送られるとともに、インバータＩＶＮ＿ｉを経由して書込みラッチ回路６２Ｎ＿ｉへ送られる。

[0095] ディスクランブラー７５は、読出し列選択回路＆センスアンプ６４から出力された１ビットのスクランブル処理されたツインセルデータＲＤＳｉを、読出し列選択回路＆センスアンプ６６から出力された１ビットのスクランブルデータＲＳｉを用いてディスクランブル処理して、出力バッファ（ＯＢＵＦ）２６へ出力する。ここで、ディスクランブラー７５によるディスクランブル処理の方式は、スクランブラー７１においてスクラブルデータＳｉを用いて変換された書込みデータＤＳｉを同一のスクランブルデータＳｉを用いて元の書込みデータＤに復元できるものでなくてはならない。

[0096] 以上のように、本実施の形態によれば、１個のスクランブラー７１および１個のディスクランブラー７５によって、Ｎ個の列の書込みデータのスクランブル処理およびディスクランブル処理を行なうので、回路の規模を第２の実施形態よりも小さくすることができる。

[0097] ［第３の実施形態の変形例］

第３の実施形態においても、第２の実施形態の変形例と同様に、外部からＮビットの書込みデータが入力され、第１行デコーダ（ＲＤＥＣ１）２４および第２行デコーダ（ＲＤＥＣ２）２５によって選択された行のすべての列のそれぞれに、１ビットのスクランブル処理された書込みデータが書込まれることとしてもよい。

[0098] また、スクランブラー７１およびディスクランブラー７５は、Ｎビットのスクランブルデータ（Ｓ１～ＳＮ）のうちの複数ビットを用いて書込みデータをスクランブル処理およびディスクランブル処理することとしてもよい。

［第４の実施形態］

図１０は、第４の実施形態の半導体装置におけるツインセルデータの書込みおよび読出しに携わる拡張部の構成を表わす図である。正規部については、第２の実施形態と同様なので説明を繰り返さない。

[0099] 拡張部３０１は、図８の第２の実施形態の半導体装置の拡張部１０１と相違する点は、以下である。

[0100] 図８の拡張部１０１が、２Ｎ個の書込みラッチ回路６３Ｐ＿１～６３Ｐ＿Ｎ，６３Ｎ＿１～６２Ｎ＿Ｎを備えるのに対して、図１０の拡張部３０１が、６Ｎ個の書込みラッチ回路７３Ｐ１＿１～７３Ｐ１＿Ｎ，７３Ｐ２＿１～７３Ｐ２＿Ｎ，７３Ｐ３＿１～７３Ｐ３＿Ｎ，７３Ｎ１＿１～７３Ｎ１＿Ｎ，７３Ｎ２＿１～７３Ｎ２＿Ｎ，７３Ｎ３＿１～７３Ｎ３＿Ｎを備える。

[0101] 図８の拡張部１０１の拡張マットＥＭＡＴ１が、Ｎ×Ｌ個のツインセルＥＴＣ（ｉ，ｊ）を備える（ただし、ｉは１～Ｎ、ｊ＝１～Ｌ）のに対して、図１０の拡張部３０１の拡張マットＥＭＡＴ２が、３Ｎ×Ｌ個のツインセルＥＴＣ（ｓ，ｉ，ｊ）を備える（ただし、ｓ＝１～３、ｉ＝１～Ｎ、ｊ＝１～Ｌ）。

[0102] ツインセルＥＴＣ（ｓ，ｉ，ｊ）は、ポジティブセルＥＭＣＰ（ｓ，ｉ，ｊ）とネガティブセルＥＭＣＮ（ｓ，ｉ，ｊ）を含む。ポジティブセルＥＭＣＰ（ｓ，ｉ，ｊ）は、ビット線ＢＬＥＰｓ＿ｉと接続する。ネガティブセルＥＭＣＮ（ｓ，ｉ，ｊ）は、ビット線ＢＬＥＮｓ＿ｉと接続する。

[0103] スクランブルデータ発生回路５２は、Ｎビットのスクランブルデータ Ｓ１～ＳＮを発生する。各ビットＳｉは、書込みラッチ回路７３Ｐ１＿ｉ，７３Ｐ２＿ｉ，７３Ｐ３＿ｉへ送られるとともに、インバータＩＶＥ＿ｉを経由して書込みラッチ回路７３Ｎ１＿ｉ，７３Ｎ２＿ｉ，７３Ｎ３＿ｉへ送られる。

[0104] 書込みラッチ回路７３Ｐ１＿ｉ，７３Ｐ２＿ｉ，７３Ｐ３＿ｉは、スクランブルデータ発生回路５２からＮビットのスクランブルデータＳ１～ＳＮのうちの１ビットＳｉを受ける。書込みラッチ回路７３Ｐ１＿ｉ，７３Ｐ２＿ｉ，７３Ｐ３＿ｉは、Ｓｉが「０」の場合には、書込みパルスＷＰＬＳが活

性化された期間、ビット線ＢＬＥＰ１＿ｉ，ＢＬＥＰ２＿ｉ，ＢＬＥＰ３＿ｉを接地電圧Ｖｓｓと接続させることによって、ビット線ＢＬＥＰ１＿ｉ，ＢＬＥＰ２＿ｉ，ＢＬＥＰ３＿ｉに書込み電流が流れるようにする。これによって、選択された行ｋのメモリセルＥＭＣＰ（１，ｉ，ｋ），ＥＭＣＰ（２，ｉ，ｋ），ＥＭＣＰ（３，ｉ，ｋ）の閾値電圧Ｖｔｈが増加し、セルデータ「０」が書込まれる。

[0105] 書込みラッチ回路７３Ｐ１＿ｉ，７３Ｐ２＿ｉ，７３Ｐ３＿ｉは、Ｓｉが「１」の場合には、ビット線ＢＬＥＰ１＿ｉ，ＢＬＥＰ２＿ｉ，ＢＬＥＰ３＿ｉを電源電圧ＶＤＤと接続させることによって、ビット線ＢＬＥＰ１＿ｉ，ＢＬＥＰ２＿ｉ，ＢＬＥＰ３＿ｉに書込み電流が流れないようにする。これによって、選択された行ｋのメモリセルＥＭＣＰ（１，ｉ，ｋ），ＥＭＣＰ（２，ｉ，ｋ），ＥＭＣＰ（３，ｉ，ｋ）の閾値電圧Ｖｔｈが変化しない。

[0106] 書込みラッチ回路７３Ｎ１＿ｉ，７３Ｎ２＿ｉ，７３Ｎ３＿ｉは、インバータＩＶＥ＿ｉからＮビットのスクランブルデータＳ１～ＳＮのうちの１ビットの反転値／Ｓｉを受ける。書込みラッチ回路７３Ｎ１＿ｉ，７３Ｎ２＿ｉ，７３Ｎ３＿ｉは、／Ｓｉが「０」の場合には、書込みパルスＷＮＬＳが活性化された期間、ビット線ＢＬＥＮ１＿ｉ，ＢＬＥＮ２＿ｉ，ＢＬＥＮ３＿ｉを接地電圧Ｖｓｓと接続させることによって、ビット線ＢＬＥＮ１＿ｉ，ＢＬＥＮ２＿ｉ，ＢＬＥＮ３＿ｉに書込み電流が流れるようにする。これによって、選択された行ｋのメモリセルＥＭＣＮ（１，ｉ，ｋ），ＥＭＣＮ（２，ｉ，ｋ），ＥＭＣＮ（３，ｉ，ｋ）の閾値電圧Ｖｔｈが増加し、セルデータ「０」が書込まれる。

[0107] 書込みラッチ回路７３Ｎ１＿ｉ，７３Ｎ２＿ｉ，７３Ｎ３＿ｉは、／Ｓｉが「１」の場合には、ビット線ＢＬＥＮ１＿ｉ，ＢＬＥＮ２＿ｉ，ＢＬＥＮ３＿ｉを電源電圧ＶＤＤと接続させることによって、ビット線ＢＬＥＮ１＿ｉ，ＢＬＥＮ２＿ｉ，ＢＬＥＮ３＿ｉに書込み電流が流れないようにする。これによって、選択された行ｋのメモリセルＥＭＣＮ（１，ｉ，ｋ），ＥＭ

ＣＮ（２，ｉ，ｋ），ＥＭＣＮ（３，ｉ，ｋ）の閾値電圧Ｖｔｈが変化しない。

[0108] 読出し列選択回路＆センスアンプ６６は、拡張マットＥＭＡＴ２の第１列～第Ｎ列のうちのデータを読出す列を選択する。読出し列選択回路＆センスアンプ６６は、選択した列がｊの場合には、ビット線ＢＬＥＰ１＿ｊの電圧とビット線ＢＬＥＮ１＿ｊの電圧の差を増幅し、スクランブルデータを読出して、判定回路７７へ出力する。読出し列選択回路＆センスアンプ６６は、選択した列がｊの場合には、ビット線ＢＬＥＰ２＿ｊの電圧とビット線ＢＬＥＮ２＿ｊの電圧の差を増幅し、スクランブルデータを読出して、判定回路７７へ出力する。読出し列選択回路＆センスアンプ６６は、選択した列がｊの場合には、ビット線ＢＬＥＰ３＿ｊの電圧とビット線ＢＬＥＮ３＿ｊの電圧の差を増幅し、スクランブルデータを読出して、判定回路７７へ出力する。

[0109] 第１行デコーダ（ＲＤＥＣ１）２４および第２行デコーダ（ＲＤＥＣ２）２５によって選択された行がｋ行の場合には、ツインセルＥＴＣ（１，ｊ，ｋ）の第１のスクランブルデータＲＳｊ１、ツインセルＥＴＣ（２，ｊ，ｋ）の第２のスクランブルデータＲＳｊ２、ツインセルＥＴＣ（３，ｊ，ｋ）の第３のスクランブルデータＲＳｊ３が読出される。

[0110] ツインセルＥＴＣ(１，ｊ，ｋ)、ＥＴＣ（２，ｊ，ｋ）、ＥＴＣ（３，ｊ，ｋ）にスクランブルデータＳｊが書込まれた後、ツインセルＥＴＣ(１，ｊ，ｋ)、ＥＴＣ（２，ｊ，ｋ）、ＥＴＣ（３，ｊ，ｋ）のデータが消去されなかった場合には、読出されたデータＲＳｊ１，ＲＳｊ２，ＲＳｊ３はＳｊと等しくなる。一方、ツインセルＥＴＣ(１，ｊ，ｋ)、ＥＴＣ（２，ｊ，ｋ）、ＥＴＣ（３，ｊ，ｋ）のデータが消去された後に、ツインセルＥＴＣ（１，ｊ、ｋ），ＥＴＣ（２，ｊ，ｋ）、ＥＴＣ（３，ｊ，ｋ）からデータが読出された場合には、読出されたデータＲＳｊ１，ＲＳｊ２，ＲＳｊ３は、本来は不定値となるはずであるが、図７を用いて説明したように、Ｓｊと等しくなる場合がある。

[0111] 判定回路７７は、第１のスクランブルデータＲＳｉ１と、第２のスクランブルデータＲＳｉ２と、第３のスクランブルデータＲＳｉ３の値がすべて同一のときには、その同一の値を読出したスクランブルデータＲＳｉとして出力する。

[0112] 判定回路７７は、第１のスクランブルデータＲＳｉ１と、第２のスクランブルデータＲＳｉ２と、第３のスクランブルデータＲＳｉ３の中の２つが「１」で、残りが「０」の場合には、「０」をスクランブルデータＲＳｉとして出力する。判定回路７７は、第１のスクランブルデータＲＳｉ１と、第２のスクランブルデータＲＳｉ２と、第３のスクランブルデータＲＳｉ３の中の２つが「０」で、残りが「１」の場合には、「１」をスクランブルデータＲＳｉとして出力する。

[0113] 以上のように、本実施の形態によれば、拡張マットの３つのツインセルにスクランブルデータを書込み、読出し時には、３つのツインセルから読出されたデータの値に基づいて、スクランブルデータを決定するので、消去前のスクランブルデータが読出される確率を低くすることができる。

[0114] ［第５の実施形態］

図１１は、第５の実施形態の半導体装置におけるツインセルデータの書込みおよび読出しに携わる主要な構成要素を表わす図である。

[0115] 図１１の半導体装置が、図８の第２の実施形態の半導体装置と相違する点は、以下である。図８の半導体装置が、２Ｎ個の書込みラッチ回路６３Ｐ＿１～６３Ｐ＿Ｎ，６３Ｎ＿１～６３Ｎ＿Ｎを備えるのに対して、図１１の拡張部４０１が、Ｎ個の書込みラッチ回路８３＿１～８３＿Ｎを備える点である。

[0116] また、図８の拡張部１０１の拡張マットＥＭＡＴ１が、Ｎ×Ｌ個のツインセルＥＴＣ（ｉ，ｊ）を備える（ただし、ｉは１～Ｎ、ｊ＝１～Ｌ）のに対して、図１１の拡張部４０１の拡張マットＥＭＡＴ３が、Ｎ×Ｌ個のシングルセルＥＭＣ（ｉ，ｊ）を備える（ただし、ｉ＝１～Ｎ、ｊ＝１～Ｌ）。シングルセルＥＭＣ（ｉ，ｊ）は、ビット線ＢＬＥ＿ｉと接続する。

[0117] 図１２（ａ）に示すように、シングルセルデータ“０”は、メモリセルＭＣがセルデータ“０”（高閾値電圧状態；閾値電圧が消去ベリファイレベル以上の状態）を保持する状態である。図１２（ｂ）に示すように、シングルセルデータ“１”は、メモリセルＭＣがセルデータ“１”（低閾値電圧状態；閾値電圧が消去ベリファイレベルよりも小さい状態）を保持する状態である。

[0118] スクランブルデータ発生回路５２は、Ｎビットのスクランブルデータ Ｓ１～ＳＮを発生する。各ビットＳｉは、書込みラッチ回路８３＿ｉへ送られる。

[0119] 書込みラッチ回路８３＿ｉ（ｉ＝１～Ｎ）は、スクランブルデータ発生回路５２からＮビットのスクランブルデータＳ１～ＳＮのうちの１ビットＳｉを受ける。書込みラッチ回路８３＿ｉは、Ｓｉが「０」の場合には、書込みパルスＷＰＬＳが活性化された期間、ビット線ＢＬＥ＿ｉを接地電圧Ｖｓｓと接続させることによって、ビット線ＢＬＥ＿ｉに書込み電流が流れるようにする。これによって、選択された行ｋのシングルセルＥＭＣ（ｉ，ｋ）の閾値電圧Ｖｔｈが増加し、セルデータ「０」が書込まれる。書込みラッチ回路８３＿ｉは、Ｓｉが「１」の場合には、ビット線ＢＬＥ＿ｉを電源電圧ＶＤＤと接続させることによって、ビット線ＢＬＥ＿ｉに書込み電流が流れないようにする。これによって、選択された行ｋのシングルセルＥＭＣ（ｉ，ｋ）の閾値電圧Ｖｔｈが変化しない。

[0120] 読出し列選択回路＆センスアンプ８６は、拡張マットＥＭＡＴ３の第１列～第Ｎ列のうちのデータを読出す列を選択する。読出し列選択回路＆センスアンプ６６のセンスアンプの一方の入力端子は、選択した列がｊの場合には、ビット線ＢＬＥ＿ｊと接続し、他方の入力端子が定電流源回路と接続する。このセンスアンプは、２つの入力端子の電圧の差を増幅し、スクランブルデータを読出してディスクランブラー６５＿ｊへ出力する。

[0121] 第１行デコーダ（ＲＤＥＣ１）２４および第２行デコーダ（ＲＤＥＣ２）２５によって選択された行がｋ行の場合には、シングルセルＥＭＣ（ｊ，ｋ

）のスクランブルデータＲＳｊが出力される。シングルセルＥＭＣ（ｊ，ｋ）にスクランブルデータＳｊが書込まれた後、シングルセルＥＭＣ（ｊ，ｋ）のデータが消去されなかった場合に、読出されたデータＲＳｊはＳｊと等しくなる。一方、シングルセルＥＭＣ（ｊ，ｋ）のデータが消去された後に、シングルセルＥＭＣ（ｊ、ｋ）からデータが読出された場合には、読出されたデータＲＳｊは、固定値「１」となる。

[0122] 以上のように、本実施の形態によれば、スクランブル処理された書込みデータが正規マットに書込まれ、消去されていない場合には、スクランブル処理された書込みデータとスクランブルデータが正しく読出されるので、ディスクランブル処理によって書込みデータを正常に復元することができる。

[0123] スクランブル処理された書込みデータが正規マットに書込まれ、消去された場合には、スクランブルデータも拡張マットから消去される。この状態では、消去前のスクランブル処理された書込みデータが読出される可能性があるが、消去前のスクランブルデータが読出されることはない（固定値「１」が読出される）ので、ディスクランブル処理によって書込みデータが復元されるのを回避できる。

[0124] ［第６の実施形態］

図１３は、第６の実施形態の半導体装置におけるツインセルデータの書込みおよび読出しに携わる主要な構成要素を表わす図である。

[0125] 図１３の半導体装置が、図８の第２の実施形態の半導体装置と相違する点は、以下である。図８の半導体装置の２Ｎ個の書込みラッチ回路６３Ｐ＿１～６３Ｐ＿Ｎ，６３Ｎ＿１～６２Ｎ＿Ｎを備えるのに対して、図１３の拡張部５０１が、３Ｎ個の書込みラッチ回路９３＿１＿１～９３＿１＿Ｎ，９３＿２＿１～９３＿２＿Ｎ，９３＿３＿１～９３＿３＿Ｎを備える点である。

[0126] また、図８の拡張部１０１の拡張マットＥＭＡＴ１が、Ｎ×Ｌ個のツインセルＥＴＣ（ｉ，ｊ）を備える（ただし、ｉは１～Ｎ、ｊ＝１～Ｌ）のに対して、図１３の拡張部５０１の拡張マットＥＭＡＴ４が、３Ｎ×Ｌ個のシングルセルＥＭＣ（ｓ，ｉ，ｊ）を備える（ただし、ｓ＝１～３、ｉ＝１～Ｎ

、ｊ＝１～Ｌ）。シングルセルＥＭＣ（ｓ，ｉ，ｊ）は、ビット線ＢＬＥｓ＿ｉと接続する。

[0127] スクランブルデータ発生回路５２は、Ｎビットのスクランブルデータ Ｓ１～ＳＮを発生する。各ビットＳｉは、書込みラッチ回路９３＿１＿ｉ，９３＿２＿ｉ，９３＿３＿ｉへ送られる。

[0128] 書込みラッチ回路９３＿１＿ｉ，９３＿２＿ｉ，９３＿３＿ｉは、スクランブルデータ発生回路５２からＮビットのスクランブルデータＳ１～ＳＮのうちの１ビットＳｉを受ける。書込みラッチ回路９３＿１＿ｉ，９３＿２＿ｉ，９３＿３＿ｉは、Ｓｉが「０」の場合には、書込みパルスＷＰＬＳが活性化された期間、ビット線ＢＬＥ１＿ｉ，ＢＬＥ２＿ｉ，ＢＬＥ３＿ｉを接地電圧Ｖｓｓと接続させることによって、ビット線ＢＬＥ１＿ｉ，ＢＬＥ２＿ｉ，ＢＬＥ３＿ｉに書込み電流が流れるようにする。これによって、選択された行ｋのメモリセルＥＭＣ（１，ｉ，ｋ），ＥＭＣ（２，ｉ，ｋ），ＥＭＣ（３，ｉ，ｋ）の閾値電圧Ｖｔｈが増加し、セルデータ「０」が書込まれる。

[0129] 書込みラッチ回路９３＿１＿ｉ，９３＿２＿ｉ，９３＿３＿ｉは、Ｓｉが「１」の場合には、ビット線ＢＬＥ１＿ｉ，ＢＬＥ２＿ｉ，ＢＬＥ３＿ｉを電源電圧ＶＤＤと接続させることによって、ビット線ＢＬＥ１＿ｉ，ＢＬＥ２＿ｉ，ＢＬＥ３＿ｉに書込み電流が流れないようにする。これによって、選択された行ｋのメモリセルＥＭＣ（１，ｉ，ｋ），ＥＭＣ（２，ｉ，ｋ），ＥＭＣ（３，ｉ，ｋ）の閾値電圧Ｖｔｈが変化しない。

[0130] 図１４（ａ）に示すように、記憶するＳｉが“０”の場合には、メモリセルＥＭＣ（１，ｉ，ｋ）、ＥＭＣ（２，ｉ，ｋ），ＥＭＣ（３，ｉ，ｋ）はセルデータ“０”（高閾値電圧状態；閾値電圧が消去ベリファイレベル以上の状態）を保持する状態である。図１４（ｂ）に示すように、記憶するＳｉが“１”の場合には、メモリセルＥＭＣ（１，ｉ，ｋ）、ＥＭＣ（２，ｉ，ｋ），ＥＭＣ（３，ｉ，ｋ）はセルデータ“１”（低閾値電圧状態；閾値電圧が消去ベリファイレベルよりも小さい状態）を保持する状態である。

[0131] 読出し列選択回路＆センスアンプ９６は、拡張マットＥＭＡＴ４の第１列～第Ｎ列のうちのデータを読出す列を選択する。

[0132] 図１５は、読出し列選択回路＆センスアンプ９６のセンスアンプ９７を表わす図である。センスアンプ９７の一方の入力端子は、選択した列がｊの場合には、ビット線ＢＬＥ１＿ｊ、ＢＬＥ２＿ｊ、およびＢＬＥ３＿ｊと接続し、他方の入力端子が定電流源回路９８と接続する。センスアンプ９７は、２つの入力端子の電圧の差を増幅し、スクランブルデータを読出してディスクランブラー６５＿ｊへ出力する。

[0133] 本実施の形態では、３つのメモリセルのうちのいずれかのメモリセルのデータ保持特性が悪く閾値電圧が低下した場合でも、３つのメモリセルからの電流の合計値と定電流源回路９８からの電流の和とが比較されるので、読出しマージンを確保することができる。したがって、定電流源回路９８が出力する定電流は、読出しマージンを考慮した値に設定される。

[0134] 第１行デコーダ（ＲＤＥＣ１）２４および第２行デコーダ（ＲＤＥＣ２）２５によって選択された行がｋ行の場合には、シングルセルＥＭＣ（１，ｊ，ｋ）、ＥＭＣ（２，ｊ，ｋ）、ＥＭＣ（３，ｊ，ｋ）のスクランブルデータＲＳｊが出力される。シングルセルＥＭＣ（１，ｊ，ｋ），ＥＭＣ（２，ｊ，ｋ）、ＥＭＣ（３，ｊ，ｋ）にスクランブルデータＳｊが書込まれた後、シングルセルＥＭＣ（１，ｊ，ｋ），ＥＭＣ（２，ｊ，ｋ）、ＥＭＣ（３，ｊ，ｋ）のデータが消去されなかった場合に、読出されたデータＲＳｊはＳｊと等しくなる。一方、シングルセルＥＭＣ（１，ｊ，ｋ），ＥＭＣ（２，ｊｋ）、ＥＭＣ（３，ｊ，ｋ）のデータが消去された後に、シングルセルＥＭＣ（１，ｊ、ｋ），ＥＭＣ（２，ｊ，ｋ），ＥＭＣ（３，ｊ，ｋ）からデータが読出された場合には、読出されたデータＲＳｊは、固定値「１」となる。

[0135] 以上のように、本実施の形態によれば、スクランブル処理された書込みデータが正規マットに書込まれ、消去されていない場合には、スクランブル処理された書込みデータとスクランブルデータが正しく読出されるので、ディスクランブル処理によって書込みデータを正常に復元することができる。こ

の際、拡張マット内のスクランブルデータの保持力を第５の実施形態よりも高めることができる。

[0136] スクランブル処理された書込みデータが正規マットに書込まれ、消去された場合には、スクランブルデータも拡張マットから消去される。この状態では、消去前のスクランブル処理された書込みデータが読出される可能性があるが、消去前のスクランブルデータが読出されることはない（固定値「１」が読出される）ので、ディスクランブル処理によって書込みデータが復元されるのを回避できる。

[0137] ［第７の実施形態］

図１６は、第７の実施形態の正規部と拡張部の構成を表わす図である。

[0138] 図１６に示すように、本実施の形態の半導体装置は、図８の第２の実施形態の正規部１００をＭ個備える（正規部１００＿１～１００＿Ｎ）。

[0139] つまり、拡張部１０１のスクランブルデータ発生回路５２で生成されたＮビットのスクランブルデータＳ１～ＳＮがＭ個の正規部１００＿１～１００＿Ｍのスクランブラー６１＿１～６１＿Ｎへ送られる。拡張部１０１の読出し列選択回路＆センスアンプ６６から出力された読出されたＮビットのスクランブルデータＲＳ１～ＲＳＮがＭ個の正規部１００＿１～１００＿Ｍのディスクランブラー６５＿１～６５＿Ｎへ送られる。

[0140] ここで、正規部１００＿ｉがＭ個のデータ入力ピンＤＩ１～ＤＩＭの中のデータ入力ピンＤＩｉに対応し、Ｍ個のデータ出力ピンＤＯ１～ＤＯＭの中のデータ出力ピンＤＯｉに対応する。

[0141] Ｍ個の正規部１００＿１～１００＿Ｍが、Ｍ個のデータ入力ピンＤＩ１～ＤＩＭからのＭビットの書込みデータの同時書込みを実行し、Ｍ個の正規部１００＿１～１００＿Ｍが同時読出しを実行して、Ｍ個のデータ出力ピンＤＯ１～ＤＯＭから読出したＭビットのデータを出力する。

[0142] 以上のように、本実施の形態では、Ｎビットのスクランブルデータが正規部のＮ×Ｍ列の書込みデータに適用されるので、第２の実施形態に比べて、拡張マットの領域を小さくすることができる。

[0143] ［第７の実施形態の変形例］

図１７は、第７の実施形態の変形例の正規部と拡張部の構成を表わす図である。

[0144] 図１７に示すように、本変形例の半導体装置は、図９の第３の実施形態の正規部２００をＭ個備える（正規部２００＿１～２００＿Ｍ）。

[0145] つまり、拡張部１０１のスクランブルデータ発生回路５２で生成されたＮビットのスクランブルデータＳ１～ＳＮがＭ個の正規部２００＿１～２００＿Ｍのスクランブラー７１へ送られる。拡張部１０１の読出し列選択回路＆センスアンプ６６から出力された読出されたＮビットのスクランブルデータＲＳ１～ＲＳＮがＭ個の正規部２００＿１～２００＿Ｍのディスクランブラー７５へ送られる。

[0146] ここで、第７の実施形態と同様に、正規部２００＿ｉがＭ個のデータ入力ピンＤＩ１～ＤＩＭの中のデータ入力ピンＤＩｉに対応し、Ｍ個のデータ出力ピンＤＯ１～ＤＯＭの中のデータ出力ピンＤＯｉに対応する。

[0147] Ｍ個の正規部２００＿１～２００＿Ｍが、Ｍ個のデータ入力ピンＤＩ１～ＤＩＭからのＭビットの書込みデータの同時書込みを実行し、Ｍ個の正規部２００＿１～２００＿Ｍが同時読出しを実行して、Ｍ個のデータ出力ピンＤＯ１～ＤＯＭから読出したＭビットのデータを出力する。

[0148] 以上のように、本変形例では、Ｎビットのスクランブルデータが正規部のＮ×Ｍ列の書込みデータに適用されるので、第３の実施形態に比べて、拡張マットの領域を小さくすることができる。

[0149] ［第８の実施形態］

図１８は、第８の実施形態のメモリアレイの１消去ブロック構成を表わす図である。

[0150] １消去ブロックは、正規マットと拡張マットからなる。１消去ブロックの正規マットは、小ブロックＮＭＡＴ＜０＞～ＮＭＡＴ＜３１＞に分割される。１消去ブロックの拡張マットは、小ブロックＥＭＡＴ＜０＞～ＥＭＡＴ＜３１＞に分割される。

[0151] 正規マットの小ブロックＮＭＡＴ＜ｉ＞と拡張マットの小ブロックＥＭＡＴ＜ｉ＞は、互いに隣接して配置される。一例として、拡張マットの小ブロックＥＭＡＴ＜ｉ＞に格納されたスクランブルデータは、正規マットの小ブロックＮＭＡＴ＜ｉ＞への書込みデータのスクランブル処理およびディスクランブル処理に用いるものとしてもよい。あるいは、拡張マットの小ブロックＥＭＡＴ＜ｉ＞に格納されたスクランブルデータの一部が、正規マットの小ブロックＮＭＡＴ＜ｉ＞への書込みデータのスクランブル処理およびディスクランブル処理に用い、残りが、他の１個以上の正規マットの小ブロックＥＭＡＴ＜ｊ＞（ｊ≠ｉ）への書込みデータのスクランブル処理およびディスクランブル処理に用いることとしてもよい。

[0152] 正規マットの小ブロックＮＭＡＴ＜ｉ＞と拡張マットの小ブロックＥＭＡＴ＜ｉ＞のメモリセルは、共通のソース線ＳＬ＜ｉ＞と接続され、これらのメモリセルは、同一のタイミングで消去が実行される。

[0153] 図１９に示すように、まず、ソース線ＳＬ＜０＞が活性化され、第１番目に正規マットの小ブロックＮＭＡＴ＜０＞と拡張マットの小ブロックＥＭＡＴ＜０＞のメモリセルが消去される。

[0154] 次に、ソース線ＳＬ＜１＞が活性化され、正規マットの小ブロックＮＭＡＴ＜１＞と拡張マットの小ブロックＥＭＡＴ＜１＞のメモリセルが消去される。

[0155] 最後に、ソース線ＳＬ＜３１＞が活性化され、正規マットの小ブロックＮＭＡＴ＜３１＞と拡張マットの小ブロックＥＭＡＴ＜３１＞のメモリセルが消去される。

[0156] 以上のように、本実施の形態によれば、拡張マットを物理的に分散して配置するので、拡張マットを物理的に集中して配置した場合に生じる、特定の時分割消去時のみ消去するビット数が増加したり、拡張マットを追加で時分割消去しなければならなくなる問題を回避できる。

[0157] 本発明は、上記実施形態に限定されるものではなく、たとえば以下のような変形例も含まれる。

[0158] （１）切替制御

本発明の実施の形態の半導体装置は、書込み時に書込みデータをスクランブル処理し、読出し時に読出しデータをディスクランブル処理することとしたが、本発明は、上記第１段階の処理に限定されるものではない。

[0159] たとえば、半導体装置は、通常の書込みおよび読出しの機能と、上記スクランブル処理を伴う書込みおよびディスクランブル処理を伴う読出しの機能の両方を備え、いずれの機能を実行するかを切り替えることができるものとしてもよい。

[0160] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

符号の説明

[0161] １　マイクロコンピュータ（ＭＣＵ）、２　中央処理装置（ＣＰＵ）、３　ダイレクトメモリアクセスコントローラ（ＤＭＡＣ）、４　バスインタフェース回路（ＢＩＦ）、５　ランダムアクセスメモリ（ＲＡＭ）、６　フラッシュメモリモジュール（ＦＭＤＬ）、７　フラッシュシーケンサ（ＦＳＱＣ）、８，９　外部入出力ポート（ＰＲＴ）、１０　タイマ（ＴＭＲ）、１１　クロックパルスジェネレータ（ＣＰＧ）、１９　メモリアレイ（ＭＡＲＹ）、２４　第１行デコーダ（ＲＤＥＣ１）、２５　第２行デコーダ（ＲＤＥＣ２）、２９　入出力回路（ＩＯＢＵＦ）、３０　列デコーダ(ＣＤＥＣ)、３１　電源回路(ＶＰＧ)、３２，タイミングジェネレータ（ＴＭＧ）、３３　ベリファイ部、３４　書込み列選択部、３５，５０１　スクランブル部、３６　書込みラッチ部、３７　列選択＆増幅部、３８，５０４　ディスクランブル部、５１　書込み列選択回路、５２　スクランブルデータ発生回路、６１＿１～６１＿Ｎ，７１　スクランブラー、６２Ｐ＿１～６２Ｐ＿Ｎ，６２Ｎ＿１～６２Ｎ＿Ｎ，６３Ｐ＿１～６３Ｐ＿Ｎ，６３Ｎ＿１～６３Ｎ＿２，７３Ｐ１＿１～７３Ｐ１＿Ｎ，７３Ｐ２＿１～７３Ｐ２＿Ｎ，７３Ｐ３＿１～７３Ｐ３＿Ｎ，７３Ｎ１＿１～７３Ｎ１＿Ｎ，７３Ｎ２＿１～７３Ｎ

２＿Ｎ，７３Ｎ３＿１～７３Ｎ３＿Ｎ，８３＿１～８３＿Ｎ，９３＿１＿１～９３＿１＿Ｎ，９３＿２＿１～９３＿２＿Ｎ，９３＿３＿１～９３＿３＿Ｎ　書込みラッチ回路、６４，６６　読出し列選択回路＆センスアンプ、６５＿１～６５＿Ｎ，７５　ディスクランブラー、９７　センスアンプ、９８　定電流源回路、１００，１００＿１～１００＿Ｍ，２００，２００＿１～２００＿Ｍ　正規部、１０１，３０１，４０１，５０１　拡張部、ＮＭＡＴ１，ＮＭＡＴ＜０＞～ＮＭＡＴ＜３１＞　正規マット、ＥＭＡＴ１，ＥＭＡＴ２，ＥＭＡＴ３，ＥＭＡＴ４，ＥＭＡＴ＜０＞～ＥＭＡＴ＜３１＞　拡張マット、５００　半導体装置、５０２　第１の記憶部、５０３　第２の記憶部、５０６，５０７，５１０，ＭＣＰ（ｉ，ｊ），ＭＣＮ（ｉ，ｊ），ＥＭＣＰ（ｉ，ｊ），ＥＭＣＮ（ｉ，ｊ），ＥＭＣ（ｉ，ｊ），ＥＭＣ（ｓ，ｉ，ｊ），ＥＭＣＰ（ｓ，ｉ，ｊ），ＥＭＣＮ（ｓ，ｉ，ｊ）　メモリセル、５０５，ＭＴＣ（ｉ，ｊ），ＥＴＣ（ｉ，ｊ），ＥＴＣ（ｓ，ｉ，ｊ）　ツインセル５０９，５１１　書込み部、ＢＬＮＰ＿１～ＢＬＮＰ＿Ｎ，ＢＬＮＮ＿１～ＢＬＮＮ＿Ｎ，ＢＬＥＰ＿１～ＢＬＥＰ＿Ｎ，ＢＬＥＮ＿１～ＢＬＥＮ＿Ｎ，ＢＬＥ＿１～ＢＬＥ＿Ｎ　ビット線、ＩＶＮ＿１～ＩＶＮ＿Ｎ，ＩＶＥ＿１～ＩＶＥ＿Ｎ　インバータ、ＰＢＵＳ＿Ｄ　周辺データバス、ＤＩ０～ＤＩＭ　データ入力ピン、ＤＯ０～ＤＯＭ　データ出力ピン。

請求の範囲

[請求項1] 電気的に書換え可能で、閾値電圧の相違によって相補的に１ビットのデータを記憶するツインセルを含む第１の記憶部と、

電気的に書き換え可能なメモリセルを含む第２の記憶部と、

前記第１の記憶部内の前記ツインセルに書込むデータをスクランブルデータを用いてスクランブル処理するスクランブル部と、

前記第１の記憶部内の前記ツインセルにスクランブル処理後の書込みデータを書込む第１の書込み部と、

前記第２の記憶部内の前記メモリセルに前記スクランブルデータを書込む第２の書込み部と、

前記第２の記憶部から読出されたスクラブルデータを用いて、前記第１の記憶部から読出されたデータをディスクランブル処理するディスクランブル部とを備えた、半導体装置。

[請求項2] 前記第２の記憶部は、２つメモリセルからなり、前記スクランブルデータの１ビットを記憶するツインセルを含む、請求項１記載の半導体装置。

[請求項3] 前記第２の記憶部は、１つのメモリセルからなり、前記スクランブルデータの１ビットを記憶するシングルセルを含む、請求項１記載の半導体装置。

[請求項4] 前記第２の記憶部は、１つのメモリセルからなり、前記スクランブルデータの１ビットを記憶する複数のシングルセルを含み、前記複数のシングルセルは、スクランブルデータの１ビットを重複して記憶し、

一方の入力端子が前記複数の単一のメモリセルと接続する複数のビット線に同時に接続され、他方の入力端子が定電流源回路と接続されるセンスアンプを備える、請求項１記載の半導体装置。

[請求項5] 前記第２の記憶部は、２つメモリセルからなり、スクランブルデータの１ビットを記憶する複数のツインセルを含み、前記複数のツイン

セルは、スクランブルデータの１ビットを重複して記憶し、

前記複数のツインセルから読出された１ビットの値がすべて同一であるときには、前記同一の値を前記ディスクランブル部へ送り、前記複数のツインセルから読出された１ビットの値のうち他と異なるものがあるときには、頻度が少ない方の値を前記ディスクランブル部へ送る判定回路を備える、請求項１記載の半導体装置。

［請求項6］ 前記スクランブル部は、

前記第１の記憶部の列ごとに設けられる複数個のスクランブラーを含み、

前記スクランブラーは、対応の列のツインセルに対する１ビットの書込みデータを前記スクランブルデータを用いてスクランブル処理し、

前記ディスクランブル部は、

前記第１の記憶部の列ごとに設けられる複数個のディスクランブラーを含み、

前記ディスクランブラーは、対応の列のツインセルから読出された１ビットのデータを前記第２の記憶部から読出されたスクランブルデータ用いてディスクランブル処理する、請求項１記載の半導体装置。

［請求項7］ 前記スクランブルデータは、複数のビットで構成され、

前記スクランブラーは、対応の列のツインセルに対する１ビットの書込みデータを前記スクランブルデータを構成する複数ビットのうち前記列に対応する１ビットを用いてスクランブル処理し、

前記ディスクランブラーは、対応の列のツインセルから読出された１ビットのデータを前記スクランブルデータを構成する複数ビットのうち前記列に対応する１ビットを用いてディスクランブル処理する、請求項６記載の半導体装置。

［請求項8］ 前記スクランブル部は、

前記第１の記憶部の複数の列に共通に設けられるスクランブラーを

含み、

前記スクランブラーは、前記ツインセルに対する１ビットの書込みデータを前記スクランブルデータを用いてスクランブル処理し、

前記ディスクランブル部は、

前記第１の記憶部の複数の列に共通に設けられるディィスクランブラーを含み、

前記ディスクランブラーは、前記ツインセルから読出された１ビットのデータを前記第２の記憶部から読出されたスクランブルデータ用いてディスクランブル処理する、請求項１記載の半導体装置。

[請求項9] 前記スクランブルデータは、複数のビットで構成され、

前記スクランブラーは、ツインセルに対する１ビットの書込みデータを前記スクランブルデータを構成する複数ビットのうち前記ツインセルの列に対応する１ビットを用いてスクランブル処理し、

前記ディスクランブラーは、前記ツインセルから読出された１ビットのデータを前記スクランブルデータを構成する複数ビットのうち前記ツインセルの列に対応する１ビットを用いてディスクランブル処理する、請求項８記載の半導体装置。

[請求項10] 複数組のデータ入力ピンおよびデータ出力ピンと、

データ入力ピンおよびデータ出力ピンの組ごとに、前記スクランブラーおよび前記ディスクランブラーを備え、

複数個の前記スクランブラーは、同一のスクランブルデータを用いてスクランブル処理し、複数個の前記ディスクランブラーは、同一のスクランブルデータを用いてディスクランブル処理する、請求項８記載の半導体装置。

[請求項11] 前記第１の記憶部および前記第２の記憶部は、それぞれ同一の個数の小ブロックに分割され、

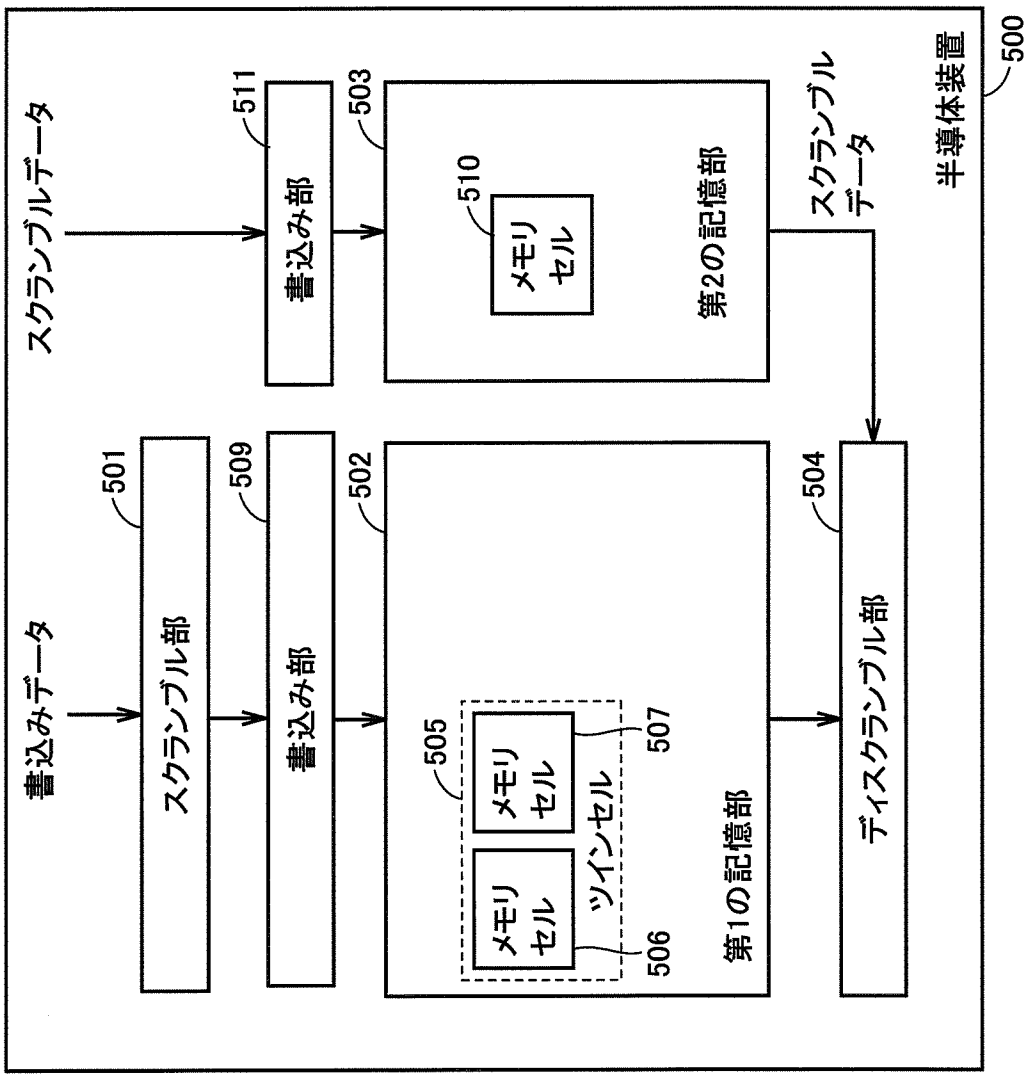
前記第１の記憶部の小ブロックおよび前記第２の記憶部の小ブロックの組は、同一のタイミングで消去される、請求項１記載の半導体装

置。

［請求項12］ 前記第１の記憶部のデータが消去されるときには、前記第２の記憶部のデータも消去される、請求項１記載の半導体装置。

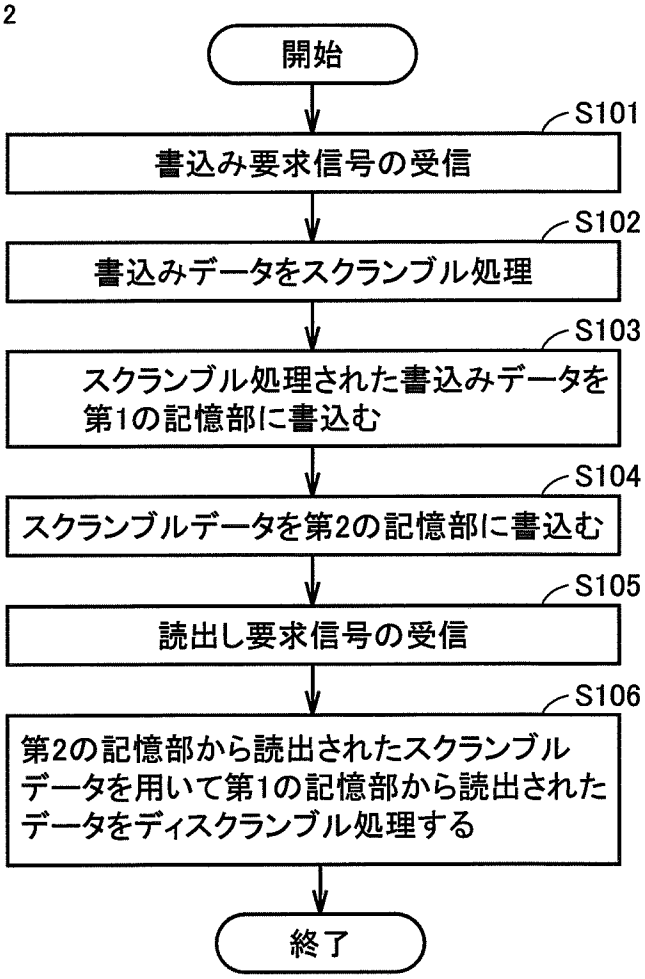
[図1]

図1


半導体装置
500
スクランブルデータ
511
書込み部
503
510
メモリセル
第2の記憶部
スクランブルデータ
書込みデータ
501
スクランブル部
509
書込み部
502
505
メモリセル
507
ツインセル
メモリセル
506
第1の記憶部
504
ディスクランブル部

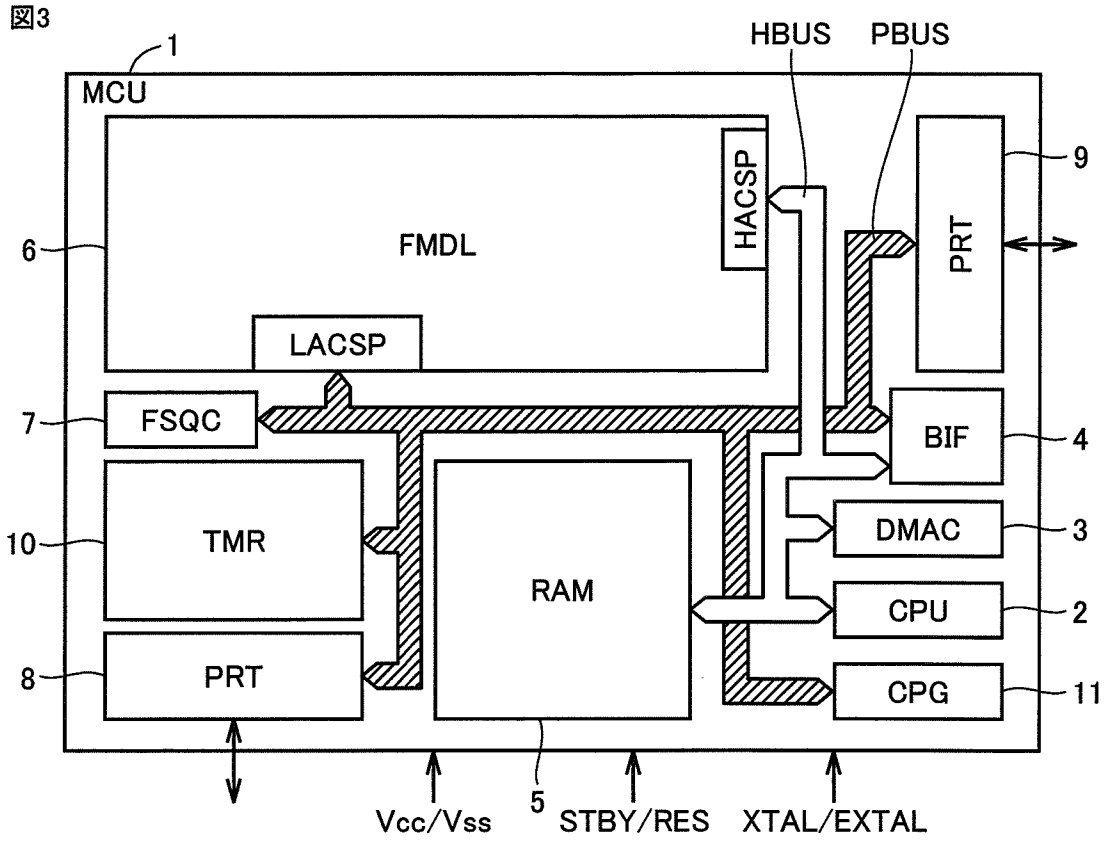
[図2]

図2


開始
S101
書込み要求信号の受信
S102
書込みデータをスクランブル処理
S103
スクランブル処理された書込みデータを第1の記憶部に書込む
S104
スクランブルデータを第2の記憶部に書込む
S105
読出し要求信号の受信
S106
第2の記憶部から読出されたスクランブルデータを用いて第1の記憶部から読出されたデータをディスクランブル処理する
終了

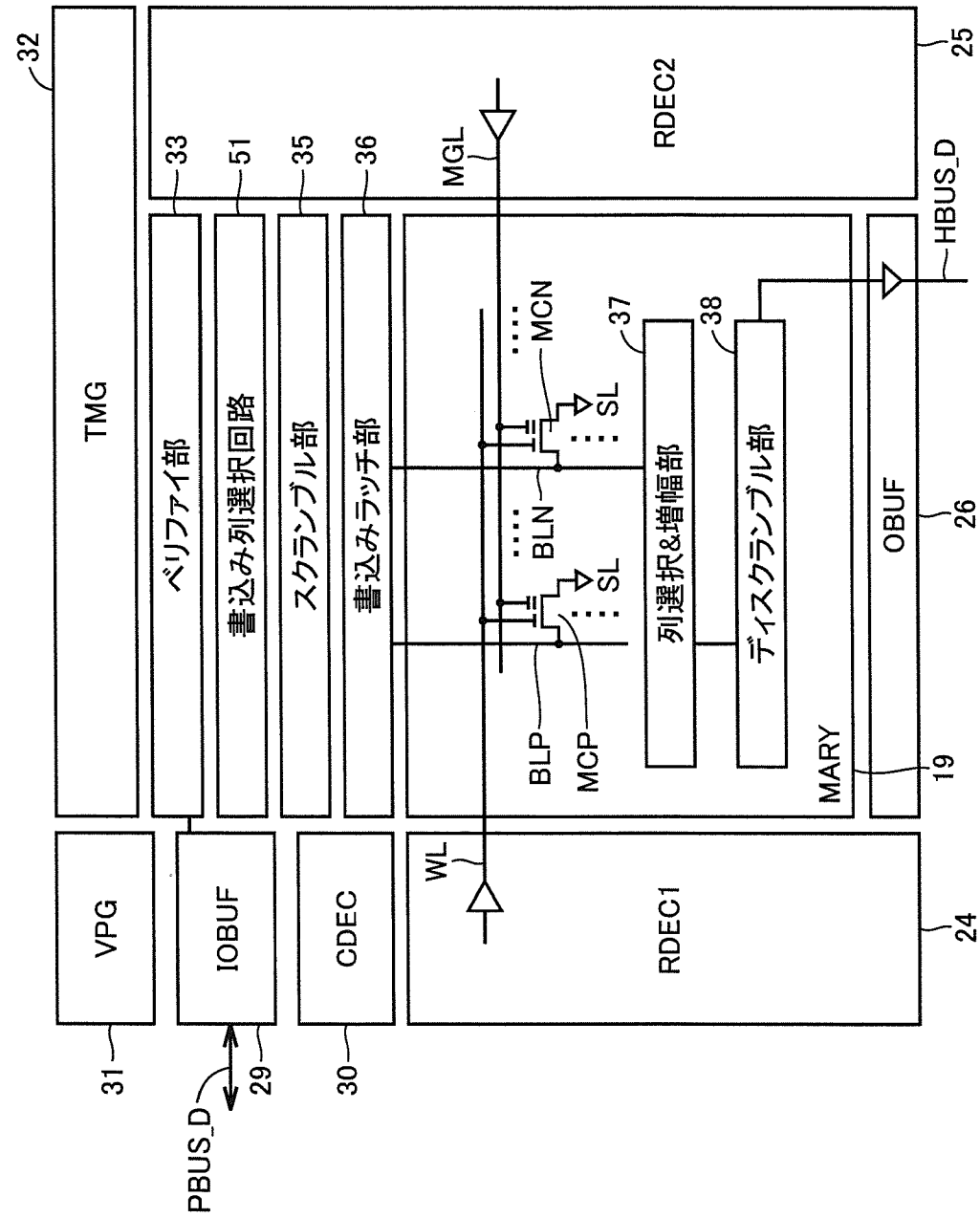
[図3]

図3


1
MCU
HBUS
PBUS
FMDL
HACSP
PRT
9
6
LACSP
7
FSQC
BIF
4
10
TMR
RAM
DMAC
3
CPU
2
8
PRT
CPG
11
5
Vcc/Vss
STBY/RES
XTAL/EXTAL

[図4]

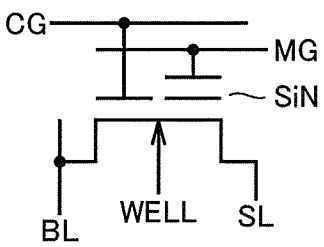
図4


32
TMG
33
ベリファイ部
51
書込み列選択回路
35
スクランブル部
36
書込みラッチ部
MGL
RDEC2
25
HBUS_D
MCN
SL
BLN
SL
37
列選択&増幅部
38
ディスクランブル部
OBUF
26
BLP
MCP
MARY
19
WL
RDEC1
24
VPG
31
IOBUF
29
CDEC
30
PBUS_D

[図5]

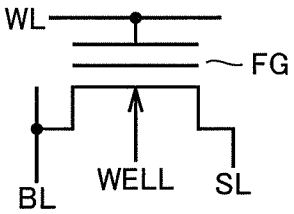
図5

(a)



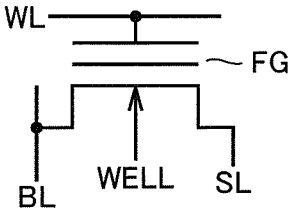
	BL	CG	MG	SL	WELL	
読み出し	1.5V	1.5V	0V	0V	0V	
Vth上げる	0V	0.9V	10V	6V	0V	(ビット毎)
Vth下げる	Hi-Z	Open	-10V	6V	0V	(一括)

(b)



	BL	WL	SL	WELL	
読み出し	1.5V	1.5V	0V	0V	
Vth上げる	6V	10V	0V	0V	(ビット毎)
Vth下げる	10V	-10V	10V	10V	(一括)

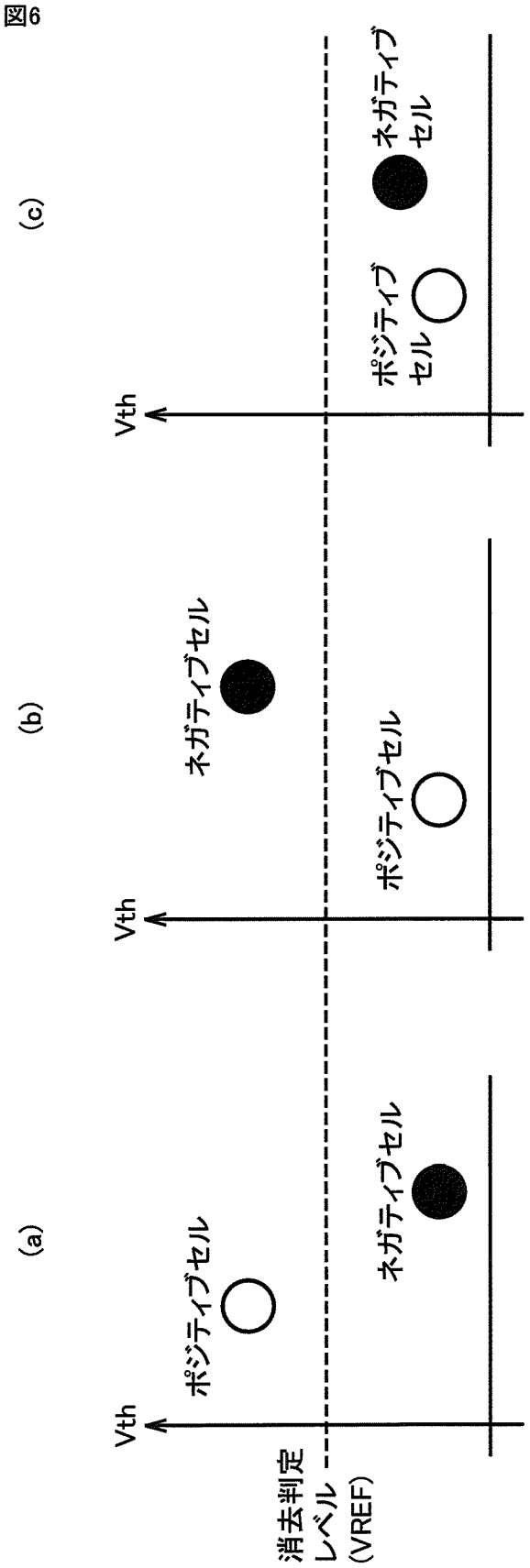
(c)



	BL	WL	SL	WELL	
読み出し	1.5V	1.5V	0V	0V	
Vth上げる	-10V	10V	-10V	-10V	(一括)
Vth下げる	10V	-10V	0V	0V	(ビット毎)

[図6]

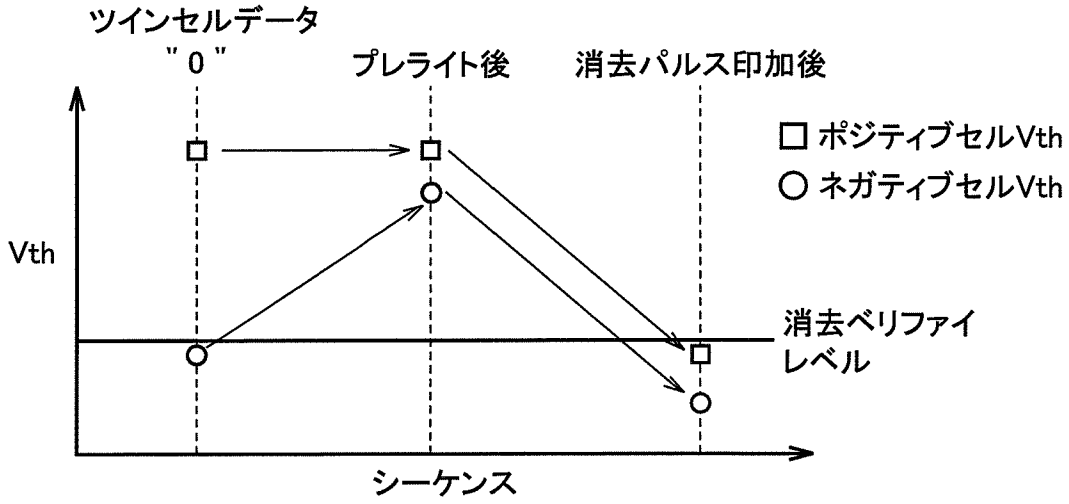
図6


(a)
ポジティブセル
Vth
消去判定
レベル
(VREF)
ネガティブセル
(b)
ネガティブセル
Vth
ポジティブセル
(c)
ポジティブ
セル
Vth
ネガティブ
セル

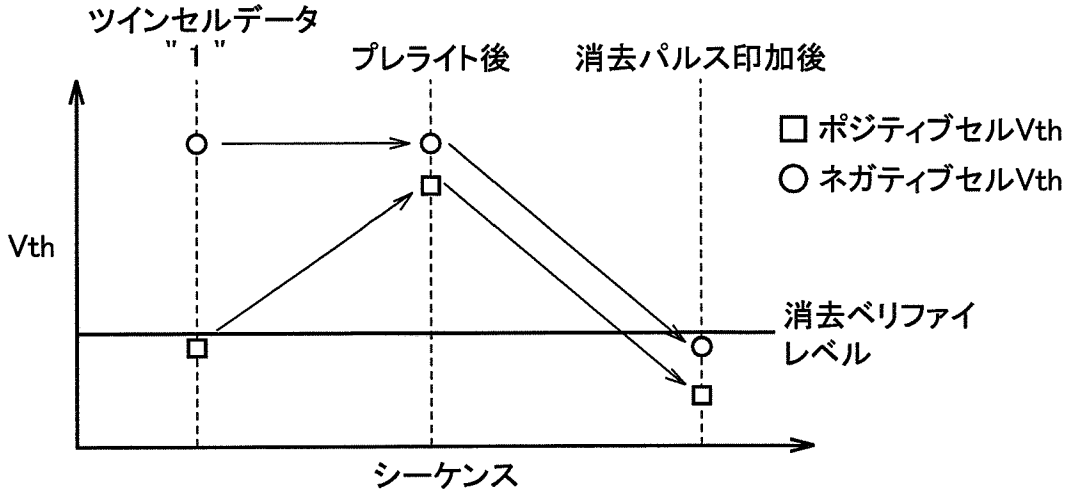
[図7]

図7

(a)

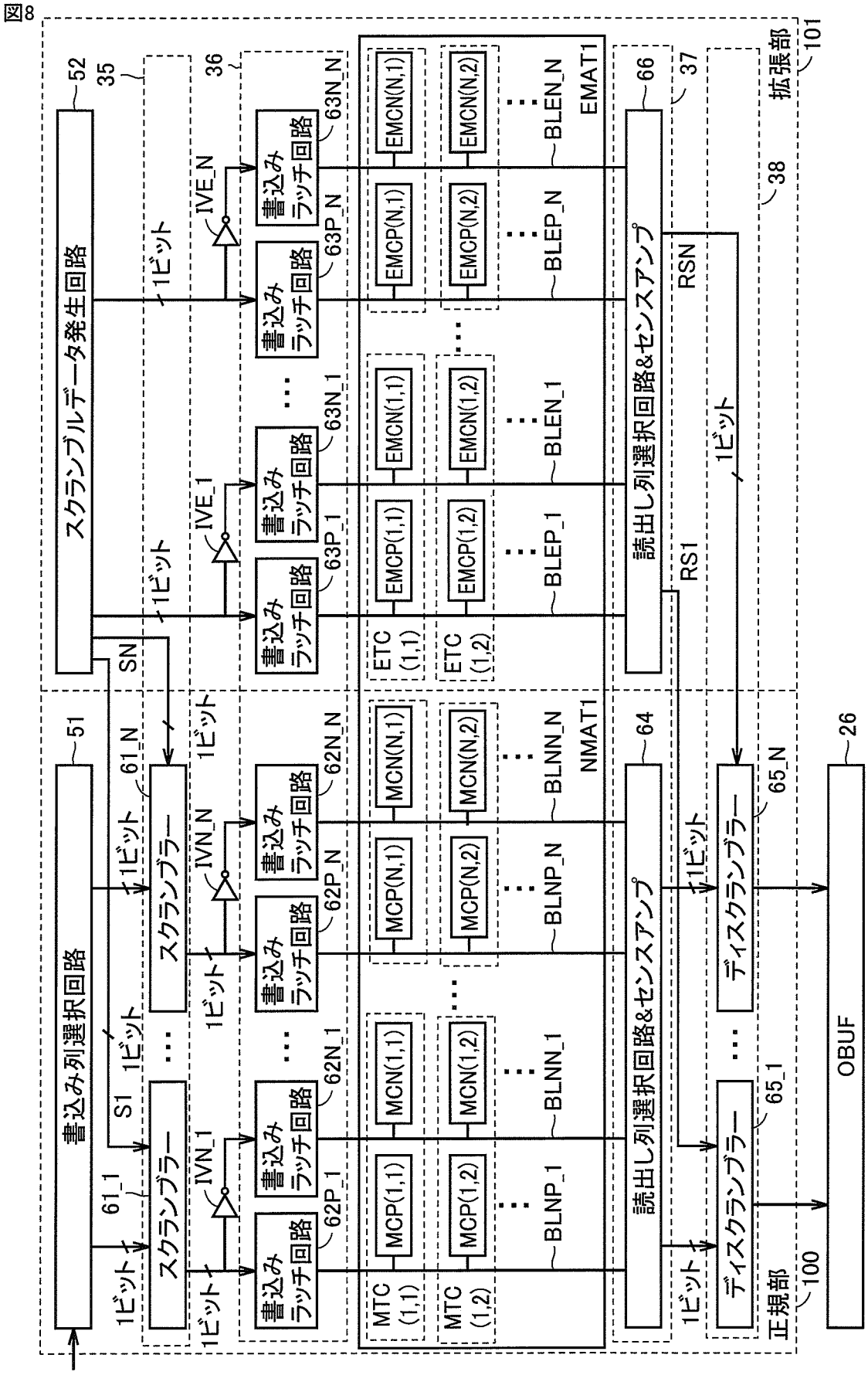

ツインセルデータ
" 0 "
プレライト後
消去パルス印加後
□ ポジティブセルVth
○ ネガティブセルVth
Vth
消去ベリファイ
レベル
シーケンス

(b)


ツインセルデータ
" 1 "
プレライト後
消去パルス印加後
□ ポジティブセルVth
○ ネガティブセルVth
Vth
消去ベリファイ
レベル
シーケンス

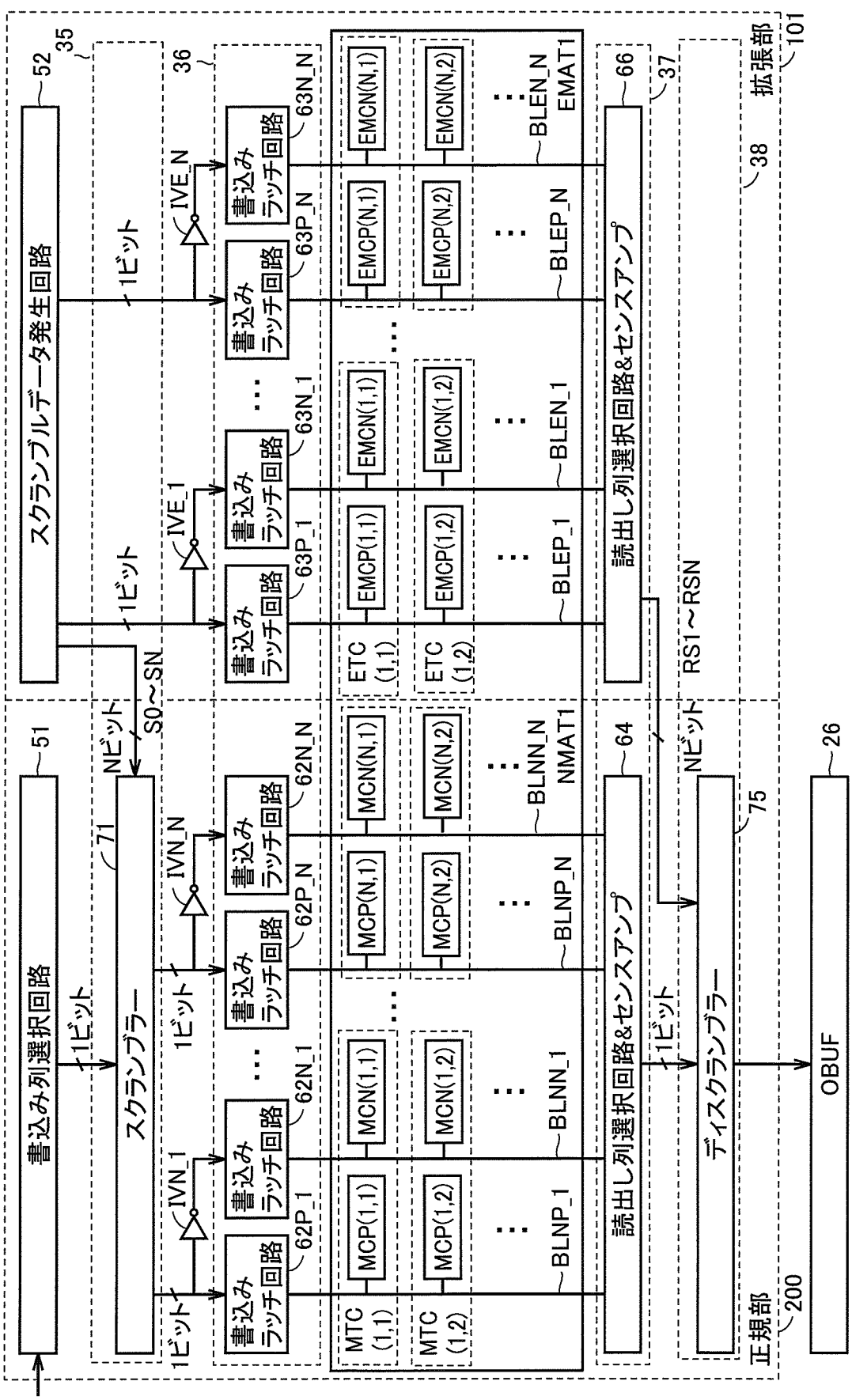
[図8]

図8


スクランブルデータ発生回路
書込み列選択回路
スクランブラー
書込み ラッチ回路
読出し列選択回路&センスアンプ
ディスクランブラー
拡張部
正規部
OBUF
1ビット
SN
S1
RS1
RSN
MTC (1,1)
MTC (1,2)
ETC (1,1)
ETC (1,2)
MCP(1,1)
MCP(1,2)
MCP(N,1)
MCP(N,2)
MCN(1,1)
MCN(1,2)
MCN(N,1)
MCN(N,2)
EMCP(1,1)
EMCP(1,2)
EMCP(N,1)
EMCP(N,2)
EMCN(1,1)
EMCN(1,2)
EMCN(N,1)
EMCN(N,2)
BLNP_1
BLNP_N
BLNN_1
BLNN_N
BLEP_1
BLEP_N
BLEN_1
BLEN_N
NMAT1
EMAT1
IVN_1
IVN_N
IVE_1
IVE_N
61_1
61_N
62P_1
62P_N
62N_1
62N_N
63P_1
63P_N
63N_1
63N_N
65_1
65_N
35
36
37
38
51
52
64
66
100
101
26

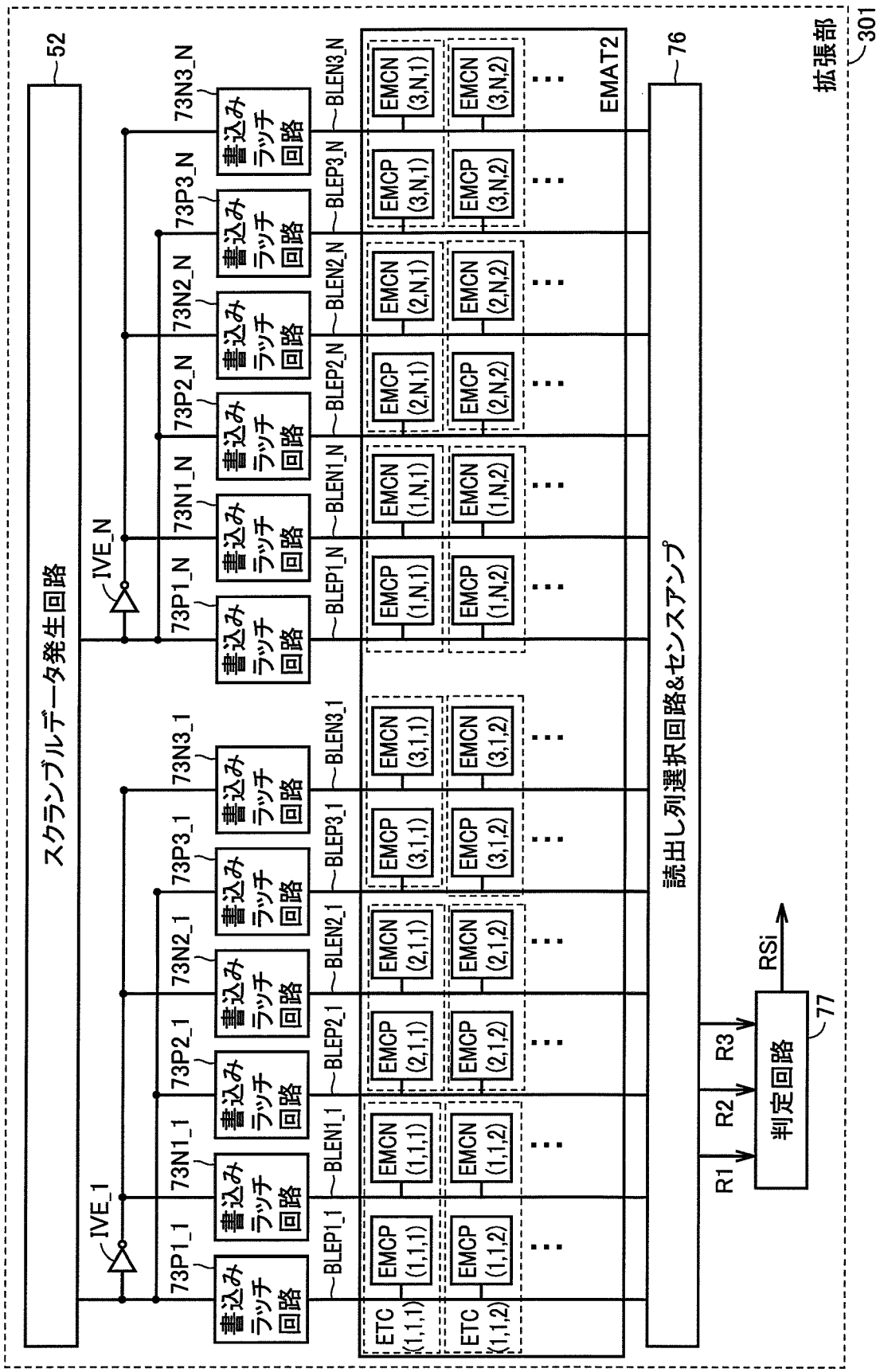
[図9]

図9

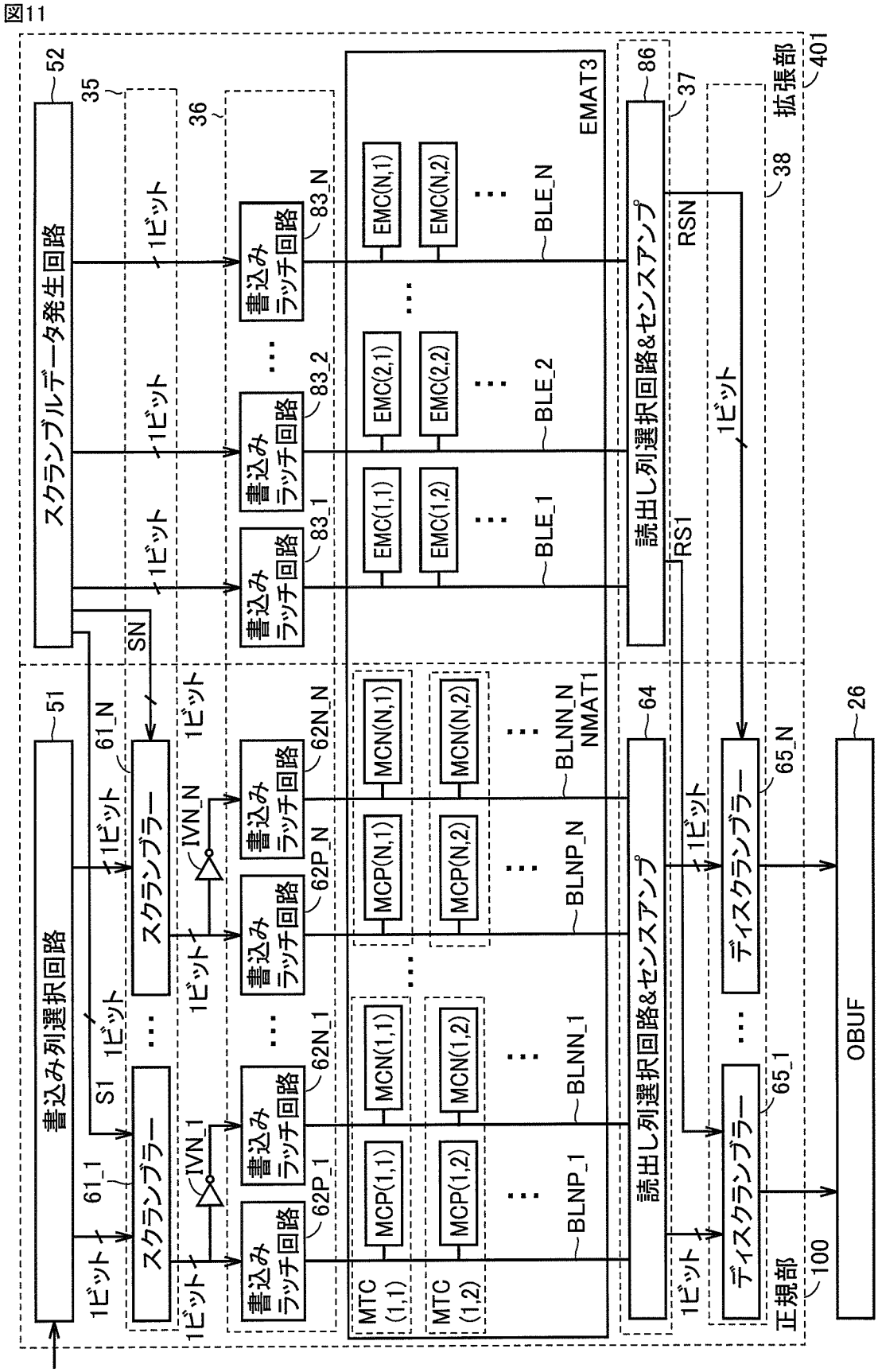

スクランブルデータ発生回路
52
35
36
1ビット
IVE_N
IVE_1
書込みラッチ回路
63N_N
63P_N
63N_1
63P_1
EMCN(N,1)
EMCP(N,1)
EMCN(N,2)
EMCP(N,2)
EMCN(1,1)
EMCP(1,1)
EMCN(1,2)
EMCP(1,2)
BLEN_N
BLEP_N
BLEN_1
BLEP_1
EMAT1
ETC (1,1)
ETC (1,2)
読出し列選択回路&センスアンプ
66
37
38
拡張部
101
RS1～RSN
書込み列選択回路
51
NEビット
SO～SN
71
スクランブラー
IVN_N
IVN_1
62N_N
62P_N
62N_1
62P_1
MCN(N,1)
MCP(N,1)
MCN(N,2)
MCP(N,2)
MCN(1,1)
MCP(1,1)
MCN(1,2)
MCP(1,2)
BLNN_N
BLNP_N
BLNN_1
BLNP_1
NMAT1
MTC (1,1)
MTC (1,2)
64
75
ディスクランブラー
正規部
200
26
OBUF

[図10]

図10

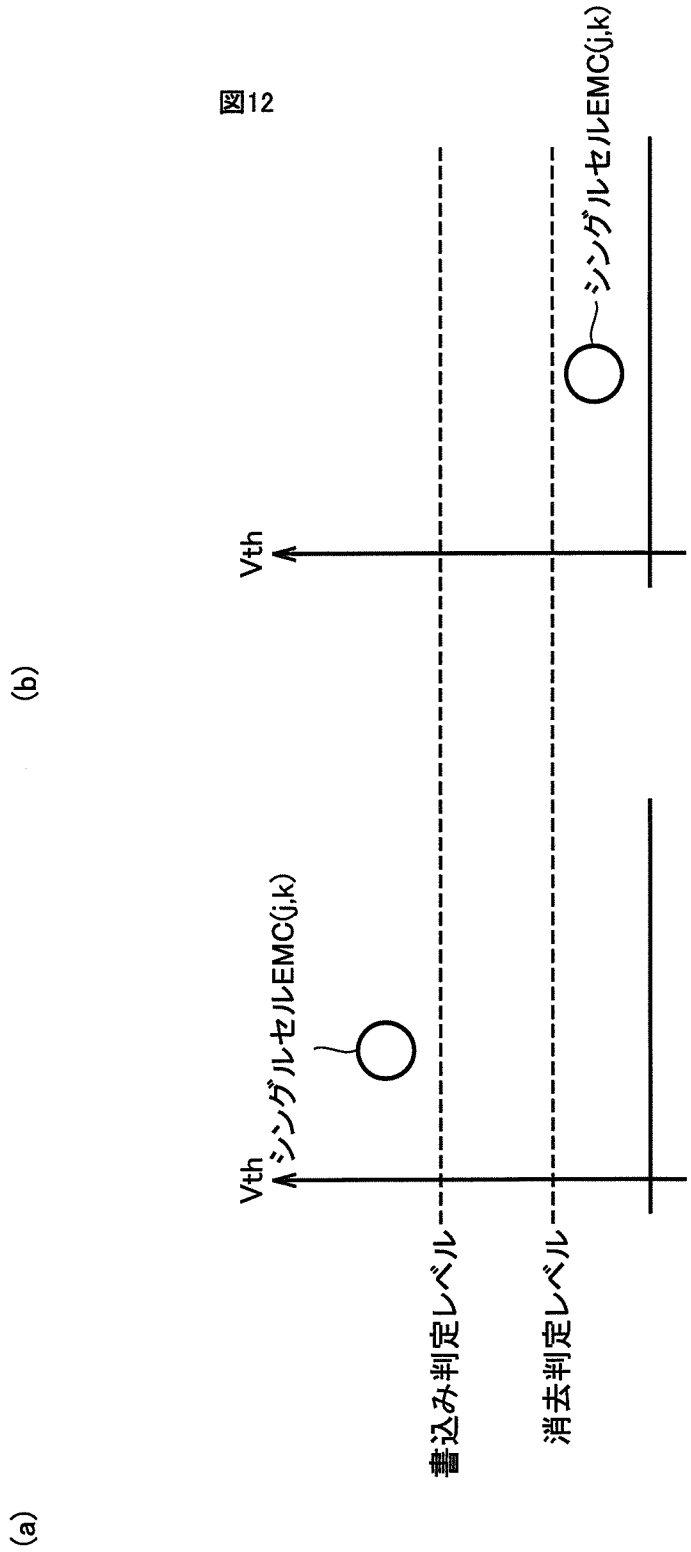

スクランブルデータ発生回路
52
IVE_1
IVE_N
73P1_1
73N1_1
73P2_1
73N2_1
73P3_1
73N3_1
73P1_N
73N1_N
73P2_N
73N2_N
73P3_N
73N3_N
書込みラッチ回路
BLEP1_1
BLEN1_1
BLEP2_1
BLEN2_1
BLEP3_1
BLEN3_1
BLEP1_N
BLEN1_N
BLEP2_N
BLEN2_N
BLEP3_N
BLEN3_N
EMCP (1,1,1)
EMCN (1,1,1)
EMCP (1,1,2)
EMCN (1,1,2)
EMCP (2,1,1)
EMCN (2,1,1)
EMCP (2,1,2)
EMCN (2,1,2)
EMCP (3,1,1)
EMCN (3,1,1)
EMCP (3,1,2)
EMCN (3,1,2)
EMCP (1,N,1)
EMCN (1,N,1)
EMCP (1,N,2)
EMCN (1,N,2)
EMCP (2,N,1)
EMCN (2,N,1)
EMCP (2,N,2)
EMCN (2,N,2)
EMCP (3,N,1)
EMCN (3,N,1)
EMCP (3,N,2)
EMCN (3,N,2)
ETC (1,1,1)
ETC (1,1,2)
EMAT2
76
読出し列選択回路&センスアンプ
拡張部
301
R1
R2
R3
判定回路
77
RSi

[図11]

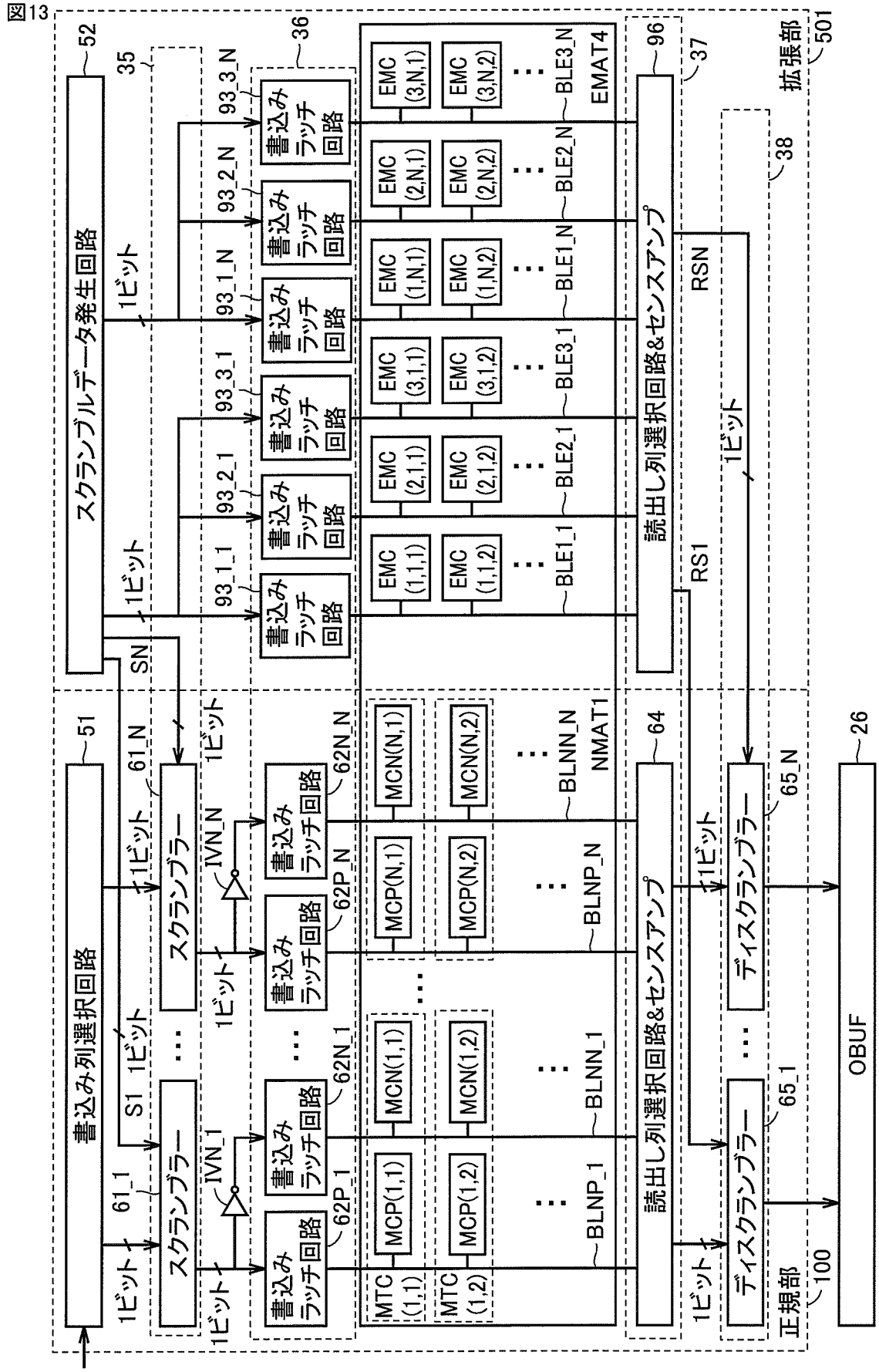

図11
スクランブルデータ発生回路
52
書込み列選択回路
51
スクランブラー
書込み
ラッチ回路
83_1
83_2
83_N
62P_1
62P_N
62N_1
62N_N
61_1
61_N
SN
S1
IVN_1
IVN_N
1ビット
EMAT3
EMC(1,1)
EMC(1,2)
EMC(2,1)
EMC(2,2)
EMC(N,1)
EMC(N,2)
BLE_1
BLE_2
BLE_N
MTC
(1,1)
MTC
(1,2)
MCP(1,1)
MCP(1,2)
MCP(N,1)
MCP(N,2)
MCN(1,1)
MCN(1,2)
MCN(N,1)
MCN(N,2)
BLNP_1
BLNP_N
BLNN_1
BLNN_N
NMAT1
読出し列選択回路&センスアンプ
64
86
RS1
RSN
37
38
ディスクランブラー
65_1
65_N
拡張部
401
正規部
100
OBUF
26

[図12]

図12

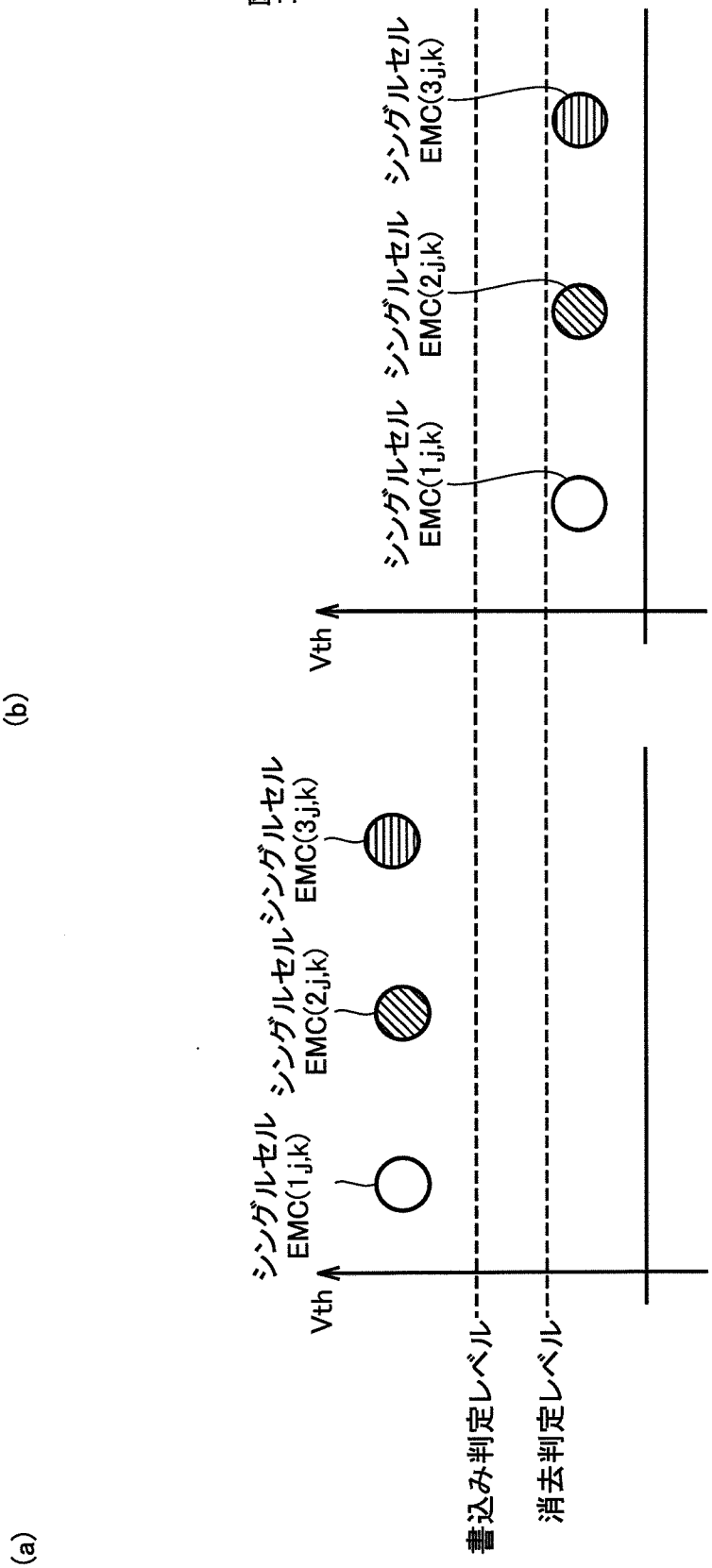


[図13]


図13
スクランブルデータ発生回路
書込みラッチ回路
読出し列選択回路&センスアンプ
スクランブラー
ディスクランブラー
書込み列選択回路
MCN(N,1)
MCP(N,1)
MCN(N,2)
MCP(N,2)
MCN(1,1)
MCP(1,1)
MCN(1,2)
MCP(1,2)
EMC (1,1,1)
EMC (1,1,2)
EMC (2,1,1)
EMC (2,1,2)
EMC (3,1,1)
EMC (3,1,2)
EMC (1,N,1)
EMC (1,N,2)
EMC (2,N,1)
EMC (2,N,2)
EMC (3,N,1)
EMC (3,N,2)
OBUF
正規部
拡張部
1ビット
SN
S1
RS1
RSN
IVN_1
IVN_N
61_1
61_N
62P_1
62P_N
62N_1
62N_N
65_1
65_N
93_1_1
93_1_N
93_2_1
93_2_N
93_3_1
93_3_N
BLNP_1
BLNP_N
BLNN_1
BLNN_N
BLE1_1
BLE1_N
BLE2_1
BLE2_N
BLE3_1
BLE3_N
NMAT1
EMAT4
MTC (1,1)
MTC (1,2)
51
52
35
36
37
38
64
96
100
501
26

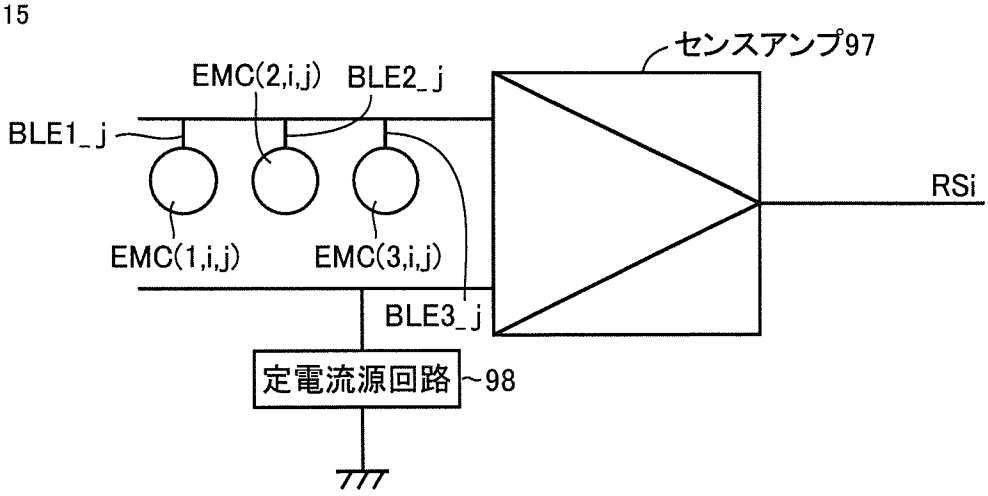
[図14]

図14


(a)
書込み判定レベル
消去判定レベル
Vth
シングルセル EMC(1,j,k)
シングルセル EMC(2,j,k)
シングルセル EMC(3,j,k)
(b)
Vth
シングルセル EMC(1,j,k)
シングルセル EMC(2,j,k)
シングルセル EMC(3,j,k)

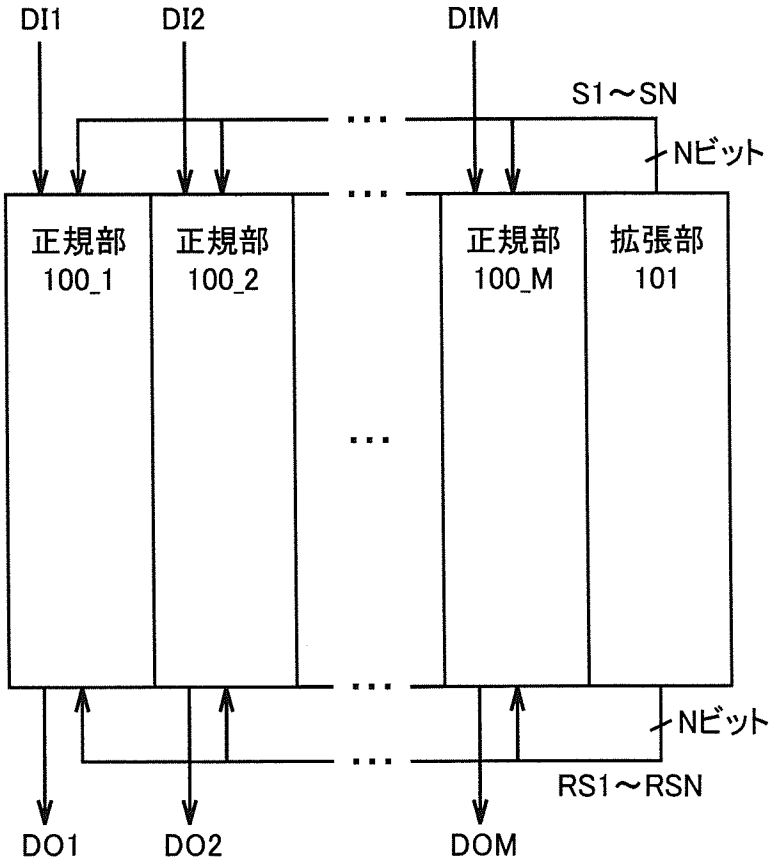
[図15]

図15



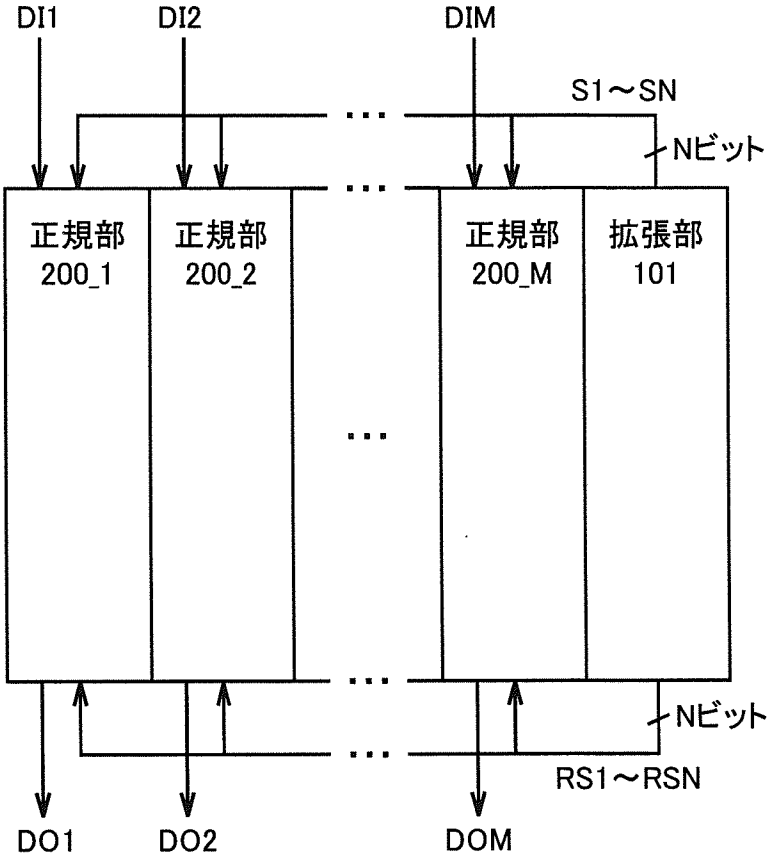
[図16]

図16



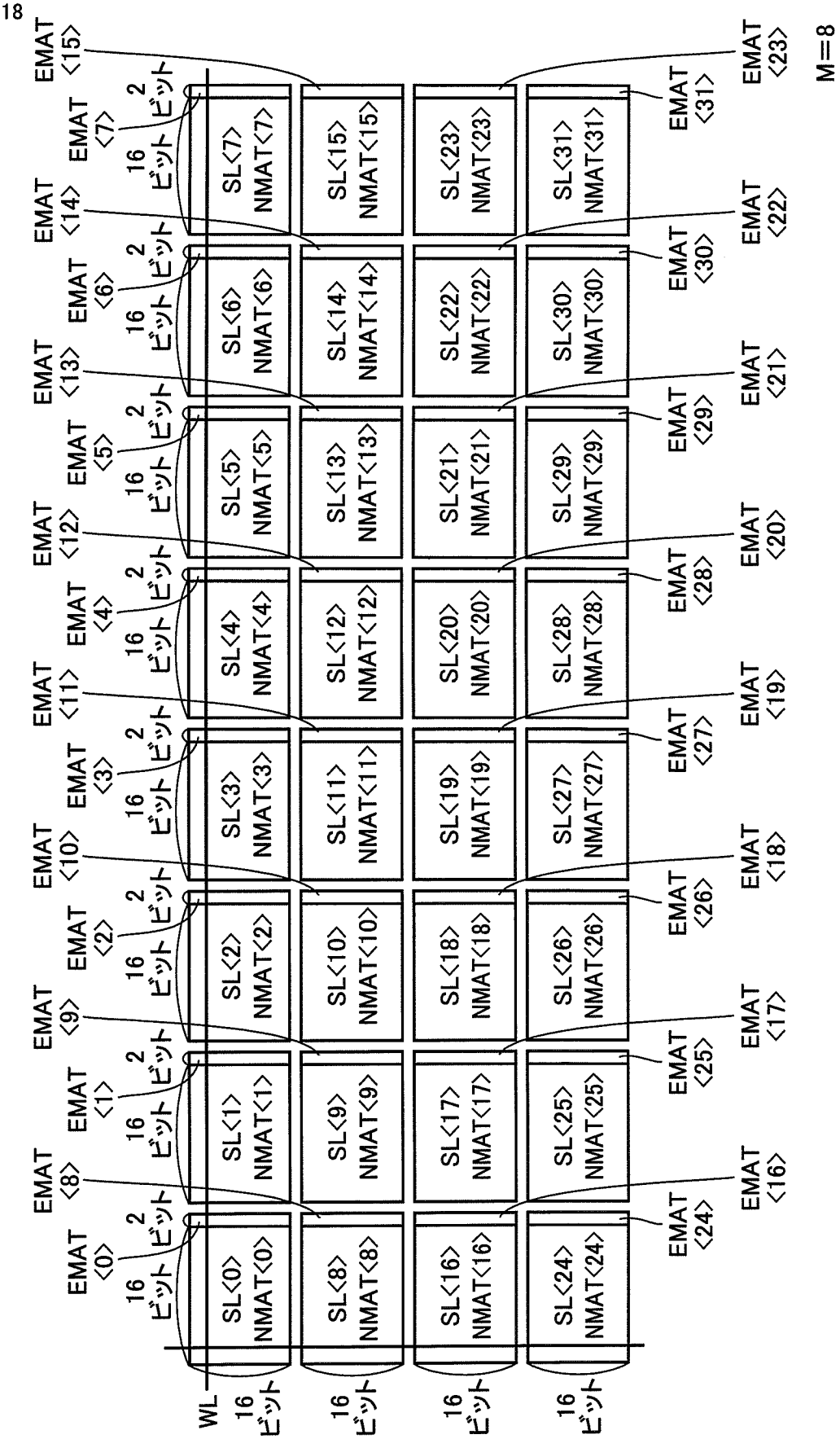
[図17]

図17


DI1
DI2
DIM
S1～SN
Nビット
正規部
200_1
正規部
200_2
正規部
200_M
拡張部
101
Nビット
RS1～RSN
DO1
DO2
DOM

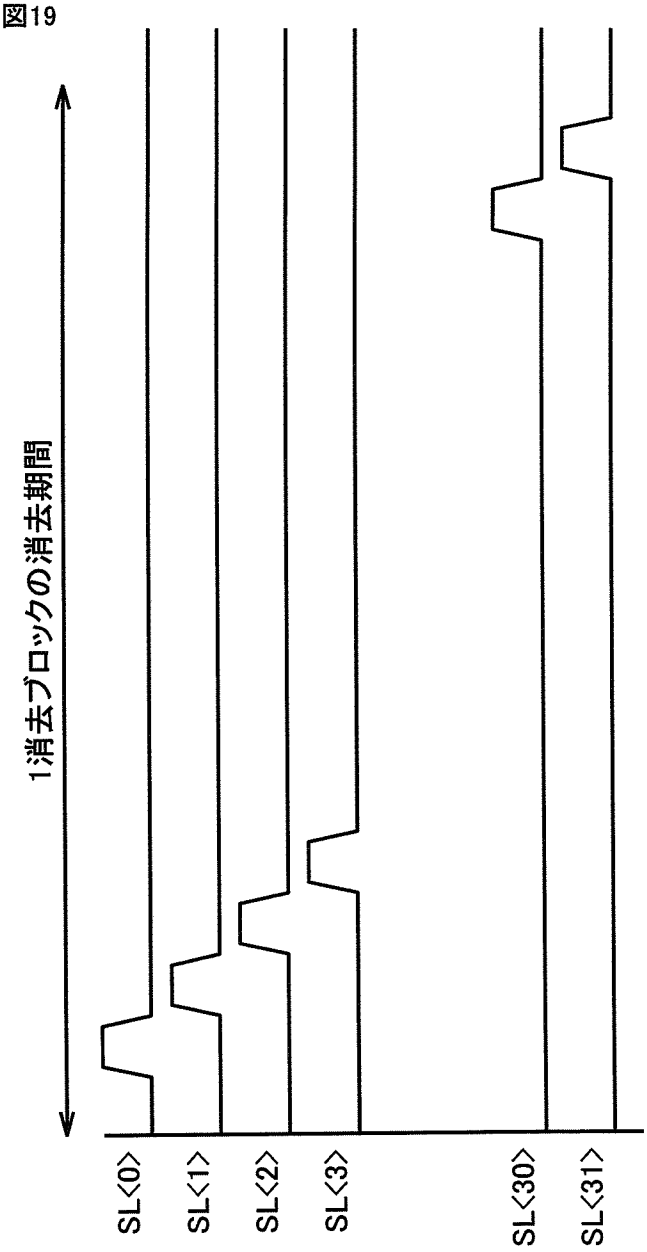
[図18]

図18


WL
16ビット
SL<0>
NMAT<0>
SL<1>
NMAT<1>
SL<2>
NMAT<2>
SL<3>
NMAT<3>
SL<4>
NMAT<4>
SL<5>
NMAT<5>
SL<6>
NMAT<6>
SL<7>
NMAT<7>
SL<8>
NMAT<8>
SL<9>
NMAT<9>
SL<10>
NMAT<10>
SL<11>
NMAT<11>
SL<12>
NMAT<12>
SL<13>
NMAT<13>
SL<14>
NMAT<14>
SL<15>
NMAT<15>
SL<16>
NMAT<16>
SL<17>
NMAT<17>
SL<18>
NMAT<18>
SL<19>
NMAT<19>
SL<20>
NMAT<20>
SL<21>
NMAT<21>
SL<22>
NMAT<22>
SL<23>
NMAT<23>
SL<24>
NMAT<24>
SL<25>
NMAT<25>
SL<26>
NMAT<26>
SL<27>
NMAT<27>
SL<28>
NMAT<28>
SL<29>
NMAT<29>
SL<30>
NMAT<30>
SL<31>
NMAT<31>
EMAT<0>
EMAT<1>
EMAT<2>
EMAT<3>
EMAT<4>
EMAT<5>
EMAT<6>
EMAT<7>
EMAT<8>
EMAT<9>
EMAT<10>
EMAT<11>
EMAT<12>
EMAT<13>
EMAT<14>
EMAT<15>
EMAT<16>
EMAT<17>
EMAT<18>
EMAT<19>
EMAT<20>
EMAT<21>
EMAT<22>
EMAT<23>
EMAT<24>
EMAT<25>
EMAT<26>
EMAT<27>
EMAT<28>
EMAT<29>
EMAT<30>
EMAT<31>
16ビット
2ビット
M=8

[図19]

図19



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/071954

A. CLASSIFICATION OF SUBJECT MATTER
G11C16/02(2006.01)i, *G11C16/04*(2006.01)i, *G11C16/06*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C16/02, G11C16/04, G11C16/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-117510 A (Renesas Technology Corp.), 22 May 2008 (22.05.2008), entire text; all drawings & US 2008/0089146 A1 & US 2010/0080058 A1 & US 2011/0208904 A1	1-12
Y	JP 2008-204507 A (Renesas Technology Corp.), 04 September 2008 (04.09.2008), paragraphs [0013] to [0021], [0066] to [0072]; fig. 2, 8 (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 04 September, 2013 (04.09.13)	Date of mailing of the international search report 08 October, 2013 (08.10.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/071954

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-508363 A (SanDisk Corp.), 10 March 2011 (10.03.2011), abstract; claims 1 to 3; paragraphs [0002] to [0004], [0009]; fig. 1, 3 & US 2009/0204824 A1 & EP 2240937 A & WO 2009/088920 A1 & KR 10-2010-0121472 A & TW 200935420 A	1-12
Y	JP 2009-157841 A (Toshiba Corp.), 16 July 2009 (16.07.2009), abstract & US 2009/0172266 A1	1-12
Y A	JP 2010-512560 A (Toshiba Corp.), 22 April 2010 (22.04.2010), paragraphs [0002] to [0010], [0083] to [0096]; fig. 6, 8, 9 & JP 4829342 B & JP 2012-38327 A & JP 2012-53879 A & US 2009/0222688 A1 & WO 2009/107283 A1	11,12 1-10

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０７１９５４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G11C16/02(2006.01)i, G11C16/04(2006.01)i, G11C16/06(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G11C16/02, G11C16/04, G11C16/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2008-117510 A (株式会社ルネサステクノロジ) 2008.05.22, 全文, 全図 & US 2008/0089146 A1 & US 2010/0080058 A1 & US 2011/0208904 A1	1-12
Y	JP 2008-204507 A (株式会社ルネサステクノロジ) 2008.09.04, 段落 0013-0021, 0066-0072, 図 2, 8 (ファミリーなし)	1-12

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０４．０９．２０１３	国際調査報告の発送日 ０８．１０．２０１３
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｕ　９４６０ 菅原　浩二 電話番号　０３－３５８１－１１０１　内線　３５６５

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2011-508363 A (サンディスク　コーポレイション) 2011.03.10, 要約頁, 請求項 1-3, 段落 0002-0004, 0009, 図 1, 3 & US 2009/0204824 A1 & EP 2240937 A & WO 2009/088920 A1 & KR 10-2010-0121472 A & TW 200935420 A	1-12
Y	JP 2009-157841 A (株式会社東芝) 2009.07.16, 要約頁 & US 2009/0172266 A1	1-12
Y	JP 2010-512560 A (株式会社東芝) 2010.04.22,	11, 12
A	段落 0002-0010, 0083-0096, 図 6, 8, 9 & JP 4829342 B & JP 2012-38327 A & JP 2012-53879 A & US 2009/0222688 A1 & WO 2009/107283 A1	1-10