

(12) 发明专利

(10) 授权公告号 CN 101036235 B

(45) 授权公告日 2012. 07. 04

(21) 申请号 200580034226. 2

代理人 侯颖嫒

(22) 申请日 2005. 10. 07

(51) Int. Cl.

(30) 优先权数据

H01L 31/00 (2006. 01)

60/617, 167 2004. 10. 07 US

60/617, 463 2004. 10. 07 US

60/617, 168 2004. 10. 07 US

60/617, 464 2004. 10. 07 US

(56) 对比文件

US 6709912 B1, 2004. 03. 23, 说明书第 2 栏第 42 行至第 67 行.

US 6255692 B1, 2001. 07. 03, 说明书第 2 栏第 62 行至第 6 栏第 43 行、附图 1, 2.

US 5451800 A, 1995. 09. 19, 说明书第 3 栏第 18 行至第 5 栏第 5 行、附图 1A-1K.

(85) PCT 申请进入国家阶段日

2007. 04. 06

审查员 潘军

(86) PCT 申请的申请数据

PCT/US2005/036036 2005. 10. 07

(87) PCT 申请的公布数据

W02006/042040 EN 2006. 04. 20

(73) 专利权人 费查尔德半导体有限公司

地址 美国缅因州

(72) 发明人 G·多利 Q·王 I·何

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

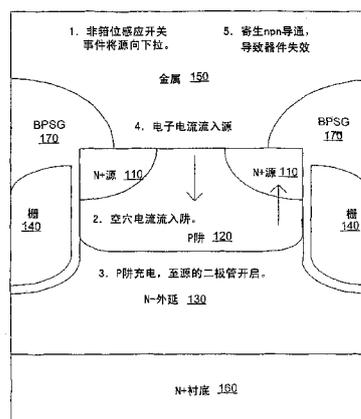
权利要求书 1 页 说明书 8 页 附图 20 页

(54) 发明名称

设计带隙的 MOS 栅功率晶体管

(57) 摘要

提高对瞬态电压的抵抗性并减小寄生阻抗的器件、方法和过程。提高了对非箝位感应开关事件的抵抗性。例如,提供了具有 SiGe 源的沟槽栅功率 MOSFET 器件,其中 SiGe 源通过减小基体或阱区中的空穴电流来减小寄生 npn 晶体管增益,从而减小闭锁条件的可能性。也可去除连接到该器件上的基体以减小晶体管的单元大小。还提供了具有 SiGe 基体或阱区的沟槽栅功率 MOSFET 器件。在体二极管导通时 SiGe 基体可减小空穴电流,从而减小其反向恢复功率损耗。还改进了器件的特性。例如,通过使用多晶 SiGe 栅减小了寄生栅阻抗,并且通过使用器件栅附近的 SiGe 层减小了沟道电阻。



1. 一种 MOS 栅晶体管,包括:
包括沟道区的基体区;
与所述基体区形成第一 pn 结的源区;
与所述基体区形成第二 pn 结的漏区;以及
在所述源区和所述漏区之间延伸的栅,
其中所述沟道区包括具有比所述漏区低的能隙的层,所述层也延伸通过所述源区。
2. 如权利要求 1 所述的 MOS 栅晶体管,其特征在于,所述栅在沟槽内延伸,所述沟道区沿所述沟槽的侧壁延伸并且通过栅电介质而与所述栅绝缘。
3. 如权利要求 2 所述的 MOS 栅晶体管,其特征在于,所述层包括硅锗层。
4. 如权利要求 2 所述的 MOS 栅晶体管,其特征在于,所述沟道区包括一层 $\text{Si}_{1-x}\text{Ge}_x$, 其中 $0.1 < x < 0.8$ 。
5. 如权利要求 3 所述的 MOS 栅晶体管,其特征在于,所述硅锗层包括 10%到 80%之间的锗摩尔分数。

设计带隙的 MOS 栅功率晶体管

[0001] 本申请要求 2004 年 10 月 7 日提交的美国临时申请第 60/617,167 号、第 60/617,464 号、第 60/617,463 号和第 60/617,168 号的优先权,其内容通过引用结合于此。

[0002] 背景

[0003] 本发明一般涉及功率晶体管,尤其涉及具有硅锗 (SiGe) 源、阱、沟道、多晶硅锗栅或其组合的金属氧化物半导体栅 (MOS 栅) 功率晶体管。

[0004] 沟槽栅功率 MOSFET 器件是用于诸如 DC-DC 转换器之类的若干高要求应用的普遍选择。这些应用可能非常苛刻,从而对这些晶体管施加了极大的压力。例如,作为进入电感负载的大电流的源和宿可能导致在器件端子的一个或多个处的大电压瞬变。具体而言,由沟槽栅功率 MOSFET 经历的大电压偏移可激活寄生 npn 晶体管,从而导致破坏性的失效。在大的瞬变对器件的体二极管正向偏压时可发生灾难性较小但仍使性能劣化的事件,从而减慢晶体管的反向恢复。

[0005] 这些电感效应可限制 DC-DC 转换器的效率,从而浪费功率。对效率的其它限制包括沟槽栅功率 MOSFET 自身的物理限制。例如,寄生阻抗可导致器件的功率耗散和加热。这些寄生阻抗中有器件的栅的串联电阻。尽管该串联电阻可利用硅化物来减小,但由于这些晶体管的物理结构,该过程的功效是有限的。沟道电阻,即 R_{on} 也限制了器件性能,因此限制了转换器效率。较大的器件可减小 R_{on} ,但这导致更昂贵的器件。

[0006] 因此,所需要的是提供对大瞬态电压的影响具有提高的抵抗性的晶体管并通过减小寄生阻抗来提供提高的性能的器件、方法和工艺。

[0007] 概要

[0008] 因此,本发明的实施例提供了可改进对瞬态电压的抵抗性并减小寄生阻抗的器件、方法和工艺。

[0009] 本发明的实施例提供对非箝位感应开关和其它瞬态电压事件具有提高的抵抗性的晶体管。例如,本发明的一个示例性实施例提供一种具有 SiGe 源的沟槽栅功率 MOSFET 器件。SiGe 源通过减小基体或阱区中的空穴电流来减小寄生 npn 晶体管的增益,从而减小在非箝位感应开关事件后的闭锁情况的可能性。也可去除连接到该器件上的基体以减小晶体管单元的大小。

[0010] 本发明的另一个示例性实施例提供具有 SiGe 基体或阱区的沟槽栅功率 MOSFET 器件。在体二极管导通时 SiGe 基体可减小空穴电流,从而减小其反向恢复期间的功率损失。

[0011] 本发明的实施例也可改进器件的特性。例如,本发明的一个示例性实施例通过结合多晶 SiGe 栅来减小寄生栅阻抗。另一个实施例通过使用器件栅附近的 SiGe 层来提供具有减小的沟道电阻的沟道。

[0012] 提高对电压瞬变的抵抗性的改进和增强器件性能的改进不是互斥的。例如,使用 SiGe 基体减小了沟道阻抗,而基体区中的 SiGe 层改进了体二极管反向恢复。这些实施例可用于改进 n 沟道或 p 沟道器件。本发明的实施例可结合本文所述的这些或其它特征中的一个或多个。

[0013] 附图简述

[0014] 图 1 是通过结合本发明的一个实施例改进的 n 沟道沟槽栅功率 MOSFET 的横截面；

[0015] 图 2 示出了根据本发明的一个实施例的具有 SiGe 源的 n 沟道沟槽栅功率 MOSFET 的横截面；

[0016] 图 3 示出穿过图 2 所示的器件的源 - 阱区的能带结构；

[0017] 图 4 是根据本发明的一个实施例的具有 SiGe 源的沟槽栅功率 MOSFET 的制造方法的流程图；

[0018] 图 5 是通过结合本发明的一个实施例改进的 n 沟道沟槽栅功率 MOSFET 的横截面；

[0019] 图 6 是根据本发明的一个实施例的具有 SiGe 阱的 n 沟道沟槽栅功率 MOSFET 的横截面；

[0020] 图 7 示出图 6 所示的 MOSFET 的净掺杂 (net doping) 和锗摩尔分数；

[0021] 图 8 是根据本发明的一个实施例的具有 SiGe 阱区的沟槽栅功率 MOSFET 的制造方法的流程图；

[0022] 图 9 是通过结合本发明的一个实施例改进的 n 沟道沟槽栅功率 MOSFET 的横截面；

[0023] 图 10 是根据本发明的一个实施例的具有多晶 SiGe 栅的 n 沟道沟槽栅功率 MOSFET 的横截面；

[0024] 图 11 示出对于各种材料的作为硼浓度的函数的材料电阻率；

[0025] 图 12 示出包括 p 沟道高侧功率 MOSFET 器件和 n 沟道低侧功率 MOSFET 器件的 DC-DC 转换器输出；

[0026] 图 13 示出通过结合本发明的一个实施例提供的效率增加；

[0027] 图 14 是根据本发明的一个实施例的具有多晶 SiGe 栅的沟槽栅功率 MOSFET 的制造方法的流程图；

[0028] 图 15 是根据本发明的一个实施例的具有 SiGe 沟道区的 p 沟道沟槽栅功率 MOSFET 的横截面；

[0029] 图 16 示出在对不严格的 $\text{Si}_{1-x}\text{Ge}_x$ 虚衬底上生长的两种不同的 $\text{Si}_{1-x}\text{Ge}_x$ 膜测得的空穴迁移率；

[0030] 图 17 示出沟道区中作为锗浓度的函数的迁移率变化；

[0031] 图 18 示出根据本发明的一个实施例的具有 SiGe 沟道区的 p 沟道沟槽栅功率 MOSFET 的价带偏移；

[0032] 图 19A-19C 示出根据本发明的一个实施例的具有 SiGe 沟道区的 p 沟道沟槽栅功率 MOSFET 的制造方法；以及

[0033] 图 20 是根据本发明的一个实施例的具有 SiGe 沟道区的 p 沟道沟槽栅功率 MOSFET 的制造方法的流程图。

[0034] 示例性实施例的描述

[0035] 图 1 是通过结合本发明的一个实施例改进的 n 沟道沟槽栅功率 MOSFET 的横截面。该器件包括 n 型源区 110、由 p 阱 120 形成的基体、n 型漏区 130、衬底 160、栅 140 和金属触点 150。

[0036] 寄生 npn 晶体管在该结构中是固有的。具体而言，寄生器件的发射极是源区 110，其基极是基体或阱区 120，而该寄生器件的集电极对应于外延区 130。如果该寄生晶体管被偏压到其正向有效工作模式，则可发生破坏性失效。例如，这可在由非箝位感应开关 (UIS)

事件引起的雪崩击穿期间发生。通过碰撞电离生成的空穴可流过由 p 阱 120 形成的基极, 从而导致欧姆电压降。如果该电压降超过约 0.6V, 则对于阱-源结二极管的导通电压可变为正向偏压并越过势注入如电子, 因此启动了正向有效工作和潜在的失效。

[0037] 具体而言, 如图 1 所示, 非箝位感应开关事件可将源向下拉 (1)。这导致空穴流入基体或阱 120 (2)。阱充电, 或与源 110 相比电压增加, 从而导通 p 阱到源 110 的结 (3)。结果是电子电流流入源 110 (4)。这导致寄生 npn 导通 (5), 这可导致器件失效。

[0038] 发生该系列事件的这一倾向可通过提供用于去除来自寄生基极的空穴的低电阻路径并通过减小寄生 npn 160 的电流增益来最小化。这可通过将基体或 p 阱与源连接 150 接触来实现。

[0039] 但该基体接触增大了 n 沟道 MOSFET 的尺寸。因此, 存在器件大小和对该失效机制的抵抗性之间的折衷。对该问题的一种解决方案是采用带隙设计技术以使源区相对于阱区的能隙变窄。这可通过利用 $\text{Si}_{1-x}\text{Ge}_x$ 的合金形成源区来实现, 其中 x 是合金中锗的摩尔分数, 且典型的值是 $0.1 < x < 0.3$ 。在其它实施例中, 可采用其它浓度, 例如, 锗的浓度可小于 10%, 或大于 30%。SiGe 源区可通过诸如外延生长之类的标准技术或通过离子注入来制造。

[0040] 图 2 示出根据本发明的一个实施例的具有 SiGe 源的 n 沟道沟槽栅功率 MOSFET 的横截面。该器件包括由硅锗形成的 n 型源区 210、由 p 阱 220 形成的基体、n 型漏区 230、栅 240、金属触点 250 以及 n 型衬底 260。正如图中所看到的, p 阱触点的去除允许单元节距的显著减小。这还具有通过增大源区相对于图 1 的器件的尺寸来减小导通状态电阻并提高电流传导能力的另外的优点。与其它包括的附图一样, 该附图是为了说明目的而示出的, 而不限制本发明的可能实施例或权利要求书。同样, 尽管在该附图或其它附图中示出了 n 沟道晶体管, 但同样可将本发明的实施例用于改进 p 沟道器件。其它附图中所示的特征也可包含在该附图中。例如, p 阱 220 也可以是 SiGe, 而栅可以是多晶 SiGe。

[0041] 源 210 中 SiGe 的使用允许空穴流入源, 从而减小了基体或 p 阱 220 中的空穴电流。具体地, 合金中锗的存在造成与锗摩尔分数大致成比例的能隙 (E_g) 变窄。大部分这种能带偏移发生在价带中。这允许空穴容易地流入源区, 从而提供了减小 npn 增益的空穴去除的路径。现在当非箝位感应事件将源向下拉 (1) 时, 空穴流入源 210, 且阱不充电 (2)。

[0042] 图 3 示出穿过图 2 所示的器件的源-阱区的能带结构。图 3 是对于 30% 的锗摩尔分数计算的。该数据示出源的能隙相对于阱减小约 0.21eV, 即, 与阱或基体区中的 1.1eV 相比较, 源中为 0.9eV。理论上, 这导致穿过结的空穴电流增加 $\sim \exp(E_g/kT)$ 的因数。实际上, 提高略低于该值, 因为并非所有的能带偏移都发生在该价带中。

[0043] 在本发明的一个特定实施例中, 源 210 具有 30% 摩尔分数的锗含量。具有硅源和这种 SiGe 源的器件之间的比较示出对于采用 SiGe 源区的器件的空穴电流的增加和 npn 电流增益的减小。具体而言, 在 0.75V 的典型偏压下, 空穴电流增加了约 100x, 而寄生电流增益减小了约 500 倍。该数据应认为是最差的情况, 因为实际上阱区不是完全浮置的, 而是在第三维 (垂直于图 2 的所示横截面) 中间接接触的。寄生电流增益的这一减小使得寄生晶体管 160 在 UIS 事件期间不太可能传导导致灾难性失效的电流。

[0044] 图 4 是根据本发明的一个实施例的具有 SiGe 源的沟槽栅功率 MOSFET 的制造方法的流程图。在该实施例中, 形成 SiGe 源以获得对由非箝位感应开关事件导致的失效的较大

的抵抗性。

[0045] 具体地,在动作 410 处,形成外延层。在动作 420 处在外延层中形成 SiGe 层。在动作 430 处在外延层中切出沟槽,而在动作 440 处,在沟槽中形成栅。栅与金属接触,并在动作 450 和 460 处接触 SiGe 层以形成源区。

[0046] 这些沟槽栅功率 MOSFET 由于其低传导损耗和快速的开关时间而在低压 DC-DC 转换器中特别有用。但被向下拉的源不是这些器件受到的唯一的感应效应。在正常工作中, MOSFET 源可对于漏正向偏压,从而导致寄生的基体-漏二极管(样也常称为体二极管)的导通。还应注意,尽管本发明的这个实施例和其它实施例很好地适合于 DC-DC 功率转换器,但其它类型的系统可包含通过结合本发明的实施例而改进的器件。

[0047] 图 5 示出这种机制。该器件包括 n 型源区 510、p 型基体区 520、n 型漏区 530、栅 540 和金属触点 550。具体地,可将源拉高(1)。这使基体或阱二极管导通(2)。当源返回低位时(3),空穴继续被注入到外延层 530 或漏中。这种空穴电流减缓反向恢复(4)。这导致由于二极管的正向导通和二极管的反向恢复引起的能量损耗。耗散的功率可大致如下近似:

$$[0048] \quad P_{\text{cond}} = V_f \times I_{\text{out}} \times t_{\text{deadtime}} \times F_{\text{sw}}$$

$$[0049] \quad P_{\text{sw}} = V_m \times t_{\text{rr}} \times \frac{I_{\text{rr}}}{2} \times I_{\text{out}} \times F_{\text{sw}}$$

[0050] 其中 V_f 是体二极管的正向电压, I_{out} 是二极管的正向电流, F_{sw} 是开关频率, t_{rr} 是反向恢复时间,而 I_{rr} 是反向恢复电流。对于典型的 n 沟道 MOSFET,反向恢复特性主要由从基体区(p 型)向漏区(n 型)注入的空穴控制。

[0051] 该分析示出二极管能量损耗可通过同时减小二极管正向电压、反向恢复电流和反向恢复时间来减小。不幸的是,对于常规的硅技术,反向恢复参数和正向电压之间存在相反关系。改进正向电压的技术一般使反向恢复劣化,而改进反向恢复的技术又使正向电压劣化。这使得利用常规的硅技术同时降低它们是不可行的。

[0052] 本发明的实施例采用带隙设计技术以使基体区相对于漏外延区的能隙变窄。这可通过形成包括 $\text{Si}_{1-x}\text{Ge}_x$ 合金的晶体管基体区来实现,其中 x 是合金中锗的摩尔分数,且典型的值是 $0.1 < x < 0.3$ 。在其它实施例中,可采用其它浓度,例如锗的浓度可小于 10% 或大于 30%。包括 $\text{Si}_{1-x}\text{Ge}_x$ 的基体区可通过诸如外延生长之类的标准技术或通过离子注入来制造。

[0053] 图 6 是根据本发明的一个实施例的具有 SiGe 阱的 n 沟道沟槽栅功率 MOSFET 的横截面。该器件包含包括硅锗的 n 型源区 210 和 p 型基体区 220、n 型漏区 230 以及栅 240。应该注意,正如以上的图 2 中的,可省略 p 型基体区 220 到金属 250 的接触区。同样,栅可以是多晶硅锗,即多晶 SiGe。

[0054] 合金中锗的存在造成与锗摩尔分数大致成比例的能隙 (E_g) 变窄。基体区中较小的带隙的效果是在给定的正向偏压下增加电子注入。这进而意味着对于给定的电流密度减小的空穴注入。

[0055] 图 7 示出图 6 所示的 MOSFET 的净掺杂和锗摩尔分数。净掺杂 710 和锗摩尔分数 720 作为沿 X 轴的深度的函数沿 Y 轴绘制。净掺杂在沟槽栅 MOSFET 基体和漏区中是典型的。锗剖面具有 0.15 的峰值摩尔分数和峰值处 100nm 的宽度。

[0056] 图 8 是根据本发明的一个实施例的具有 SiGe 阱区的沟槽栅功率 MOSFET 的制造方法的流程图。在该实施例中,形成了具有 SiGe 基体区的沟槽栅功率晶体管。

[0057] 具体地,在动作 810 处,形成外延层。在动作 820 处形成 SiGe 阱。该层可在动作 810 处形成的外延层上生长,或者可将其注入到动作 810 处形成的外延层中。在动作 830 处在阱中形成源。

[0058] 在动作 840 处,在外延层中形成或切出沟槽,然后在动作 850 处在沟槽中形成栅。在动作 860 和 870 处接触栅,并接触源。

[0059] 在本发明的一个具体实施例中,硅锗的使用导致空穴电流的显著减小以及正向电压的较小下降。在该实施例中,在 0.75V 的典型偏压下,与硅阱结构相比,空穴电流减小了约 5 倍。这导致晶体管的反向恢复特性的显著改进。此外,与其中改进的反向恢复是以增加的正向电压为代价实现的传统技术不同,反向恢复的改进是连同正向电压的降低一起实现的。

[0060] 这些沟槽栅功率 MOSFET 可用于 DC-DC 转换器电路以实现高效率的电压转换,即,具有最小的功率损耗。为了实现该目标而对这些器件进行的某些改进包括减小器件的导通电阻 ($R_{ds_{on}}$)、输入电容 (C_{iss})、栅电荷 (Q_g 和 Q_{gd})、栅阻抗 (ESR 或 R_g)、体二极管反向恢复 (T_{rr}) 或以上的组合。

[0061] 按照惯例,栅阻抗的减小一般通过使栅掺杂饱和或通过增加硅化物来实现。不幸的是,由于沟槽栅 MOSFET 器件中较大的热预算(高温),栅中大浓度的掺杂剂可使渗透到沟道(或阱或体)中的掺杂剂增加,尤其是在栅氧化物很薄时。这种掺杂剂渗透导致器件阈值电压 (V_{th}) 的移动。正如从下一附图中所看到的,增加硅化物层的效果也是有限的。

[0062] 图 9 是通过结合本发明的实施例改进的 n 沟道沟槽栅功率 MOSFET 的横截面。该横截面包括具有栅 940、源 910、基体或阱区 920 以及漏或外延区 930 的器件。栅 940 包括硅化物层 942。在沟槽栅功率 MOSFET 器件中,小栅尺寸对于低电压、低 $R_{ds_{on}}$ 和低成本是理想的。但窄栅尺寸限制了硅化物层 942 的效果。即,栅 940 中在硅化物层 942 以下的部分保持了多晶硅的特性:它没有得益于硅化物层 942 的存在。

[0063] 因此,在没有以上的缺点和限制的情况下实现较低的栅电阻以允许对于 MOS 栅功率晶体管的更快的开关速度。具体而言,本发明的实施例通过将多晶硅锗 ($Si_{1-x}Ge_x$) 栅用于诸如功率沟槽栅 MOSFET 晶体管之类的 MOS 栅功率晶体管来提供较低的栅电阻。与利用常规的多晶硅和硅化栅的器件相比,结合多晶 $Si_{1-x}Ge_x$ 栅提供了提高的性能。

[0064] 例如, $Si_{1-x}Ge_x$ 的较小带隙导致在给定温度和掺杂浓度下较大数量的载流子。这进而减小了使阈值电压 V_{th} 移动的栅损耗并同样降低了栅阻抗。此外,多晶 $Si_{1-x}Ge_x$ 中的载流子迁移率高于多晶硅的 3 倍以上。这进一步将栅阻抗降低了 67% 并允许晶体管更快速地开关。

[0065] 图 10 是根据本发明的一个实施例的具有多晶 SiGe 栅的 n 沟道沟槽栅功率 MOSFET 的横截面。该横截面包括具有栅 1040、源 1010、基体或阱区 1020 以及漏或外延区 1030 的器件。在该实施例中,与图 9 中通过硅化物层 942 提供的有限的改进相反,栅 1040 的整体得益于多晶 SiGe 的较低电阻。应该注意,正如以上图 2 中的,可省略 p 型基体区 1020 到金属 1050 的接触区。同样,源 1010、p 阱 1020 或两者可利用 SiGe 来形成。

[0066] 多晶 SiGe 栅也可用于改进静电放电器件。例如,利用 $Si_{1-x}Ge_x$ 多晶栅构建的齐纳

器件 (n^+p) 能够比常规的多晶硅栅器件耐受更高的静电放电功率。多晶 $Si_{1-x}Ge_x$ 的高载流子迁移率减小了串联电阻, 尤其是在齐纳的低掺杂 p 型区中, 从而导致较小的欧姆损耗和冷却操作。对于所示的其它实施例, 也可改进 p 沟道器件。在 p 沟道器件中, 减小了从 $Si_{1-x}Ge_x$ 多晶栅经由栅氧化物到基体或阱的硼渗透。这允许使用薄氧化物而没有阈值电压的不稳定性。

[0067] 利用 SiGe 多晶硅栅极大地减小了栅串联电阻。作为比较, 在常规的沟槽栅器件中, 硅化栅仅将栅电阻减小到一半。该有限的减小是由于对窄沟槽中栅材料上的硅化物结构可用的较小的几何形状。在相同的栅横截面下利用多晶 $Si_{1-x}Ge_x$ 作为栅材料使栅阻抗降低大于 67%, 因此, 在没有利用硅化物工艺的额外的代价和困难的情况下提供甚至更好的性能。此外, 多晶 SiGe 在 1000°C 处仍稳定, 而硅化栅的使用由于可能的烧结而将后面的处理温度限制到小于 850°C。多晶 SiGe 栅 1040 的使用具有消除对栅上硅化物层 942 的需求以及其它的优点和特征。

[0068] 图 11 示出对于各种材料作为硼浓度的函数的材料电阻率。正如所看到的, SiGe 多晶的电阻率远小于常规的多晶硅。在该示例中, 在 2×10^{19} 的硼浓度下, 锗的浓度是 35% 摩尔分数, 其中 $\wedge\wedge$ 是“到... 次方”的符号。在其它实施例中, 浓度可高于 35% 或低于 35%。

[0069] 大体上, 利用多晶 $Si_{1-x}Ge_x$ 栅可降低栅阻抗而不改变现有的布局, 且该工艺与现有的硅技术兼容。当考虑到如图 12 所示的具有 p 沟道高侧 MOSFET 和在下部的 n 沟道低侧 MOSFET 的 DC-DC 转换器的效率时, 栅阻抗的 67% 的降低的优点是显而易见的。

[0070] 图 13 示出通过结合本发明的实施例提供的效率的提高。图 13 的结果指示峰值效率从 83% 提高到 88%。这等于节省了否则将会损失的 30% 功率。具体地, 对于常规的多晶栅 1310 的峰值效率低于对于 SiGe 栅器件 1320 的峰值效率。图 13 中的数据还表明该转换器的效率接近在高侧和低侧都具有 n 沟道 MOSFET 的转换器 (曲线 1330) 的效率。这显著地降低了栅驱动器的功耗并将使设计者能够简化驱动器电路, 但在高输出电流下以 1-2% 的效率损失为代价。

[0071] 表 1 列出对于可用于形成 MOSFET 栅的各种材料的电特性。再一次, SiGe 多晶具有比常规的多晶硅低的电阻率。将该材料用作栅减小了栅串联电阻并增加了电路效率。

[0072] 表 1 : 各种栅材料的电特性

[0073]

栅材料 (浓度 = $2 \times 10^{18} \text{cm}^{-3}$)	迁移率 ($\text{cm}^2/\text{V}/\text{sec}$)	电阻率 ($\text{m}\Omega\text{-cm}$)
p 型结晶硅	78	30
p 型多晶硅	NA	100[8]
p 型 $Si_{0.9}Ge_{0.1}$	275[3]	12
p 型多晶硅 (2×10^{19})	NA	7.5[9]
p 型 $Si_{0.65}Ge_{0.35}$ (2×10^{19})	NA	2.0[9]

[0074] 图 14 是根据本发明的一个实施例的具有多晶 SiGe 栅的沟槽栅功率 MOSFET 的制造方法的流程图。在该实施例中, 将多晶 SiGe 栅结合到沟槽栅功率 MOSFET 器件中。

[0075] 具体地,在动作 1410 处,形成外延层。在动作 1420 处,在外延层中形成阱层。在动作 1430 处在阱中形成源。

[0076] 在动作 1430 处,在外延层中形成沟槽。在动作 1440 处,在沟槽中形成多晶 SiGe 栅。在动作 1450 和 1460 处接触多晶 SiGe 栅和源。

[0077] 即使具有多晶 SiGe 栅或 SiGe 源,沟道阻抗也限制了沟槽栅功率 MOSFET 器件的性能。即,理想的是减小诸如 n 沟道和 p 沟道功率沟槽栅 MOSFET 器件之类的 MOS 栅功率晶体管的导通电阻 (R_{dson}),尤其是在低压应用中。例如,在同步 DC-DC 转换器的应用中,用于 p 沟道 MOSFET 的栅驱动器消耗的功率比用于 N 沟道器件的驱动器小。因此,十分理想的是将 p 沟道器件用于高侧驱动器而不是 n 沟道器件,如图 12 所示。

[0078] 但是对于 p 沟道器件的 R_{dson} 要远高于类似的 n 沟道 MOSFET,而这将其应用仅限于小电流区。在低压应用中,沟道电阻决定器件的 R_{dson} 。沟道电阻 (R_{ch}) 是:

$$[0079] \quad R_{ch} = \frac{L}{Z\mu_p C_{ox} (V_G - V_T)}$$

[0080] 其中 L 是沟道长度,Z 是沟道宽度, C_{ox} 是每单位面积的栅氧化物电容, V_G 是栅电压而 V_T 是阈值电压。为了减小沟槽电阻,理想的是收缩沟道长度、栅氧化物厚度以及降低阈值电压。由于工艺限制或亚阈值问题,这些方法是有限制的。

[0081] 在诸如图 1 的晶体管之类的晶体管中,串联的导通电阻由阱区 120 的电阻率,尤其是阱区 120 中接近栅 140 的部分的电阻率决定。如果减小该电阻率,则器件的串联导通电阻被减小。减小该电阻率的一种方式是利用具有较高的迁移率的材料。具体地,如果沟道中首先开始传导的部分(即接近栅 140 的部分)由较高迁移率的材料制成,则可减小串联导通电阻。因此,本发明的实施例在其沟道区采用应变的 $Si_{1-x}Ge_x$ 以减小沟道电阻。

[0082] 图 15 是根据本发明的一个实施例的具有 SiGe 沟道区的 p 沟道沟槽栅功率 MOSFET 的横截面。该器件包括 p 型源区 1510、n 阱或基体 1520、p 型漏区 1530、栅 1540、SiGe 层 1534。SiGe 层 1534 通过硅层 1532 与栅 1540 隔离。该硅层 1532 提供了到多晶硅栅的适当界面。应该注意,可省略 n 型基体区 1520 到金属 1550 的接触区域,因为在以上的图 2 中去除了 p 型基体区接触。同样可利用 SiGe 形成源 1510,而栅 1540 可以是多晶 SiGe。

[0083] 沿硅沟槽的侧壁等量地生长一层 $Si_{1-x}Ge_x$ 层 1534。因为 $Si_{1-x}Ge_x$ 的晶格常数大于硅,取决于锗摩尔分数, $Si_{1-x}Ge_x$ 层在 [100]/[010] 方向中受到双轴压缩应变。与在压缩或拉伸双轴应变作用下的体硅相比,应变的 $Si_{1-x}Ge_x$ 平面层具有增加的空穴迁移率。该增加的迁移率导致 SiGe 层 1534 中的电阻率减小。

[0084] 图 16 示出在不严格的 $Si_{1-x}Ge_x$ 虚衬底上生长的两种不同的 $Si_{1-x}Ge_x$ 的测得的空穴迁移率。包括体硅通用迁移率曲线 1630 作为比较的基础。由于价带分裂和价带的形状改变, $Si_{1-x}Ge_x$ 沟道层中的空穴迁移率得到极大的增加。该增加也取决于相对于 $Si_{1-x}Ge_x$ 虚衬底中的锗浓度的锗浓度;这指示了一种应变相关现象。示出了具有 20at% Ge 1640 和 84at% Ge 1650 的提高了的空穴迁移率。

[0085] 图 17 示出沟道区中作为锗浓度的函数的迁移率的变化。例如,在具有 50at% 的锗浓度的 $Si_{1-x}Ge_x$ 膜中观察到 2 倍的迁移率增加。因此,利用 $Si_{50}Ge_{50}$ 作为沟道的器件的沟道电阻仅是利用体硅的同样的器件的沟道电阻的一半。这种迁移率的增加同样显著地改进了亚阈值特性,这对于低压应用是重要的。

[0086] 图 18 示出根据本发明的一个实施例的具有 SiGe 沟道区的 p 沟道沟槽栅功率 MOSFET 的价带偏移。该偏移等于：

$$[0087] \quad \Delta \cong 0.65x - 0.22x^2$$

[0088] 其中 x 是膜中的锗含量。这种偏移有助于限制应变的 $\text{Si}_{1-x}\text{Ge}_x$ 沟道中的空穴。因而使来自硅覆盖层的寄生沟道电阻最小化。

[0089] 图 19A-19C 示出根据本发明的一个实施例的具有 SiGe 沟道区的 p 沟道沟槽栅功率 MOSFET 的制造方法。在图 19A 中,在硅衬底 1960 上沉积或生长硅外延层 1930。然后形成沟槽。在某一点处,注入阱 1920,或者作为外延层 1930 的一部分来生长阱。

[0090] 在图 19B 中,沿沟槽的侧壁沉积、生长或注入外延 $\text{Si}_{1-x}\text{Ge}_x$ 层 1934。 $\text{Si}_{1-x}\text{Ge}_x$ 层的厚度范围是从 1nm 到 100nm,这取决于锗的浓度。在一个实施例中,锗浓度范围是从 10at% 到 80at%。在其它实施例中,锗浓度可以是不同的,例如它可小于 10% 摩尔分数,或大于 80% 摩尔分数。在其它实施例中,锗浓度范围可以更小。

[0091] 在图 19C 中,在 $\text{Si}_{1-x}\text{Ge}_x$ 层 1934 的顶部上生长硅覆盖层 1932 作为外延层。在一个实施例中,硅覆盖层 1932 的厚度范围是从 1nm 到 10nm,但在其它实施例中,它可以比该范围更薄或更厚。或者,硅层 1932 可在穿过其注入了 SiGe 层 1934 后保留。

[0092] 图 20 是根据本发明的一个实施例的具有 SiGe 沟道区的 p 沟道沟槽栅功率 MOSFET 的制造方法的流程图。在该实施例中,SiGe 层在沟槽栅功率 MOSFET 器件的沟槽区中生长。

[0093] 具体地,在动作 2010 处,形成外延层。在动作 2020 处,形成阱层。然后在动作 2030 处,在外延层中蚀刻沟槽。在动作 2040 处生长 SiGe 层,然后在动作 2050 处生长硅覆盖。在动作 2060 和 2070 处形成并接触栅和源区。

[0094] 本领域的技术人员将意识到该流程图或其它包括的流程图是高度简化的,并且仅示出了制造过程中的几个基本的动作。可通过结合本发明的一个实施例改进的过程的变体是无数的,且对于本发明的理解是不需要的。

[0095] 为了说明和描述的目的已给出了本发明的示例性实施例的以上描述。该描述不是穷尽的,也不打算将本发明限于所述的精确形式,并且根据以上的教导,很多修改和变体是可能的。选择并描述了这些实施例以最好地解释本发明的原理及其实际应用,由此使本领域中的其它技术人员能够将本发明极好地用于各实施例在适合所构想的特定使用的情况下的各种修改。例如,应该理解,在不背离本发明的情况下所示出和描述的结构掺杂极性可以相反,和 / 或可改变各元素的掺杂浓度。作为另一个示例,在垂直 MOSFET 实施例的上下文中示出并描述了本发明,但本发明的各实施例可同样地在诸如沟槽栅 IGBT、横向沟槽栅 MOSFET 之类的其它沟槽栅结构以及垂直或横向平面栅 MOSFET 和 IGBT 中实现。同样,各晶体管实施例可利用公知的开放式单元或闭合式单元构造来布局。

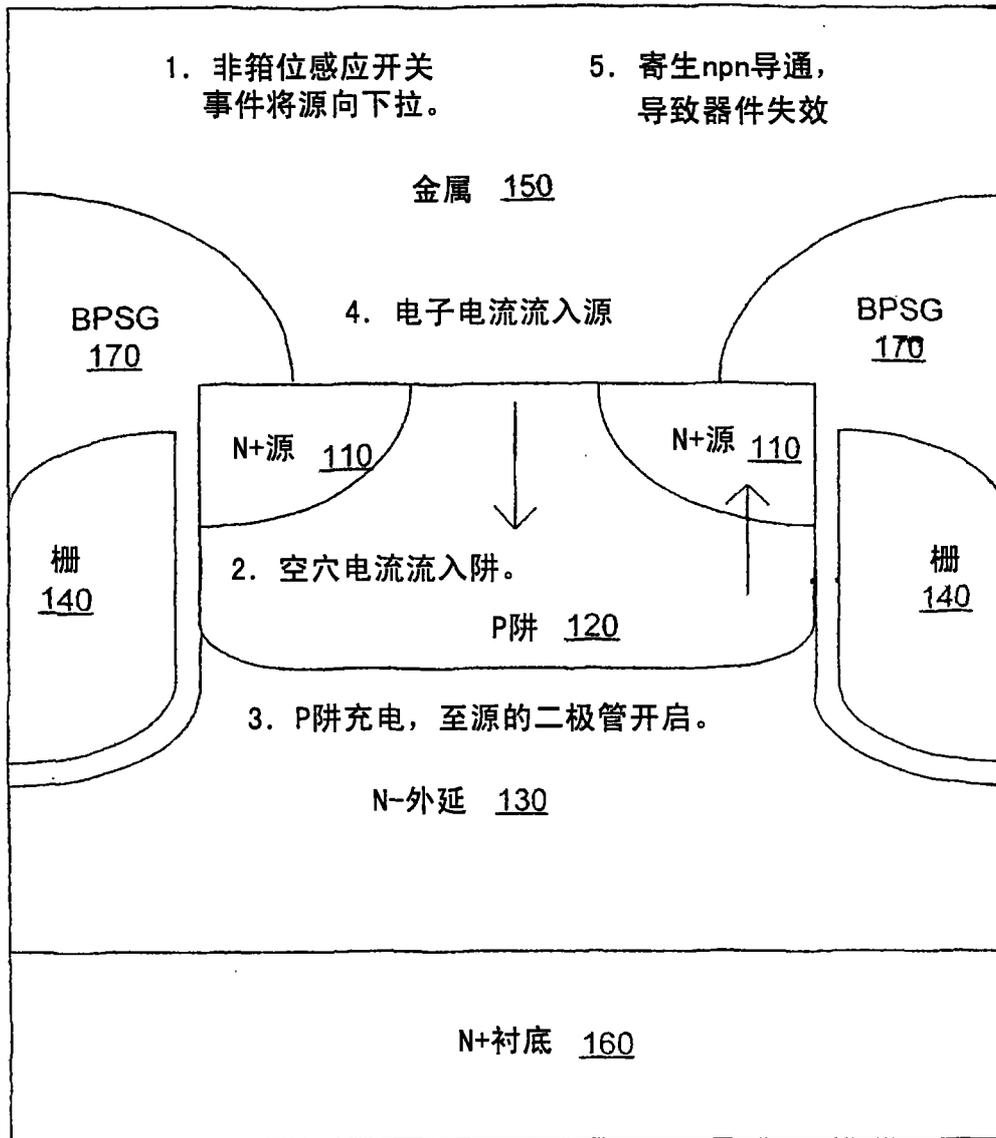


图 1

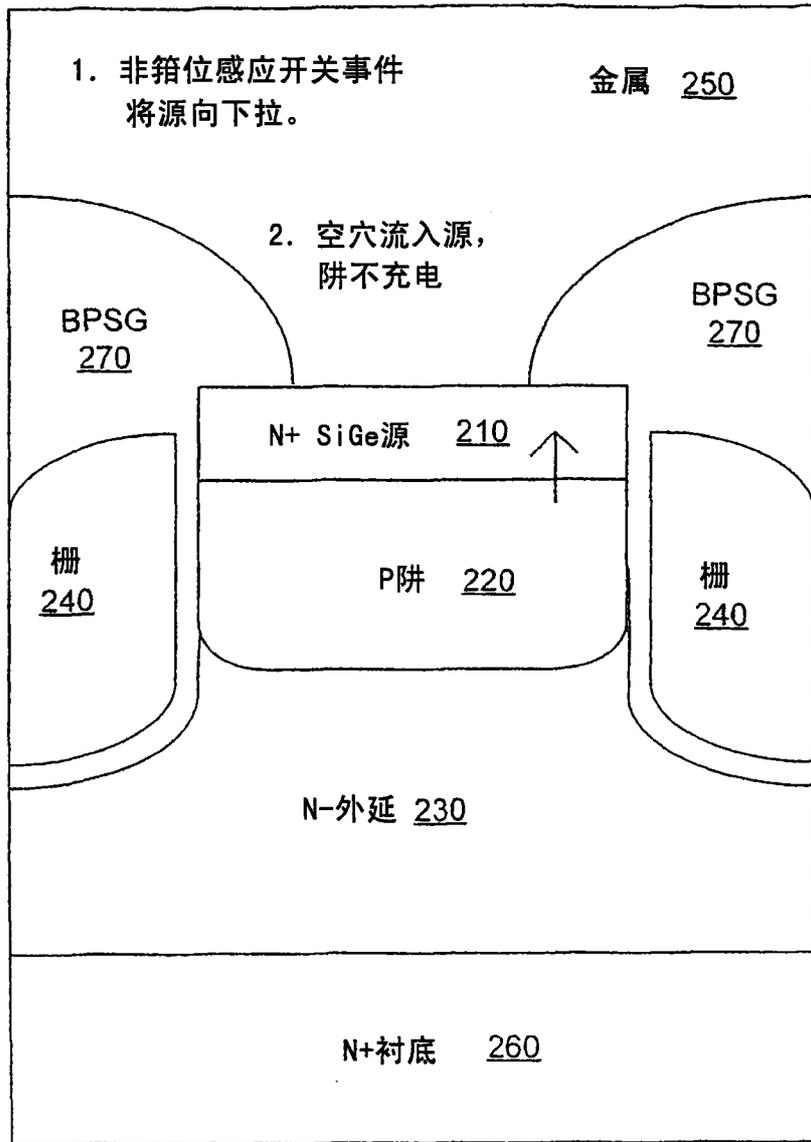
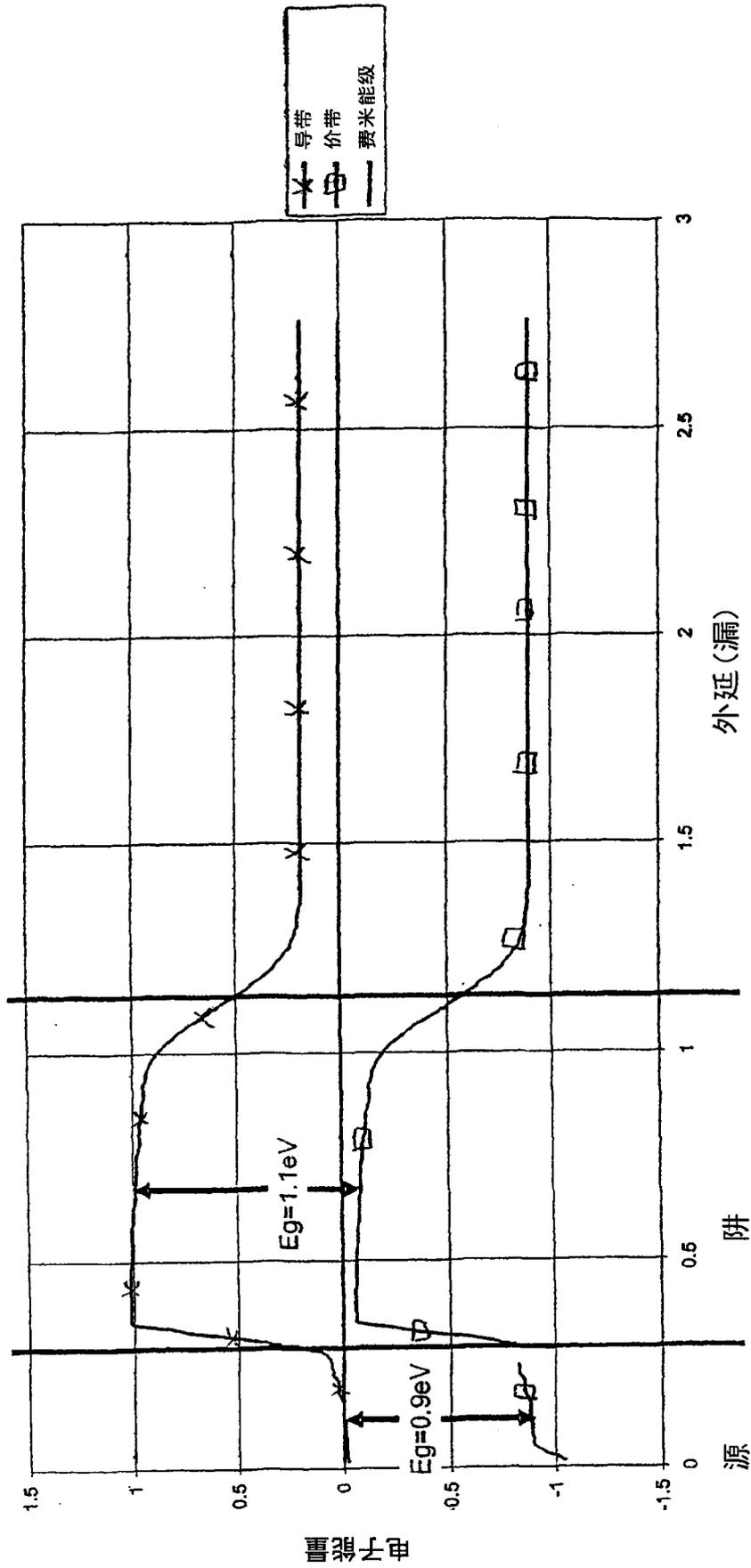


图 2

具有30%的Ge摩尔分数的能带图



距离

图 3

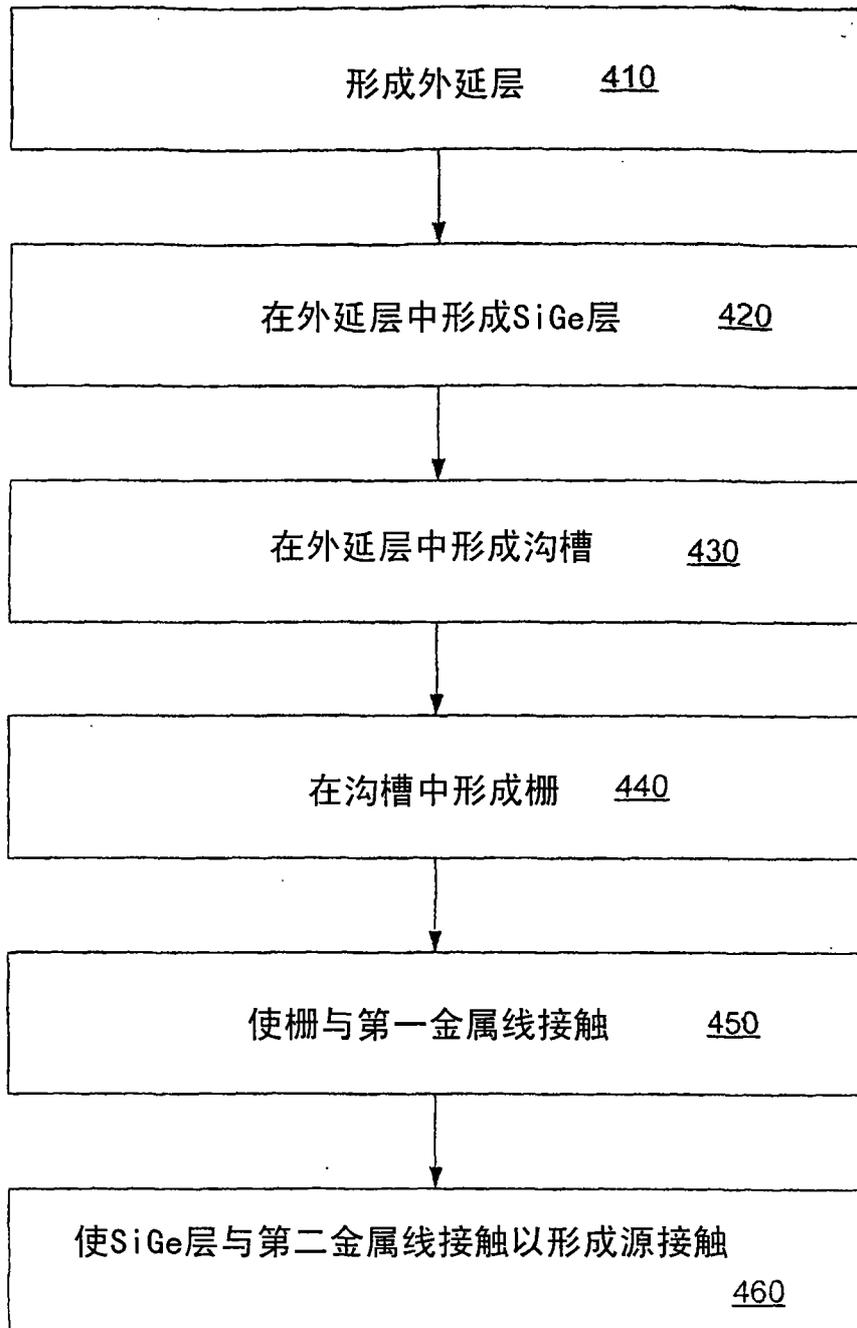


图 4

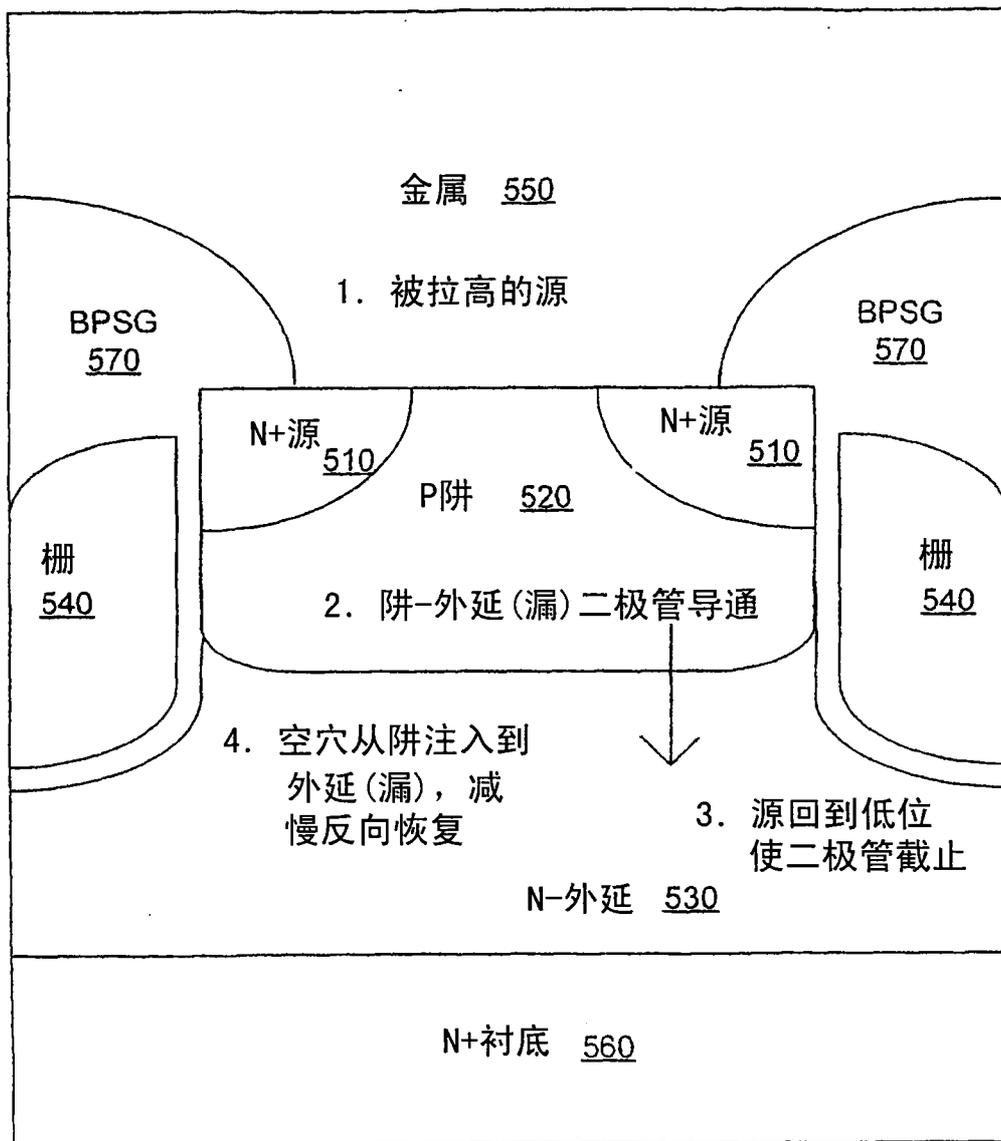


图 5

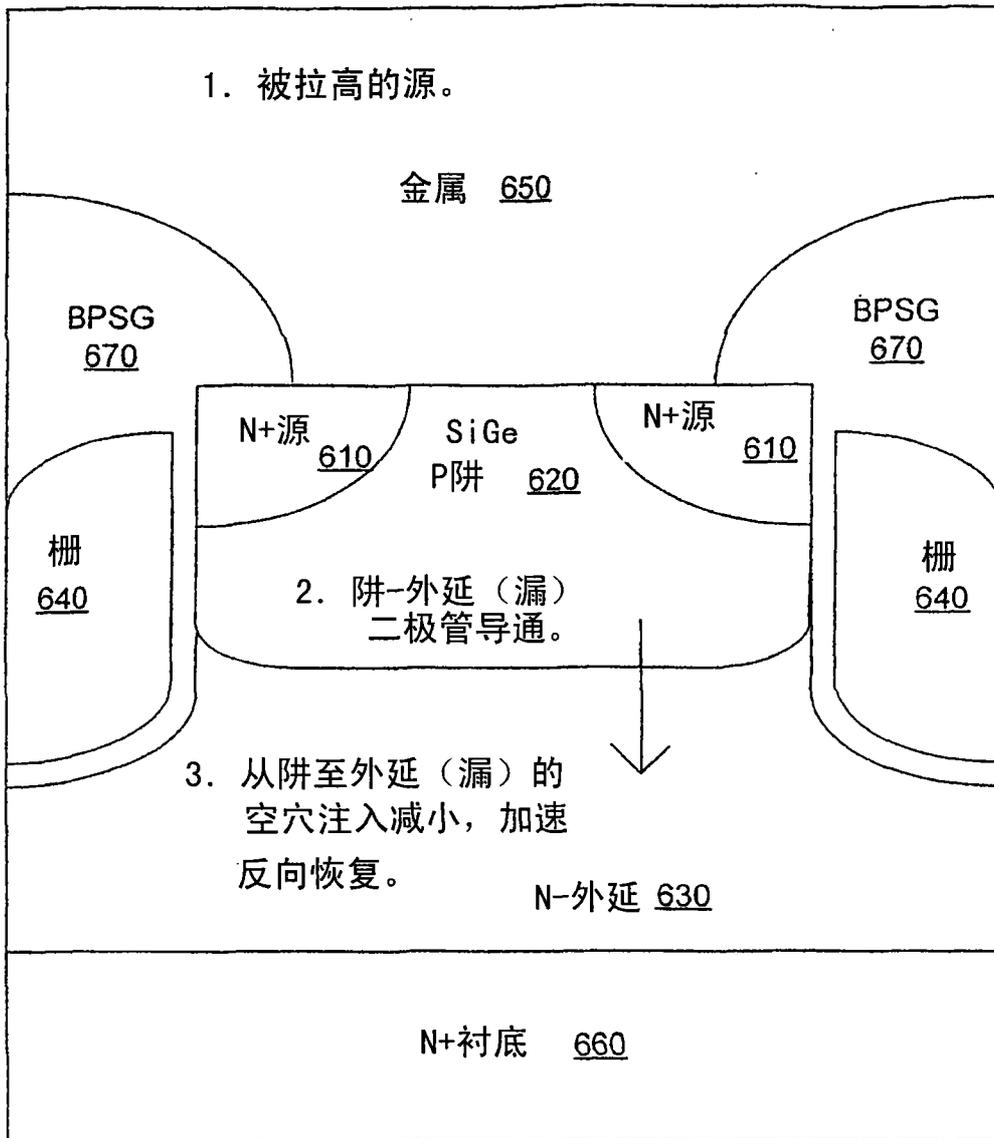


图 6

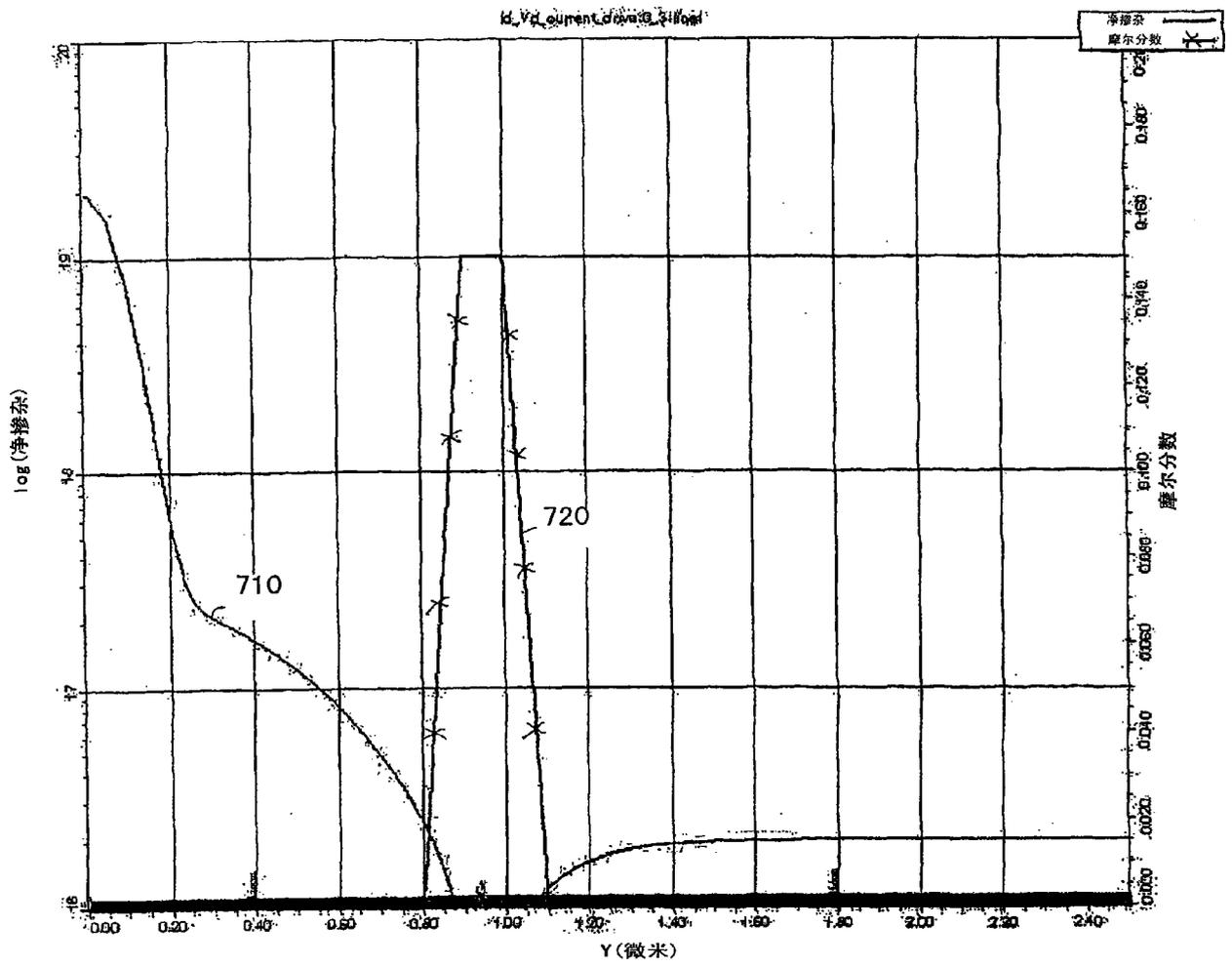


图 7

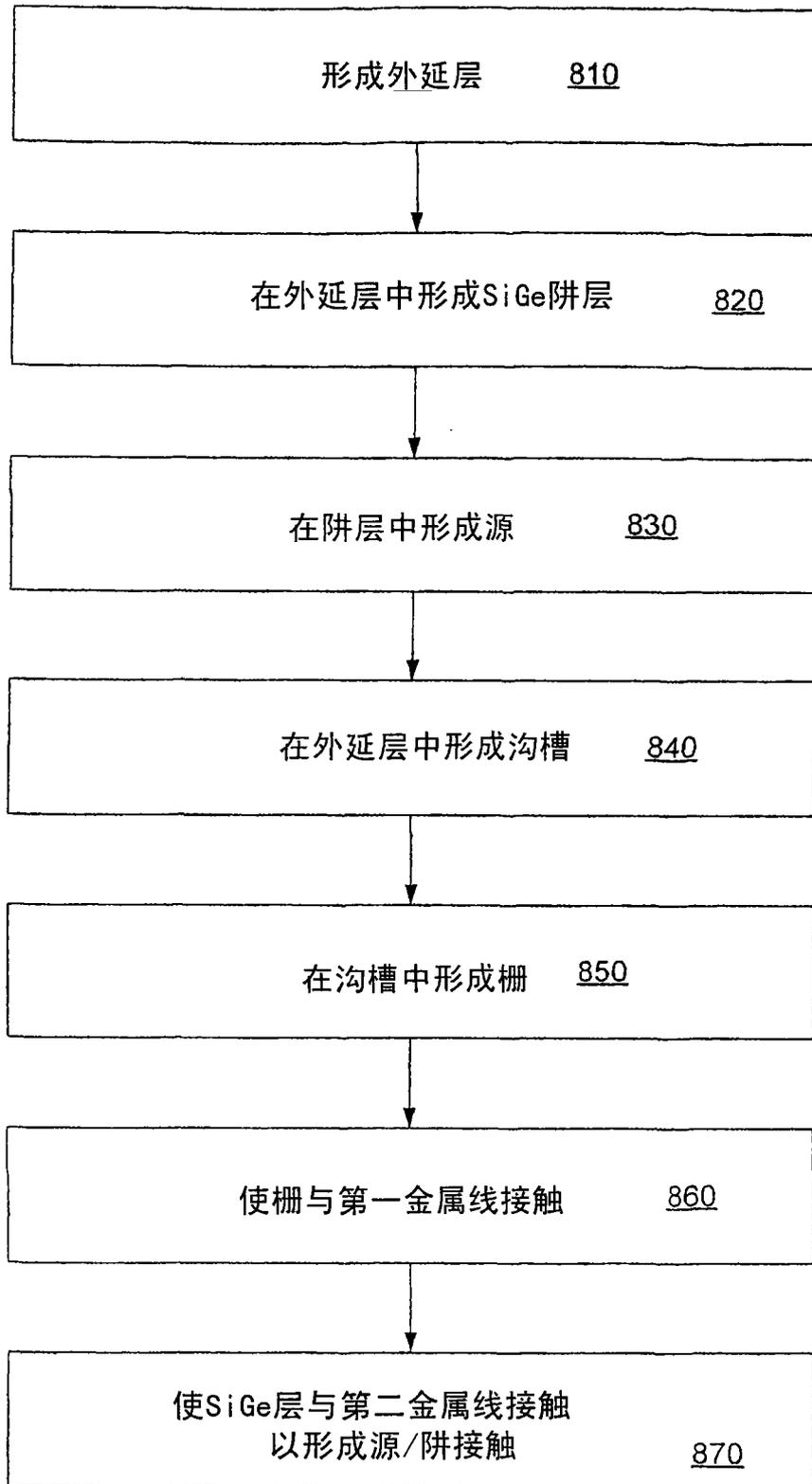


图 8

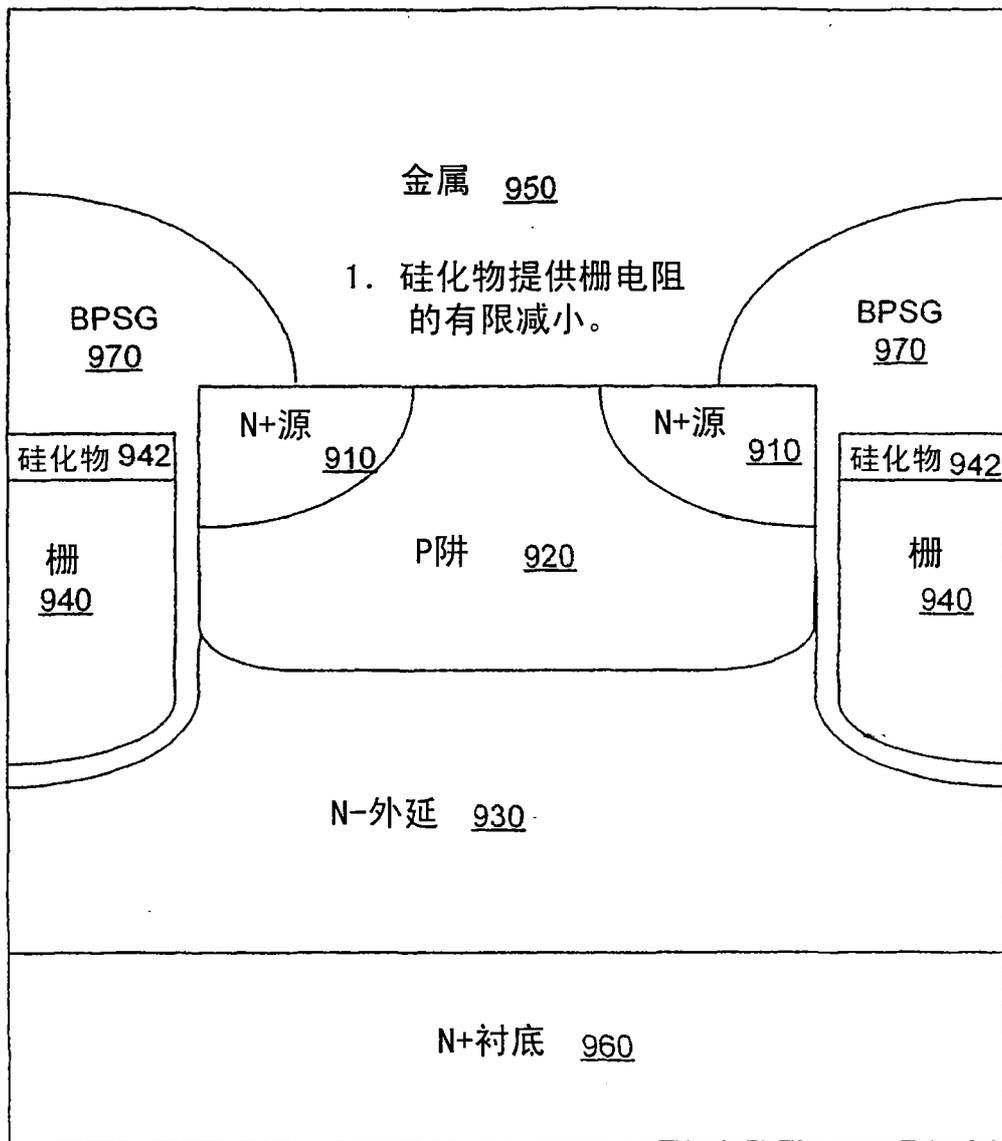


图 9

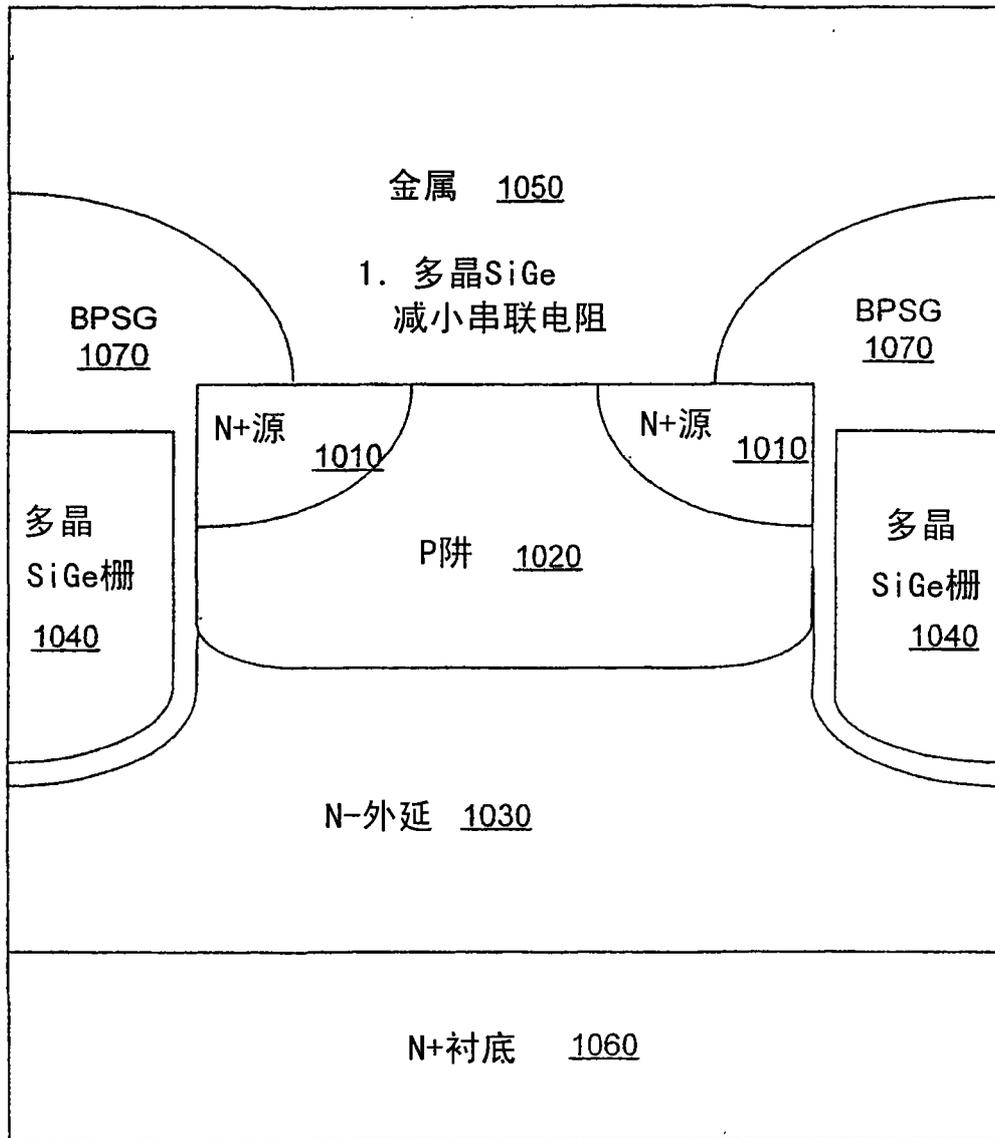


图 10

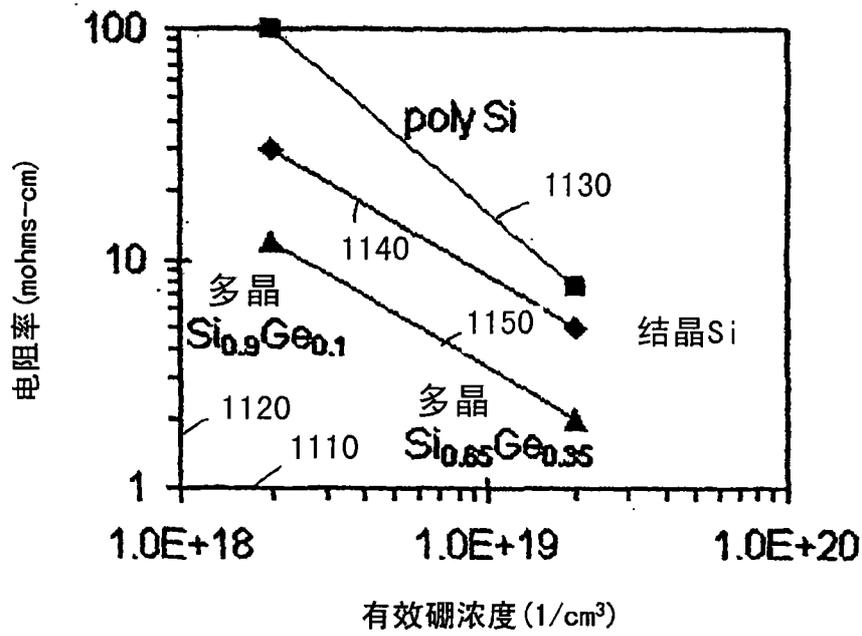


图 11

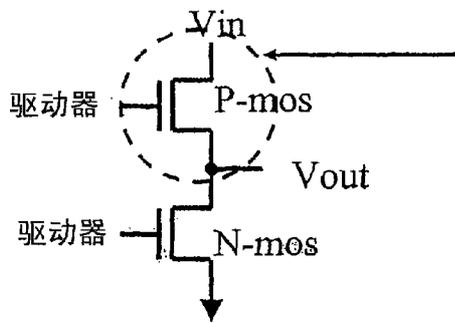


图 12

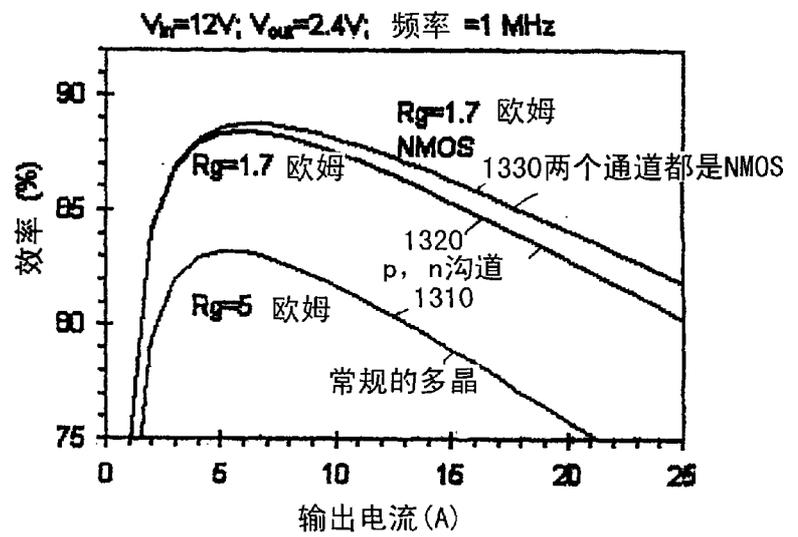


图 13

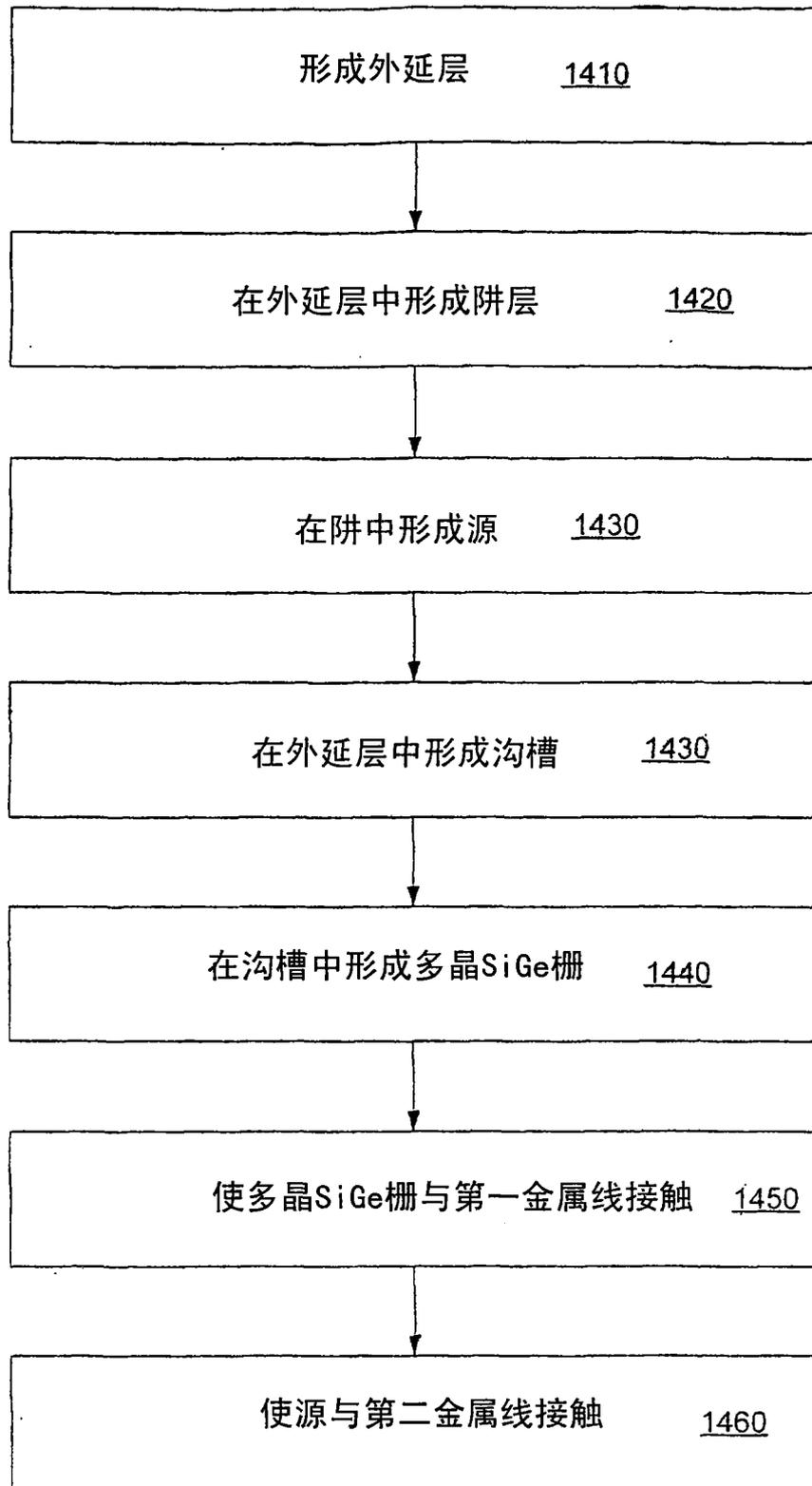


图 14

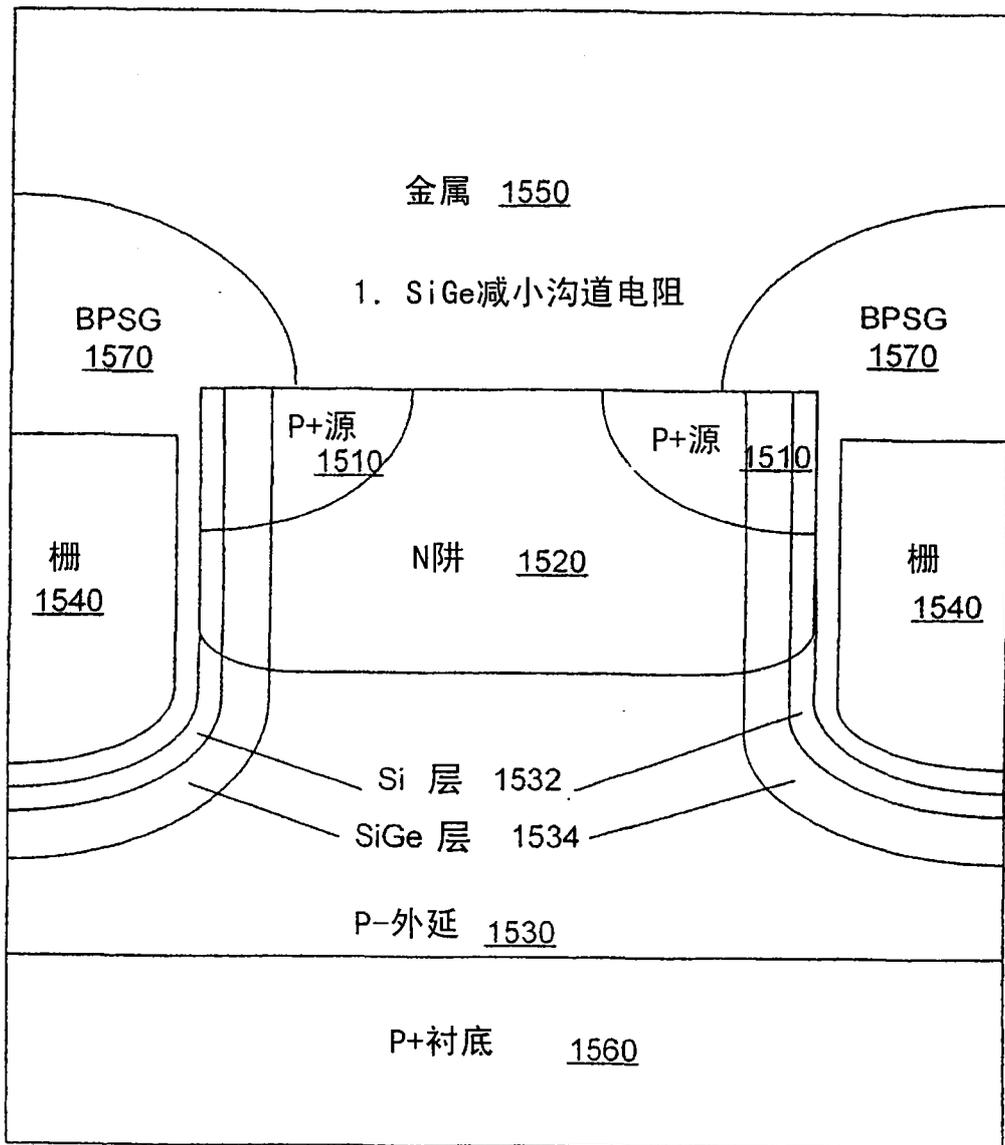
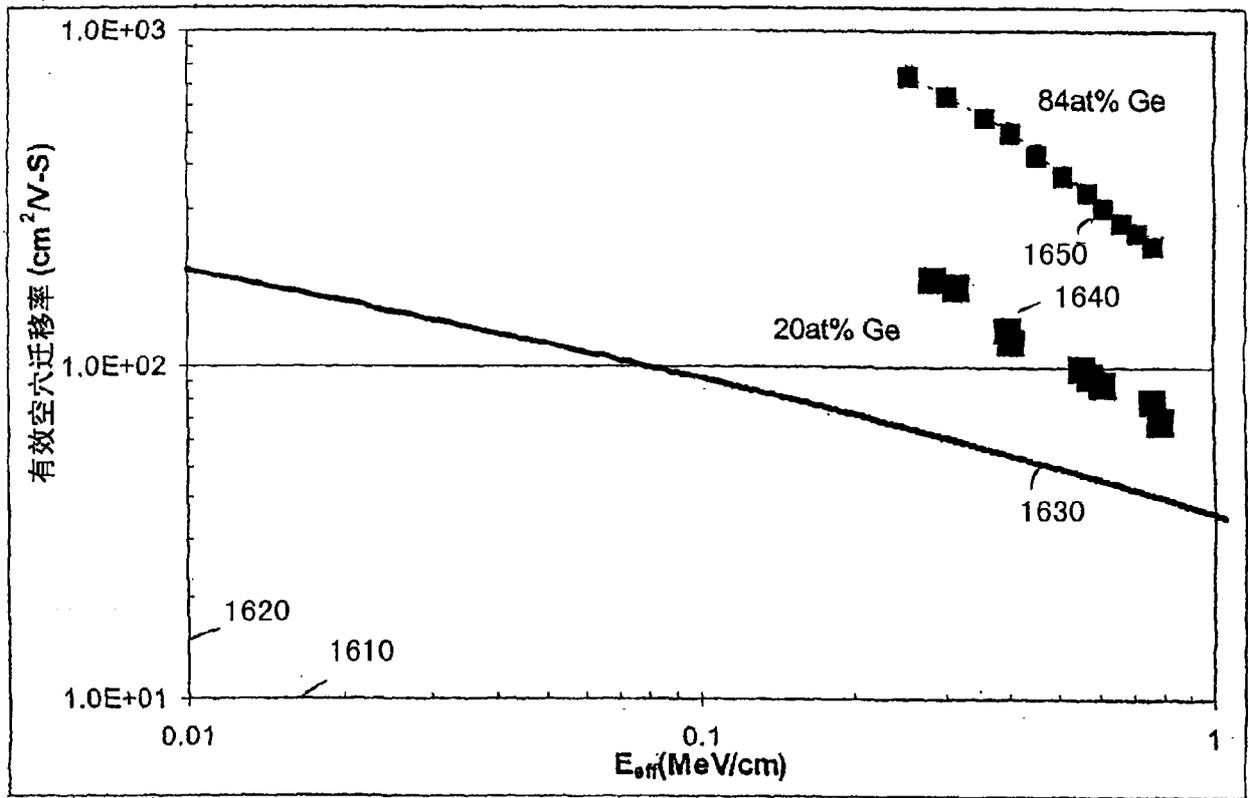


图 15



$$R_{ch} = \frac{L}{Z\mu_p C_{ox} (V_g - V_T)}$$

图 16

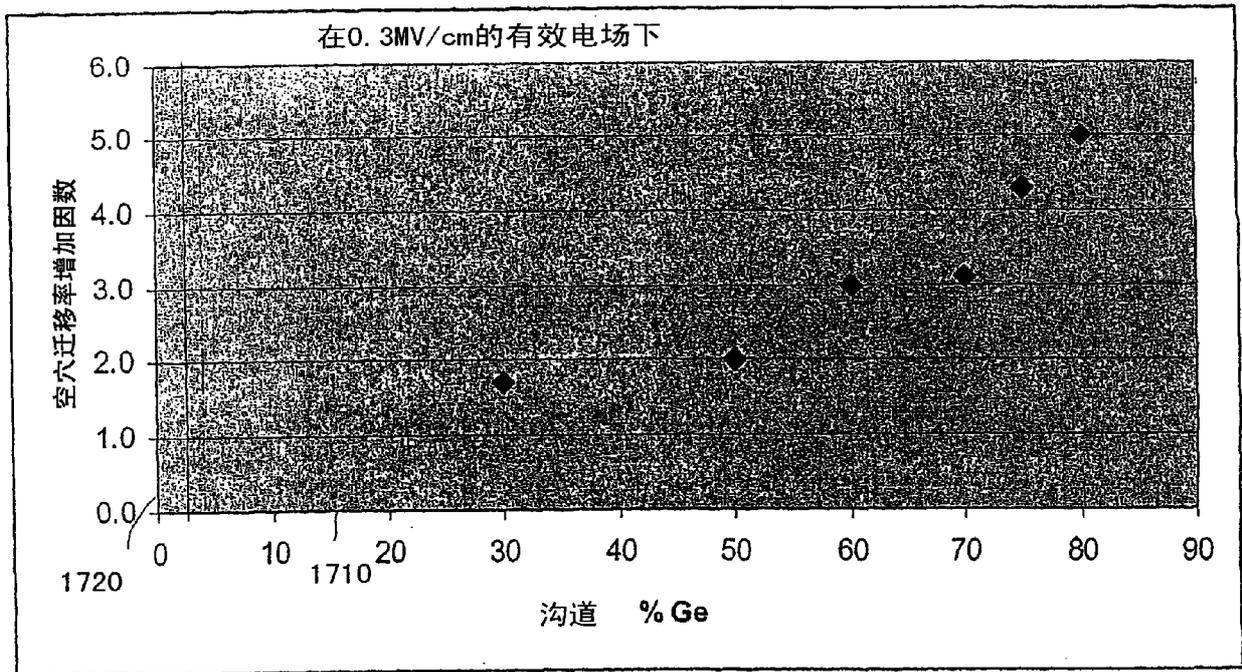
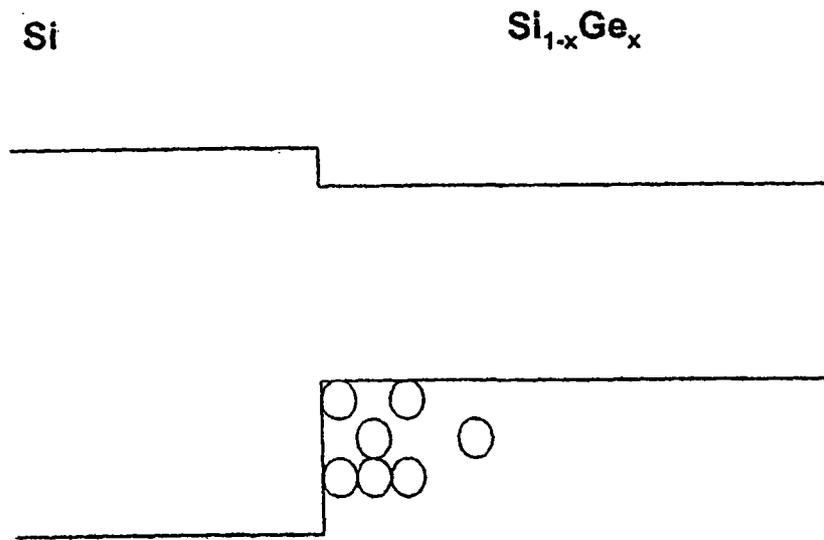


图 17



$$\delta E_v = 0.65x - 0.22x^2$$

图 18

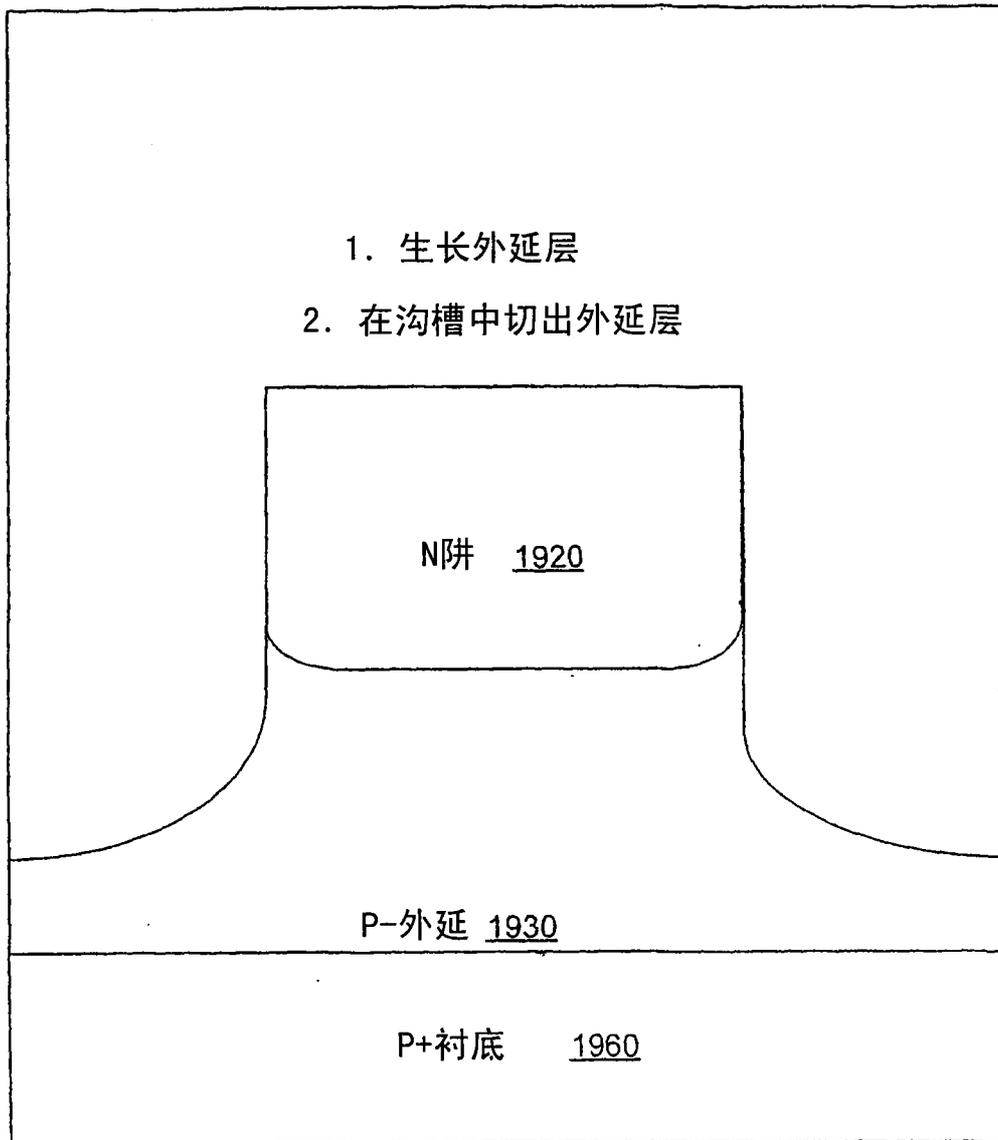


图 19A

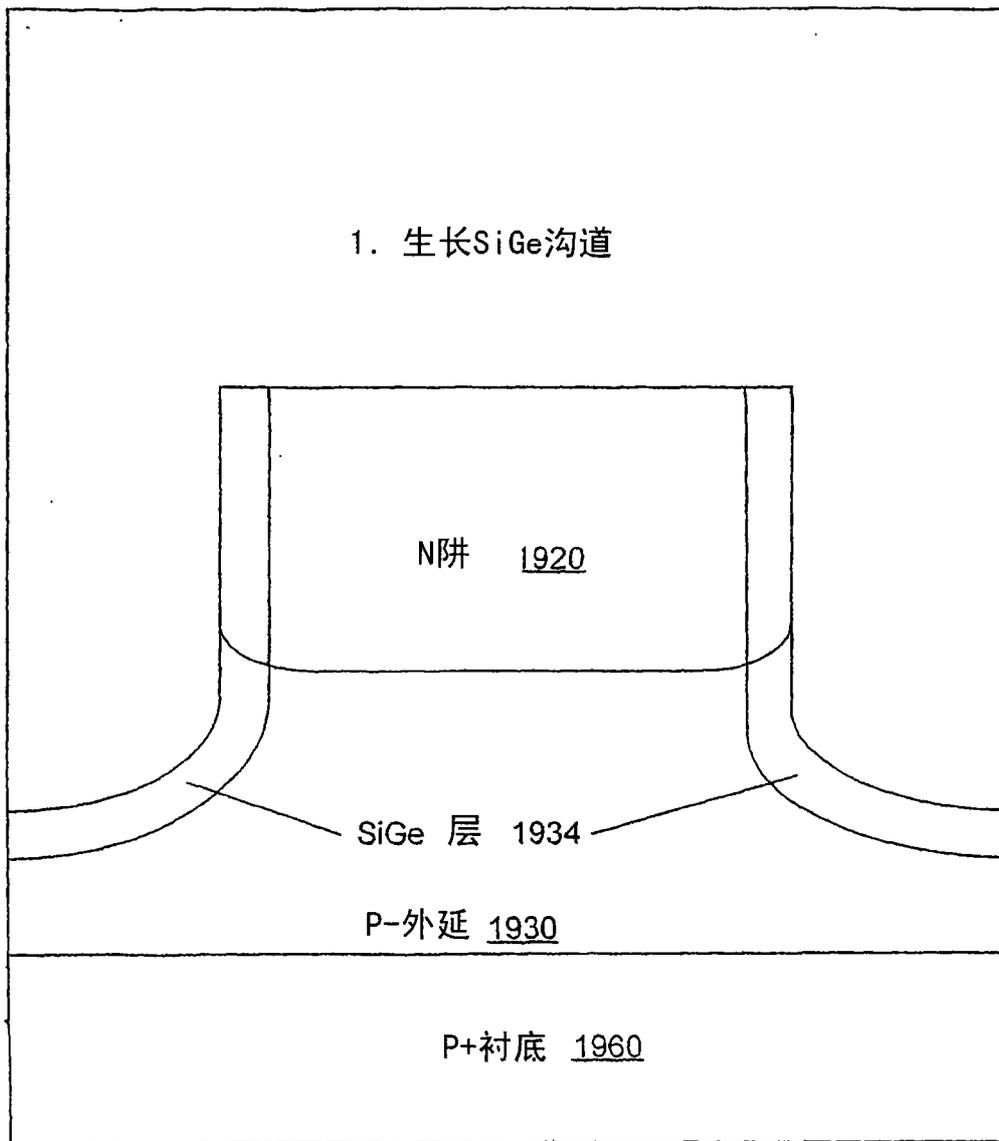


图 19B

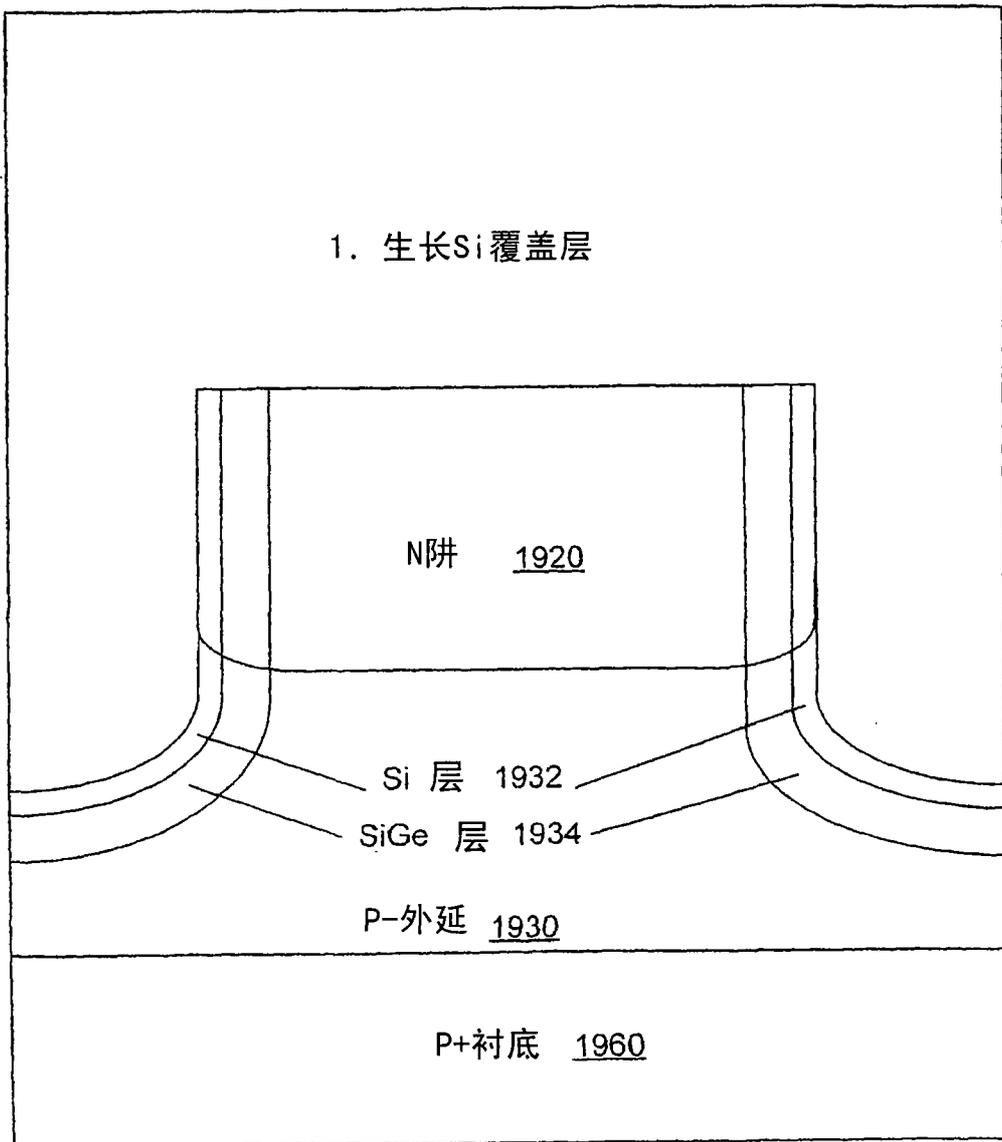


图 19C

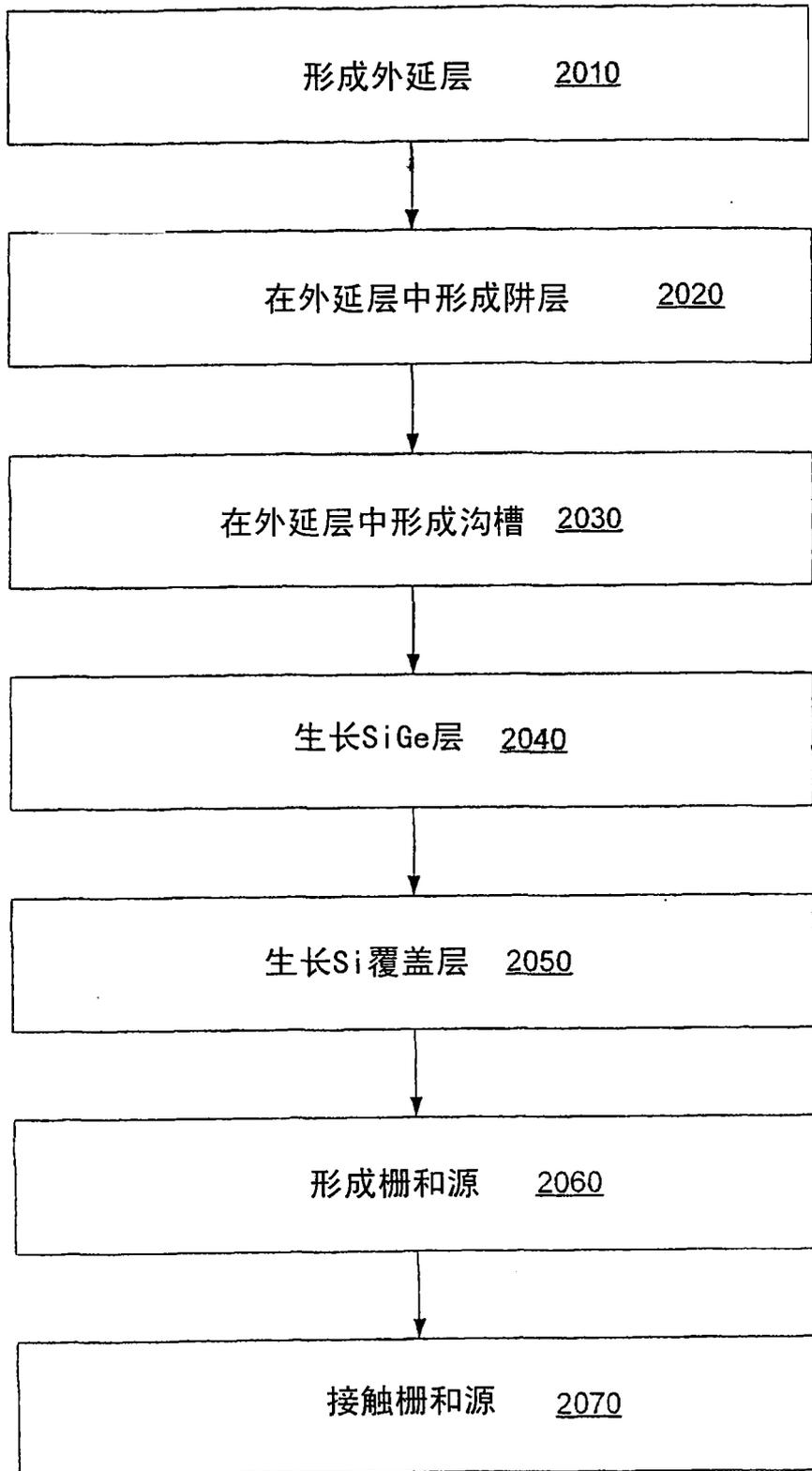


图 20