

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6800610号
(P6800610)

(45) 発行日 令和2年12月16日 (2020. 12. 16)

(24) 登録日 令和2年11月27日 (2020. 11. 27)

(51) Int.Cl.	F I
HO 1 L 27/146 (2006.01)	HO 1 L 27/146 A
HO 4 N 5/361 (2011.01)	HO 4 N 5/361
HO 4 N 5/369 (2011.01)	HO 4 N 5/369
HO 1 L 31/10 (2006.01)	HO 1 L 31/10

請求項の数 15 (全 16 頁)

(21) 出願番号	特願2016-103715 (P2016-103715)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成28年5月24日 (2016. 5. 24)	(74) 代理人	100126240 弁理士 阿部 琢磨
(65) 公開番号	特開2017-212303 (P2017-212303A)	(74) 代理人	100124442 弁理士 黒岩 創吾
(43) 公開日	平成29年11月30日 (2017. 11. 30)	(72) 発明者	鈴木 達也 東京都大田区下丸子3丁目30番2号キヤ ノン株式会社内
審査請求日	平成31年4月25日 (2019. 4. 25)	(72) 発明者	小倉 正徳 東京都大田区下丸子3丁目30番2号キヤ ノン株式会社内

最終頁に続く

(54) 【発明の名称】 光電変換装置及び画像読み取り装置

(57) 【特許請求の範囲】

【請求項 1】

一主面に複数の凹部が配された半導体基板と、
前記複数の凹部に配された絶縁体と、を有し、
前記半導体基板は光電変換素子を有し、
前記光電変換素子は、第1導電型の第1半導体領域と、前記第1導電型と反対導電型で
あり信号電荷と同極性である第2導電型の第2半導体領域と、前記第2半導体領域よりも
不純物濃度が高く、少なくともその一部が前記第2半導体領域よりも前記一主面側に配さ
れた、前記第2導電型の第3半導体領域と、前記半導体基板の前記一主面側に配され、前
記一主面に対する平面視において、前記第3半導体領域を囲む前記第1導電型の第4半導
体領域と、を有し、
前記第4半導体領域の不純物濃度は、前記第1半導体領域の不純物濃度よりも高く、
前記一主面に対する平面視において、前記複数の凹部は前記第4半導体領域内に配され

、
前記一主面に垂直な第1断面において、前記第3半導体領域を間に挟んで隣り合うよう
に前記複数の凹部のうち第1の凹部及び第2の凹部が配され、
前記第1断面において、前記第1半導体領域は、前記第1の凹部の下に配された第1部
分と、前記第2の凹部の下に配された第2部分と、を含み、
前記第1断面において、前記一主面と平行な線に沿って前記第1部分、前記第2半導体
領域、及び、前記第2部分がこの順に並ぶように、前記第1部分及び前記第2部分の間に

前記第 2 半導体領域が配され、

前記第 1 断面において、前記一主面と垂直な線に沿って、前記一主面の側から前記第 3 半導体領域、前記第 2 半導体領域、及び、前記第 1 半導体領域の一部がこの順に並び、

前記第 1 断面において、前記第 2 半導体領域は前記第 1 半導体領域と接しており、

前記第 1 断面において、前記第 1 半導体領域の前記第 1 部分及び前記第 2 半導体領域により構成される P N 接合部、ならびに、前記第 1 半導体領域の前記第 2 部分及び前記第 2 半導体領域により構成される P N 接合部が、前記第 1 の凹部の前記第 2 の凹部の側の端を通り前記主面に垂直な線、及び、前記第 2 の凹部の前記第 1 の凹部の側の端を通り前記主面に垂直な線の間に配され、

前記第 4 半導体領域及び前記第 2 半導体領域により構成される P N 接合部が、前記第 1 の凹部の前記第 2 の凹部の側の端を通り前記主面に垂直な前記線、及び、前記第 2 の凹部の前記第 1 の凹部の側の端を通り前記主面に垂直な前記線の間に配され、かつ、前記第 1 半導体領域の前記第 1 部分及び前記第 2 半導体領域により構成される前記 P N 接合部、及び、前記第 1 半導体領域の前記第 2 部分及び前記第 2 半導体領域により構成される前記 P N 接合部の間に配されていることを特徴とする光電変換装置。

10

【請求項 2】

前記一主面に垂直な、前記第 1 断面と交差する第 2 断面において、前記第 3 半導体領域を間に挟んで隣り合うように前記複数の凹部のうちの第 3 の凹部及び第 4 の凹部が配され、

前記第 2 断面において、前記第 3 の凹部及び前記第 4 の凹部の間に前記第 2 半導体領域が配され、

20

前記第 2 断面において、前記第 1 半導体領域は、前記第 3 の凹部の下に配された第 3 部分と、前記第 4 の凹部の下に配された第 4 部分と、を含み、

前記第 2 断面において、前記一主面と平行な線に沿って前記第 3 部分、前記第 2 半導体領域、及び、前記第 4 部分がこの順に並ぶように、前記第 3 部分及び前記第 4 部分の間に前記第 2 半導体領域が配され、

前記第 2 断面において、前記第 1 半導体領域の前記第 3 部分及び第 2 半導体領域により構成される P N 接合部、ならびに、前記第 1 半導体領域の前記第 4 部分及び前記第 2 半導体領域により構成される P N 接合部が、前記第 3 の凹部の前記第 4 の凹部の側の端を通り前記主面に垂直な線、及び、前記第 4 の凹部の前記第 3 の凹部の側の端を通り前記主面に垂直な線の間に配されていることを特徴とする請求項 1 に記載の光電変換装置。

30

【請求項 3】

前記第 4 半導体領域の下に、前記第 2 半導体領域の少なくとも一部が配され、

前記半導体基板の前記一主面のうち、前記第 3 半導体領域が配された面を基準として、前記絶縁体の底の位置が、前記第 4 半導体領域と前記第 2 半導体領域前記少なくとも一部とがなす P N 接合部の位置より深いことを特徴とする請求項 1 又は請求項 2 に記載の光電変換装置。

【請求項 4】

前記第 4 半導体領域の下に、前記第 2 半導体領域の少なくとも一部が配され、

前記半導体基板の前記一主面のうち、前記第 3 半導体領域が配された面を基準として、前記絶縁体の底の位置が、前記第 4 半導体領域と前記第 2 半導体領域前記少なくとも一部とがなす P N 接合部の位置より浅いことを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の光電変換装置。

40

【請求項 5】

前記一主面に対する前記平面視において、前記第 4 半導体領域を囲んで配された素子分離部を有し、

前記複数の凹部は、前記素子分離部に囲まれていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の光電変換装置。

【請求項 6】

前記一主面に対する平面視において、前記複数の凹部は、前記第 1 半導体領域と重なる

50

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の光電変換装置。

【請求項 7】

前記半導体基板上の絶縁膜に設けられた開口に配され、前記第 3 半導体領域と接する導電体を有する請求項 1 乃至 6 のいずれか 1 項に記載の光電変換装置。

【請求項 8】

前記一主面に対する平面視において、前記第 3 半導体領域は、前記第 2 半導体領域に囲まれていることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の光電変換装置。

【請求項 9】

前記一主面に垂直な方向において、

前記第 2 半導体領域の一部は、前記第 1 半導体領域と前記第 4 半導体領域の間にあることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の光電変換装置。

【請求項 10】

前記絶縁体は、酸化シリコンからなる請求項 1 乃至 9 のいずれか 1 項に記載の光電変換装置。

【請求項 11】

前記絶縁体は、LOCOSであることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の光電変換装置。

【請求項 12】

前記絶縁体は、前記半導体基板上に形成された層間絶縁膜の一部であることを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の光電変換装置。

【請求項 13】

前記第 2 半導体領域の不純物濃度は、前記第 1 半導体領域の不純物濃度より高いことを特徴とする請求項 1 乃至 12 のいずれか 1 項に記載の光電変換装置。

【請求項 14】

前記第 4 半導体領域の不純物濃度は、前記第 2 半導体領域の不純物濃度より高いことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の光電変換装置。

【請求項 15】

請求項 1 乃至 14 のいずれか 1 項に記載の光電変換装置を有し、原稿を読み取って画像データを生成する読み取り部と、

前記画像データに基づくデータを処理する処理部と、を備えることを特徴とする画像読み取り装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置、及び画像読み取り装置に関する。

【背景技術】

【0002】

第一導電型半導体領域と第二導電型領域のPN接合で形成されるフォトダイオードを光電変換装置として用いる光電変換装置が知られている。この光電変換装置における光電変換素子の電荷収集効率を上げるために、特許文献1の図1では、収集する電荷と同じ極性の電荷収集領域を広く形成して電荷収集効率を上げる構造が提案されている。また、特許文献2では、光電変換素子の受光面にLOCOS (LOCAL Oxidization of Silicon) 領域を設け、入射光の波長に対しての波(リップル)を低減する構造が提案されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2004-312039号公報

【特許文献2】特開2011-124522号公報

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】

【0004】

特許文献1に記載の、収集する電荷と同じ極性の電荷収集領域が広く形成されている光電変換装置において、特許文献2に記載のようにリップルを低減するためのLOCOS領域を設けることを考える。この場合、LOCOS領域と電荷収集領域が接触することにより暗電流が増大する。

【課題を解決するための手段】

【0005】

本願発明の1様態は、一主面に複数の凹部が配された半導体基板と、前記複数の凹部に配された絶縁体と、を有し、前記半導体基板は光電変換素子を有し、前記光電変換素子は、第1導電型の第1半導体領域と、前記第1導電型と反対導電型であり信号電荷と同極性である第2導電型の第2半導体領域と、前記第2半導体領域よりも不純物濃度が高く、少なくともその一部が前記第2半導体領域よりも前記一主面側に配された、前記第2導電型の第3半導体領域と、前記半導体基板の前記一主面側に配され、前記一主面に対する平面視において、前記第3半導体領域を囲む前記第1導電型の第4半導体領域と、を有し、前記第4半導体領域の不純物濃度は、前記第1半導体領域の不純物濃度よりも高く、前記一主面に対する平面視において、前記複数の凹部は前記第4半導体領域内に配され、前記一主面に垂直な第1断面において、前記第3半導体領域を間に挟んで隣り合うように前記複数の凹部のうち第1の凹部及び第2の凹部が配され、前記第1断面において、前記第1半導体領域は、前記第1の凹部の下に配された第1部分と、前記第2の凹部の下に配された第2部分と、を含み、前記第1断面において、前記一主面と平行な線に沿って前記第1部分、前記第2半導体領域、及び、前記第2部分がこの順に並ぶように、前記第1部分及び前記第2部分の間に前記第2半導体領域が配され、前記第1断面において、前記一主面と垂直な線に沿って、前記一主面の側から前記第3半導体領域、前記第2半導体領域、及び、前記第1半導体領域の一部がこの順に並び、前記第1断面において、前記第2半導体領域は前記第1半導体領域と接しており、前記第1断面において、前記第1半導体領域の前記第1部分及び前記第2半導体領域により構成されるPN接合部、ならびに、前記第1半導体領域の前記第2部分及び前記第2半導体領域により構成されるPN接合部が、前記第1の凹部の前記第2の凹部の側の端を通り前記主面に垂直な線、及び、前記第2の凹部の前記第1の凹部の側の端を通り前記主面に垂直な線の間に配され、前記第4半導体領域及び前記第2半導体領域により構成されるPN接合部が、前記第1の凹部の前記第2の凹部の側の端を通り前記主面に垂直な前記線、及び、前記第2の凹部の前記第1の凹部の側の端を通り前記主面に垂直な前記線の間に配され、かつ、前記第1半導体領域の前記第1部分及び前記第2半導体領域により構成される前記PN接合部、及び、前記第1半導体領域の前記第2部分及び前記第2半導体領域により構成される前記PN接合部の間に配されている光電変換装置に関する。

【発明の効果】

【0007】

本発明によれば、暗電流の増大を抑制しつつ、電荷収集効率の向上と出力におけるリップルの低減を両立させることができる。

【図面の簡単な説明】

【0008】

【図1】図1は実施の形態1に係る光電変換装置の一例の平面図及び断面図

【図2】実施の形態1に係る光電変換装置の一部の一例の断面図

【図3】実施の形態1に係る光電変換装置の一部の回路図

【図4】実施の形態1に係る光電変換装置の一部の断面図

【図5】実施の形態1に係る光電変換装置の凹部付近の断面図

【図6】実施の形態1に係る光電変換装置の一部の一例の平面図

【図7】実施の形態2に係る光電変換装置の一例の断面図

【図8】実施の形態3に係る光電変換装置の一例の平面図及び断面図

【図 9】実施の形態 4 に係る画像読み取り装置について説明する図

【発明を実施するための形態】

【0009】

以下、図面を参照しながら実施の形態に係る光電変換装置の一部の一例について説明する。下実施の形態においては、信号電荷として電子を用いる場合に関して説明するが、信号電荷としてホールを用いる場合には P 型半導体領域を N 型半導体領域、N 型半導体領域を P 型半導体領域とすればよい。

【0010】

図 1 (A) に本実施形態の光電変換装置の光電変換装置の一部の一例の平面図、及び図 1 (B) に図 1 (A) の A-A' における断面図を示す。光電変換装置 100 は、素子分離部 105 によって分離された複数の光電変換素子 110 を有する。

10

【0011】

光は、半導体基板 400 の、複数の凹部 106 を有する一主面側から入射し、半導体基板の一主面上に配された不図示の保護膜や層間絶縁膜を通過し、半導体基板 400 に入射する。

【0012】

半導体基板の一主面と、その上に配される不図示の層間絶縁膜との界面における多重反射により、分光特性が、波長に対して出力が波状となる特性（リップル）となることがある。仮に、半導体基板 400 の一主面の平坦性が高ければ出力にリップルが生じる。

【0013】

20

一方、図 1 (A) に示す光電変換装置 100 は、一主面に複数の凹部 106 を有する半導体基板 400 と、複数の凹部 106 に配された絶縁層 201 を有する。この構成では、凹部 106 により、光の入射位置によって半導体基板 400 の一主面で反射されるまでの光路長が異なる長さとなるため、反射光に位相差が生じる。この異なる位相の反射光と入射光がそれぞれ干渉することで、光電変換装置 100 の出力特性におけるリップルを低減することができる。例えば、半導体基板 400 の一主面に LOCOS 領域を形成することで、複数の凹部 106 を設けることができる。

【0014】

また、半導体基板 400 は、第 1 導電型（P 型）の第 1 半導体領域 101、第 1 導電型と反対導電型（N 型）の第 2 半導体領域 102、及び第 2 導電型の第 3 半導体領域 103 を有する光電変換素子 D1 を有する。第 2 半導体領域 102 及び第 3 半導体領域 103 の導電型は、光電変換素子の信号電荷と同極性であり、第 3 半導体領域の不純物濃度は、第 2 半導体領域 102 の不純物濃度より高い。なお、本明細書において不純物濃度とは、反対導電型の不純物によって補償された正味の不純物濃度を意味している。いわゆる NET 濃度である。

30

【0015】

第 1 導電型の第 1 半導体領域 101 と第 2 導電型の第 2 半導体領域 102 とは PN 接合を形成している。また、第 2 半導体領域 102 は、第 2 半導体領域 102 よりも不純物濃度が高い第 2 導電型の第 3 半導体領域 103 と接して設けられており、第 3 半導体領域 103 に信号電荷が集まるような不純物濃度分布を有している。これにより、ドリフト現象を用いて、信号電荷を第 2 半導体領域 102 を介して第 3 半導体領域 103 に収集することができる。そして第 3 半導体領域 103 には不図示の導電体が接続され、この導電体は信号読出回路に接続される。第 3 半導体領域 103 に収集された信号電荷に基づく信号が、導電体を介して信号読出回路に読み出される。

40

【0016】

ここで凹部を第 2 半導体領域 102 上に形成すると、凹部に形成される絶縁体と第 2 半導体領域 102 とが接する部分で信号電荷が捕獲されるため、信号電荷の移動が阻害され、信号電荷の収集効率が下がる。そこで、本発明の光電変換装置は、複数の凹部 106 に配される絶縁体と第 2 半導体領域 102 が接しない構成とする。この構成について、具体的な例を以下に説明する。

50

【0017】

半導体基板400の凹部106が配された一主面に対する平面視において、第2半導体領域102を、複数の凹部106が配されている領域と重ならないように配する。例えば、半導体基板400の一主面に対する第1断面(図1(B))において、第3半導体領域103を間に挟んで隣り合うように複数の凹部106のうち第1の凹部106-1及び第2の凹部106-2が配される構成とする。また、上記第1断面において、第1の凹部106-1及び第2の凹部106-2の間に第2半導体領域102が配される構成とする。

【0018】

また、上記第1断面において、第1半導体領域101と第2半導体領域102とにより形成されるPN接合部が、第1の凹部106-1と第2の凹部106-2との間に配されている。

10

【0019】

このように、凹部106が第2半導体領域102に配されず、第2半導体領域102を囲む領域にのみ配される構成とすることで、凹部106内の絶縁体に第2半導体領域102が接することにより暗電流が生じるのを、防ぐことができる。

【0020】

また、上記構成において、図1(A)及び図1(B)に示すように、第1半導体領域101に対し半導体基板400の一主面側に、第1半導体領域101より不純物濃度の高い第1導電型の第4半導体領域104を配する構成としてもよい。第4半導体領域104を配することで、半導体基板400と、絶縁体との界面の半導体領域側で生じる暗電流を抑制することができる。この場合、半導体基板400の一主面に対する平面視において、第2半導体領域102及び第3半導体領域103は、第4半導体領域104に囲まれる。

20

【0021】

また図1(A)に示すように、複数の凹部106は、一主面に対する平面視において第4半導体領域104にのみ配されていてもよい。また図1(B)に示すように、複数の凹部106の底部が配される深さよりも深い位置まで、第4半導体領域が配された構成であってもよい。または、図7に示すように第4半導体領域104が複数の凹部に配された絶縁体201の底部よりも浅い位置まで配された構成であってもよい。構成の詳細については、後で説明する。

【0022】

30

なお、第1断面に交差する第2断面(例えば、図1(B)のB-B'断面)においても、第1断面と同様に、第3半導体領域を間に挟んで隣り合うように複数の凹部106のうち第3及び第4の凹部が配されている。また、第3及び第4の凹部の間に第2半導体領域が配されている。第2断面において、第1半導体領域101及び第2半導体領域102により構成されるPN接合部が、第3の凹部及び第4の凹部の間に配されている。

【0023】

また、複数の凹部106に配される絶縁体201と半導体基板400との界面の半導体基板400側の領域に第4半導体領域104が配される構成の場合、光電変換装置は、以下の構成を有していてもよい。例えば、一主面に対する平面視において第2半導体領域102が、第3半導体領域103と接する部分から複数の凹部106と重なる領域まで延在していてもよい。この構成では、第4半導体領域104が複数の凹部106内に配される絶縁体201と接しているため、第2半導体領域102と絶縁体201とが接するのを防ぐことができる。

40

【0024】

よって、第4半導体領域104が配される場合、第2半導体領域102は、半導体基板400の一主面に対する平面視において、第3半導体領域103と接する部分から、複数の凹部106と重なる領域まで延びるように構成してもよい。また、第2半導体領域102が素子分離部105に達する構成としてもよい。

【0025】

半導体基板400の、複数の凹部を有する主面に対する平面視において、第4半導体領

50

域104は、第1半導体領域101及び第2半導体領域102の少なくとも一方と重なるように配されている。

【0026】

上記光電変換装置の具体的な構成例について、以下実施の形態で説明する。

【0027】

(実施の形態1)

図1は実施の形態1における光電変換装置100の一部の一例の平面模式図である。図1(B)は図1(A)のA-A'断面における模式図である。図1において同一構成部分には同一符号を付している。

【0028】

光電変換装置100は、第1半導体領域101、第2半導体領域102、第3半導体領域103、及び第4半導体領域104を有する半導体基板400と、半導体基板400の一主面に設けられた複数の凹部106内に配された絶縁体201を有する。

【0029】

第1半導体領域101はN型であってもP型であってもよいが、本実施の形態ではP型半導体領域の例について説明する。第1半導体領域101としては、例えば材料基板としての半導体基板を用いることができ、ここでは、シリコン基板を用いた例を説明する。

【0030】

第2半導体領域102は、第1半導体領域101内に配置され、N型の半導体領域である。第2半導体領域102は、第1半導体領域101とPN接合を構成する。

【0031】

第3半導体領域103は、第2半導体領域より不純物濃度が高く、N型の半導体領域である。第3半導体領域103は、少なくともその一部が第2半導体領域102よりも半導体基板400の一主面側に配され、半導体基板400の一主面に垂直な第1断面(図1(B))において、第1の凹部106-1及び第2の凹部106-2の間に配される。また、第1断面において、第2半導体領域102の一部は、半導体基板400の深さ方向(複数の凹部106を有する一主面に垂直な方向)で、第1半導体領域101と第3半導体領域103の間にある。

【0032】

第3半導体領域103は、信号電荷である電子を収集し、信号電荷が多数キャリアとなる。また、第3半導体領域103は、読み出し回路と電氣的に接続され、具体的には、半導体基板400上の絶縁膜に設けられた開口に設けられた導電体を介して読み出し回路へ接続される。半導体基板上の絶縁膜には、酸化シリコン、窒化シリコン等を用いることができる。

【0033】

例えば、図2に示すように、読み出し回路は、増幅トランジスタ121、リセットトランジスタ122を有する。増幅トランジスタ121及びリセットトランジスタ122は、第3半導体領域103と、導電体からなる配線123を介して接続されている。増幅トランジスタ121、リセットトランジスタ122としては、例えばMOSトランジスタを用いることができる。

【0034】

なお、図2に示すように、光電変換装置は複数の光電変換素子110を有し、複数の光電変換素子110は、間に素子分離部105を挟んで隣り合って配されている。ここでは、1つの光電変換素子110とそれを囲む素子分離部105について具体的に説明するが、他の光電変換素子110と素子分離部105についても、同様の構成を有する。よって、図2において、左右の光電変換装置110については、読み出し回路やそれに接続される配線等は省略する。

【0035】

図3は、本実施の形態の光電変換装置の一部の回路図の一例である。光電変換素子D1における第3半導体領域103に、導電体を介して、増幅トランジスタ121のゲート及

10

20

30

40

50

びリセットトランジスタ122の一端子が接続される。リセットトランジスタ122のもう一方の端子はリセット用の基準電圧を印加するための配線VRに接続されている。増幅トランジスタ121の一端子には電源電圧を印加するための配線VDDが接続され、増幅トランジスタ121のもう一方の端子にMOSトランジスタからなる負荷124の一端子および信号出力線Voutが接続されている。負荷124のもう一方の端子は接地されている。負荷124は、選択トランジスタとして用いることもできる。

【0036】

また、光電変換装置100は、図1(B)に示すように、第4反動低領域104を有している。第4半導体領域104は、半導体領域101より不純物濃度が高い領域であり、P型の不純物領域である。第4半導体領域104は、複数の凹部106を有する。第4半導体領域104は、半導体基板400の半導体領域と、絶縁体との界面の半導体領域側が空乏化しないような不純物濃度となっている、これにより界面の半導体領域側で生じる暗電流を抑制することが可能となる。

10

【0037】

第4半導体領域は、半導体基板400の一主面で、複数の凹部106のうち最も第3半導体領域103に近い凹部106より第3半導体領域側まで延在している。よって、半導体基板400の深さ方向（複数の凹部106を有する一主面に垂直な方向）において、第2半導体領域102の一部は、第1半導体領域101と第4半導体領域104の間にある。

【0038】

素子分離部105は、半導体領域であり、例えばP型の半導体領域で形成することができる。素子分離部105の半導体領域の不純物濃度は、第4半導体領域104よりも高く、隣り合う光電変換素子同士を分離し、信号電荷が流出するのを防止するバリア層として機能する。

20

【0039】

素子分離部105は、半導体基板400の一主面に対する平面視において、光電変換素子110を完全に囲って配されていてよい。すなわち、複数の凹部106及び第4半導体領域104は、素子分離部105に囲まれている構成とすることができる。素子分離部105が光電変換素子110を完全に囲って配されることで、光電変換素子110で発生した電荷のリークを効果的に抑制することができる。

30

【0040】

第2半導体領域102は、第3半導体領域103を介してリセット電位が印加された際に空乏状態となり、容量増加を抑制しながら電荷を収集する機能を果たす。なお、第3半導体領域103にリセット電圧を印加した際、第1半導体領域101は完全に空乏化した状態ではなく、中性領域（空乏化していない領域）を含んでいる。

【0041】

第2半導体領域102は、図1に示すように、半導体基板400の複数の凹部106が配された一主面に垂直な断面において、第1半導体領域101とPN接合を形成している。このため、第2半導体領域102から該断面において離間した第1半導体領域101内で生成された電荷は、第2半導体領域102に向かって第1半導体領域101内を移動した後、第3半導体領域103に収集されることになる。第1半導体領域101内で生成された電荷は、素子分離部105によって隣接画素への流出が抑制され、第2半導体領域102に向かって拡散しながら移動する。

40

【0042】

第1半導体領域101を拡散してきた電荷は、第1半導体領域101と第2半導体領域102によるpn接合近傍に到達すると、該pn接合の電界によるドリフト現象によって第3半導体領域103に向かって移動する。第2半導体領域102と第1半導体領域101と接している部分があれば、上記効果が得られる。さらに第2半導体領域102が第1半導体領域101に囲まれる構成とすると、第1半導体領域101と第2半導体領域102が一方向で接している場合より、より多くの電荷をドリフト現象を用いて第2半導体領

50

域102に収集することができる。

【0043】

第2半導体領域102の不純物濃度を第1半導体領域101より高くすることで、空乏層領域が第2半導体領域102から第1半導体領域101の方向に向かって広がるため、電荷収集効率の向上を図ることができる。よって、第2半導体領域102の不純物濃度は、第1半導体領域101より高いことが好ましい。電荷収集効率が向上することで、光電変換装置のセンサ感度が向上する。

【0044】

また、第4半導体領域104の不純物濃度が、第2半導体領域102の不純物濃度より低く、空乏層が第4半導体領域104側に広がると、暗電流の抑制効果が低下する。よって、第4半導体領域104の不純物濃度は、第2半導体領域102の不純物濃度より高くすることが好ましい。

10

【0045】

また、半導体基板400の、複数の凹部106を有する主面に垂直な方向における、第1半導体領域101、第2半導体領域102、第3半導体領域104、及び素子分離部105の、厚さ及び不純物濃度は、例えば、それぞれ以下の範囲から選択できる。なお、厚さのパラメータとして、光電変換素子110の複数の凹部106以外の表面からの接合深さを用いる。

【0046】

第1半導体領域101において、不純物濃度は、 $1.0 \times 10^{14} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下、より好ましくは $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{16} \text{ cm}^{-3}$ 以下、接合深さは $0.1 \mu\text{m}$ 以上 $1000 \mu\text{m}$ 以下とすることができる。第2半導体領域102において、不純物濃度は、 $1.0 \times 10^{13} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下、より好ましくは $1.0 \times 10^{14} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{16} \text{ cm}^{-3}$ 以下、接合深さは $0.2 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下とすることができる。第3半導体領域103において、不純物濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下、より好ましくは $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下、接合深さは $0.1 \mu\text{m}$ 以上 $0.3 \mu\text{m}$ 以下とすることができる。

20

【0047】

第4半導体領域104において、不純物濃度は、 10^{15} cm^{-3} 以上 10^{19} cm^{-3} 以下、より好ましくは 10^{16} cm^{-3} 以上 10^{18} cm^{-3} 以下、接合深さは $0.1 \mu\text{m}$ 以上 $0.5 \mu\text{m}$ 以下とすることができる。素子分離部の半導体領域において、不純物濃度は、 10^{14} cm^{-3} 以上 10^{19} cm^{-3} 以下、より好ましくは 10^{15} cm^{-3} 以上 10^{18} cm^{-3} 以下、接合深さは $0.1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下とすることができる。

30

【0048】

半導体基板400における、光電変換素子110の一主面（ここでは受光面）には、複数の凹部106が設けられている。複数の凹部106は、半導体基板をエッチングすることで形成されてもよく、また、LOCOS法（Local Oxidation of Silicon）により半導体基板を熱酸化することで形成されてもよい。複数の凹部106には、例えば、LOCOS法や、STI法（Shallow Trench Isolation）の際、また半導体基板400上に層間絶縁膜を形成することにより、酸化シリコン等の絶縁体が形成される。

40

【0049】

本実施の形態では、光電変換装置100が、LOCOS法を用いて形成されたLOCOS領域を絶縁体201として有する例について示している。凹部106は、第2半導体領域102には配されず、第4半導体領域104のみに設けられている。すなわち、複数の凹部106は、半導体基板400の該主面に対する平面視において、第4半導体領域内に配されている。よって、凹部106内に配される絶縁体201に第2半導体領域102が接する、または近接することがないため、暗電流の発生を抑制することができる。

【0050】

50

また、第2半導体領域102の表面側に第4半導体領域104が形成され、少なくとも第2半導体領域102の一部が第1半導体領域101と第4半導体領域104の間となるように第4半導体領域を設ける。これにより、凹部106内に配される絶縁体の界面欠陥に因る暗電流をより効果的に低減することができる。

【0051】

次に、複数の凹部106によるリップル低減作用について、図4を用いて説明する。

【0052】

図4は一つの凹部106に絶縁体201が形成された部分を抜き出して示した断面模式図である。光電変換素子110の一主面に入射する光を矢印150、151、152で示す。入射光としては、凹部106が形成されていない領域で反射される入射光150、凹部106の側壁で反射される入射光151、及び凹部106の底面で反射される入射光152を含む。

10

【0053】

凹部106を設けることで入射光が半導体領域101、102、103、及び104へ達するまでの光路長に差ができ、半導体領域101、102、103、及び104と絶縁体201との界面で反射された反射光に位相差を設けることができる。よって、光電変換装置100の出力特性が不均一で波状になっていたとしても、入射光と反射光の干渉により、不均一性を緩和することが可能となる。つまり干渉の効果により光電変換装置100の出力のリップルを低減することが可能となる。

【0054】

20

このように本実施の形態では、信号電荷と同じ導電型を有する第2半導体領域102を設けつつ、第2半導体領域102が、凹部106内に配される絶縁体201とは近接しない構成とする。これにより、電荷収集効率の向上とリップルの低減を両立しながら、暗電流を抑制することができる。よって、S/N比の高い光電変換装置を提供することができる。

【0055】

また、凹部106及び絶縁体201については、例えばLOCOS法やSTI(Shallow Trench Isolation)法によって形成することができる。LOCOS法を用いる場合、図5に示すように、凹部106の形状をバズピークと呼ばれるなだらかな斜面を有する形状とすることができ、逆位相の光を反射する面の面積を広くすることができるため、よりリップル対策を効果的に行うことができる。一方、バズピークにおけるLOCOS法起因の欠陥の影響によって、暗電流が発生する可能性がある。

30

【0056】

そこで、LOCOS領域の下に、チャンネルストップとなるP型半導体領域508を設けることで、LOCOS法による欠陥の影響が抑制できるが、この場合でも、バズピーク部付近に不純物濃度の薄い領域507が生じる。領域507では、信号電荷のポテンシャルが低くなるため、たまった電荷を排出する際の時定数が長くなり、残像現象の原因となる。本実施の形態では、光電変換装置100を、凹部106が第2半導体領域102に配されず、第4半導体領域104、または第4半導体領域及び第1半導体領域101のみに配されるように構成する。これにより、凹部106と第2半導体領域102が近接しないため、上記残像現象の発生も抑制することができる。

40

【0057】

また、凹部106及び絶縁体201をLOCOS法で形成することで、STI法を用いて形成する場合よりもコストを削減することができる。よって、本実施の形態の光電変換装置を撮像装置に用いることで、低コストで高感度、低暗電流で、残像が抑制された撮像装置を提供することが可能となる。

【0058】

なお、本実施の形態において、複数の凹部はそれぞれ島状に独立している構成としたが、複数の凹部の一部がつながり一体となっている構成を有していてもよい。例えば、図6に示すように、凹部106は、素子分離部105に沿った部分がつながり一体となってい

50

る構成を有していてもよい。

【0059】

(実施の形態2)

図7は実施の形態2における光電変換装置の一部の一例の断面図である。平面模式図は図1と同じである。実施の形態1と同様の機能、構成を有する部分には同様の符号を付し詳細な説明は省略する。

【0060】

本実施の形態の光電変換装置は、第3半導体領域103の下端がLOCOS領域である絶縁体201の下端よりも浅い位置にある点で実施の形態1の光電変換装置と異なる。すなわち、半導体基板400の凹部106以外の領域の表面を基準面とし、基準面に対する垂直方向において、基準面からの第4半導体領域104の長さは、基準面から凹部106の底面まで長さより小さい。この時、凹部106に設けられる絶縁体201は、第4半導体領域104を貫通する。

10

【0061】

この場合には、半導体基板400の複数の凹部106を有する主面に対する平面視において、第2半導体領域102は、凹部106が配される領域と重ならないように配される。例えば、該主面に垂直な第1断面において、第3半導体領域103を間に挟んで隣り合うように配される第1及び第2の凹部106の間に、第2半導体領域102が配される。これにより、第2半導体領域が凹部106内に配される絶縁体201と接しない、また近接しない構成とすることができる。この時、第1断面において、第1半導体領域101と第2半導体領域102は接しており、形成されるPN接合部が、第1の凹部106-1及び第2の凹部106-2の間に配される。

20

【0062】

よって、半導体基板400の複数の凹部106を有する一主面に対する平面視において、第2半導体領域102及び第3半導体領域103は、第1半導体領域101に囲まれる。また、該平面視において、複数の凹部106は、半導体基板400の第1半導体領域101と重なる領域にのみ配される。

【0063】

光電変換装置100をこのように構成することで、凹部106内の絶縁体201は第4半導体領域104を貫通しても、第2半導体領域102とは接せず、第1半導体領域101と接する、または第1半導体領域101内まで達する構成となる。よって、凹部内の絶縁体201と第2半導体領域102が接する、または近接するのを防止することができ、暗電流を抑制することができる。

30

【0064】

本実施の形態においては、実施の形態1に記載の光電変換装置に比べ、半導体基板400の複数の凹部106を有する主面に対し垂直な方向における、第4半導体領域104の厚さが小さい。これにより、第4半導体領域に入射した光が光電変換されて生じた電荷が、第4半導体領域にて再結合される量が減り、光電変換により生じた信号電荷の第2半導体領域102での収集効率が向上する。よって、よりS/N比の高い光電変換装置を提供することができる。

40

【0065】

(実施の形態3)

図8を用いて本実施の形態における光電変換装置の一部の一例について説明する。図8(A)は、本実施の形態における光電変換装置の一部の一例の平面図であり、図8(B)は、図8(A)の破線A-A'における同図変換装置の一部の一例の断面図である。実施の形態1と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。

【0066】

実施の形態1では、半導体基板400の複数の凹部106を有する主面に対する平面視において、第2半導体領域102は、第1半導体領域101に囲まれている。一方、本実施の形態の光電変換装置100において、第2半導体領域102は、半導体基板400の

50

複数の凹部106を有する主面と垂直な方向において、第3半導体領域103と接する部分から、複数の凹部106と重なる領域まで延在していてもよい。図8(A)及び(B)の光電変換装置では、半導体基板400の複数の凹部106を有する主面と垂直な方向において、第2半導体領域102は、複数の凹部106領域と重なる領域を通り、素子分離部105まで延在している。

【0067】

第2半導体領域102が形成されることで、他の実施の形態と同様に、第1半導体領域101と第2半導体領域102とで形成されるpn接合により、電荷がドリフト現象を利用して収集されるため、電荷の収集効率を向上させることができる。

【0068】

また、本実施の形態においては、凹部106が第4半導体領域104を貫通せず、第4半導体領域104内に形成されている。よって、第2半導体領域が素子分離部105まで延在していても、凹部106内の絶縁体201と第2半導体領域の間には第3半導体領域が存在する。よって、凹部106内の絶縁体201と第2半導体領域が接することがなく、また近接することもないため、暗電流の発生を抑制することができる。

【0069】

なお、半導体基板400の凹部106以外の領域の表面を基準面すると、基準面からの第4半導体領域104の厚さが実施の形態2より大きくなる。よって、短い波長の光の光電変換により発生した電荷の収集効率は、実施の形態2の光電変換装置100より低下する可能性があるが、長い波長の光、特に近赤外光に対するセンサとして、好適に用いることができる。

【0070】

(実施の形態4)

図9のブロック図を参照して、本発明の一部の実施形態に係る画像読み取り装置800の構成例を説明する。画像読み取り装置800は、例えばMFP(多機能周辺装置)や、スキャナ、複写機でありうる。画像読み取り装置800は、クロック乗せ換え回路400と、読み取り部810と、発振回路820と、画像処理部830とを有しうる。

【0071】

読み取り部810は、原稿を読み取って画像データを生成する。読み取り部810は、光源、縮小光学部品、ラインセンサ、アナログ/デジタル変換器、コントローラ等で構成されうる。ラインセンサには、実施の形態1乃至3のいずれかの光電変換装置を用いることができる。発振回路820は、基準クロックを生成して読み取り部810とクロック乗せ換え回路400とへ供給する。読み取り部810は供給された基準クロックに従って動作する。基準クロックの周波数は例えば数100MHzでありうる。

【0072】

クロック乗せ換え回路400は、上述のように、基準クロックに従って読み取り部810から画像データを受け取り、スペクトラム拡散クロックに従って画像データを画像処理部830へ供給する。画像処理部830は供給された画像データの処理を行う。よって、処理部は、読み取り部810から出力された画像データに基づくデータを処理する。

【0073】

読み取り部810、発振回路820及びクロック乗せ換え回路400は画像読み取り装置800の可動部に搭載されてもよく、画像処理部830は画像読み取り装置800の本体部に搭載されてもよい。クロック乗せ換え回路400と画像処理部830とは例えば数十センチメートルのワイヤーハーネスによって接続されうる。

【符号の説明】

【0074】

- 101 第1半導体領域
- 102 第2半導体領域
- 103 第3半導体領域
- 104 第4半導体領域

10

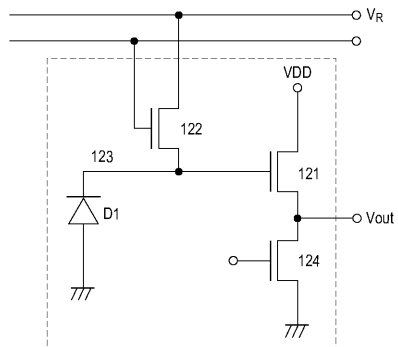
20

30

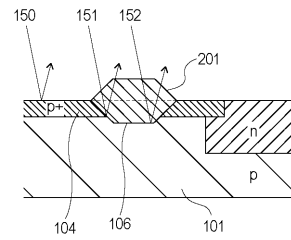
40

50

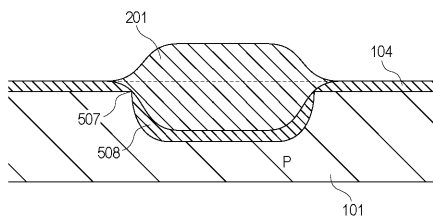
【図 3】



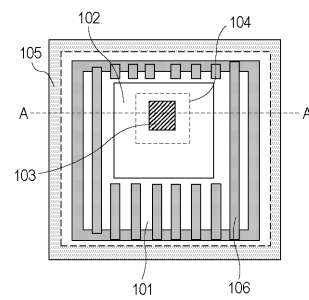
【図 4】



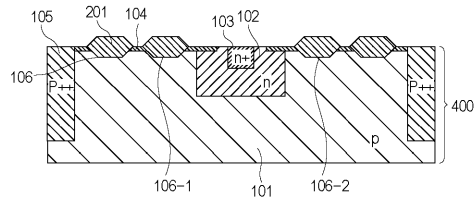
【図 5】



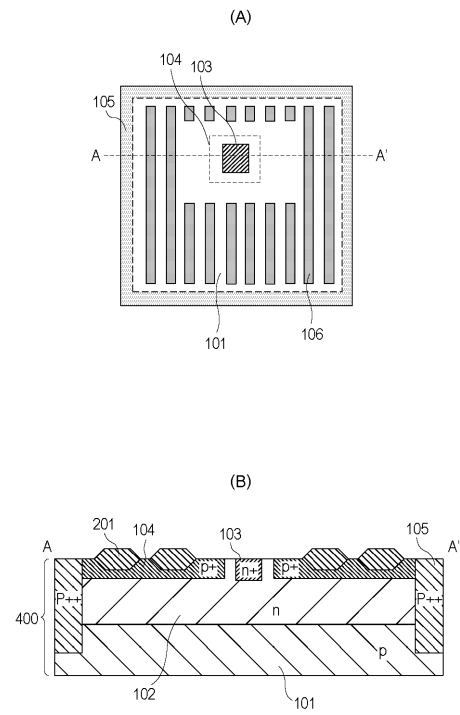
【図 6】



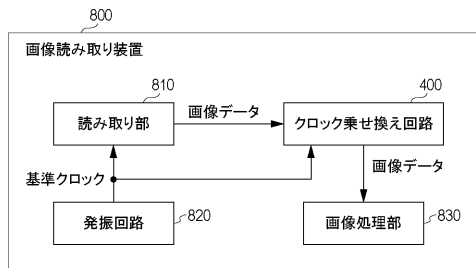
【図 7】



【図 8】



【図 9】



フロントページの続き

- (72)発明者 鈴木 隆典
東京都大田区下丸子3丁目30番2号キャノン株式会社内
- (72)発明者 伊庭 潤
東京都大田区下丸子3丁目30番2号キャノン株式会社内

審査官 今井 聖和

- (56)参考文献 特開2011-124522 (JP, A)
特開2004-312039 (JP, A)
国際公開第2007/026409 (WO, A1)
特開昭64-072557 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| H01L | 27/146 |
| H01L | 31/10 |
| H04N | 5/361 |
| H04N | 5/369 |