

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3765835号
(P3765835)

(45) 発行日 平成18年4月12日(2006.4.12)

(24) 登録日 平成18年2月3日(2006.2.3)

(51) Int. Cl. F I
H O 4 L 7/00 (2006.01) H O 4 L 7/00 Z

請求項の数 27 (全 17 頁)

| | | | |
|---------------|------------------------------|-----------|---|
| (21) 出願番号 | 特願平9-525203 | (73) 特許権者 | クリーダンス システムズ コーポレイション |
| (86) (22) 出願日 | 平成8年12月10日(1996.12.10) | | アメリカ合衆国, カリフォルニア州 94539, フレモント, フーリエ アヴェニュー 215 |
| (65) 公表番号 | 特表2000-503190(P2000-503190A) | (74) 代理人 | 弁理士 山口 邦夫 |
| (43) 公表日 | 平成12年3月14日(2000.3.14) | (74) 代理人 | 弁理士 佐々木 榮二 |
| (86) 国際出願番号 | PCT/US1996/019621 | (72) 発明者 | ミラー・チャールズ・エイ |
| (87) 国際公開番号 | W01997/025795 | | アメリカ合衆国, カリフォルニア州 94539, フレモント, セミロン ドライブ 48881 |
| (87) 国際公開日 | 平成9年7月17日(1997.7.17) | | |
| 審査請求日 | 平成15年11月27日(2003.11.27) | | |
| (31) 優先権主張番号 | 08/581,000 | | |
| (32) 優先日 | 平成8年1月3日(1996.1.3) | | |
| (33) 優先権主張国 | 米国 (US) | | |

最終頁に続く

(54) 【発明の名称】 クロック信号配信システム

(57) 【特許請求の範囲】

【請求項1】

一連のステージであって、各ステージが、ローカル・クロック出力端子と、第1の周期入力信号を受信して該第1の周期入力信号を第1の調節可能な遅延時間だけ遅延し第1の周期出力信号を発生する第1の遅延手段と、第2の周期入力信号を受信して第2の調節可能な遅延時間だけ遅延し第2の周期出力信号を発生する第2の遅延手段と、前記第1の周期入力信号と前記第2の周期出力信号を受信して前記第2の周期出力信号を前記第1の周期入力信号へ位相同期するように前記第1と第2の調節可能な遅延時間を調節するために前記第1と第2の遅延手段へ供給される遅延制御信号を生成するための制御手段と、前記第1の周期入力信号の位相と周波数に追従する位相と周波数を有する第3の周期出力信号を発生するための手段と、そのステージ内で出力ローカル・クロック信号を得て該出力ローカル・クロック信号を前記ステージのローカル・クロック出力端子に供給するための手段とを具備しているものと、

前記一連のステージのうちの第1のステージへの前記第1の周期入力信号として周期基準クロック信号を供給するための手段と、

前記一連のステージのうちの最後のステージ以外の各ステージの前記第1の周期出力信号を前記一連のステージのうちの次に連続するステージへ前記第1の周期入力信号として伝送するための第1の信号導体手段と、

前記第1のステージ以外の各ステージの前記第3の周期出力信号を前記一連のステージのうちの直前の先行するステージへ前記第2の周期入力信号として伝送するための第2の信

10

20

号導体手段と

から成る信号を配信するための装置。

【請求項 2】

各ステージが、更に、前記第 1 の周期入力信号を周波数逡倍して前記出力ローカル・クロック信号を発生するための周波数逡倍回路を具備することを特徴とする請求の範囲第 1 項に記載の装置。

【請求項 3】

各ステージが、更に、前記第 2 の周期出力信号を周波数逡倍して前記出力ローカル・クロック信号を発生するための周波数逡倍回路を具備することを特徴とする請求の範囲第 1 項に記載の装置。

10

【請求項 4】

各ステージが前記第 1 と第 2 の調節可能な遅延時間を調節して前記第 1 の周期入力信号に前記第 2 の周期出力信号を位相同期させることを特徴とする請求の範囲第 1 項に記載の装置。

【請求項 5】

各ステージが前記第 1 と第 2 の調節可能な遅延時間を調節して実質的に等しくなるようにし、また、前記第 1 の周期入力信号に前記第 2 の周期入力信号を位相同期させることを特徴とする請求の範囲第 1 項に記載の装置。

【請求項 6】

前記第 1 と第 2 の信号導体手段が実質的に同じ信号伝播遅延を有して前記一連のステージのうち隣接ステージ間に前記第 1 と第 3 の周期出力信号を伝送することを特徴とする請求の範囲第 1 項に記載の装置。

20

【請求項 7】

前記周波数逡倍回路が、

前記第 1 の周期入力信号を受信して連続的に遅延し同じ周波数だが入力制御信号の大きさでセットされる位相増分だけ互いに位相が異なる複数の周期タップ信号を発生する遅延回路と、

前記第 1 の周期入力信号と前記タップ信号の 1 つを受信し前記遅延回路へ前記入力制御信号を提供する位相同期手段であって、前記制御手段が前記タップ信号の 1 つが前記第 1 の周期入力信号に位相同期されるように前記制御信号の大きさを調節する手段と、

30

前記タップ信号の少なくとも 2 つを受信して論理的に組み合わせることにより出力ローカル・クロック信号を発生するための論理回路手段と

を具備していることを特徴とする請求の範囲第 2 項に記載の装置。

【請求項 8】

前記論理回路手段が前記タップ信号の前記少なくとも 2 つの排他的論理和を取ることを特徴とする請求の範囲第 7 項に記載の装置。

【請求項 9】

前記ステージの各々が、入力端子と、データ信号出力端子と、該入力端子に現れたデータ信号を前記第 1 の周期入力信号の各周期の間に出力ノードでラッチするためのラッチ手段とから成り、

40

更に、前記一連のステージのうちの次に後続するステージの入力端子に、前記一連のステージのうちの最後のステージ以外の各ステージのデータ信号出力端子を接続するための第 3 の信号導体手段を具備していることを特徴とする請求の範囲第 1 項に記載の装置。

【請求項 10】

前記第 1 の周期入力信号の位相と周波数に追従する位相と周波数を有する前記第 3 の周期出力信号を発生するための前記手段が前記第 1 の周期入力信号を受信してこれに応答して前記第 3 の周期出力信号を発生するための手段を具備していることを特徴とする請求の範囲第 1 項に記載の装置。

【請求項 11】

前記第 1 の周期入力信号の位相と周波数に追従する位相と周波数を有する前記第 3 の周期

50

出力信号を発生するための前記手段が前記第 1 の周期入力信号を受信して増幅し前記第 3 の周期出力信号を発生するための増幅器を具備していることを特徴とする請求の範囲第 1 項に記載の装置。

【請求項 1 2】

前記第 1 の周期入力信号の位相と周波数に追従する位相と周波数を有する前記第 3 の周期出力信号を発生するための前記手段が前記第 2 の周期出力信号を受信してこれに应答し前記第 3 の周期出力信号を発生するための手段を具備していることを特徴とする請求の範囲第 1 項に記載の装置。

【請求項 1 3】

前記制御手段の各々が、
前記第 1 の周期入力信号と前記第 2 の周期出力信号を受信して、これらの間の位相関係を表す状態表示信号を発生するための手段と、
前記表示信号を積分して前記制御信号を発生するための手段と
を具備していることを特徴とする請求の範囲第 1 項に記載の装置。

【請求項 1 4】

前記第 1 の遅延手段が第 1 の一連の論理ゲートから成り、前記第 1 の一連の論理ゲートのうちの第 1 の論理ゲートが前記第 1 の周期入力信号を受信し、前記第 1 の周期入力信号が前記第 1 の一連の論理ゲートを通して伝播し前記第 1 の一連の論理ゲートのうちの最後の論理ゲートから前記第 1 の周期出力信号として放出され、前記制御信号が前記第 1 の一連の論理ゲートの各論理ゲートに印加されてそのスイッチング速度を制御することと、
前記第 2 の遅延手段が第 2 の一連の論理ゲートから成り、前記第 2 の一連の論理ゲートのうちの第 1 の論理ゲートが前記第 2 の周期入力信号を受信し、前記第 2 の周期入力信号が前記第 2 の一連の論理ゲートを通して伝播し、前記第 2 の一連の論理ゲートのうちの最後の論理ゲートから前記第 2 の周期出力信号として放出され、前記制御信号が前記第 2 の一連の論理ゲートの各論理ゲートに印加されてそのスイッチング速度を制御することを特徴とする請求の範囲第 1 項に記載の装置。

【請求項 1 5】

各ステージが、更に、前記第 1 の周期入力信号と前記第 1 の周期出力信号とを受信し、前記第 1 の周期入力信号と前記第 1 の周期出力信号の間の位相関係にしたがって前記一連の論理ゲートの個数を調節するための手段を具備していることを特徴とする請求の範囲第 1 4 項に記載の装置。

【請求項 1 6】

各ステージが、更に、前記第 2 の周期入力信号と前記第 2 の周期出力信号とを受信し、前記第 2 の周期入力信号と前記第 2 の周期出力信号の間の位相関係にしたがって前記一連の論理ゲートの個数を調節するための手段を具備していることを特徴とする請求の範囲第 1 4 項に記載の装置。

【請求項 1 7】

N 行のステージの阵列であって、それぞれの行が M 個のステージを備えた (M と N が 1 より大きい整数である) ものであり、該各ステージが、ローカル・クロック出力端子と、第 1 の周期入力信号を受信して該第 1 の周期入力信号を第 1 の調節可能な遅延時間だけ遅延し第 1 の周期出力信号を発生するための第 1 の遅延手段と、第 2 の周期入力信号を受信して該第 2 の周期入力信号を第 2 の調節可能な遅延時間だけ遅延させ第 2 の周期出力信号を発生するための第 2 の遅延手段と、前記第 1 の周期入力信号と前記第 2 の周期出力信号を受信して前記第 1 と第 2 の遅延手段に供給される遅延制御信号を生成して前記第 1 と第 2 の調節可能な遅延時間を調節し前記第 1 の周期入力信号に前記第 2 の周期出力信号を位相同期させる制御手段と、前記第 1 の周期入力信号の位相と周波数に追従する位相と周波数を有する第 3 の周期出力信号を発生するための手段と、前記第 1 の周期入力信号と第 2 の周期出力信号のうち的一方に应答して周期ローカル・クロック信号を発生し、該周期ローカル・クロック信号をそのステージのローカル・クロック出力端子に供給するための手段とを具備しているものと、

10

20

30

40

50

前記 N 行のステージのレイのうちの第 1 の行の第 1 ステージへ、前記第 1 の周期入力信号として、周期基準クロック信号を供給するための手段と、

前記 N 行のステージのレイのうち次に後続する行の第 1 ステージへ、第 1 の周期入力信号として、前記レイの最後の行の第 1 ステージ以外の各行の第 1 ステージの第 1 の周期出力信号を伝送するための第 1 の信号導体手段と、

前記 N 行のステージのレイのうち直前に先行する行の第 1 ステージへ、第 2 の入力信号として、前記第 1 の行の第 1 ステージ以外の前記レイの各行の第 1 ステージの前記第 3 の周期出力信号を伝送するための第 2 の信号導体手段と、

前記 N 行のステージのレイのうち同じ行の第 2 ステージへ、第 1 の周期入力信号として、前記レイの各行の第 1 ステージで発生した前記出力ローカル・クロック信号を伝送するための第 3 の信号導体手段と、

前記同じ行のうちの次に後続するステージへ、第 1 の周期入力信号として、前記レイの各行の第 1 ステージ以外の各ステージで発生した前記第 1 の周期出力信号を伝送するための第 4 の信号導体手段と、

前記同じ行のうちの直前に先行するステージへ、第 2 の周期入力信号として、各行の前記第 1 と第 2 のステージ以外の各ステージの第 3 の周期出力信号を伝送するための第 5 の信号導体手段と

から成る信号配信装置。

【請求項 18】

前記第 1 の周期入力信号と第 2 の周期出力信号のうち的一方に応答して周期ローカル・クロック信号を発生するための前記手段が前記第 1 の周期入力信号と第 2 の周期出力信号のうち一方を周波数逡倍することにより前記周期ローカル・クロック信号を発生する周波数逡倍回路を具備していることを特徴とする請求の範囲第 17 項に記載の装置。

【請求項 19】

各ステージが前記第 1 と第 2 の調節可能な遅延時間を調節して、前記第 2 の周期出力信号を前記第 1 の周期入力信号に位相同期させることを特徴とする請求の範囲第 17 項に記載の装置。

【請求項 20】

各ステージが前記第 1 と第 2 の調節可能な遅延時間を調節して、実質的に等しくなるようにし、更に、前記第 2 の周期入力信号を前記第 1 の周期入力信号に位相同期させることを特徴とする請求の範囲第 17 項に記載の装置。

【請求項 21】

前記第 1 と第 2 の信号導体手段が実質的に同じ信号伝播遅延時間で隣接する行の第 1 ステージ間で前記第 1 と第 3 の周期出力信号を伝送することを特徴とする請求の範囲第 17 項に記載の装置。

【請求項 22】

前記ステージの各々が、更に、入力端子と、データ信号出力端子と、前記入力端子に現れたデータ信号を前記第 1 の周期入力信号の各周期の間に出力ノードでラッチするためのラッチ手段とから成り、

更に、前記レイのうち次に後続する行の第 1 ステージの入力端子へ、最後の行以外の各行の各ステージのデータ信号出力端子を接続するための第 6 の信号導体手段と、

前記レイのうちの同一行の次のステージの入力端子へ、各行の最後のステージ以外の各ステージのデータ信号出力端子を接続するための第 7 の信号導体手段とを具備していることを特徴とする請求の範囲第 17 項に記載の装置。

【請求項 23】

前記第 1 の周期入力信号の位相と周波数に追従する位相と周波数を有する第 3 の周期出力信号を発生するための前記手段が前記第 1 の周期入力信号と第 2 の周期出力信号のうちの一方を受信して、それに応答して前記第 3 の周期出力信号を発生するための手段を具備していることを特徴とする請求の範囲第 17 項に記載の装置。

【請求項 24】

10

20

30

40

50

前記制御手段が、
前記第 1 の周期入力信号と前記第 2 の周期出力信号を受信して、これらの間の位相関係を表す状態表示信号を発生するための手段と、
前記表示信号を積分して前記制御信号を発生するための手段と
を具備していることを特徴とする請求の範囲第 17 項に記載の装置。

【請求項 25】

前記第 1 の遅延手段が第 1 の一連の論理ゲートから成り、前記第 1 の一連の論理ゲートのうちの第 1 の論理ゲートが前記第 1 の周期入力信号を受信し、前記第 1 の周期入力信号が前記第 1 の一連の論理ゲートを通して伝播し、前記第 1 の一連の論理ゲートのうちの最後の論理ゲートから前記第 1 の周期出力信号として放出され、前記制御信号が前記第 1 の一連の論理ゲートの各々の論理ゲートに印加されてそのスイッチング速度を制御することと

10

、
前記第 2 の遅延手段が第 2 の一連の論理ゲートから成り、前記第 2 の一連の論理ゲートのうちの第 1 の論理ゲートが前記第 2 の周期入力信号を受信し、前記第 2 の周期入力信号が前記第 2 の一連の論理ゲートを通して伝播し、前記第 2 の一連の論理ゲートのうちの最後の論理ゲートから前記第 2 の周期出力信号として放出され、前記制御信号が前記第 2 の一連の論理ゲートのうちの各々の論理ゲートに印加されてそのスイッチング速度を制御することを特徴とする請求の範囲第 17 項に記載の装置。

【請求項 26】

各ステージが、更に、前記第 1 の周期入力信号と前記第 1 の周期出力信号とを受信し、前記第 1 の周期入力信号と前記第 1 の周期出力信号の間の位相関係にしたがって前記一連の論理ゲートの個数を調節するための手段を具備していることを特徴とする請求の範囲第 25 項に記載の装置。

20

【請求項 27】

各ステージが、更に、前記第 2 の周期入力信号と前記第 2 の周期出力信号とを受信し、前記第 2 の周期入力信号と前記第 2 の周期出力信号の間の位相関係にしたがって前記一連の論理ゲートの個数を調節するための手段を具備していることを特徴とする請求の範囲第 25 項に記載の装置。

【発明の詳細な説明】

発明の背景

30

発明の分野

本発明は、電子回路の空間的に分散したモジュールへ同位相周波数のクロック信号を提供するシステムに関する。

関連技術の説明

相互接続された一組の動作モジュールで形成されたデジタルシステムにおいて、各モジュールへ配信される信号の 1 つがモジュール間のデータ転送動作のタイミングを制御するためのクロック信号である。例えば、コンピュータは、数枚の回路基板、即ちシャーシに装着されて中央制御装置及びクロック信号供給源を含むモジュールへバックプレーン (backplane) の配線によって相互接続された分散型処理機構を含む。バックプレーン配線中の導体の 1 本で前記システムの他のモジュールの各々にクロック信号を伝送する。回路の正常動作のためには、クロック信号パルスが各モジュールへ実質的に同時に到着すべきである。さもなければ、信頼できるデータ転送が保証されない。しかし、各モジュールはバックプレーンに沿ってクロック信号供給源から様々な距離に存在しているので、クロック信号パルスは各々の回路基板には同時に到着しない。このようなクロック信号のスキュー (skew) は、クロック信号の周期に対してそれが小さいような低クロック信号周波数では許容される。しかし、クロック信号スキューがクロック信号周期の相当以上の部分となってしまうような高クロック周波数では、バックプレーンでのデータ伝送は信頼性が無くなる。

40

信号スキューは相互に同期して動作しなければならない分散コンポーネントを有する電子機器でも問題とされることがある。たとえば、集積回路 (IC) テスターはホストユニッ

50

トと、空間的に分散しているが当該ホストユニットと通信するために相互接続されている多重動作モジュールとを含むことがある。各動作モジュールは試験中のICのセパレートピンへのインタフェースを提供する。ときには、動作モジュールはICピンへ試験信号を送信したり、そのピンでICによって発生した出力データを取り込む。ホストユニットの機能の1つは各動作モジュールの色々な作動を調整することである。例えば、試験の開始を知らせるためにホストユニットは各動作モジュールへ「開始」信号を送信する。ホストユニットは、各動作モジュールへグローバルクロック信号(global clock signal)を送信して試験中の動作モジュールの作動を同期させ、また、試験中にホストと動作モジュール間のデータ転送を同期する。クロック信号及びその他の制御信号及びデータ信号が様々な距離を移動して動作モジュールへ到達する場合、それらの信号は、各モジュールに異なる時間で到着する。このような制御及びクロック信号のスキューが十分に大きい場合、スキューは結果的に各モジュール動作の間のタイミング不整合を起こすことがあり、各モジュールとホストユニットの間の同期通信に悪影響を与えることがある。

10

ワトソン(Watson)等に1994年11月29日付で特許付与された米国特許第5,369,640号は、クロック信号源から各々の動作モジュールまでセパレート式の伝送線を提供し、該伝送線を調節して全部の線が同じ長さとなるようにして、各動作モジュールを遠隔操作するために送出されるクロック信号のスキューを減少するためのシステムを開示している。しかし、信号スキューの問題に対するこの「スター・バス」方式の解決方法は、非常に多数の伝送線を信号供給源から配線する必要があるため、多数の動作モジュールを備えたシステムにおいては、多少実用的ではない。

20

クロック信号スキューを取り除くための別の方法がターグ(Tague)等へ1984年5月8日付で特許付与された米国特許第4,447,870号に開示されている。ここでは、クロック信号が各動作モジュールへ到着した後で更にクロック信号を遅延させるための調節可能な遅延回路が各々の動作モジュールに提供される。各動作モジュールの遅延回路は、クロック信号伝送線の遅延量と調節可能な遅延回路によって提供される遅延量の和が基準遅延量と等しくなるように調節される。この方法は、バックプレーンにおけるように、全ての動作モジュールに接続された単一の伝送線から各動作モジュールへクロック信号を供給させる。しかし、この方法では各動作モジュールの遅延回路を手作業で較正するという時間がかかる困難な作業を必要とする。また、動作モジュールが伝送線に沿って新しい位置へ移動されるときはいつでも、クロック遅延回路は再調整されねばならない。

30

グローバ(Grover)へ1994年11月1日に特許付与された米国特許第5,361,277号は、数個の分散回路モジュールの各々に位相同期したクロック信号を供給するためのシステムを開示している。このシステムは、各モジュールへ配線した平行な「往路」及び「帰路」伝送線を使用する。クロック供給源は、往路伝送線に往路クロック信号を各モジュールに向かって順次送信し、更に、ここから最後のモジュールを越えて往路伝送線と帰路伝送線が相互に結線する遠隔分岐点へと送信する。クロック信号は前記分岐点から帰路伝送線を通り、逆の順番で各モジュールを通過して戻る。各モジュールのデスクュー(deskew)回路(時間軸補正回路)は、伝送線がモジュールを通過するように各伝送線にタップする。デスクュー回路は往路と帰路のクロック信号のそれぞれの位相をモニタして往路と帰路のクロック信号の位相の中間にある位相を有するローカル・クロック信号を発生する。全てのデスクュー回路で発生したローカル・クロック信号はクロック供給源からのモジュール距離の変化とは無関係に全て同位相である。グローバは、往路と帰路のクロック信号の中間にある位相を有するローカル・クロック信号を発生するための比較的複雑な回路を記述している。これらの回路はカウンタ、発振回路、ランプジェネレータ及び/又は分周回路に依存しているが、それらは実装が困難であるか、ジッタ(jitter)を起こすことがあるか、それ自体デジタルIC技術に馴染まないか、又は、モジュールを実装するICに組み込んだ場合には相当な集積回路空間を必要とするようなものである。また、グローバの教示する時間間隔を半分にして位相同期をとる技術は、ローカル・クロック回路レイアウトにとって、位相誤差の原因となるパスのばらつきを修正す

40

50

るものではない。更に、大規模分散プロセッサ・システムで使用する場合や複雑な集積回路設計の場合に、クロックのファンアウト、即ち分散が重要な問題になる。このようなシステムでは、クロック信号を数百又は数千のモジュールに配信しなければならない。非常に多くの回路モジュールを駆動できる単一のクロック供給源は実現が困難である。

必要とされるのは同期式のデジタル回路モジュールの空間的に分散したモジュールへ同期したクロック信号及びデータ信号を供給するためのシステムである。このシステムは、デジタル集積回路製造技術に向いているし、また、各々のモジュール又は回路クラスタで複雑な回路を必要としないはずである。システムは、また、雑音又は温度変化に対して比較的低感度で、基準クロック信号ファンアウトを最小限に抑える。

発明の要約

論理システムの空間的に分散したモジュールへ同期のとれたローカル・クロック信号を提供するためのシステムは、一連のデスクュー・ステージを含むが、該ステージは前記モジュールのうちの対応するものに最も近接して配置される。各ステージはマッチング調整可能な第1と第2の遅延回路と、位相同期ループ制御回路とを含む。マッチング伝送線の各対は、一連のデスクュー・ステージの連続した各ステージを相互接続するが、入力周期基準信号のパルスは連続的に各ステージの第1の遅延回路の全てを通過して伝播し、また、基準信号のパルスが一对のうちの第1の伝送線を経由してステージの第1の遅延回路の入力に達した時点で基準信号のパルスは前記一对のうちの第2の線を経由して先行するステージの第2の遅延回路にも戻るように移動する。各ステージの位相同期ループ制御回路はそのステージの第1と第2の遅延回路が提供する遅延量を調節して第2の遅延回路出力を第1の遅延回路入力に位相同期させる。これによって、各連続ステージの入力で見ると基準信号が第1のステージへの入力で見ると基準信号と位相同期することが確実になる。各ステージでは入力基準信号の位相と周波数に追従する出力ローカル・クロック信号を発生する。つまり、全部のモジュールに供給されるローカル・クロック信号が互いに同期する。

本発明の別の実施の形態によれば、信号デスクュー・システムは $N \times M$ 段ステージのアレイを形成するように拡張される。アレイの第1の列の各ステージは互いに相互接続されて一組の N 個の同期ローカル・クロック信号を発生する。第1の列の各ステージで発生したローカル・クロック信号は、別の同期のとれたローカル・クロック信号を発生することによって応答する同じ行の残りの $M - 1$ 個のステージへ基準信号入力として供給される。この本発明の別の実施の形態は、クロック信号が多数の回路モジュールへ供給されねばならない場合に、累積された位相ジッタを低減する。

したがって、本発明の目的は空間的に分散した回路モジュールへ一組の同期ローカル・クロック信号を提供することである。

本明細書の結論部分では本発明の主題を特に指摘し明確に請求している。しかし、同じ参照文字が同じ部材を表している添付の図面を参照しつつ本明細書の残りの部分を読むことにより、本発明の構成及び実施方法を、これの更なる効果及び目的と併せて、当業者は最も良く理解する。

【図面の簡単な説明】

図1は、本発明によるクロック信号配信システムを示すブロック図である。

図2は、図1の代表的デスクュー回路の第1の別の実施の形態を示すブロック図である。

図3は、図2の代表的遅延回路を更に詳細なブロック図形式で示した模式図である。

図4は、図1の代表的デスクュー回路の第2の別の実施の形態を示すブロック図である。

図5及び図6は、図4のデスクュー回路の動作を示すタイミング図である。

図7は、図4の周波数逓倍回路を示すブロック図である。

図8は、図1の代表的デスクュー回路の第3の別の実施の形態を示すブロック図である。

図9及び図10は、本発明によるクロック信号配信システムの別の実施の形態を示すブロック図である。

図11は、本発明による多次元クロック信号配信システムを示すブロック図である。

図12は、図1の代表的デスクュー回路の第4の別の実施の形態を示すブロック図である。

。

10

20

30

40

50

好適実施の形態の説明

図1は一組のN個の同期のとれたローカル・クロック信号CLKL(1) - CLKL(N)を発生するためのクロック信号配信システム10を示す。これらのローカル・クロック信号は、デジタル電子システムの空間的に分散したローカル・モジュールの組12(1) - 12(N)へのクロック入力として使用される。クロック信号配信システム10は、また、ホスト・モジュール11から各ローカル・モジュール12(1) - 12(N)へデータ及び/又は制御信号を配信する。

クロック信号配信システム10は、クロック信号供給源14と一組のN個のデスクュー・ステージ16(1) - 16(N)とを含む。1からNまでのうちのいずれかの数Kについて、「K番目」のデスクュー・ステージ16(K)はK番目のローカル・モジュール12(K)の近くに配置されてK番目のローカル・クロック信号CLKL(K)を発生する。全てのローカル・クロック信号CLKL(1) - CLKL(N)はクロック信号供給源14によって発生した周期基準信号CLKA(1)に位同期される。つまり、ローカル・クロック信号CLKL(1) - CLKL(N)は、空間的に分散したローカル・モジュール12(1) - 12(N)に対して同時にクロックパルスを提供する。

図2は、更に詳細なブロック図の形式でK番目のデスクュー・ステージを示す。図1及び図2を参照すると、第1のデスクュー・ステージ16(1)は、伝送線18(1)経由でクロック信号供給源14から周期基準信号CLKA(1)を受信し、これをローカル・クロック信号CLKL(1)としてローカル・モジュール12(1)へ転送する。ステージ16(1)は、また、プログラマブル遅延回路20A(1)を介してクロック信号CLKA(1)を遅延させ、そして、それをクロック信号CLKA(2)として次のデスクュー・ステージ16(2)へ渡す。ステージ16(1)内部にある制御回路22(1)は、遅延回路20A(1)の遅延量を自動的に調節して、クロック信号CLKA(2)がステージ16(2)に到着した時点でクロック信号CLKA(2)がステージ16(1)へ到着するクロック信号CLKA(1)と同位相になるようにする。デスクュー・ステージ16(2)は、伝送線18A(2)経由で、到着したクロック信号CLKA(1)をローカル・クロック信号CLKL(2)として、ローカル・モジュール12(2)へ転送する。注意すべきは、クロック信号CLKA(2)がCLKA(1)と同位相なので、ローカル・クロックCLKL(2)はローカル・クロック信号CLKL(1)と同位相になることである。つまり、ローカル・クロック信号CLKL(1)とCLKL(2)のパルスは、各々のローカル・モジュール12(1)と12(2)を同時にクロックする。

CLKB(2)信号は、ステージ16(1)で遅延回路20Bにより遅延されて基準信号REFを発生する。ステージ16(1)の制御回路22は、遅延量20Aと20B(これらは同一である)を調節し、正確に1サイクルだけクロック信号CLKA(2)がクロック信号CLKA(1)より遅れるように信号REFをクロック信号CLKA(1)に位同期する。

ステージ16(1)の後の連続する各ステージ16(K)は同様の方法で動作し、先行ステージ16(K-1)から入力クロック信号CLKA(K)を受信して、到着したCLKA(K)信号を遅延させ、出力クロック信号CLKA(K+1)を発生し、これが伝送線18A(K+1)経由で次に連続したステージ16(K+1)へ1クロックサイクル遅れて供給される。つまり、ステージ16(1) - 16(N)の入力で見えた場合、全部のクロック信号CLKA(1) - CLKA(N)は互いに同位相である。全てのステージ16(K)は、また、入力基準クロック信号CLKA(K)に応じて出力ローカル・クロック信号CLKL(K)を発生する。全ての基準クロック信号CLKA(K)は互いに同位相になっているので、ローカル・クロック信号CLKL(K)も全て同様である。つまり、全てのローカル・モジュール12(1) - 12(N)は同期してクロックされる。

図1をもう一度参照すると、クロック信号配信システム10は、ホスト・モジュール11から分散電子回路のローカル・モジュール12(1) - 12(N)へデータ信号又は制御信号(DATA)も伝送する。ホスト・モジュール11は、適切にクロック信号供給源14の非常に近くに配置されて、クロック信号CLKA(1)をほとんど遅延なしで受信す

10

20

30

40

50

る。データバス19(1)は、1つ又はそれ以上のパラレルデータ線を含むことができ、モジュール11からステージ16(1)へパラレルデータ・ワードDATA(1)を供給する。バス19(1)の各線は、伝送線18(1)と同じ長さで同様の信号伝播速度を有している。ステージ16(1)は、到着した入力パラレルデータ・ワードDATA(1)信号をクロック信号CLKA(1)からのパルスにตอบสนองして、データ・ワードDATA(2)として出力バス19(2)上でラッチする。出力バス19(2)はステージ16(2)へDATA(2)を伝送する。後続の各ステージ16(K)(但し $K > 2$)は同様の方法で動作して、入力クロック信号CLKA(K)の各パルスにตอบสนองして、入力データDATA(K)を出力データバス19(K+1)上でラッチする。また、CLKA(K)パルスにตอบสนองして、各ステージ16(K)は、入力DATA(K)信号を出力データ信号DATA(K)として、対応するローカル・モジュール12(K)へ供給するために出力バス21(K)上でラッチする。つまり、例えば、ホスト・モジュール11がクロック信号CLKA(1)パルスの立ち上がり端にตอบสนองしてステージ16(1)へデータパルスを送出する場合、ステージ16(1)はDATA(1)パルスにตอบสนองしてローカル・モジュール12(1)への線21(1)上でデータパルスをラッチする。連続するステージ16(2) - 16(N)は、クロック信号CLKA(1)信号の連続サイクルにおいて、データパルスを出力線21(2) - 21(N)上でラッチする。

10

各ローカル・モジュール12(K)がN-Kクロックサイクルだけ待ってからデータパルスに応じて動作を行うようにプログラムされている場合、全てのモジュール12(K)はデータパルスに同時にตอบสนองする。例えば、各モジュール12(K)はローカル・モジュール12(1) - 12(N)を集積回路テスターの一部とすることもでき、また、データ信号パルスの受信に続けてN-Kクロックパルスの試験動作部分をスタートするようにプログラムされる。つまり、ホスト・モジュール11が線19(1)にデータパルスを送信してからNサイクル後に全てのローカル・モジュールが同時に試験を開始する。

20

図2はブロック図の形式で図1の代表的デスクュー・ステージ16(K)の第1の実施の形態を示す。ステージ16(K)はマッチングした一対の可変遅延回路20A及び20Bと、位相比較器24及びループ・フィルタ26で構成される位相同期ループ制御回路22を含む。線18A(K)に到着する基準クロック信号CLKA(K)は伝送線18B(K)経由で復路クロック信号CLKB(K)として先行ステージ16(K-1)へ返送される。つまり、到着するCLKA(K)信号と出発するCLKB(K)信号は実質的に同一の位相及び同一の周波数である。CLKA(K)信号は位相比較器24の入力へも供給される。CLKA(K)信号は、また、ローカル・クロック信号CLKL(N)として図1のローカル・モジュール12(K)へも外向きに転送される。

30

線18A(K)と18B(K)でクロック信号が著しく減衰する場合には、線18A(K)と18B(K)の間に増幅器30を挿入しても良い。CLKB(K)の位相と周波数はCLKA(K)の位相と周波数にまだ追従するが僅かに遅延を伴う。しかし、この遅延量はローカル・クロックの同期精度に対して悪影響を与えるものではない。

遅延回路20Aは入力クロック信号CLKA(K)を遅延させて、伝送線18A(K+1)経由で次のステージ16(K+1)へ供給される出力クロック信号CLKA(K+1)を発生する。遅延回路20Bは後続ステージ16(K+1)からの復路信号CLKB(K+1)を遅延させて、位相比較器24の第2の入力へ供給される基準クロック信号REF(K)を発生する。位相比較器24は信号REF(K)が信号CLKA(K)より遅れている場合には出力信号を増加させ、また、信号REF(K)が信号CLKA(K)より先行している場合には出力信号を減少させる。ループ・フィルタ26は位相比較器24の出力信号をフィルタ(積分)し、可変遅延回路20A及び20Bの入力を制御するために供給される制御信号VPLLを発生する。各々の回路20A及び20Bの遅延量は入力制御信号VPLLの電圧とは逆に变化する。

40

ステージ16(K)に到着するCLKA(K)信号のパルスは位相比較器24の第1の入力に現れる。パルスは遅延回路20Aを通過して次のステージ16(K+1)へ伝えられ、線18(K+1)経由でステージ16(K)へのCLKB(K)信号のパルスとしてステ

50

ージ16(K)へ戻る。戻りパルスはステージ16(K)の遅延回路20Bを通過して最終的には位相比較器24の第2の入力へREF(K)のパルスとして到着する。位相比較器24とループ・フィルタ26は一緒に動作し、信号REF(K)が信号CLKA(K)に位相同期されるように遅延回路20A及び20Bの(同様な)遅延量を制御する。

2本の伝送線18A(k+1)と18B(K+1)は、ステージ16(K)と16(k+1)の間で往復してクロックパルスを伝送するが、該2本の伝送線18A(K+1)と18B(K+1)は、長さや信号伝播速度が両方ともマッチングされていて、ステージ16(K)と16(K+1)の間に同一で固有の信号遅延量を提供する。また、遅延回路20Aと20Bは同じものであり、同一の信号VPLLによって制御されているので、これらも同様の遅延量を有している。つまり、CLKA(K)の各パルスのステージ16(K)の位相比較器24の第1の入力からステージ16(K+1)の入力へ伝わるのに必要である時間は、ステージ16(K+1)からステージ16(K)の位相比較器24の第2の入力へ戻るのにかかる時間と同じである。そのため、信号REF(K)を信号CLKA(K)に同期することにより、位相比較器24は、ステージ16(K+1)への入力におけるCLKA(K+1)信号がステージ16(K)の入力でのCLKA(K)と同位相となるか、又は、信号CLKA(K)と180度ずれた位相のどちらかとなることを確実にする。

全てのクロック信号CLKA(1) - CLKA(N)は互いに同位相であるべきで180度離れてはならないので、遅延回路20A及び20Bが動作する範囲とモジュール範囲の間の伝送線距離の変動を制限して、連続するステージ16(K)とステージ16(K+1)へのクロック入力間の総遅延量がCLKA信号の周期Tと必ず等しくなり、T/2にはならないようにする。例えば、各伝送線18A/18Bの固有遅延量「D18」が0.1Tから0.3Tまで変化できる場合、遅延回路20A/20Bによって提供される遅延量「D20」は、例えば、0.65Tから0.95Tの範囲に制限すべきである。つまり、合計の遅延量D18 + D20はシステム起動時に0.75Tと1.15Tの間の範囲にあり、D18 + D20 = TでCLKA(K)とCLKA(K+1)が同位相で安定する。システムはD18 + D20 = 0.5TでCLKA(K)とCLKA(K+1)が180度位相だとD18とD20の値のこのような組み合わせが得られないため「偽ロック」できない。

位相同期時に総遅延量D18 + D20がTの倍数である時にうまく動作することは理解されるべきである。つまり、伝送線遅延量D18が2.4Tから2.6Tの間にある場合、可変遅延量の範囲を、例えば、0.40Tから0.6Tに選択できる。これによりシステム起動時に2.8Tから3.2Tまでの範囲で総遅延量を提供し3.0Tで位相同期する。しかし、いずれの場合にも伝送線遅延量D18が0.5T以下の範囲になるように制限する必要がある。

図3は図2の遅延回路20Aを示す。回路20Bも同様である。遅延回路20Aは直接接続され共通の電力供給源としてVPLLを有する一組の同様なインバータ回路44から構成される。CLKA(K)信号は直列回路の第1のインバータへの入力として供給され、CLKA(K+1)は、VPLLの大きさで決定される遅延の後で直列回路の最後のインバータの出力に現れる。直列インバータ回路44の個数、各インバータ回路44のスイッチング速度範囲、図2の制御回路22で発生するVPLLの値の範囲が遅延回路の範囲を決定する。

図2を参照すると、ステージ16(K)は一組のD型フリップフロップ回路28を含み、その各々が入力端子Dで入力データ線19(K)に到着するDATA(K)信号の別の1つを受信して、クロック端子がローカル・クロック信号CLKA(K)によってパルスされた場合に、出力端子Qに対応する一組のDATA(K+1)とDATA(K)信号が発生する。

すでに本明細書で説明したように、遅延回路20Aと20Bの範囲及びモジュール範囲の間の伝送線距離の変動範囲は、連続するステージ16(K)とステージ16(K+1)へのクロック入力間の総遅延量が位相同期時にCLKA信号の周期T(そして、T/2で

10

20

30

40

50

はない)に落ち着くように制限されるべきである。本発明の別の実施の形態においてこのような制限を回避するために、図4に図示してあるように周波数逡倍回路46を各ステージ16(K)に追加する。周波数逡倍回路46は到着クロック信号CLKA(K)の周波数を2倍してローカル・クロック信号CLKL(L)を発生する。このことは、たとえ幾つかのステージの入力信号CLKA(2) - CLKA(K)が図1の第1のステージ入力信号CLKA(1)と同位相ではあるが、他のステージの入力信号がCLKA(1)と180度ずれている場合でも、全部のローカル・クロック信号CLKL(1) - CLKL(N)が互いに同位相になることを確実にする。図4に図示した種類のステージを使用する場合、ホストへ供給されるクロック信号がローカル・クロック信号CLKL(1) - CLKL(N)と同じ周波数を有しているなら、周波数逡倍回路46と同様の周波数逡倍回路をクロック供給源14とホスト11(図1)の間のCLKA(1)信号パスに挿入すべきであることに注意するべきである。また、信号REF(K)が信号CLKA(K)に位相同期していることから、REF(K)信号を図12に示されているようにシステム性能に影響することなくCLKA(K)の代わりに周波数逡倍回路46の入力へ供給できることにも注意すべきである。

10

図5及び図6は、図4に示したステージと同様のステージを使用する場合に図1の回路の動作を示すタイミング図である。簡略化するために、タイミング図では位相同期以前の過渡応答を示していない。図5は、ステージ16(K)へのCLKA(K)パルス入力有位相比較器24の一方の入力から遅延回路20Aを通りステージ16(K+1)へ、更にステージ16(K)の遅延回路20Bを通して位相比較器24の他方の入力へ戻るラウンドトリップ(往復)を行うために完全2サイクルを必要とする場合を示している。つまり、信号REF(K)は2サイクル分だけ遅れ、信号CLKA(K+1)は信号CLKA(K)と位相同期する。CLKA(K)の周波数を逡倍した信号であるローカル・クロック信号CLKL(K)とCLKL(K+1)は互いに同位相である。

20

図6は、ステージ16(K)へのCLKA(K)パルス入力有位相比較器24の一方の入力から他方の入力へのラウンドトリップを行うのに1サイクルしか必要としない場合を示している。信号REF(K)は1サイクル分だけCLKA(K)より遅れているので、CLKA(K+1)はCLKA(K)に対して180度反転した位相である。それでも周波数逡倍ローカル・クロック信号CLKL(K)とCLKA(K+1)は互いに同位相である。各ステージの周波数逡倍回路46が偶数(2, 4, 6...)の整数倍にCLKA(K)周波数を逡倍して互いに同位相のローカル・クロック信号を発生できることが当業者には理解されよう。

30

図7は、図4の周波数逡倍回路46の新規な回路を更に詳細に示している(従来技術で公知の他の種類の周波数逡倍回路も使用できる)。CLKA(K)信号は、フェーズロックループ(PLL)制御回路60への入力として印加される。PLL制御回路60は、多重ステージ遅延線62の各ステージの遅延量を制御する出力電圧信号V2を発生する。遅延線62は、同じ周波数を有し、同位相で均等に分散している一組の出力タップ信号T1 - TNを発生する。CLKA(K)信号は遅延線62の入力を駆動する。最後の遅延線出力であるタップTNはPLL制御回路60の第2の入力に印加される。PLL制御回路60は出力電圧信号V2を調節して、TNがCLKA(K)に対して位相及び周波数ロックされるようにする。タップ信号T1 - TNは、そのためCLKA(K)に全て周波数ロックされるが同位相で均等に分散している。タップ信号T1とタップ信号TX(ここでTXはT1に対して1/4サイクルだけ位相がずれているタップ信号T2 - TNのうち特定の1つとする)はXORゲート64への入力として供給される。XORゲート64で発生する出力信号はCLKA(K)の周波数の2倍である。

40

PLL制御回路60は、クロック入力でCLKA(K)信号を受信し、D入力でTN信号を受信するD型フリップフロップ(FF)66を含む。該FF66は信号T1が信号CLKA(K)より遅れている場合にはQ出力で信号DIRをプルアップし、信号T1が信号CLKA(K)より先行している場合にQ出力でDIR信号PDをプルダウンする。DIR信号は、電源VCCと接地の間に直列接続してあるpMOSトランジスタQ1とnMO

50

SトランジスタQ2のゲートを駆動する。DIR信号が高値だとトランジスタQ2が抵抗R1及びR2経由でコンデンサC1を放電させ、DIR信号が低値の場合にはQ1が抵抗R1及びR2経由でコンデンサC1を充電させる。コンデンサC1と抵抗R2に係る電圧V1がユニティゲイン増幅器68を駆動してPLL制御回路出力信号の出力電圧信号V2を発生させる。

遅延線62は直列接続した一組のインバータ回路70で形成される。T1 - TN信号はインバータ回路70の出力に現れる。出力電圧信号V2信号はインバータ回路70に電力を供給し、TNをCLKA(K)と同位相にするようにスイッチング速度を制御する。インバータ回路70が全部同一のスイッチング速度を有するので、タップ信号T1 - TNはCLKA(K)信号に対して同位相で均等に配信される。図4のPLL制御回路22は、図7のPLL制御回路60と設計上は同様のものである。

図8は、図1の代表的なデスクュー回路16(K)の第3の別の実施の形態を示すブロック図である。このデスクュー回路は、伝送線18A / 18B(K)の遅延量がCLKA(K)クロック信号の周期に比べて非常に小さい場合の偽ロッキングを排除する。このような場合、デスクュー回路は1クロック信号分の全周期に近い遅延量を提供すべきである。図8のデスクュー回路は入力及び出力CLKA(K) / CLKA(K+1)クロック信号の間の位相関係をモニタする。デスクュー回路が入力及び出力クロック信号CLKA(K) / CLKA(K+1)がほぼ180度ずれた位相であると検出した場合、偽ロックが発生したことが分かる。このような場合、クロック信号周期の半分と略同等の遅延量を信号パスに追加するか、信号パスから除去する。

図8のデスクュー回路は一般に図2のデスクュー回路と同様であって、同じ構成部材は同じ参照番号で示してある。しかし、図8のデスクュー回路は、図2の回路に遅延回路21Aと21B、マルチプレクサ23Aと23B、XORゲート25、ローパスフィルタ27、トグル式フリップフロップ29を追加する。遅延回路21Aと21Bは、クロック信号CLKA(K)の周期のほぼ1/2の固定遅延量を提供する。マルチプレクサ23Aは、遅延回路20Aの出力CLKA(K+1)のパスに選択的に遅延回路21Aを配置する。マルチプレクサ23Bは、遅延回路20Bへ入力するCLKA(K+1)のパスに遅延回路21Bの追加削除を切り換える。XORゲート25は、CLKA(K)とCLKA(K+1)を受信して出力信号をローパスフィルタ27に供給する。2つのクロック信号CLKA(K)とCLKA(K+1)が実質的に位相がずれている場合、XORゲート25出力は頻繁に高くなり、ローパスフィルタ27の出力が増加する。フィルタ27の出力が閾値に達すると、トグル式フリップフロップ29の出力が状態変化し、これによってマルチプレクサ23Aと23Bを切り換える。遅延回路21Aと21BがCLKA(K+1)及びCLKB(K+1)信号パスにあったとしても、マルチプレクサ23Aと23Bがこれらを除く。逆に、遅延回路21Aと21BがCLKA(K+1)及びCLKB(K+1)信号パスになかったとしても、マルチプレクサ23Aと23Bがこれらを信号パスに加える。いずれの場合でも、システムはCLKA(K+1)がCLKA(K)と180度位相反転している偽ロック状態からCLKA(K+1)とCLKA(K)が同位相になっている完全ロック状態へすぐに切り換える。

XORゲート25への入力、CLKB(K+1)とREF(K)によって交互に供給されることが当業者には理解されるべきである。また、遅延回路21Aと21BをCLKA(K)及びCLKB(K+1)信号パス内外に切り換える代わりに、フリップフロップ29出力を用いて適当な量だけVPLLを選択的にレベルシフトし、遅延回路20A及び20Bによって提供される遅延量がクロック周期のほぼ半分T/2だけ急激に変化するようになる。これは、例えば、フリップフロップ29のQ出力を用いてフィルタ26と遅延回路20A及び20Bの間のVPLL信号パス内外にレベルシフト回路を切り換えるマルチプレクサを制御することによって実現できる。

図9は、全ステージの遅延回路20A(K)と20B(K)が相互接続されて長い遅延線を形成している本発明の別の実施の形態を示す。クロック信号供給源14からステージ16(1)に入るCLKA(1)パルスは、全ステージ16(1) - 16(N)の遅延回路

10

20

30

40

50

20A(1) - 20A(N)を連続的に通過する。ステージ16(N)でパルスは、遅延回路20A(N)の出力から伝送線18A(N+1)経由で転送されてステージ16(N)の遅延回路20B(N)の入力に戻る。パルスは更に全ステージの遅延回路20B(N) - 20(1)を逆の順番に経由して伝わる。各ステージ16(K)のPLL制御回路22はそれ自体の基準信号REF(K)を入力クロック信号CLKA(K)に位相同期する。

図10は図4に図示したステージと同様のステージを使用しているが、全ステージの遅延回路20A(1) - 20A(N)と遅延回路20B(1) - 20B(N)がループ状に相互接続されて電圧制御発振回路VCO31を形成する本発明の別の実施の形態を示す。クロック信号パルスは遅延回路20A(1) - 20A(N)を連続して通過し、逆の順序で遅延回路20B(1) - 20B(N)を通過する。ステージ16(1)内部で遅延回路20Bの基準信号REF(1)出力は遅延回路20A(1)の入力にフィードバックされる。ステージ16(1)をPLL制御回路22はステージ16(1)の遅延回路20A(1)と20B(1)と調節して信号REF(1)を信号CLKA(1)に位相同期させ、それによって遅延回路20A(1) - 20A(9)と遅延回路20B(1) - 20B(N)で構成されたVCO31の全周波数を設定する。ステージ16(1) - 16(N)のPLL制御回路22はこれらの遅延回路20Aと20Bを調節してステージ間信号パスの変動を補償し、それによって各ステージが1クロック周期分の遅延を提供することを確実にする。

図11は、ローカル回路モジュール12(1,1) - 12(N,M)(あて先サイト)の大きなN×Mアレイに同期のとれたクロック及びデータ信号を提供するための本発明による「2次元」デスクュー・システム50を示す。デスクュー・システム50は、図4のデスクュー回路と同様のデスクュー・ステージ16(1,1) - 16(N,M)からなるN×Mアレイを含む。デスクュー・ステージの第1の列16(1,1) - 16(N,1)は図9又は図10の「1次元」デスクュー・システムと同様の方法で動作して、これに対応するローカル・モジュール12(1,1) - 12(N,1)の第1の列をクロックするための一組のN個の出力ローカル・クロック信号CLKL(1,1) - CLKL(N,1)を発生する。しかし、K番目のステージ16(K,1)のローカル・クロック信号CLKL(K,1)も、これに対応するK番目の行のデスクュー回路16(K,2) - 16(K,M)へ入力する基準クロックとして用いられる。デスクュー回路のK番目の行も図9又は図10のデスクュー回路と同様の方法で相互接続されて、これに対応する行の論理モジュール12(K,2) - 12(K,M)へ供給する別の組のローカル・クロック信号CLKL(K,2) - CLKL(K,M)を発生する。全ローカル・クロック信号12(1,1) - 12(N,M)は互いに同位相になる。ホスト・モジュール110からのデータ又は制御信号は第1の列のステージを連続して転送される。各々の行の第1のステージもその行の残りのステージへ入力されるデータとして出力ローカル・データ信号を供給する。ローカル・モジュール12の大きなアレイに役立てる場合には、図11の2次元配信システムは、図1, 図9, 図10の1次元システムに対して、クロック信号転送経路が短いという利点を有している。例えば、400個のローカル・モジュールを有する図1, 図9, 図10の1次元システムでは、クロック信号供給源14のクロック信号出力は最も離れたローカル・モジュールに達するまでに400ステージを通過する必要がある。図11に図示した種類の2次元20×20行列システムでは、クロック信号は最も離れたローカル・モジュールに達するまでに39ステージを通過するだけで良い。このより短いパスは、クロック信号ジッタを減少する。全ステージ16(1,1) - 16(N,M)のローカル出力クロック信号を追加グループのステージへの基準クロック入力として用いることにより、図11のアレイを2次元以上に拡張できることは当業者には明らかなはずである。つまり、本発明のクロック信号配信システムは、ローカル回路モジュールの非常に大きな多次元アレイへ同期のとれたローカル・クロックを提供するように拡張できる。

図11ではデスクュー回路の通常アレイを図示しているが、回路は必ずしも空間的に配列されていなくとも良いことが理解されるべきである。つまり、デスクュー回路又はローカ

10

20

30

40

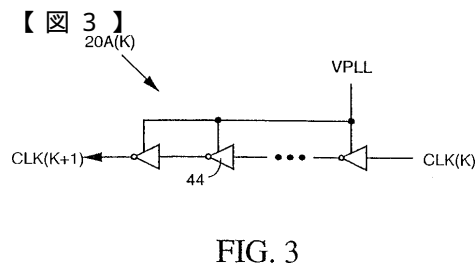
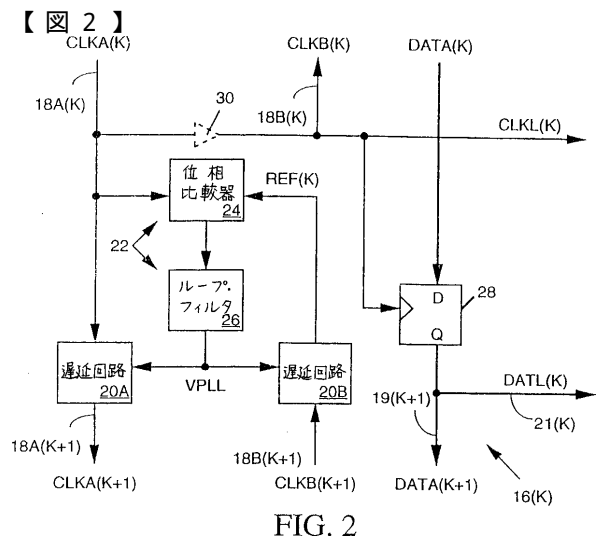
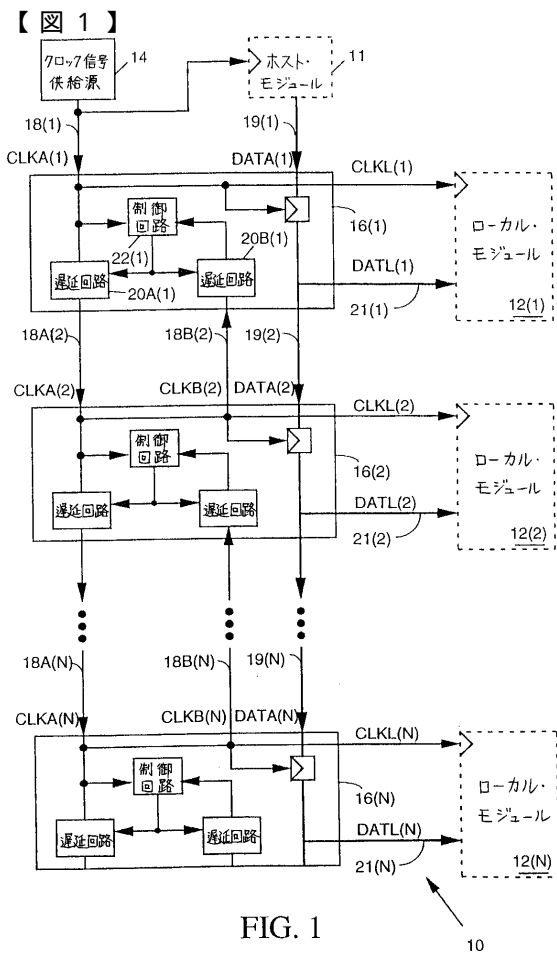
50

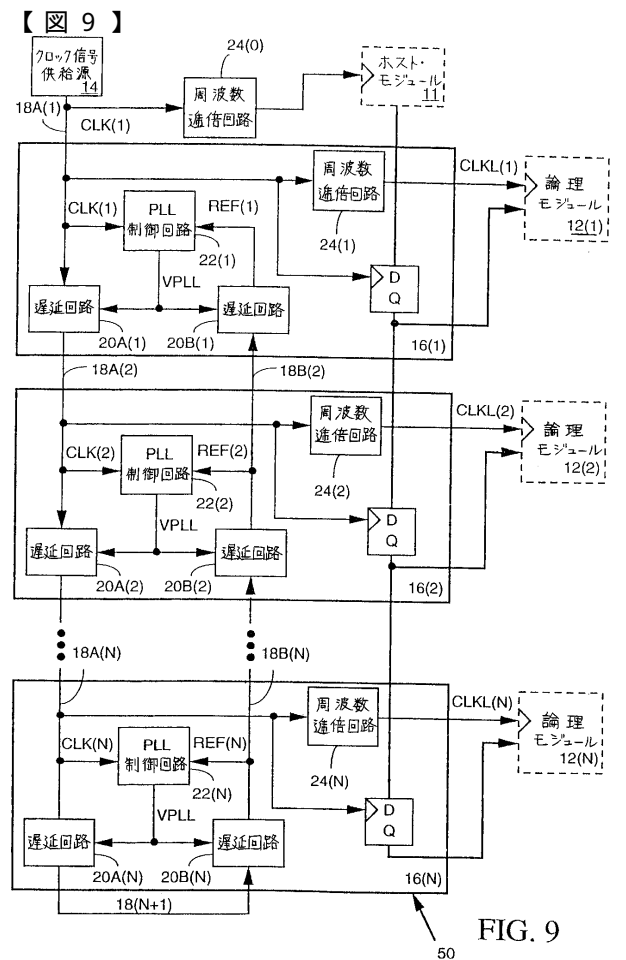
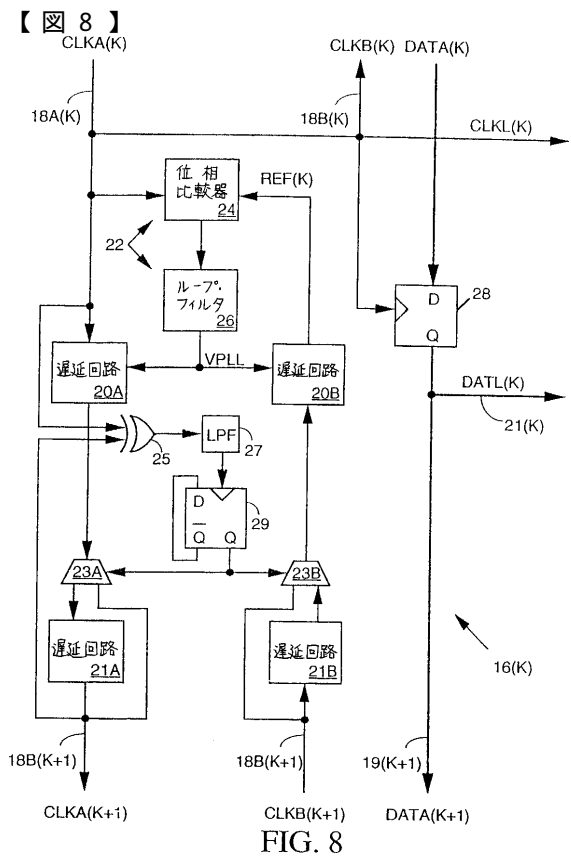
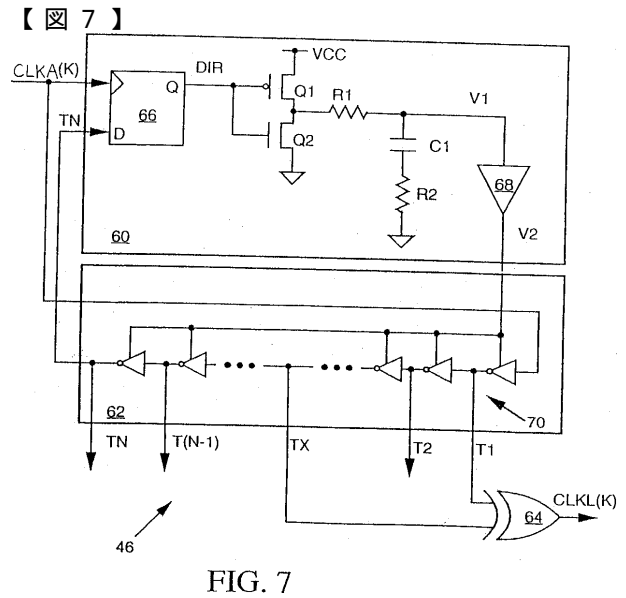
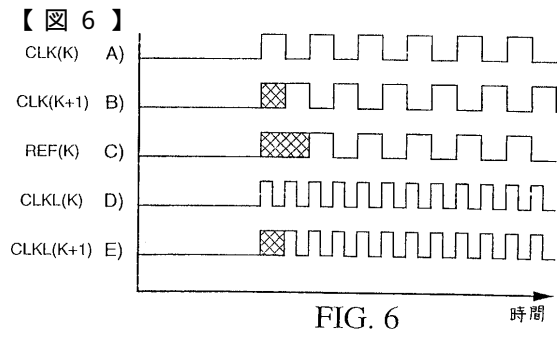
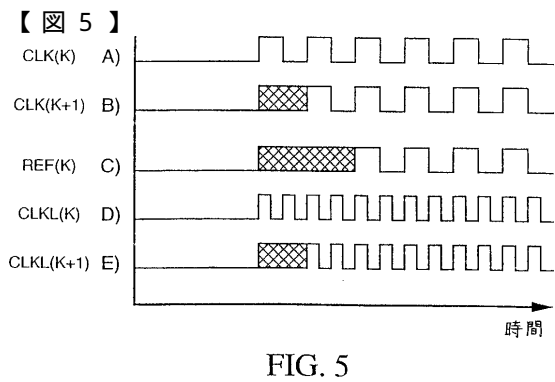
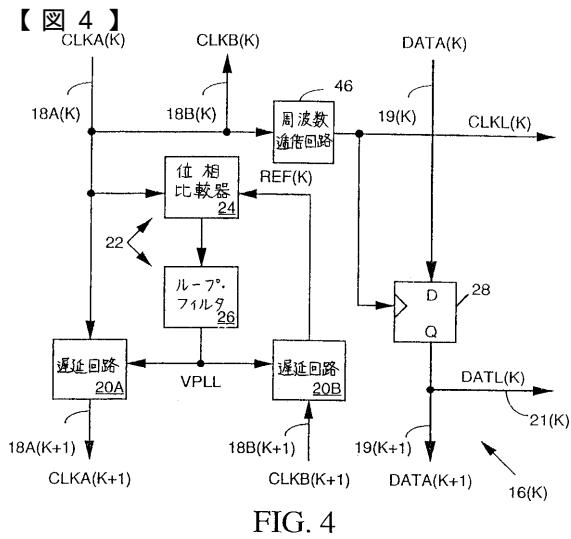
ル・モジュールが図示したような行と列に物理的に構成されている必要はない。ただし、データ及びクロック信号線は図示した順番でモジュールに配線されることと、隣接するデスクュー回路の対を相互接続する伝送線がマッチングした遅延量を有することだけが必要である。

同様の多次元信号配信システムが、図2又は図8に図示した種類のデスクュー回路のN×Mアレイを使用した図1のシステムの拡張として構成し得ることも当業者には理解されよう。

上記明細書は本発明の好適実施の形態を説明しているが、多様な面において本発明から逸脱することなく好適実施の形態に多くの変更を当業者はなすことができる。したがって、以下の請求の範囲は、本発明の真の範囲と精神の範囲内にあるこれら全ての変更を保護する

10





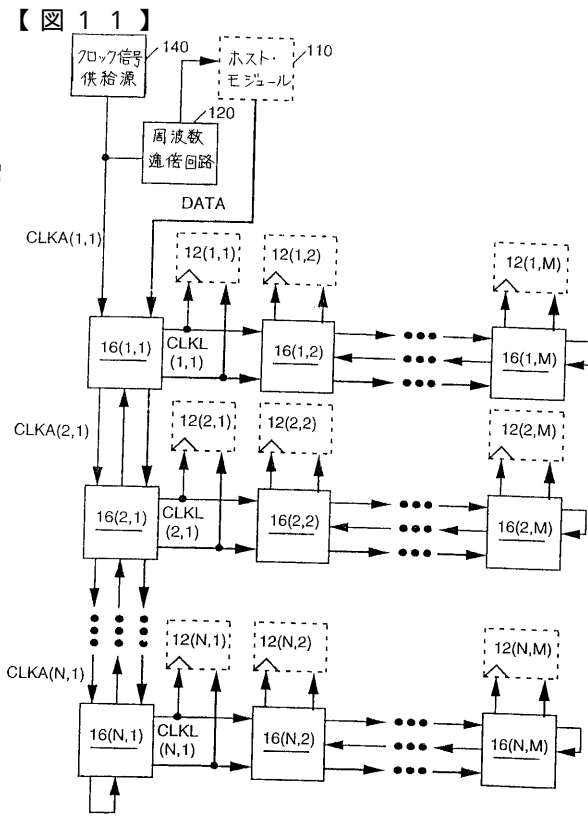
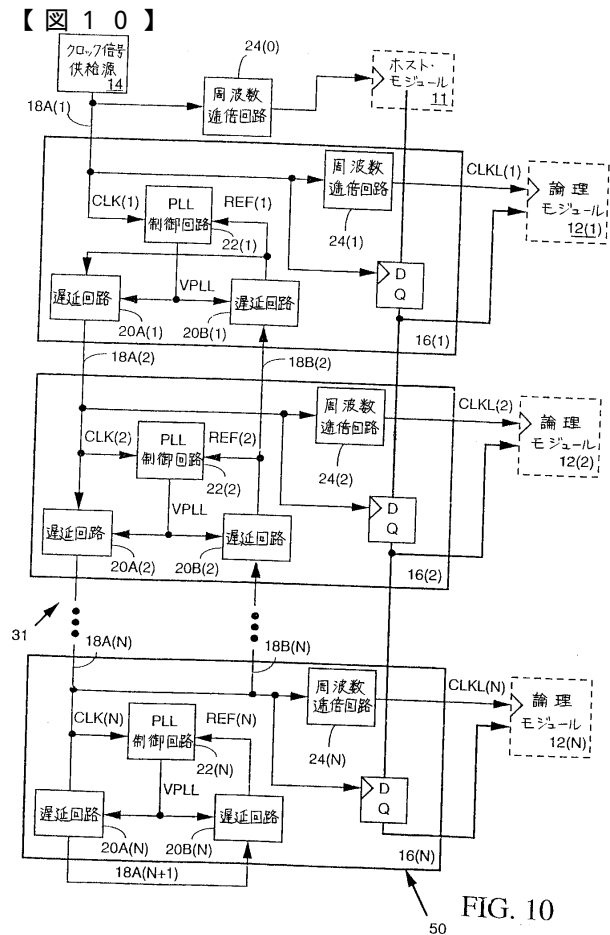
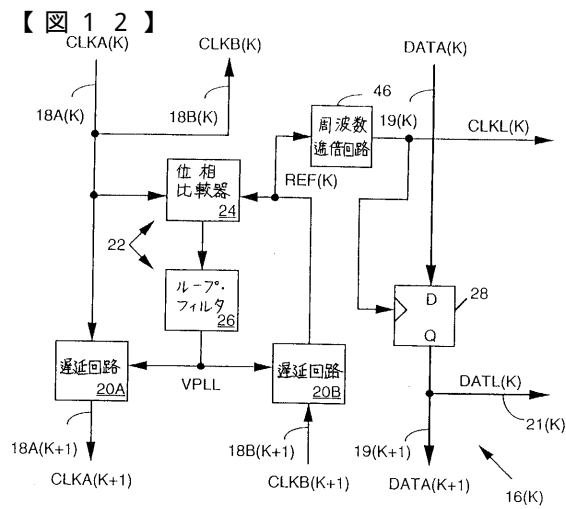


FIG. 11



フロントページの続き

(72)発明者 バデル・ダニエル・ジェイ
アメリカ合衆国，オレゴン州 97225，ポートランド，サウスウエスト ナインティーセブン
ス アヴェニュー 205

審査官 阿部 弘

(56)参考文献 特開平7 - 326950 (JP, A)
特開平7 - 95027 (JP, A)
米国特許第5294894 (US, A)
米国特許第5298866 (US, A)

(58)調査した分野(Int.Cl. , DB名)
H04L 7/00