

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 7 月 5 日 (05.07.2018)



(10) 国际公布号
WO 2018/120997 A1

- (51) 国际专利分类号:
H01L 21/77 (2017.01)
- (21) 国际申请号: PCT/CN2017/106320
- (22) 国际申请日: 2017 年 10 月 16 日 (16.10.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201611270692.7 2016 年 12 月 30 日 (30.12.2016) CN
- (71) 申请人: 惠科股份有限公司(HKC CORPORATION LIMITED) [CN/CN]; 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。 重庆惠科金渝光电科技有限公司(CHONGQING HKC OPTOELECTRONICS TECHNOLOGY CO., LTD.) [—/CN]; 中国重庆
- 市巴南区界石镇石景路 1 号, Chongqing 400000 (CN)。
- (72) 发明人: 卓恩宗(CHO, En-Tsung); 中国重庆市巴南区界石镇石景路 1 号, Chongqing 400000 (CN)。
- (74) 代理人: 深圳市百瑞专利商标事务所(普通合伙)(SHENZHEN BAIRUI PATENT & TRADEMARK OFFICE); 中国广东省深圳市福田区香蜜湖街道竹子林七路 2 号益华综合楼 A 栋第六层西 01#, Guangdong 518000 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ACTIVE ARRAY SUBSTRATE AND FABRICATION METHOD THEREFOR

(54) 发明名称: 主动阵列基板及其制造方法

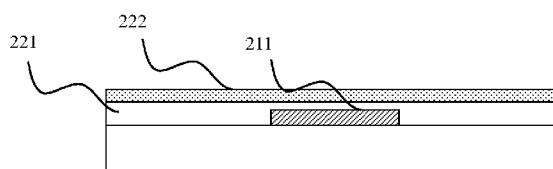


图 7

(57) Abstract: An active array substrate and a fabrication method therefor, the fabrication method comprising: providing a substrate (10); forming a gate electrode on the substrate (10); sequentially forming a gate electrode insulation layer (22), a semiconductor layer and an ohmic contact layer (24) on a transparent substrate and the gate electrode; forming a source electrode (25) and a drain electrode (26) on the ohmic contact layer (24); forming a protective layer (30) on the source electrode (25) and the drain electrode (26); forming a pixel electrode layer (50) on the protective layer (30), wherein the pixel electrode layer (50) is electrically connected to the drain electrode (26); the gate electrode insulation layer (22) comprises nano-porous silicon and nano-particles, the dielectric constant of the nano-particles being greater than the dielectric constant of the nano-porous silicon.

(57) 摘要: 一种主动阵列基板及其制造方法, 制造方法包括: 提供基板(10); 形成栅极于基板(10)上; 依序形成栅极绝缘层(22)、半导体层及欧姆接触层(24)于透明基材及所述栅极上; 形成源电极(25)及漏电极(26)于所述欧姆接触层(24)上; 形成保护层(30)于所述源电极(25)及所述漏电极(26)上; 以及形成像素电极层(50)于所述保护层(30)上, 其中所述像素电极层(50)是电性连接于所述漏电极(26); 其中, 所述栅极绝缘层(22)包括纳米多孔硅及纳米颗粒, 所述纳米颗粒的介电常数大于纳米多孔硅的介电常数。

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

主动阵列基板及其制造方法

【技术领域】

本申请涉及主动阵列基板的制造方法，更具体的说，涉及一种显示面板的主动阵列基板及其制造方法。

【背景技术】

薄膜晶体管显示器(Thin Film Transistor-Liquid Crystal Display, TFT-LCD)由于具有低的功耗、优异的画面品质以及较高的生产良率等性能，目前已经逐渐占据了显示领域的主导地位。同样，薄膜晶体管显示器包含显示面板和背光模组，显示面板包括彩膜基板(Color Filter Substrate, CF Substrate, 也称彩色滤光片基板)和薄膜晶体管阵列基板(Thin Film Transistor Substrate, TFT Substrate)，上述基板的相对内侧存在透明电极。两片基板之间夹一层液晶分子(Liquid Crystal, LC)。显示面板是通过电场对液晶分子取向的控制，改变光的偏振状态，并藉由偏光板实现光路的穿透与阻挡，实现显示的目的。

由于集成电路、芯片以及 TFT-LCD 的尺寸不断的减小，器件的封装密度不停的增大，因此对材料各方面性能的要求不断的提高。由于器件的比例缩小，目前器件的栅氧绝缘层厚度变得非常薄，对于比例小的器件而言，栅氧绝缘层厚度只会越来越薄，这需要有新的高 K 的栅氧绝缘介电材料。

【发明内容】

本申请所要解决的技术问题是提供一种栅极绝缘层的介电常数大的主动阵列基板的制造方法。

本申请提供一种主动阵列基板的制造方法，其特征在于，包括：

提供基板；

形成栅极于基板上；

依序形成栅极绝缘层、半导体层及欧姆接触层于所述透明基材及所述栅极

上；

形成源电极及漏电极于所述欧姆接触层上；

形成保护层于所述源电极及所述漏电极上；以及

形成像素电极层于所述保护层上，其中所述像素电极层是电性连接于所述漏电极；

其中，所述栅极绝缘层包括纳米多孔硅及纳米颗粒，所述纳米颗粒的介电常数大于纳米多孔硅的介电常数。

在一些实施例中，所述栅极绝缘层包括堆叠的第一绝缘层及第二绝缘层，所述纳米多孔硅及所述纳米颗粒是形成于所述第二绝缘层中。

在一些实施例中，纳米颗粒包括二种以上不同介电常数的纳米颗粒。

纳米多孔硅可以做的非常薄，可以减小绝缘介电层的厚度，可以满足集成电路、芯片以及 TFT-LCD 的尺寸不断的减小的需求，纳米多孔硅本身具有疏水性。

锆的介电常数为 16，通过调节锆的比例提高栅极绝缘层的介电常数，当然也可以采用其他介电常数高的金属和其他材料。

纳米多孔硅可以做的非常薄，可以减小绝缘介电层的厚度，可以满足集成电路、芯片以及 TFT-LCD 的尺寸不断的减小的需求，纳米多孔硅本身具有疏水性，锆的介电常数为 16，纳米多孔硅本身具有很多硅孔，锆纳米颗粒可以存入硅孔内，不会增加通过纳米多孔硅的厚度，通过调节锆纳米颗粒 Ge 的负载量实现介电系数可控调节。

其中，所述栅极绝缘层包括纳米多孔硅，所述纳米多孔硅包括多个彼此连接的空心柱状的子组件，所述子组件切面为六边形，所述子组件中间具有圆形通孔，所述子组件的圆形通孔上设有多个硅孔，所述硅孔内设有锆纳米颗粒。

多孔硅的子部件切面六边形方便多个子部件拼接排列，硅孔内设有多个锆纳米颗粒，不影响多孔硅厚度。

其中，所述栅极绝缘层上对应栅极导线段设有非晶硅层，所述非晶硅层上

设有与非晶硅层对应的欧姆接触层，所述欧姆接触层上设有分隔的源电极和漏电极，所述源电极和漏电极之间设有沟道，所述沟道穿过欧姆接触层，所述沟道底部为非晶硅层，所述源电极和漏电极宽度大于非晶硅层的宽度，所述源电极和漏电极上设有保护层，所述保护层上设有像素电极层，所述保护层对应漏电极设有过孔，所述像素电极层通过过孔与漏电极连接。

其中，所述栅极绝缘层上对应栅极导线段设有非晶硅层，所述非晶硅层上设有与非晶硅层对应的欧姆接触层，所述欧姆接触层上设有分隔的源电极和漏电极，所述源电极和漏电极之间设有沟道，所述沟道穿过欧姆接触层，所述沟道底部为非晶硅层，所述源电极和漏电极宽度等于与其接触的欧姆接触层的宽度，所述源电极和漏电极上设有保护层，所述保护层上设有像素电极层，所述保护层对应漏电极设有过孔，所述像素电极层通过过孔与漏电极连接。

其中，所述保护层的相对介电常数小于氮化硅和氧化硅的相对介电常数。

采用低介电常数保护层可以提高薄膜晶体管 TFT 器件性能，改善信号串扰问题和 RC 电路延时问题。

其中，所述低介电常数保护层包括介孔氧化硅

介孔氧化硅的相对介电常数 $\epsilon_r=1.4\sim 2.4$ ，低介电常数保护层采用介孔氧化硅取代 5-mask 与 4-mask 工艺 TFT 器件中的保护层材料 SiN_x （相对介电常数 $\epsilon_r=7\sim 8$ ），介孔氧化硅比一般氧化硅（相对介电常数 $\epsilon_r=3.9\sim 4.1$ ）的 ϵ_r 更低，可以提高 TFT 器件性能，改善信号串扰问题和 RC 电路延时问题，减小低介电常数保护层的厚度，当然低介电常数保护层也可以采用其他低介电常数的材料，如纳米多孔硅等。

其中，所述介孔氧化硅包括多个子单元，所述子单元包括成三行排列的子部件，所述子单元的中间一行包括并排的三个子部件，所述子单元的第一行和第三行分别包括并排的两个子部件，所述第一行和第三行的两个子部件分别设置在中间一行三个子部件的任意两个子部件之间，所述子部件切面为六边形，所述子部件中间具有圆形通孔。

子单元具有排列规则有序的子部件，具有较高的比表面积，较好的热稳定性和水热稳定性，子部件通孔大小均匀，子部件切面为六边形，方便多个子部件拼接排列。

第一层导线上设置的栅极绝缘层介电常数大于氧化硅层和氮化硅层的介电常数，增大器件存储电荷能力，栅极绝缘层包括组合物，组合物包括第一组成物和第二组成物，第一组成物的介电常数小于氧化硅层和氮化硅层的介电常数，第二组成物的介电常数大于氧化硅层和氮化硅层的介电常数，通过调节第一组成物和第二组成物的比例实现栅极绝缘层的介电常数可调。

【附图说明】

所包括的附图用来提供对本申请实施例的进一步的理解，其构成了说明书的一部分，用于例示本申请的实施方式，并与文字描述一起来阐释本申请的原理。显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。在附图中：

图 1 是本申请实施例一种主动阵列基板的示意图；

图 2 是本申请实施例一种主动阵列基板的示意图；

图 3 是本申请实施例一种主动阵列基板的另一示意图；

图 4 是本申请实施例纳米多孔硅示意图；

图 5 是本申请实施例纳米多孔硅和锗纳米颗粒示意图；

图 6 是本申请实施例介孔氧化硅示意图；

图 7 是本申请一实施例栅极绝缘层的示意图。

【具体实施方式】

这里所公开的具体结构和功能细节仅仅是代表性的，并且是用于描述本申请的示例性实施例的目的。但是本申请可以通过许多替换形式来具体实现，并

且不当被解释成仅仅受限于这里所阐述的实施例。

在本申请的描述中，需要理解的是，术语“中心”、“横向”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或组件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请的描述中，除非另有说明，“多个”的含义是两个或两个以上。另外，术语“包括”及其任何变形，意图在于覆盖不排斥他的包含。

在本申请的描述中，需要说明的是，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或一体地连接；可以是机械连接，也可以是电连接；可以是直接相连，也可以通过中间媒介间接相连，可以是两个组件内部的连通。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本申请中的具体含义。

这里所使用的术语仅仅是为了描述具体实施例而不意图限制示例性实施例。除非上下文明确地另有所指，否则这里所使用的单数形式“一个”、“一项”还意图包括复数。还应当理解的是，这里所使用的术语“包括”和/或“包含”规定所陈述的特征、整数、步骤、操作、单元和/或组件的存在，而不排除存在或添加一个或更多其他特征、整数、步骤、操作、单元、组件和/或其组合。

下面结合附图和较佳的实施例对本申请作进一步说明。

下面参考图1至图7描述本申请实施例的显示面板。

如图1所示，在图1的实施中显示面板包括基板10，所述基板10上设有若干条第一层导线21，所述第一层导线21上设有栅极绝缘层22，所述栅极绝缘层22采用氮化硅或氧化硅，所述栅极绝缘层22上对应第一层导线21的栅极导

线段 211 设有非晶硅层 23，所述非晶硅层 23 上设有与非晶硅层 23 对应的欧姆接触层 24，所述欧姆接触层 24 上设有分隔的源电极 25 和漏电极 26，所述源电极 25 和漏电极 26 之间设有沟道 27，所述沟道 27 穿过欧姆接触层 24，所述沟道 27 底部为非晶硅层 23，所述源电极 25 和漏电极 26 的宽度大于非晶硅层 23 的宽度，所述源电极 25 和漏电极 26 上设有保护层 30，所述保护层 30 上设有像素电极层 50，所述保护层 30 对应漏电极 26 设有过孔 28，所述像素电极层 50 通过过孔 28 与漏电极 26 连接。其中，所述源电极 25 超出非晶硅层 23 部分一侧直接连接栅极绝缘层 22 另一侧直接连接保护层 30，所述栅极绝缘层 22 对应过孔 28 部分与漏电极 26 之间连接。使用 5 Mask 获取的薄膜晶体管 TFT，具有较好的性能。

如图 2 所示，在图 2 的实施中显示面板包括基板 10，所述基板 10 上设有若干条第一层导线 21，所述第一层导线 21 上设有栅极绝缘层 22，所述栅极绝缘层 22 采用氮化硅或氧化硅，所述栅极绝缘层 22 上对应第一层导线 21 的栅极导线段 211 设有非晶硅层 23，所述非晶硅层 23 上设有与非晶硅层 23 对应的欧姆接触层 24，所述欧姆接触层 24 上设有分隔的源电极 25 和漏电极 26，所述源电极 25 和漏电极 26 之间设有沟道 27，所述沟道 27 穿过欧姆接触层 24，所述沟道 27 底部为非晶硅层 23，所述源电极 25 和漏电极 26 宽度大于非晶硅层 23 的宽度，所述源电极 25 和漏电极 26 上设有保护层 30，所述保护层 30 上设有像素电极层 50，所述保护层 30 对应漏电极 26 设有过孔 28，所述像素电极层 50 通过过孔 28 与漏电极 26 连接。其中，所述源电极 25 外侧的保护层 30 直接与栅极绝缘层 22 连接，所述栅极绝缘层 22 对应过孔 28 上方依次设有非晶硅层 23、欧姆接触层 24 和漏电极 26。使用 4 Mask 获取的薄膜晶体管 TFT 具有较好的性能，而且可以节省一步 Mask 工艺。

一般的，选用高 K 介电常数材料作为薄膜晶体的栅氧介电层材料。由于工艺和设计的进步，集成电路、芯片以及 TFT-LCD 的尺寸不断的减小，器件的封装密度不停的增大，因此对材料各方面性能的要求不断的提高。由于器件的比

例缩小，目前器件的栅氧绝缘层厚度变得非常薄，对于未来比例小的器件而言，栅氧绝缘层厚度只会越来越薄，这需要有新的高 K 的栅氧绝缘介电材料。上述实施例采用的四道工艺或五道工艺 TFT-Array 阵列，在 TFT 晶体管中，栅介电极与上级的绝缘保护层之间存在很高的电压。栅氧层会受到隧穿电流的影响，当栅极的栅极绝缘层很薄时，电子会在薄膜晶体管中隧穿通过栅极绝缘层。这将导致晶体管阈值电压的漂移，无法切换开关状态导致电路失效。传统的栅氧绝缘介电材料（如 SiO_2 、 SiN_x ）已不满足当前 TFT-LCD 器件高封装密度发展的需要。

如图 3、图 4 和图 5 所示，在图 3、图 4 和图 5 的实施中显示面板包括：基板 10；若干条第一层导线 21，所述若干条第一层导线 21 设置在基板 10 上；栅极绝缘层 22，所述栅极绝缘层 22 设置在若干条第一层导线 21 上，所述栅极绝缘层 22 的介电常数大于氧化硅层和氮化硅层的介电常数，所述栅极绝缘层 22 包括组合物，所述组合物包括第一组成物和第二组成物。

第一层导线 21 上设置的栅极绝缘层 22 介电常数大于氧化硅层和氮化硅层的介电常数，增大器件存储电荷能力，栅极绝缘层 22 包括组合物，组合物包括第一组成物和第二组成物，第一组成物的介电常数小于氧化硅层和氮化硅层的介电常数，第二组成物的介电常数大于氧化硅层和氮化硅层的介电常数，通过调节第一组成物和第二组成物的比例实现栅极绝缘层 22 的介电常数可调。

可选的，其中，所述第一组成物包括纳米多孔硅。纳米多孔硅可以做的非常薄，可以减小绝缘介电层的厚度，可以满足集成电路、芯片以及 TFT-LCD 的尺寸不断的减小的需求，纳米多孔硅本身具有疏水性。

可选的，其中，所述第二组成物包括锆纳米颗粒。锆的介电常数为 16，通过调节锆的比例提高栅极绝缘层 22 的介电常数，当然也可以采用其他介电常数高的金属和其他材料。

可选的，其中，所述第一组成物包括纳米多孔硅，所述第二组成物包括锆纳米颗粒。纳米多孔硅可以做的非常薄，可以减小绝缘介电层的厚度，可以满

足集成电路、芯片以及 TFT-LCD 的尺寸不断的减小的需求，纳米多孔硅本身具有疏水性，锗的介电常数为 16，纳米多孔硅本身具有很多硅孔，锗纳米颗粒可以存入硅孔内，不会增加通过纳米多孔硅的厚度，通过调节锗纳米颗粒 Ge 的负载量实现介电系数可控调节。

其中，所述栅极绝缘层 22 包括纳米多孔硅，所述纳米多孔硅包括多个彼此连接的空心柱状的子组件 221，所述子组件 221 切面为六边形，所述子组件 221 中间具有圆形通孔，所述子组件 221 的圆形通孔上设有多个硅孔，所述硅孔内设有锗纳米颗粒。多孔硅的子部件 42 切面六边形方便多个子部件 42 拼接排列，硅孔内设有多个锗纳米颗粒，不影响多孔硅厚度。

其中，所述栅极绝缘层 22 上对应栅极导线段 211 设有非晶硅层 23，所述非晶硅层 23 上设有与非晶硅层 23 对应的欧姆接触层 24，所述欧姆接触层 24 上设有分隔的源电极 25 和漏电极 26，所述源电极 25 和漏电极 26 之间设有沟道 27，所述沟道 27 穿过欧姆接触层 24，所述沟道 27 底部为非晶硅层 23，所述源电极 25 和漏电极 26 宽度大于非晶硅层 23 的宽度，所述源电极 25 和漏电极 26 上设有第二绝缘 30，所述第二绝缘 30 上设有像素电极层 50，所述第二绝缘 30 对应漏电极 26 设有过孔 28，所述像素电极层 50 通过过孔 28 与漏电极 26 连接。其中，所述源电极 25 超出非晶硅层 23 部分一侧直接连接栅极绝缘层 22 另一侧直接连接低介电常数保护层 40，所述栅极绝缘层 22 对应过孔 28 部分与漏电极 26 之间连接。使用 5 Mask 可以获取更好性能的薄膜晶体管 TFT。

如图 2、图 4 和图 5 所示，在图 2、图 4 和图 5 的实施中显示面板包括：基板 10；若干条第一层导线 21，所述若干条第一层导线 21 设置在基板 10 上；栅极绝缘层 22，所述栅极绝缘层 22 设置在若干条第一层导线 21 上，所述栅极绝缘层 22 的介电常数大于氧化硅层和氮化硅层的介电常数，所述栅极绝缘层 22 包括组合物，所述组合物包括第一组成物和第二组成物。

第一层导线 21 上设置的栅极绝缘层 22 介电常数大于氧化硅层和氮化硅层的介电常数，增大器件存储电荷能力，栅极绝缘层 22 包括组合物，组合物包括

第一组成物和第二组成物，第一组成物的介电常数小于氧化硅层和氮化硅层的介电常数，第二组成物的介电常数大于氧化硅层和氮化硅层的介电常数，通过调节第一组成物和第二组成物的比例实现栅极绝缘层 22 的介电常数可调。

可选的，其中，所述第一组成物包括纳米多孔硅。纳米多孔硅可以做的非常薄，可以减小绝缘介电层的厚度，可以满足集成电路、芯片以及 TFT-LCD 的尺寸不断的减小的需求，纳米多孔硅本身具有疏水性。

可选的，其中，所述第二组成物包括锗纳米颗粒。锗的介电常数为 16，通过调节锗的比例提高栅极绝缘层 22 的介电常数，当然也可以采用其他介电常数高的金属和其他材料。

可选的，其中，所述第一组成物包括纳米多孔硅，所述第二组成物包括锗纳米颗粒。纳米多孔硅可以做的非常薄，可以减小绝缘介电层的厚度，可以满足集成电路、芯片以及 TFT-LCD 的尺寸不断的减小的需求，纳米多孔硅本身具有疏水性，锗的介电常数为 16，纳米多孔硅本身具有很多硅孔，锗纳米颗粒可以存入硅孔内，不会增加通过纳米多孔硅的厚度，通过调节锗纳米颗粒 Ge 的负载量实现介电系数可控调节。

其中，所述栅极绝缘层 22 包括纳米多孔硅，所述纳米多孔硅包括多个彼此连接的空心柱状的子组件 221，所述子组件 221 切面为六边形，所述子组件 221 中间具有圆形通孔，所述子组件 221 的圆形通孔上设有多个硅孔，所述硅孔内设有锗纳米颗粒。多孔硅的子部件 42 切面六边形方便多个子部件 42 拼接排列，硅孔内设有多个锗纳米颗粒，不影响多孔硅厚度。

其中，所述栅极绝缘层 22 上对应栅极导线段 211 设有非晶硅层 23，所述非晶硅层 23 上设有与非晶硅层 23 对应的欧姆接触层 24，所述欧姆接触层 24 上设有分隔的源电极 25 和漏电极 26，所述源电极 25 和漏电极 26 之间设有沟道 27，所述沟道 27 穿过欧姆接触层 24，所述沟道 27 底部为非晶硅层 23，所述源电极 25 和漏电极 26 宽度等于与其接触的欧姆接触层 24 的宽度，所述源电极 25 和漏电极 26 上设有第二绝缘 30，所述第二绝缘 30 上设有像素电极层 50，所述第二

绝缘 30 对应漏电极 26 设有过孔 28，所述像素电极层 50 通过过孔 28 与漏电极 26 连接。其中，所述源电极 25 外侧的低介电常数保护层 40 直接与栅极绝缘层 22 连接，所述栅极绝缘层 22 对应过孔 28 上方依次设有非晶硅层 23、欧姆接触层 24 和漏电极 26。使用 4 道光罩(Mask)可以获取更好性能的薄膜晶体管 TFT，而且节省一步光罩(Mask)。

如图 2、图 3 和图 6 所示，在图 2、图 3 和图 6 的实施中显示面板包括：基板 10；若干条第一层导线 21，所述若干条第一层导线 21 设置在基板 10 上；栅极绝缘层 22，所述栅极绝缘层 22 设置在若干条第一层导线 21 上，所述栅极绝缘层 22 的介电常数大于氧化硅层和氮化硅层的介电常数，所述栅极绝缘层 22 包括组合物，所述组合物包括第一组成物和第二组成物。

其中，所述第二绝缘 30 的相对介电常数小于氮化硅和氧化硅的相对介电常数。采用低介电常数保护层可以提高薄膜晶体管 TFT 器件性能，改善信号串扰问题和 RC 电路延时问题。

可选的，其中，所述栅极绝缘层 22 上对应栅极导线段 211 设有非晶硅层 23，所述非晶硅层 23 上设有与非晶硅层 23 对应的欧姆接触层 24，所述欧姆接触层 24 上设有分隔的源电极 25 和漏电极 26，所述源电极 25 和漏电极 26 之间设有沟道 27，所述沟道 27 穿过欧姆接触层 24，所述沟道 27 底部为非晶硅层 23，所述源电极 25 和漏电极 26 宽度大于非晶硅层 23 的宽度，所述源电极 25 和漏电极 26 上设有第二绝缘 30，所述第二绝缘 30 上设有像素电极层 50，所述第二绝缘 30 对应漏电极 26 设有过孔 28，所述像素电极层 50 通过过孔 28 与漏电极 26 连接。其中，所述源电极 25 超出非晶硅层 23 部分一侧直接连接栅极绝缘层 22 另一侧直接连接低介电常数保护层，所述栅极绝缘层 22 对应过孔 28 部分与漏电极 26 之间连接。

可选的，其中，所述栅极绝缘层 22 上对应栅极导线段 211 设有非晶硅层 23，所述非晶硅层 23 上设有与非晶硅层 23 对应的欧姆接触层 24，所述欧姆接触层 24 上设有分隔的源电极 25 和漏电极 26，所述源电极 25 和漏电极 26 之间设有

沟道 27, 所述沟道 27 穿过欧姆接触层 24, 所述沟道 27 底部为非晶硅层 23, 所述源电极 25 和漏电极 26 宽度等于与其接触的欧姆接触层 24 的宽度, 所述源电极 25 和漏电极 26 上设有第二绝缘 30, 所述第二绝缘 30 上设有像素电极层 50, 所述第二绝缘 30 对应漏电极 26 设有过孔 28, 所述像素电极层 50 通过过孔 28 与漏电极 26 连接。其中, 所述源电极 25 外侧的低介电常数保护层直接与栅极绝缘层 22 连接, 所述栅极绝缘层 22 对应过孔 28 上方依次设有非晶硅层 23、欧姆接触层 24 和漏电极 26。

其中, 所述低介电常数保护层包括介孔氧化硅。介孔氧化硅的相对介电常数 $\epsilon_r=1.4\sim 2.4$, 低介电常数保护层采用介孔氧化硅取代 5-mask 与 4-mask 工艺 TFT 器件中的保护层材料 SiN_x (相对介电常数 $\epsilon_r=7\sim 8$), 介孔氧化硅比一般氧化硅 (相对介电常数 $\epsilon_r=3.9\sim 4.1$) 的 ϵ_r 更低, 可以提高 TFT 器件性能, 改善信号串扰问题和 RC 电路延时问题, 减小低介电常数保护层的厚度, 当然低介电常数保护层也可以采用其他低介电常数的材料, 如纳米多孔硅等。

其中, 所述介孔氧化硅包括多个子单元 43, 所述子单元 43 包括成三行排列的子部件 42, 所述子单元 43 的中间一行包括并排的三个子部件 42, 所述子单元 43 的第一行和第三行分别包括并排的两个子部件 42, 所述第一行和第三行的两个子部件 42 分别设置在中间一行三个子部件 42 的任意两个子部件 42 之间, 所述子部件 42 切面为六边形, 所述子部件 42 中间具有圆形通孔。子单元 43 具有排列规则有序的子部件 42, 具有较高的比表面积, 较好的热稳定性和水热稳定性, 子部件 42 通孔大小均匀, 子部件 42 切面为六边形, 方便多个子部件 42 拼接排列。

在上述实施例中, 非晶硅层采用 a-Si 材料, 当然也可以采用其他半导体层材料。

如图 7 所示, 在一些实施例中, 栅极绝缘层 22 可包括堆叠的第一绝缘层 221 及第二绝缘层 222。第一绝缘层 221 可不具有纳米颗粒, 例如为氮硅化合物 (SiN_x) 绝缘层, 而纳米多孔硅及纳米颗粒是形成于第二绝缘层 222 中。通过第一绝缘

层 221 及第二绝缘层 222 的材料调整,可进一步调整栅极绝缘层 22 的介电常数。

在一些实施例中, 纳米颗粒可包括二种以上不同介电常数的纳米颗粒。通过不同介电常数的纳米颗粒调整, 可进一步调整栅极绝缘层 22 的介电常数。

在上述实施例中, 所述基板材料可以选用玻璃、塑料等。

在上述实施例中, 显示面板包括液晶面板、OLED 面板, 曲面面板, 等离子面板等, 以液晶面板为例, 液晶面板包括阵列基板和彩膜基板 (CF), 所述阵列基板与彩膜基板相对设置, 所述阵列基板与彩膜基板之间设有液晶和间隔单元 (photo spacer, PS), 所述阵列基板上设有薄膜晶体管 (TFT), 彩膜基板上设有彩色滤光层。

在上述实施例中, 彩膜基板可包括 TFT 阵列, 彩膜及 TFT 阵列可形成于同一基板上, 阵列基本可包括彩色滤光层。

在上述实施例中, 本申请的显示面板可为曲面型面板。

以上内容是结合具体的优选实施方式对本申请所作的进一步详细说明, 不能认定本申请的具体实施只局限于这些说明。对于本申请所属技术领域的普通技术人员来说, 在不脱离本申请构思的前提下, 还可以做出若干简单推演或替换, 都应当视为属于本申请的保护范围。

权利要求

1、一种主动阵列基板的制造方法，包括：

提供基板；

形成栅极于基板上；

依序形成栅极绝缘层、半导体层及欧姆接触层于所述透明基材及所述栅极上；

形成源电极及漏电极于所述欧姆接触层上；

形成保护层于所述源电极及所述漏电极上；以及

形成像素电极层于所述保护层上，其中所述像素电极层是电性连接于所述漏电极；

其中，所述栅极绝缘层包括纳米多孔硅及纳米颗粒，所述纳米颗粒的介电常数大于纳米多孔硅的介电常数。

2、如权利要求1所述的一种主动阵列基板的制造方法，其中所述纳米颗粒包括锗纳米颗粒。

3、如权利要求1所述的一种主动阵列基板的制造方法，其中所述纳米多孔硅包括多个彼此连接的空心柱状的子组件，所述子组件切面为六边形，所述子组件中间具有圆形通孔，所述子组件的圆形通孔上设有多个硅孔，所述硅孔内设有所述纳米颗粒。

4、如权利要求1所述的一种主动阵列基板的制造方法，其中所述源电极和漏电极上设有保护层，所述保护层上设有像素电极层，所述保护层对应漏电极设有过孔，所述像素电极层通过过孔与漏电极连接。

5、如权利要求4所述的一种主动阵列基板的制造方法，其中所述保护层的相对介电常数小于纳米多孔硅的相对介电常数。

6、如权利要求1所述的一种主动阵列基板的制造方法，其中所述栅极绝缘层包括堆叠的第一绝缘层及第二绝缘层，所述纳米多孔硅及所述纳米颗粒是形

成于所述第二绝缘层中。

7、如权利要求1所述的一种主动阵列基板的制造方法，其中纳米颗粒包括二种以上不同介电常数的纳米颗粒。

8、如权利要求1所述的一种主动阵列基板的制造方法，其中所述栅极绝缘层包括组合物，所述组合物包括第一组成物和第二组成物，所述第一组成物的介电常数小于氧化硅层和氮化硅层的介电常数，所述第二组成物的介电常数大于氧化硅层和氮化硅层的介电常数

9、如权利要求8所述的一种主动阵列基板的制造方法，其中所述第一组成物包括纳米多孔硅，所述第二组成物包括锗纳米颗粒。

10、一种主动阵列基板的制造方法，包括：

提供基板；

形成栅极于基板上；

依序形成栅极绝缘层、半导体层及欧姆接触层于所述透明基材及所述栅极上；

形成源电极及漏电极于所述欧姆接触层上；

形成保护层于所述源电极及所述漏电极上；以及

形成像素电极层于所述保护层上，其中所述像素电极层是电性连接于所述漏电极；

其中，所述栅极绝缘层包括纳米多孔硅及纳米颗粒，所述纳米颗粒的介电常数大于纳米多孔硅的介电常数；

其中，所述源电极和漏电极上设有保护层，所述保护层上设有像素电极层，所述保护层对应漏电极设有过孔，所述像素电极层通过过孔与漏电极连接，所述保护层的相对介电常数小于纳米多孔硅的相对介电常数；

其中，所述栅极绝缘层包括堆叠的第一绝缘层及第二绝缘层，所述纳米多孔硅及所述纳米颗粒是形成于所述第二绝缘层中；

其中，纳米颗粒包括二种以上不同介电常数的纳米颗粒。

11、一种主动阵列基板，包括：

基板；

若干条第一层导线，所述第一层导线设置在所述基板上，所述第一层导线包括透明基材和栅极，所述第一层导线上依序设置有栅极绝缘层、半导体层及欧姆接触层；

源电极及漏电极，设置于所述欧姆接触层上；

保护层，设置于所述源电极及所述漏电极上；以及

像素电极层，设置于所述保护层上，所述像素电极层是电性连接于所述漏电极；

其中，所述栅极绝缘层包括纳米多孔硅及纳米颗粒，所述纳米颗粒的介电常数大于纳米多孔硅的介电常数。

12、如权利要求 11 所述的一种主动阵列基板，其中所述纳米颗粒包括锗纳米颗粒。

13、如权利要求 11 所述的一种主动阵列基板，其中所述纳米多孔硅包括多个彼此连接的空心柱状的子组件，所述子组件切面为六边形，所述子组件中间具有圆形通孔，所述子组件的圆形通孔上设有多个硅孔，所述硅孔内设有所述纳米颗粒。

14、如权利要求 11 所述的一种主动阵列基板，其中所述源电极和漏电极上设有保护层，所述保护层上设有像素电极层，所述保护层对应漏电极设有过孔，所述像素电极层通过过孔与漏电极连接。

15、如权利要求 14 所述的一种主动阵列基板，其中所述保护层的相对介电常数小于纳米多孔硅的相对介电常数。

16、如权利要求 11 所述的一种主动阵列基板，其中所述栅极绝缘层包括堆叠的第一绝缘层及第二绝缘层，所述纳米多孔硅及所述纳米颗粒是形成于所述第二绝缘层中。

17、如权利要求 11 所述的一种主动阵列基板，其中纳米颗粒包括二种以上

不同介电常数的纳米颗粒。

18、如权利要求 11 所述的一种主动阵列基板，其中所述栅极绝缘层包括组合物，所述组合物包括第一组成物和第二组成物，所述第一组成物的介电常数小于氧化硅层和氮化硅层的介电常数，所述第二组成物的介电常数大于氧化硅层和氮化硅层的介电常数

19、如权利要求 18 所述的一种主动阵列基板，其中所述第一组成物包括纳米多孔硅，所述第二组成物包括锗纳米颗粒。

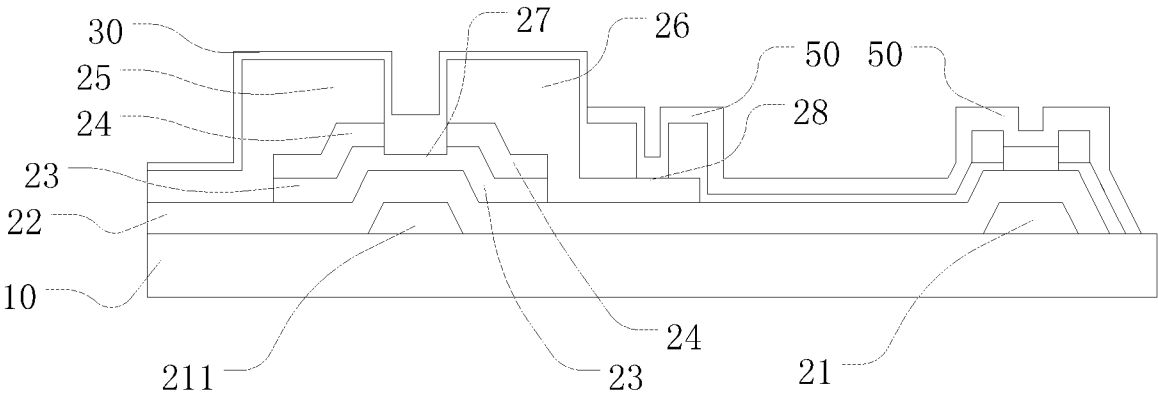


图 1

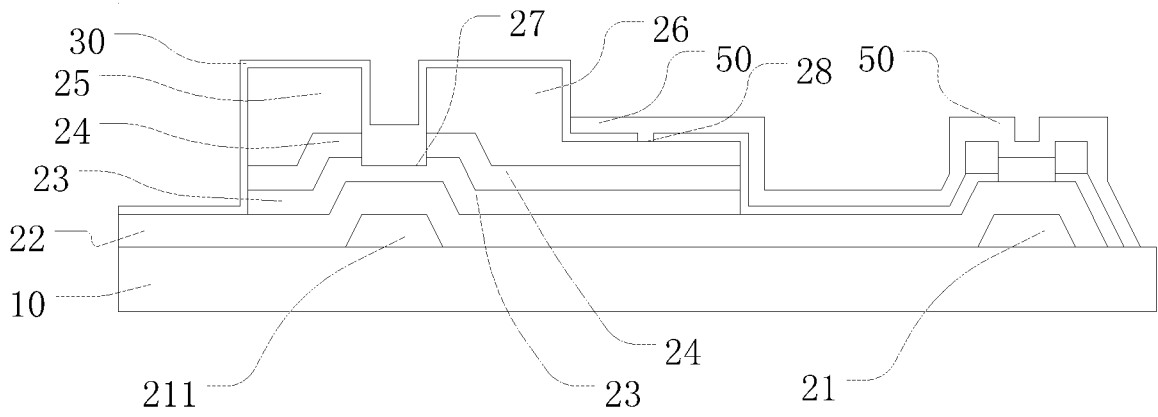


图 2

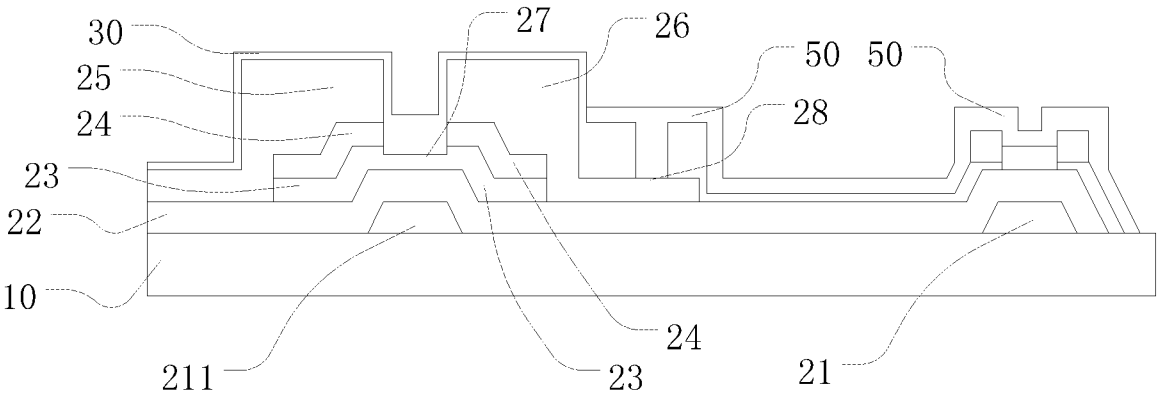


图 3

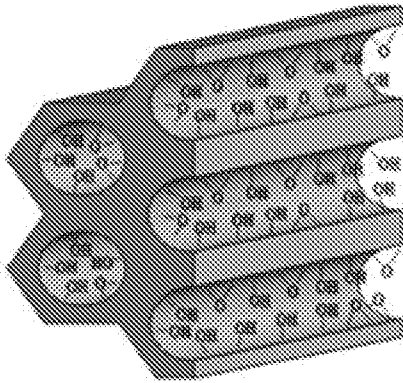


图 4

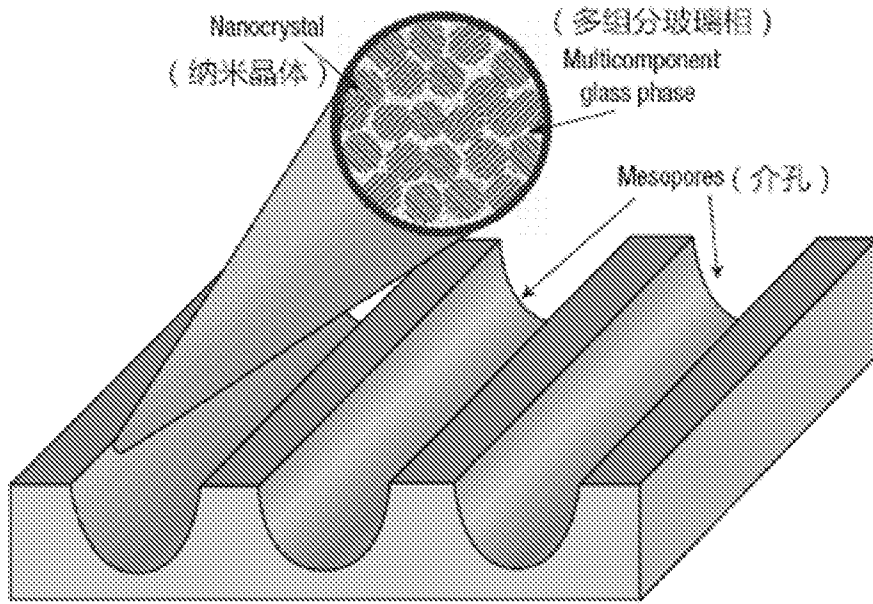


图 5

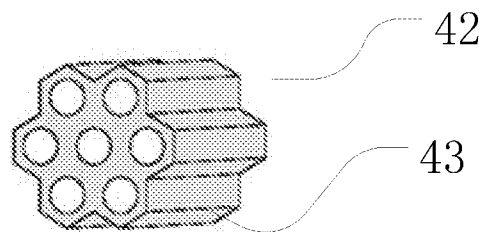


图 6

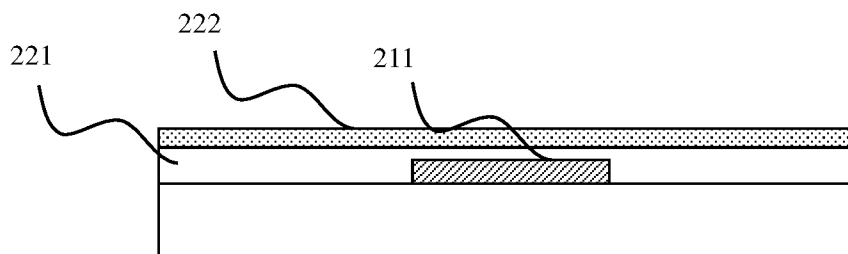


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/106320

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2017.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI, IEEE: 惠科, 阵列, 基板, 栅, 源, 漏, 像素电极, 栅 1w 绝缘, 栅 1w 介质, 多孔, 多孔硅, 黑硅, 颗粒, 粒子, 纳米, 介电常数, substrate, gate, source, drain, pixel, electrode, insulat+, dielectric, porous, silicon, particle?, nano, high 1w “K”, high 1w dielectric

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106653688 A (HKC COMPANY LIMITED et al.) 10 May 2017 (10.05.2017), description, paragraphs [0004]-[0074], and figures 1-7	1-19
A	CN 102646634 A (BOE TECHNOLOGY GROUP CO., LTD.) 22 August 2012 (22.08.2012), description, paragraphs [0002]-[0007], and figures 1-3	1-19
A	CN 105632896 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 01 June 2016 (01.06.2016), entire document	1-19
A	CN 102645799 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 22 August 2012 (22.08.2012), entire document	1-19
A	US 7309650 B1 (SPANSION LLC. et al.) 18 December 2007 (18.12.2007), entire document	1-19

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 11 January 2018	Date of mailing of the international search report 22 January 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer MA, Zeyu Telephone No. (86-10) 62413958

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/106320

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-119375 A (PANASONIC CORP.) 16 June 2011 (16.06.2011), entire document	1-19
A	JP 2000-323011 A (JAPAN BROADCASTING CORP. et al.) 24 November 2000 (24.11.2000), entire document	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/106320

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106653688 A	10 May 2017	None	
CN 102646634 A	22 August 2012	US 2012276697 A1	01 November 2012
CN 105632896 A	01 June 2016	WO 2017128633 A1	03 August 2017
CN 102645799 A	22 August 2012	US 2012249936 A1	04 October 2012
US 7309650 B1	18 December 2007	None	
JP 2011119375 A	16 June 2011	None	
JP 2000323011 A	24 November 2000	None	

国际检索报告

国际申请号

PCT/CN2017/106320

A. 主题的分类

H01L 21/77(2017.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L; G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, EPODOC, WPI, CNKI, IEEE: 惠科, 阵列, 基板, 栅, 源, 漏, 像素电极, 栅 1w 绝缘, 栅 1w 介质, 多孔, 多孔硅, 黑硅, 颗粒, 粒子, 纳米, 介电常数, substrate, gate, source, drain, pixel, electrode, insulat+, dielectric, porous, silicon, particle?, nano, high lw "K", high lw dielectric

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 106653688 A (惠科股份有限公司 等) 2017年 5月 10日 (2017 - 05 - 10) 说明书第[0004]-[0074]段, 图1-7	1-19
A	CN 102646634 A (京东方科技集团股份有限公司) 2012年 8月 22日 (2012 - 08 - 22) 说明书第[0002]-[0007]段, 图1-3	1-19
A	CN 105632896 A (深圳市华星光电技术有限公司) 2016年 6月 1日 (2016 - 06 - 01) 全文	1-19
A	CN 102645799 A (京东方科技集团股份有限公司 等) 2012年 8月 22日 (2012 - 08 - 22) 全文	1-19
A	US 7309650 B1 (SPANSION LLC. 等) 2007年 12月 18日 (2007 - 12 - 18) 全文	1-19
A	JP 2011-119375 A (PANASONIC CORP.) 2011年 6月 16日 (2011 - 06 - 16) 全文	1-19
A	JP 2000-323011 A (JAPAN BROADCASTING CORP. 等) 2000年 11月 24日 (2000 - 11 - 24) 全文	1-19

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 1月 11日

国际检索报告邮寄日期

2018年 1月 22日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

马泽宇

电话号码 (86-10)62413958

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/106320

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106653688	A	2017年 5月 10日	无			
CN	102646634	A	2012年 8月 22日	US	2012276697	A1	2012年 11月 1日
CN	105632896	A	2016年 6月 1日	WO	2017128633	A1	2017年 8月 3日
CN	102645799	A	2012年 8月 22日	US	2012249936	A1	2012年 10月 4日
US	7309650	B1	2007年 12月 18日	无			
JP	2011-119375	A	2011年 6月 16日	无			
JP	2000-323011	A	2000年 11月 24日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)