(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3812959号
(P3812959)
(45)発行日　平成18年8月23日(2006.8.23)　(24)登録日　平成18年6月9日(2006.6.9)

(51)Int.Cl.　　F I
G11C 11/409 (2006.01)　　G11C 11/34 354A
G11C 11/407 (2006.01)　　G11C 11/34 362S

請求項の数 10　(全 17 頁)

(21)出願番号　特願平6-313708
(22)出願日　平成6年12月16日(1994.12.16)
(65)公開番号　特開平7-226080
(43)公開日　平成7年8月22日(1995.8.22)
審査請求日　平成13年12月3日(2001.12.3)
(31)優先権主張番号　167044
(32)優先日　平成5年12月16日(1993.12.16)
(33)優先権主張国　米国(US)
(31)優先権主張番号　167489
(32)優先日　平成5年12月16日(1993.12.16)
(33)優先権主張国　米国(US)

(73)特許権者　594201869
モスエイド　テクノロジーズ　インコーポレイテッド
Ｍｏｓａｉｄ　Ｔｅｃｈｎｏｌｏｇｉｅｓ　Ｉｎｃｏｒｐｏｒａｔｅｄ
カナダ国　ケー２ケー　２エックス１　オンタリオ　カナタ　ハインズ・ロード　１１番地
(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100070150
弁理士　伊東　忠彦

最終頁に続く

(54)【発明の名称】出力バッファ及び可変待ち時間出力回路

(57)【特許請求の範囲】

【請求項１】

同期型ダイナミックランダムアクセスメモリ（ＳＤＲＡＭ）回路の出力ドライバを、データ信号及びクロック信号の相対的なタイミングが可変或いは不確定であるデータ信号及びクロック信号に応じて、対向するバイナリデータ状態のうち何れかに駆動する出力バッファであって、

前記クロック信号のクロックパルスを外部的に予め定められたカウント値へカウントし、それによって待ち時間制御信号を供給する、待ち時間カウンタと、

前記待ち時間制御信号と前記データ信号とを結合する結合手段と、

前記結合手段からの出力信号と、前記待ち時間制御信号とに応じて出力ドライバにイネーブル信号を供給する手段とを有し、前記イネーブル信号は、前記クロック信号のクロックエッジに同期している、出力バッファ。

【請求項２】

前記データ信号源はデータバス読み取り増幅器であることを特徴とする請求項１記載の出力バッファ。

【請求項３】

出力フリップフロップと、前記データパルスから対向する極性のデータ信号を駆動する手段と、前記フリップフロップを前記対向する極性のデータ信号によって２つの状態のうち１つに駆動する手段とをさらに含むことを特徴とする請求項１記載の出力バッファ。

【請求項４】

同期型ダイナミックランダムアクセスメモリ（ＳＤＲＡＭ）用可変待ち時間出力回路であって、
（ａ）１組の相補的なデータバスラインを読み取る手段と、
（ｂ）前記読み取り手段の出力信号を受信する手段と、
（ｃ）前記受信手段の出力信号を受信し、出力信号を出力ドライバへ供給する出力バッファと、
（ｄ）クロック信号を受信してカウントし、予め決められた待ち時間に基づいた予め決められた数のクロックパルスをカウントしたとき、前記出力信号を出力する前記出力バッファに、出力イネーブル信号を供給する待ち時間カウンタと、
（ｅ）前記読み取り手段、前記受信手段、及び前記出力バッファをイネーブルし、データ論理レベルを前記データバスラインから前記出力ドライバに、待ち時間１の事象においては１クロック周期以内に通し、前記データ論理レベルを待ち時間２の事象においては１クロック周期分遅延させ、前記データ論理レベルを待ち時間３の事象においては２クロック周期分遅延させる手段とよりなることを特徴とする可変待ち時間出力回路。
【請求項５】
前記受信手段は、第１のラッチ手段と、待ち時間２の事象において、格納されたデータ論理レベルを前記出力バッファに供給する前に、前記ラッチ手段において１クロック周期分前記データ論理レベルの格納をイネーブルする手段とよりなることを特徴とする請求項４記載の回路。
【請求項６】
前記読み取り手段は、第２のラッチ手段と、格納されたデータ論理レベルを前記第１のラッチ手段に供給する前に、前記第２のラッチ手段において１クロック周期分前記データ論理レベルの格納をイネーブルする手段と、待ち時間３の事象において、前記第１のラッチ手段に格納された前記データ論理レベルを前記出力バッファに供給する前に、前記第１のラッチ手段に供給された前記データ論理レベルを１クロック周期分格納する手段とよりなることを特徴とする請求項５記載の回路。
【請求項７】
前記第１のラッチ手段は、前記読み取り手段と前記出力バッファとの間の１組のデータ論理レベルのコンダクタのうち各１つと一連に接続された１組の交差結合されたインバータよりなることを特徴とする請求項５記載の回路。
【請求項８】
前記第２のラッチ手段はセンス増幅器よりなることを特徴とする請求項６記載の回路。
【請求項９】
前記第１のラッチ手段は、前記読み取り手段と前記出力バッファとの間の１組のデータ論理レベルのコンダクタのうち各１つと一連に接続された１組の交差結合されたインバータよりなることを特徴とする請求項８記載の回路。
【請求項１０】
同期型ダイナミックランダムアクセスメモリ（ＳＤＲＡＭ）回路の出力バッファを、データ信号及びクロック信号の相対的なタイミングが可変或いは不確定であるデータ信号及びクロック信号に応じて、対向するバイナリデータ状態のうち何れかに駆動する方法であって、
前記クロック信号のクロックパルスを外部的に予め定められたカウント値へカウントして待ち時間制御信号を供給するステップを有し、
前記待ち時間制御信号と前記データ信号とを論理的に結合して、論理的に結合された信号を供給するステップを有し、かつ
供給される該論理的に結合された信号及び前記待ち時間制御信号に応じて出力ドライバへ、イネーブル信号を供給するステップを有し、前記イネーブル信号は前記クロック信号のクロックに同期している、方法。
【発明の詳細な説明】
【０００１】

【産業上の利用分野】
本発明は、半導体メモリ回路に関し、特に同期型ダイナミックランダムアクセスメモリ（ＳＤＲＡＭ）回路のようなランダムアクセスメモリ用出力バッファ及び待ち時間制御回路に関する。
【０００２】
【従来の技術】
ＳＤＲＡＭの詳細は、記事“Ｓｙｎｃｈｒｏｎｏｕｓ ＤＲＡＭｓ： Ｄｅｓｉｇｎｉｎｇ ｔｏ ｔｈｅ ＪＥＤＥＣ Ｓｔａｎｄａｒｄ”，ＭＩＣＲＯＮ Ｄｅｓｉｇｎ Ｌｉｎｅ，ｖｏｌｕｍｅ ２，Ｉｓｓｕｅ ２，Ｎｏ２Ｑ９３、で知ることができる。
【０００３】
同期型ＤＲＡＭは、動作における異なるＣＡＳ待ち時間モード（ＣＡＳ ｌａｔｅｎｃｙ ｍｏｄｅｓ）を利用することができる。例えば、１のＣＡＳ待ち時間（ＣＡＳ ｌａｔｅｎｃｙ １）では、そのデータバス読み取り増幅器によって読み取られたデータは、クロックの後にその出力バッファに到着する。３のＣＡＳ待ち時間では、データは出力バッファより前の段においてクロックの間待つ。２のＣＡＳ待ち時間では、データとクロックとの間で出力バッファに対して競争状態が存在する。
【０００４】
【発明が解決しようとする課題】
ＲＡＳ／ＣＡＳ信号によって駆動される標準的なＤＲＡＭにおいては、その出力バッファは、／ＣＡＳがハイ論理レベルのときトライ－ステートモードに常に必ず置かれていた。／ＣＡＳ信号の立ち下がりエッジにおいて、新たなデータが出力トライステートドライバのために出力ピンへ駆動される。もし、データがまだ到着していない場合は、トライステートドライバの出力はデータが利用できるまで中間的な論理レベルに保持される。
【０００５】
例えば１００ＭＨｚ或いはそれ以上の高速で動作するＳＤＲＡＭでは、トライステートドライバが、出力するデータパルスの間に中間レベルに入る時間はない。出力バッファは、バイナリデータパルスの１つの論理極性の間で、実質的に瞬時に他へスイッチしなければならない。
【０００６】
【課題を解決するための手段】
本発明は、前述した高速で動作でき、バイナリ論理レベルの２つの極性の間で出力ドライバ信号を供給し、さらに前述した１、３或いは２の待ち時間、即ちそれぞれクロックの後にデータ信号が到着する、クロックの前に到着する、さらにクロックと競争状態にある、の何れかを有するデータ信号から駆動されることができるＳＤＲＡＭ用出力バッファである。
【０００７】
本発明の実施例によると、ランダムアクセスメモリ（ＲＡＭ）回路の出力ドライバを、データ及びクロック信号の相対的なタイミングが可変或いは不確定であるデータ源及びクロックから、対向するバイナリデータ値のうち何れかに駆動する出力バッファであって、データ信号源と、パルスを有し、該パルスのうち１つがデータパルスのリーディングエッジより早いか、該データパルスのリーディングエッジより遅いか、或いは該データパルスと競争状態である立ち上がりエッジを有するクロック信号源と、前記クロック信号を受信し、待ち時間制御を出力する待ち時間カウンタと、待ち時間クロック信号と前記データパルスを加算する装置と、前記待ち時間クロック信号と同期状態にある前記加算手段から出力ドライバに信号を供給する装置とよりなる。
【０００８】
本発明はまた、ＳＤＲＡＭデータバスリードにおけるデータ論理レベルを読み取り、さらにそれを待ち時間が自動的に調整される出力バッファに提供され、該データは常にクロックと同期状態にある出力バッファから出力され、さらに１の待ち時間（ｌａｔｅｎｃｙ）に対しては１番目のクロックパルスのリディングエッジに従い、２の待ち時間に対しては

２番目のクロックパルスのリーディングエッジに従い、３の待ち時間に対しては３番目のクロックパルスのリーディングエッジに従うような適切な遅延によって、常にクロック周期のリディングエッジに従う可変待ち時間回路である。

【０００９】

本発明の実施例によると、同期型ダイナミックランダムアクセスメモリ（ＳＤＲＡＭ）用可変待ち時間出力回路であって、１組の相補的なデータバスラインを読み取る回路と、前記読み取り回路の出力信号を受信する回路と、前記受信回路の出力信号を受信し、出力信号を出力ドライバへ供給する出力バッファと、クロック信号を受信してカウントし、予め決められた待ち時間に基づいた予め決められた数のクロックパルスをカウントしたとき、前記出力信号を出力する前記出力バッファに、出力イネーブル信号を供給する待ち時間カウンタと、前記読み取り回路、前記受信回路、及び前記出力バッファをイネーブルし、データ論理レベルを前記データバスラインから前記出力ドライバに、待ち時間１の事象においては１クロック周期以内に通し、前記データ論理レベルを待ち時間２の事象においては１クロック周期分遅延させ、前記データ論理レベルを待ち時間３の事象においては２クロック周期分遅延させる回路とよりなる。

【００１０】

【実施例】

以下の詳細な説明を図面を参照して検討することにより、本発明をより理解することができる。

図１を参照すると、ＳＤＲＡＭのデータバスセンス増幅器から、バイナリデータがＲＤＢ及びＲＤＢ* として受信される。

【００１１】

クロック信号ＣＬＫは、ＳＤＲＡＭの他でＣＡＳ待ち時間カウンタ（ＣＡＳ　ｌａｔｅｎｃｙ　ｃｏｕｎｔｅｒ）１で受信され、該カウンタは外部の制御から所望の待ち時間値に設定されている。従って、カウンタ１は、制御信号を遅延なしで通過するようにするか、該制御信号を１クロックパルスだけ遅延させるか、或いは該制御信号を２クロックパルス分遅延させ、それぞれ１、２、３の待ち時間（ｌａｔｅｎｃｙ）を提供する。ＣＡＳ待ち時間回路１の出力は、ここでは遅延クロック信号ＯＵＴＥＮとして参照される。クロックパルスは、他の出力バッファ回路へも供給される。

【００１２】

ここで図２に移ると、図２は、データがクロックよりも前に受信される場合の信号のタイミング図であり、示されている１番目の信号はＣＬＫ信号であり、規則的なクロックパルスを有している。特定の時刻において、ＣＡＳ待ち時間回路は、予め決められた待ち時間値をカウントし、そして出力信号ＯＵＴＥＮが供給される。その信号はインバータ３で反転され、ＮＯＲゲート５の入力に供給される。ＥＮＡＢＬＥ信号は、ロー論理レベルであり、ゲート２５と３９をディスエーブルする。データは、ゲート１１或いは３９のみを介して通過できる。　図２から分るように、クロックパルスの立ち上がりエッジ７より以前の時刻で、負の論理レベルのデータパルスＲＤＢのエッジ９が現れ、ＮＯＲゲート５の他の入力に供給される。ゲート５への入力をインバータ３によってロー論理レベルにするハイ論理レベルであるＯＵＴＥＮ信号と、ロー論理レベルのＲＤＢとによって、ゲート５はその出力をハイ論理レベルに変更し、この論理レベルをＮＡＮＤゲート１１の入力へ供給する。

【００１３】

ＣＬＫ信号がリーディングエッジ７の時刻のときハイ論理レベルになったとき、ＮＡＮＤゲート１１への他の入力は、ＣＬＫ入力によってハイ論理レベルになる。ＣＬＫ信号は、インバータ１３にも供給される。そのインバータへのその供給の前に、その出力はハイ論理レベルである。従って、そのとき、ＮＡＮＤゲート１１への３つ全ての入力は、ハイ論理レベルであり、従って、その出力はロー論理レベルに降下する。ＣＬＫ信号が、インバータ１３に供給されるとき、信号が通過するのに短い期間を要し、次にその出力はロー論理レベルになり、ＮＡＮＤゲート１１の入力の１つによって受信される。ＮＡＮＤゲート

１１の出力Ｓ１における結果は、短いロー論理レベルパルス１５であり、タイミング図Ｓ１* で示される。

【００１４】

ＮＡＮＤゲート１１のパルス出力は、ＡＮＤゲート１７（及び使用されるならＮＯＲゲート１９）を介して、出力端子２１（タイミング図のＱ）へ供給され、そこから出力Ｑで出力ドライバ６４へ供給される。ゲート１７、１９及び３５は、ラッチを形成する。もし、データパルスのリーディングエッジが、クロックパルスのリーディングエッジよりも前に到着する場合、前述した経路は使用されない。ゲート１７、１９及び３５で形成されるラッチは、Ｓ１*パルス１５によってセットされる。ＥＮＡＢＬＥ信号は、またローであり、Ｓ１*パルス１５の時刻ではゲート２５をディスエーブルしている。ゲート２５の出力は、パルス４５の後ローになるが、これは本回路の動作とは無関係である。

【００１５】

負へ遷移する信号もまた、インバータ３３で反転されたＮＯＲゲート５の出力の正に遷移する信号レベルと共に、ＮＡＮＤゲート３１にも供給される。これによって、ゲート３１の出力Ｒ１*はハイ論理レベルに保持され、ＮＡＮＤゲート３５への入力になる。ハイ論理レベルで安定である一方のデータラインＲＤＢ*は、交差結合型インバータ３７を介して供給され、さらにＥＮＡＢＬＥ信号と共にＮＡＮＤゲート３９の入力に供給され、ＮＡＮＤゲート３５はその入力にハイ論理レベルＲ２*を受信する。ＮＡＮＤゲート３５の他の入力は、Ｑからの出力信号を受信する。ＮＡＮＤゲート３５はＡＮＤゲート１７と交差結合しており、Ｑなる出力によって、ＮＡＮＤゲート３５の出力Ｑ*をリーディングエッジ４１でロー論理レベルに遷移させ、交差結合型ＡＮＤゲート１７及びＮＡＮＤゲート３５においてＲＤＢデータをラッチする。

【００１６】

データパルスＲＤＢは、最終的にはトレーリングエッジ４３でハイに遷移する。これによって、ＲＤＢＬ* リード上の信号は、ロー論理レベルに遷移する。その結果、ＣＬＫ信号の次の立ち上がりのリーディングエッジ４５で、ゲート３１の出力においてローレベルの一時的なパルス４７がＣＬＫ及び反転ＣＬＫ信号から生成され、ゲート３５へ通過され、ゲート１７及び３５のラッチ効果を妨害し、Ｑ* 信号をハイ論理レベルへ遷移させ、さらにラッチ解除されたとき、Ｑなる信号はロー論理レベルへ遷移する。

【００１７】

ユーザがＱ端子をディスエーブルすることにより出力トライステートバッファの動作を制御することによる使用のために、外部制御が供給されうることは注意すべきである。これは、ＮＯＲゲート１９を使用することによって供給でき、もしこのユーザ制御が望まれないならば除去可能である。ゲート１９の第２の入力は、フリップフロップ４９からの入力を有し、該フリップフロップ４９はクロック信号ＣＬＫによって同期され、またユーザ入力ＤＱＭＣＬＢからのデータ入力を有する。

【００１８】

次に図３に移ると、ＲＤＢリードのデータのリーディングエッジ９が、例えば待ち時間１で、クロックパルスのリーディングエッジ７の後に到着する場合のタイミング図が示されている。ハイ論理レベルであるＣＬＫ信号と一致してローに遷移するＲＤＢデータと共に、ＲＤＢＬ* レベルはハイレベルになる。ここで、待ち時間カウンタが適切な値にカウントし従って前述の例の場合よりも早くハイレベルの出力信号を出力し、ＥＮＡＢＬＥ信号をハイにするために、ハイであるＥＮＡＢＬＥ信号と共に、ＲＤＢＬ* 信号はＥＮＡＢＬＥ信号と共にハイでありゲート２５の入力に供給され、ゲート２５は図３に示されるロー論理レベル５１を出力する。これは、ゲート１７（及びもし使用されるならゲート１９）を通過し、出力Ｑに図３で示される出力信号Ｑとして現れる。

【００１９】

その信号は、ゲート１７を通過するようにイネーブルされ、これはそのインターバルの間その他の全ての入力がハイ論理レベルであるからである。このインターバルの間、ゲート１１へのＣＬＫ入力はハイであり、ＯＵＴＥＮ信号はハイでありインバータ３で反転され

る。ＣＬＫ信号がハイでありインバータ１３に供給されると共に、インバータ１３の出力はローでありそれによってゲート１１はハイ論理レベル信号を出力する。上述したようにハイレベルにあるＥＮＡＢＬＥ信号は、ローレベルのＲＤＢＬ信号と共にゲート３９に供給され、それによってゲート３５はイネーブルされ、ピン２１においてハイ論理レベルになった出力信号Ｑと共に、波形Q^*で示されるようにロー論理レベルに遷移する。このように、ゲート１７及び１９はラッチする。

【００２０】

次に、データ信号ＲＤＢは、トレーリングエッジ５３でハイレベルになる。従って、$RDBL^*$信号はローレベルになる。次に、本回路はＣＬＫ信号の次のリーディングエッジ５５を待ち、そしてその結果パルス５７が到着したとき、ゲート３１はこのパルスをその出力$R1^*$において表し、それによってゲート３５はラッチを解除し、さらにまずゲート３５の出力の信号Q^*がハイレベルになり、次にその結果、信号Ｑがローレベルになる。

【００２１】

このようにして、どのようにドライブ端子Ｑが、クロックよりも前に到着するデータバス読み取り増幅器からのデータ及びクロックの後に到着するデータの両方の状態によって、ハイレベルにまたローレベルに駆動されるかについて示された。また、ドライブ端子における信号は、クロックに同期されたものであることも示される。競争状況（待ち時間２）の場合、上述した状況のうち１つ或いはその他が起こるが、たとえどの状態が起ころうとも、出力ドライブ端子はさらにハイ及びローに駆動され、また同期される。

【００２２】

上述したと同じ回路が別にあり、上述したのと同様に動作し、その回路は参照記号５９として示される。２つの回路は、ドライバ回路の出力６２をそれぞれ上に及び下に引くために使用されている。

図４は使用されうるドライバ回路の論理図である。出力端子２１及び対応する端子２１Ａは、ｎ及びｐチャネルの出力電界効果素子に入力される。端子２１は、インバータ６６を介してｐチャネル素子６７のゲートに接続され、該素子は電圧源Ｖｄｄとドライバ回路の出力６２との間に接続されたドレイン及びソースを有する。端子２１Ａは、インバータ６８を介してｎチャネル素子６９のゲートに接続され、該素子はグランドと出力６２との間に接続されたソース及びドレインを有する。

【００２３】

より高いドライブ力の発生を供給するために、トランジスタ６７及び６９と同様の極性のその他のトランジスタ７１及び７２が、トランジスタ６７及び６９と並列に接続されたソース及びドレインを有する。トランジスタ７１及び７２の各々は、１組の交差結合型ＡＮＤゲートによってドライブされ、該ゲートは出力端子２１及び出力端子２１Ａ、さらにこれらの端子の信号の遅延した表示によってそれぞれドライブされ、その遅延は一連のインバータ７４及び７４Ａによってそれぞれ生成される。

【００２４】

動作において、ここで図５を検討すると、インバータ６８へのドライブがロー論理レベルになり、さらにトランジスタ７１への遅延ドライブがハイになったとき、出力６２での出力信号はハイ論理レベルからロー論理レベルになり、この間両方のトランジスタ６９及び７１はイネーブルされ、次に１つのトランジスタ６９のみがイネーブルされたとき、その間該出力信号はロー論理レベルより高いレベルになる。（インバータ７４及び７４Ａでの遅延によって制御される）短期間の間両方のトランジスタを非常に高いレベルにドライブする目的は、単一のみのトランジスタがドライブされた場合よりもより高いスルーレートを得ることである。

【００２５】

このドライビング回路は、幾つかのモードで動作可能である。例えば、上述した回路では、対象的な態様において例えば５０オームの負荷をドライブできる。代わって、ディスエーブルされたｐチャネルトランジスタでドライブでき、従ってｎチャネル素子はオープンドレインを有することになる。このように、第１のモードを提供するためには、出力端子

は上述した回路に接続される。第２のモードを提供するためには、回路はオープン化され、インバータ６６の入力に接続されたコンダクタは接地される。

【００２６】

次に図６に移ると、本発明の実施例のブロック図が示されている。良く知られた構成の１組の列選択回路１０１及び１０１Ａが、列を復号した後で、データバスＤＢ０及びＤＢ０*、並びにＤＢ１及びＤＢ１*にそれぞれデータ論理レベルを供給し、該データ論理レベルはセンス増幅器においてビットラインに関連するビット格納セルから感知される。データバスは、読み取り増幅器において制御回路１０５からイネーブル信号ＲＡＭ０及びＲＡＭ１をそれぞれ受信したときに読み取られる。本発明の実施例によると、読み取り増幅器は、２つの部分、増幅器段１０３及びドライバ段１０７として形成される。

【００２７】

ドライバ段１０７のＲＤＢ及びＲＤＢ*出力は、読み取りデータバス制御回路１０９（ＲＤＢ＿ＣＴＲＬ）に供給され、該回路１０９は出力ＲＤＢＬ及びＲＤＢＬ*を出力バッファ１１１へ供給する。出力バッファ１１１は、ドライバ出力信号を出力リード１１３上に出力する。

クロック源ＣＬＫは、ＣＡＳ待ち時間カウンタ１１５によって受信され、該カウンタは出力バッファ１１１へ入力される出力ＯＵＴＥＮを有する。

【００２８】

前述したように、同期型ＤＲＡＭは、動作において異なるＣＡＳ待ち時間モードを利用できる。例えば、１のＣＡＳ待ち時間に対しては、データバス読み取り増幅器によって読み取られるデータは、クロックの後で出力バッファに到着する。３のＣＡＳ待ち時間では、該データはクロックより以前に利用可能である。２の待ち時間では、データと出力バッファに向かうクロックとの間に競争状態が存在する。

【００２９】

待ち時間カウンタはクロックパルスをカウントし、さらに予め決められた数のクロック周期の後、ハイ論理レベルになる信号を出力する。１の待ち時間では、ＯＵＴＥＮ信号はクロック周期の最初のパルスの間はハイ論理レベルになり、そこで出力されるデータは同じクロック周期の間に読み取られる。２或いは３の待ち時間では、ＯＵＴＥＮ信号は、１つのクロック周期によって出力されるべきデータよりも前にあるクロック周期の間ハイとなる。カウンタ１１５が待ち時間値をカウントすると、固定的なハイレベル信号ＯＵＴＥＮを出力する。

【００３０】

１の待ち時間を処理するために、読み取り増幅器によって読み取られたデータは、ドライバ１０７、ＲＤＢ＿ＣＴＲＬ回路１０９、及び出力バッファ１１１を介して遅延無しで出力されるが、クロック信号ＣＬＫには同期され、さらにＯＵＴＥＮ信号ハイと共に、クロックに同期されてリード１１３に出力される。

２の待ち時間を処理しかつ競争条件を除去するためには、データは読み取り増幅器１０３及びドライバ１０７からＲＤＢ＿ＣＴＲＬ回路１０９に送られ、そこでそれを２番目のクロック周期のリーディングエッジよりも遅い時間に遅延させるために、１クロック周期蓄積される。ＯＵＴＥＮ信号ハイで、ＣＬＫリード上で次のクロック周期を受信したとき、出力バッファは、リード１１３上にクロックに同期してデータ信号を出力する。

【００３１】

３の待ち時間を処理するために、データは、読み取り増幅器１０３のラッチにおいて１クロックパルス分蓄積され、次に該データをＲＤＢ＿ＣＴＲＬ回路におけるラッチに送りそこで１クロックパルス分蓄積され、さらに次のクロック周期を受信したとき、リード１１３にクロックに同期してデータを出力する。

待ち時間３に対して（或いは待ち時間２の幾つかの場合において）、データがクロック周期の始まりよりも以前に受信されるので、上記の効果は３番目（２番目）のクロック周期に同期してさらにその間にデータを出力することである。一方、１の待ち時間に対しては、データは１番目のクロック周期に同期してさらにその間に出力される。

【００３２】
次に、図７が参照され、それはＲＤＢ＿ＣＴＲＬ回路１０９及び出力バッファ１１１の論理図であり、図８で示されるタイミング図も同様に参照され、該図８は、データがクロックよりも以前に受信される場合の信号のタイミング図である。示される第１番目の信号は、ＣＬＫ信号であり、規則的なクロックパルスを有する。ある特定の時刻において、ＣＡＳ待ち時間回路は、予め決められた待ち時間値をカウントし、さらにハイ論理レベルの出力信号ＯＵＴＥＮが前述したように出力される。その信号は、インバータ１２３で反転され、さらにＮＯＲゲート１２５の入力に加えられる。
【００３３】
図８から見られるように、クロックパルスの立ち上がりエッジ１２７よりも以前の時刻において、負の論理レベルデータパルスＲＤＢのリーディングエッジ１２９が現れ、ＮＯＲゲート１２５の他の入力に加えられる。ゲート１２５への入力をインバータ１２３によってロー論理レベルとするハイ論理レベルのＯＵＴＥＮ信号と、ロー論理レベルのＲＤＢとによって、ゲート１２５はその出力をハイ論理レベルに変更し、さらにこの論理レベルをＮＡＮＤゲート１３１の入力に供給する。
【００３４】
ＣＬＫ信号がリーディングエッジ１２７の時刻においてハイ論理レベルになったとき、ＮＡＮＤゲート１３１の他の入力は、ＣＬＫ入力によってハイ論理レベルになる。ＣＬＫ信号は、インバータ１３３にも供給される。このインバータへ供給する以前では、その出力はハイ論理レベルである。従って、その点において、ＮＡＮＤゲート１３１への３つの入力全てがハイ論理レベルであり、従ってその出力はロー論理レベルに降下する。ＣＬＫ信号がインバータ１３３に供給されるとき、信号が通過するのに短期間を有し、次にその出力はロー論理レベルとなり、ＮＡＮＤゲート１３１の入力の１つによって受信される。ＮＡＮＤゲート１３１の出力Ｓ１における結果は、短いロー論理レベルパルス１３５であり、タイミング図Ｓ１* として示されている。
【００３５】
ＮＡＮＤゲート１３１のパルス出力は、ＡＮＤゲート１３７（及びもし使用されているならばＮＯＲゲート１３９）を介して、出力端子１４１（タイミング図Ｑ）に出力され、そこから出力Ｑで出力ドライバに供給される。
ロー論理レベルのデータ信号ＲＤＢは、以下のようにゲート１３７を介して送られる。そのデータ信号は、交差結合型インバータ１４３を通過し、そこでラッチされる。それはまた、ＮＡＮＤゲート１４５の入力にも供給される。ハイ論理レベルのＯＵＴＥＮ信号は、ＣＬＫ信号でクロックされるフリップフロップ１４７に供給され、そのＱ出力（ＥＮＡＢＬＥタイミング図参照）は、ＮＡＮＤゲート１４５の他の入力に供給される。
【００３６】
ＲＤＢの負のレベルは、ＮＡＮＤゲート１５１にも（ＮＯＲゲート１２５及びインバータ１５３において反転され）供給される。これによって、ゲート１５１の出力Ｒ１* はハイ論理レベルに保持され、ＮＡＮＤゲート１５５に入力される。他のデータラインＲＤＢ* はハイ論理レベルで安定であり、交差結合型インバータ１５７に供給され、そこでデータはラッチされる。それは、ＮＡＮＤゲート１５９の入力にも、ＥＮＡＢＬＥ信号と共に供給され、またＮＡＮＤゲート１５５はその入力においてハイ論理レベルＲ２* を受信する。ＮＡＮＤゲート１５５の他の入力は、出力信号をＱで受信する。ＮＡＮＤゲート１５５は、ＡＮＤゲート１３７と交差結合され、そのＱなる出力によって、ＮＡＮＤゲート１５５の出力Ｑ* は、リーディングエッジ１６１でロー論理レベルになる。
【００３７】
データパルスＲＤＢは最終的には、トレーリングエッジ１６３においてハイとなる。これによってＲＤＢＬ* 上の信号は、ロー論理レベルになるように導かれる。その結果、ＣＬＫ信号の次の立ち上がりのリディングエッジにおいて、ゲート１５１の出力でロー論理レベルの一時的なパルス１４７が生成され、ゲート１３７及び１５５のラッチ効果を妨害し、それによってＱ* 信号がハイ論理レベルになり、さらにラッチが解除されると、Ｑなる

信号はロー論理レベルとなる。

【００３８】

ユーザがＱ端子をディスエーブルすることにより出力トライステートバッファの動作を制御することによる使用のために、外部制御が供給されうることは注意すべきである。これは、ＮＯＲゲート１３９を使用することによって供給でき、もしこのユーザ制御が望まれないならば除去可能である。ゲート１３９の第２の入力は、フリップフロップ１６９からの入力を有し、該フリップフロップ１６９はクロック信号ＣＬＫによって同期され、またユーザ入力ＤＱＭＣＬＢからのデータ入力を有する。

【００３９】

次に図９に移ると、ＲＤＢリードのデータのリーディングエッジ１２９が、例えば待ち時間１で、クロックパルスのリーディングエッジ１２７の後に到着する場合のタイミング図が示されている。ハイ論理レベルであるＣＬＫ信号と一致してローに遷移するＲＤＢデータと共に、ＲＤＢＬ* レベルはハイレベルになる。ここで、待ち時間カウンタが適切な値にカウントするために、ＥＮＡＢＬＥ信号はハイとなり、ゲート１４５の入力はハイで、ゲート１４５は図８で示されるロー論理信号１７１を出力する。これは、ゲート１３７（及びもし使用されるならゲート１３９）を通過し、出力Ｑに図９で示される出力信号Ｑとして現れる。

【００４０】

その信号は、ゲート１３７を通過するためにイネーブルされ、これはそのインターバルの間その他の全ての入力がハイ論理レベルであるからである。このインターバルの間、ゲート１３１へのＣＬＫ入力はハイであり、ＯＵＴＥＮ信号はハイでありインバータ１２３で反転され、ＲＤＢ信号はローでゲート１２５に供給され、ゲート１２５の出力はローで、それによりゲート１３１はハイ論理レベル信号を出力する。ゲート１２５の出力信号はインバータ１５３において反転されて、ゲート１５１の出力を生じ、該ゲート１５１は、信号ＣＬＫ及び反転ＣＬＫパルスを各立ち上がりクロックエッジで受信し、各立ち上がりクロックエッジでパルスを生成し、パルス間ではハイ論理レベルであり、またインバータ１５３において反転されるゲート１２５からの出力信号が供給されることによって、ゲート１５１の出力はハイ論理レベルになる。上述したように、ハイレベルにあるＥＮＡＢＬＥ信号は、ローレベルのＲＤＢＬ信号と共にゲート１５９に供給され、それによってゲート１５５はイネーブルされ、リード１４１においてハイ論理レベルになった出力信号Ｑと共に、波形Ｑ* で示されるようにロー論理レベルに遷移する。このようにして、ゲート１３７及び１３９はラッチする。

【００４１】

次に、データ信号ＲＤＢは、トレーリングエッジ１７３でハイレベルになる。従って、ＲＤＢＬ* 信号はローレベルになる。次に、本回路はＣＬＫ＿ＩＯ信号の次のリーディングエッジ１７５を待ち、そしてその結果パルス１７７が到着したとき、ゲート１５１はこのパルスをその出力Ｒ１* において表し、それによってゲート１５５はラッチを解除し、さらにまずゲート１５５の出力の信号Ｑ* がハイレベルになり、次にその結果、信号Ｑがローレベルになる。

【００４２】

このようにして、どのようにドライブ端子Ｑが、クロックよりも前に到着するデータバス読み取り増幅器からのデータ及びクロックの後に到着するデータの両方の状態によって、ハイレベルにまたローレベルに駆動されるかについて示された。また、ドライブ端子における信号は、クロックに同期されたものであることも示される。競争状況（待ち時間２）の場合、上述した状況のうち１つ或いはその他が起こるが、たとえどの状態が起ころうとも、出力ドライブ端子はさらにハイ及びローに駆動され、またクロックに同期される。

【００４３】

本発明に関してさらに重要なことには、待ち時間３に対して、クロックパルスより以前に到着したデータは、出力される前に１つのクロック周期だけ遅延されられており、一方待ち時間１に対しては、クロックパルスの後に到着したデータは、それが到着した間の同じ

クロック周期内で出力されることが見られる。
図１０は、読み取り増幅器１０３及び該読み取り増幅器１０３の出力に接続されたドライバ段１０７の電気回路図である。データバスリードＤＢ（ＤＢ０或いはＤＢ１で表されている）及びＤＢ* （ＤＢ０* 或いはＤＢ１* で表されている）は、ｎチャネル電界効果トランジスタ（ＦＥＴｓ）２０１及び２０２のそれぞれのゲートに接続されている。これらのトランジスタは、ｐチャネルＦＥＴ２０３、２０４、２０５、２０６、２０７のソース及びドレインにそれぞれ接続されたソースを有する。ＦＥＴ２０３は、ＲＭＡ（ＲＭＡ０或いはＲＭＡ１で表されている）リードに接続されており、制御１０５（図６）からの読み取り命令を受信する。ＦＥＴ２０１及び２０２のドレインは、電圧源Ｖｄｄに接続されたソースを有するｐチャネルＦＥＴ２０４及び２０５のドレインにそれぞれ接続されている。ＦＥＴ２０４及び２０５のゲートは、トランジスタ２０１及び２０２のドレインに交差結合されている。ｐチャネルＦＥＴ２０６及び２０７は、ＦＥＴ２０４及び２０５のソース及びドレイン回路と並列に接続されたソース及びドレイン回路を有し、ＲＭＡリードに接続されたゲートを有している。

【００４４】
ｎチャネルＦＥＴ２０９のドレイン及びソース回路と直列に接続されたソース－ドレイン回路を有するｐチャネルＦＥＴ２０８よりなるインバータは、ＦＥＴ２０４のゲートに接続されたゲートを有しており、該ＦＥＴ２０８のソースは、電圧源Ｖｄｄに接続されている。ｎチャネルＦＥＴ２１１のドレイン及びソース回路と直列に接続されたソース－ドレイン回路を有するｐチャネルＦＥＴ２１０よりなる他のインバータは、ＦＥＴ２０５のゲートに接続されたゲートを有し、該ＦＥＴ２１０のソースは電圧源Ｖｄｄに接続されている。ＦＥＴ２０９及び２１１のソースは共に、ｎチャネルＦＥＴ２１２のドレインに接続されており、該ＦＥＴ２１２は、グランドに接続されたソースとＲＭＡリードに接続されたゲートとを有する。

【００４５】
上述した読み取り増幅器１０３の出力リードは、ＦＥＴ２０６及び２０７のドレインからそれぞれＮＯＲゲート１６５及び１６６のそれぞれの入力に接続されている。ＮＯＲゲート１６５及び１６６の他の入力は、インバータ１６８の出力に接続されており、該インバータ１６８は制御１０５からＤＲＶＥＮリードをその入力として有している。ＮＯＲゲートの出力は、グランドに接続されたソースを有するｎチャネル出力ＦＥＴ１７０及び１７１のゲートに接続されている。該ＦＥＴ１７０及び１７１のドレインは、それぞれＲＤＢ及びＲＤＢ* リードに接続されており、該ＲＤＢ及びＲＤＢ* リードは前述したＲＤＢ＿ＣＴＲＬ回路への入力リードである。

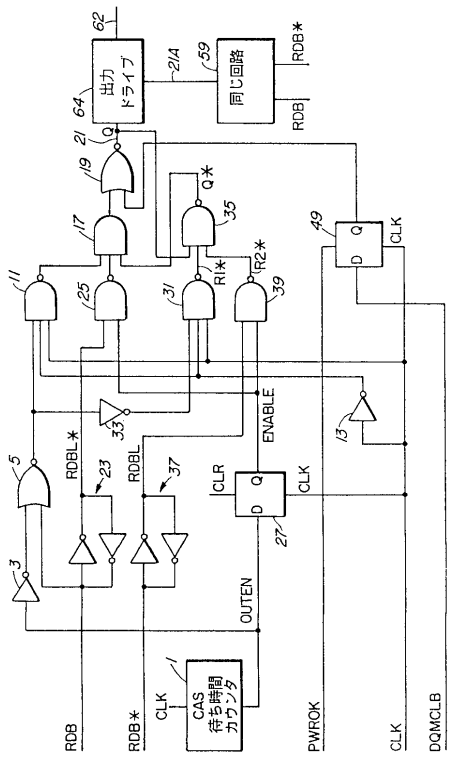
【００４６】
次に図１１を参照すると、図１１は、待ち時間１の場合の動作例のタイミング図である。増幅器１０３或いはドライバ１０７の回路へのクロック入力はないが、データタイミングの認識を得るために、カッコで番号を付けた各々の順次の周期の最初の部分でクロックタイミングが示されている。
データは、ＤＢ及びＤＢ* （タイミング波形ＤＢ１及びＤＢ１* ）リード上に現れ、そこではデータはクロック周期１の始まりの後でハイレベルとなるのが見られる。制御１０５の制御の下では、ハイ論理レベルの読み取りイネーブルパルスが、ＲＭＡリード（タイミング図ＲＭＡ＿Ｂ１）に供給され、それによってＦＥＴ２１２は導通となり、従ってトランジスタ２０２及び２１１のソースがグランドに接続される。トランジスタの組２０８、２０９、及び２１０、２１１は、それらのドレインに接続されたレベルを感知し、該レベルはＤＢ及びＤＢ* リード上で異なる論理レベルによって確立される。従って、トランジスタの組２０１、２０４或いは２０２、２０５のどちらかは導通となり、それによって電圧Ｖｄｄは対応するトランジスタの組２０８、２０９或いは２１０、２１１のゲートに広げられる。ＦＥＴ２０６及び２０７のゲートに供給されるＲＭＡ電圧によって、そのトランジスタは非導通となり、それによってＶｓｓ電圧は対応するＮＯＲゲート１６５及び１６６の１つの入力のみに広げられる。

【００４７】
一方、交差結合されたトランジスタはラッチし、その中にデータ信号を保持する。
増幅器及びドライバ段における待ち時間１に対する種々の信号のタイミングは図１１に見ることができ、待ち時間２に対するタイミングは、図１２において見ることができ、そして待ち時間３に対するタイミングは、図１３において見ることができる。ＲＤＢ及びＲＤＢ* リード上の論理データ信号が、ＣＡＳ待ち時間１の場合に関連する１つのクロック周期だけ遅れるのを見ることができる。
【００４８】
まとめると、全体の回路を検討すると、待ち時間１に対しては、出力バッファ１１１はイネーブルされ、増幅器１０３からのデータは直接出力リード１１３（１４１）に送ることができる。待ち時間２及び３に対しては、出力バッファ１１１は、イネーブルされず、またデータはＲＤＢ＿ＣＴＲＬ回路のラッチ１４３及び１５７において蓄積される。
【００４９】
待ち時間２の場合、２番目のクロック周期において、出力バッファ１１１はイネーブルされ、また以前クロック周期からのデータは出力リード１１３（１２１）に送られ、さらにＲＤＢ及びＲＤＢ* リードはプリチャージされる。これは、新たなデータが、次のクロック周期の間そこで待機するために、ラッチ１４３及び１５７に送ることができる制御１０５のための信号である。
【００５０】
待ち時間３の場合、出力バッファ１１１は、イネーブルされず、また２番目のクロック周期からのデータは、読み取り増幅器１０３における上述したラッチにおいて蓄積される。分離したままの（プリチャージされていない）ＲＤＢ及びＲＤＢ* ラインの部分によって、読み取り増幅器のイネーブル信号の間隔に対する方法が広がる。２番目のクロック周期からのデータは、イネーブル信号が真である限り、読み取り増幅器のラッチにおいて保持される。
【００５１】
３番目のクロック周期では、出力バッファ１１１はイネーブルされ、それにより１番目のクロック周期からのデータは、出力リード１１３（１４１）へ送られることができる。このとき、ＲＤＢ及びＲＤＢ* リードはプリチャージされ、２番目のクロック周期からのデータが、読み取り増幅器からＲＤＢ＿ＣＴＲＬ回路に転送されうることが知らされる。この態様において、３番目のクロック周期からのデータは、読み取り増幅器に置き、次のクロック周期でＲＤＢ＿ＣＴＲＬ回路にそれが移動されるまで、そこで保持される。
【００５２】
上述した周期は、各クロック周期でそれ自身繰り返す。
上記の説明を理解する当業者は、ここで代わりの実施例や変更を、ここで示した原理を用いて設定することができる。ここに添付された特許請求の範囲内にある全ての物は、本発明の部分であると考えられる。
【図面の簡単な説明】
【図１】本発明の好ましい実施例の論理図である。
【図２】本発明の実施例の動作を説明するために使用される信号のタイミング図の１例である。
【図３】本発明の実施例の動作を説明するために使用される信号のタイミング図の他の例である。
【図４】本発明で使用できるドライバ回路の論理図である。
【図５】図４のドライバ回路の動作を説明するために使用されるタイミング図である。
【図６】本発明のブロック系統図である。
【図７】本発明のデータバス制御及び出力バッファ部分の電気回路系統図である。
【図８】図７の回路のタイミング図である。
【図９】図７の回路のタイミング図である。
【図１０】本発明の読み取り増幅器及びドライバ段部分の電気回路系統図である。

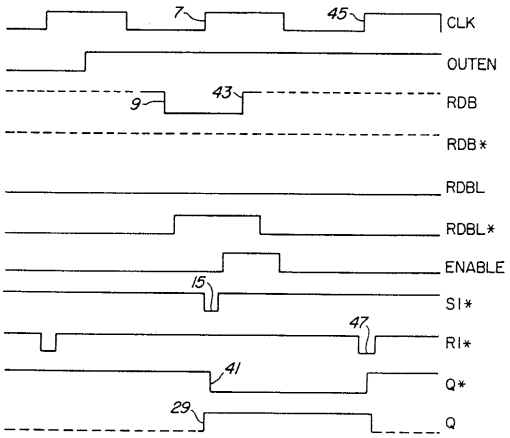
【図１１】図１０の回路のタイミング図である。
【図１２】図１０の回路のタイミング図である。
【図１３】図１０の回路のタイミング図である。
【符号の説明】
１　ＣＡＳ待ち時間カウンタ
３、１３、３３　インバータ
５　ＮＯＲゲート
７　リーディングエッジ
９　リーディングエッジ
１１、２５、３１、３５、３９　ＮＡＮＤゲート
１５　短いロー論理レベルパルス
１７　ＡＮＤゲート
１９　ＮＯＲゲート
２１　出力端子
２３、３７　交差結合型インバータ
２７　フリップフロップ
２９　リーディングエッジ
４１　リーディングエッジ
４３　トレーリングエッジ
４５　リーディングエッジ
４７　一時的なパルス
４９　フリップフロップ
５１　ロー論理レベル
５３　トレーリングエッジ
５５　リーディングエッジ
５７　パルス
５９　複製回路
６２　ドライバ回路の出力
６４　ドライバ回路
６６、６８　インバータ
６７、６９　トランジスタ
７１、７２　トランジスタ
７４、７４Ａ　一連のインバータ
１０１、１０１Ａ　列選択回路
１０３　読み取り増幅器
１０５　制御回路
１０７　ドライバ
１０９　読み取りデータバス制御回路
１１１　出力バッファ
１１３　出力リード
１１５　ＣＡＳ待ち時間カウンタ
１２３、１３３、１５３　インバータ
１２５、１３９　ＮＯＲゲート
１３１、１３７、１４５、１５１、１５５、１５９　ＮＡＮＤゲート
１４１　出力端子
１４３、１５７　交差結合型インバータ
１４７、１６９　フリップフロップ
１２７　リーディングエッジ
１２９　リーディングエッジ
１３５、１７１　ロー論理レベルパルス

１４７、１７７　一時的なパルス
１４９　リーディングエッジ
１６１　リーディングエッジ
１６３、１７３　トレーリングエッジ
１６５、１６６　ＮＯＲゲート
１６８　インバータ
１７０、１７１　電界効果トランジスタ
１７９　複製回路
１８２　出力リード
１８４　ドライバ回路
２０１、２０２　ｎチャネル電界効果トランジスタ
２０３、２０４、２０５、２０６、２０７　ｐチャネル電界効果トランジスタ
２０８、２１０　ｐチャネルＦＥＴ
２０９、２１１　ｎチャネルＦＥＴ
２１２　ｎチャネルＦＥＴ

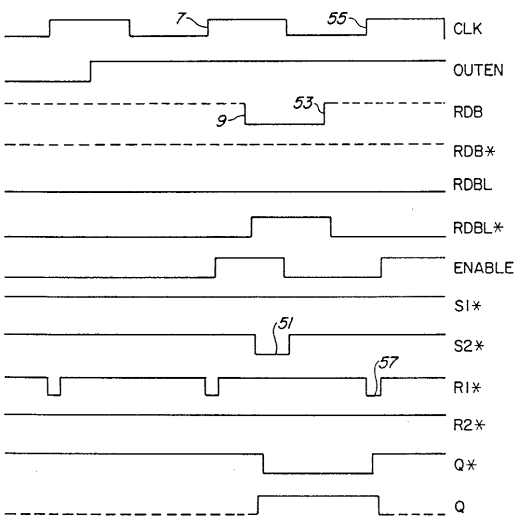
【図１】



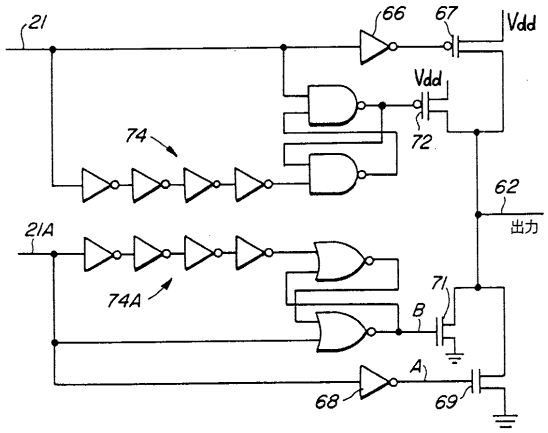
【図２】



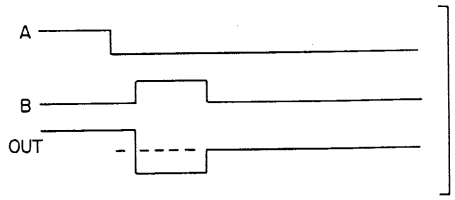
【図３】


CLK
OUTEN
RDB
RDB*
RDBL
RDBL*
ENABLE
S1*
S2*
R1*
R2*
Q*
Q
7
55
9
53
51
57

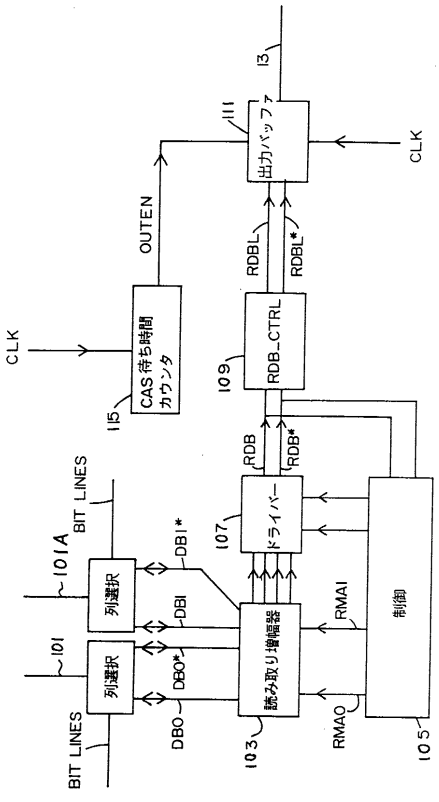
【図４】


21
66
67
Vdd
Vdd
72
74
62
出力
21A
74A
71
B
A
68
69

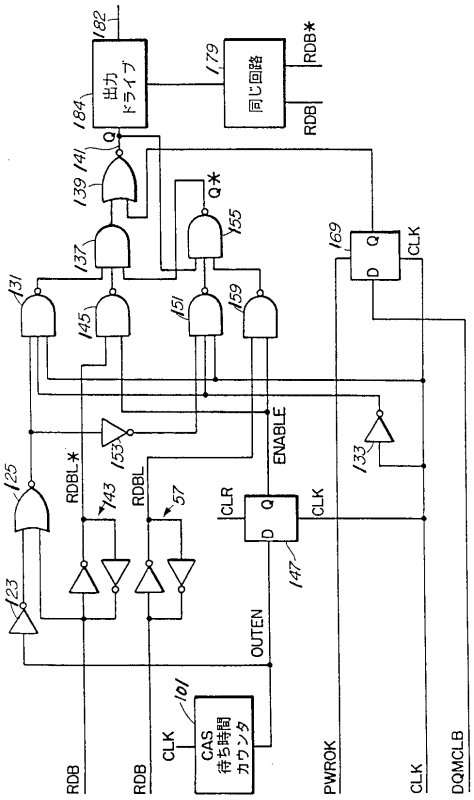
【図５】


A
B
OUT

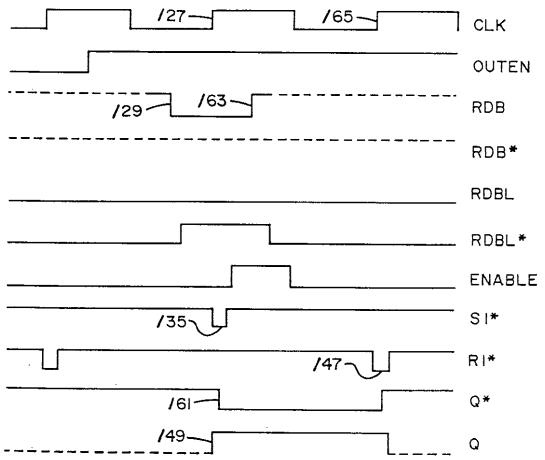
【図６】


CLK
CAS待ち時間カウンタ
115
OUTEN
出力バッファ
111
13
CLK
RDBL
RDBL*
RDB_CTRL
109
RDB
RDB*
ドライバー
107
BIT LINES
101A
列選択
DBI*
DBI
101
列選択
DBO*
DBO
BIT LINES
読み取り増幅器
103
RMAI
RMAO
制御
105

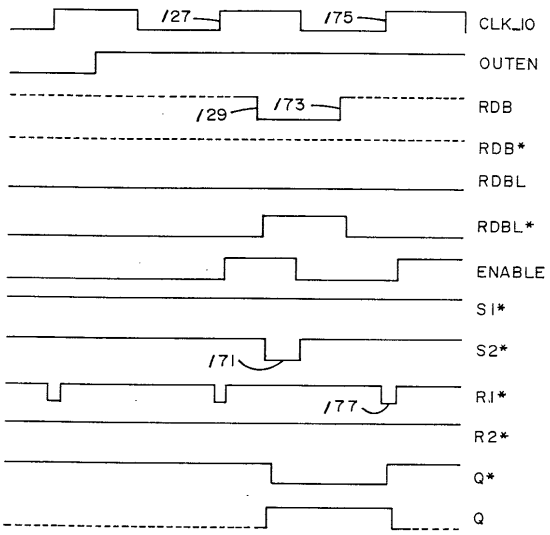
【図７】


182
出力ドライブ
179
同じ回路
RDB*
RDB
184
Q
139
141
Q*
155
137
131
145
151
159
169
Q
D
CLK
125
RDBL*
143
RDBL
57
153
ENABLE
133
CLR
Q
D
CLK
147
123
OUTEN
101
CAS待ち時間カウンタ
CLK
RDB
RDB
PWROK
CLK
DQMCLB

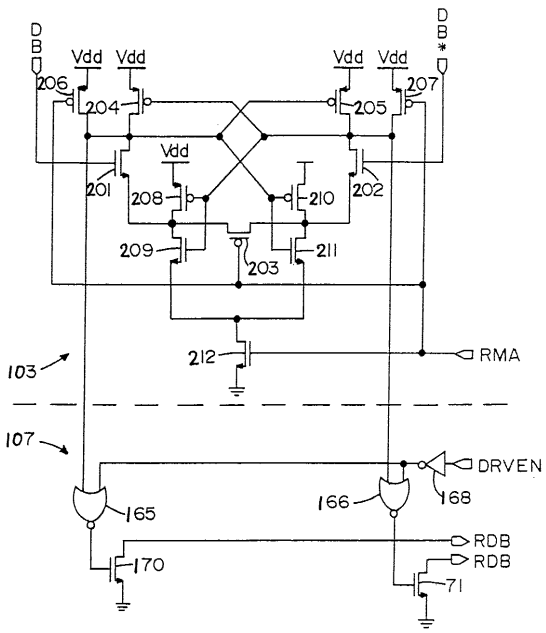
【図８】


/27
/65
CLK
OUTEN
/29
/63
RDB
RDB*
RDBL
RDBL*
ENABLE
/35
S1*
/47
R1*
/61
Q*
/49
Q

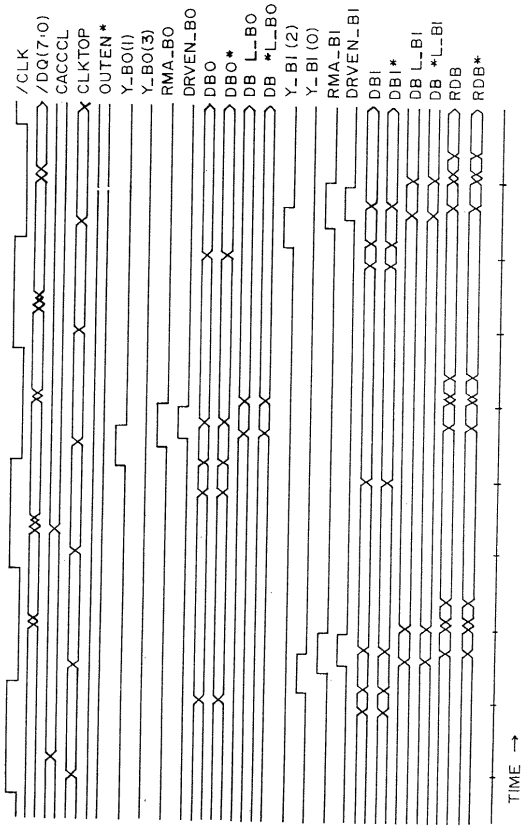
【図９】


/27
/75
CLK_IO
OUTEN
/29
/73
RDB
RDB*
RDBL
RDBL*
ENABLE
S1*
S2*
/71
R1*
/77
R2*
Q*
Q

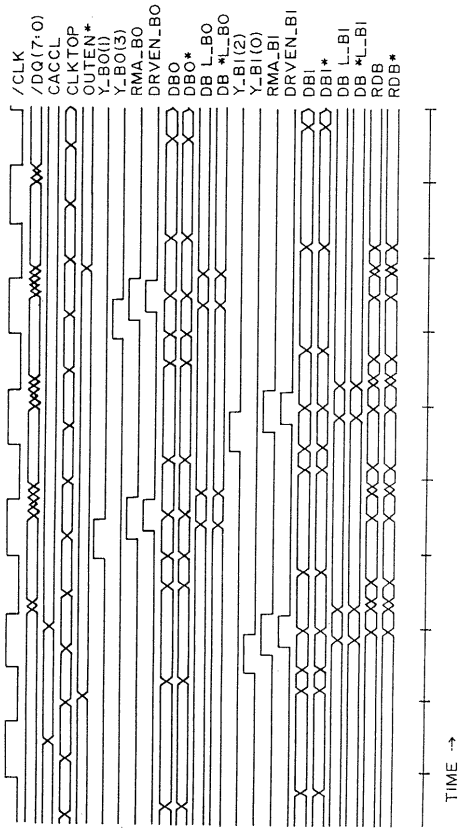
【図１０】


DBD
Vdd
206
204
205
207
*DBD
201
208
210
202
209
211
203
212
RMA
103
107
DRVEN
165
166
168
170
RDB
RDB
71

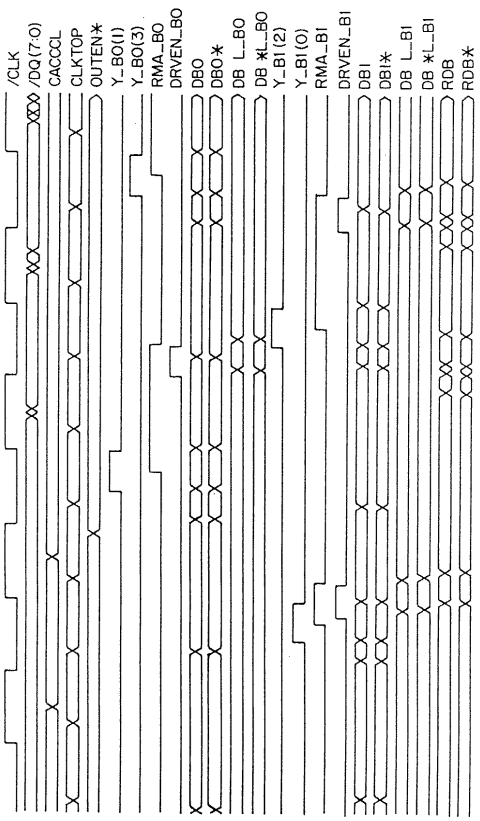
【図１１】


/CLK
/DQ(7:0)
CACCCL
CLKTOP
OUTEN*
Y_BO(1)
Y_BO(3)
RMA_BO
DRVEN_BO
DBO
DBO*
DB L_BO
DB *L_BO
Y_BI (2)
Y_BI (0)
RMA_BI
DRVEN_BI
DBI
DBI*
DB L_BI
DB *L_BI
RDB
RDB*
TIME

【図１２】


/CLK
/DQ(7:0)
CACCL
CLKTOP
OUTEN*
Y_BO(1)
Y_BO(3)
RMA_BO
DRVEN_BO
DBO
DBO*
DB L_BO
DB *L_BO
Y_BI(2)
Y_BI(0)
RMA_BI
DRVEN_BI
DBI
DBI*
DB L_BI
DB *L_BI
RDB
RDB*
TIME →

【図１３】


/CLK
/DQ(7:0)
CACCCL
CLKTOP
OUTEN*
Y_BO(1)
Y_BO(3)
RMA_BO
DRVEN_BO
DBO
DBO*
DB L_BO
DB *L_BO
Y_BI(2)
Y_BI(0)
RMA_BI
DRVEN_BI
DBI
DBI*
DB L_BI
DB *L_BI
RDB
RDB*

フロントページの続き

(72)発明者　トマス　ウォイシクキ
カナダ国　ケー２ケー　２ピー１　オンタリオ　カナタ　ヌドソン・ドライヴ　３２３
(72)発明者　グラハム　アラン
カナダ国　ケー２エス　１イー４　オンタリオ　スティッツヴィル　ビーチファーン・ドライヴ　１１８
(72)発明者　フランシス　ラロシェル
カナダ国　ジェイ９エー　２ヴイ５　ケベック　ハル　ドゥ・ラ・サルセル　２１

審査官　加藤　俊哉

(56)参考文献　特開平０６－２０３５６３（ＪＰ，Ａ）
国際公開第９２／００９０８３（WO，Ａ１）
特開平０５－３２５５４４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/409
G11C 11/407