



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е И З О Б Р Е Т Е Н И Я

(11) 980104

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 24.06.81 (21) 3305031/18-24

(51) М. Кл.³

с присоединением заявки № —

G06G 7/16

(23) Приоритет —

Опубликовано 07.12.82. Бюллетень № 45

(53) УДК 681.335
(088.8)

Дата опубликования описания 07.12.82

(72) Авторы
изобретения

О. Б. Милюков, Л. В. Лизина, А. В. Тюрев и А. Н. Шаров

(71) Заявитель

(54) ЧЕТЫРЕХКВАДРАНТНЫЙ УМНОЖИТЕЛЬ СИГНАЛОВ ПОСТОЯННОГО ТОКА

Изобретение относится к аналоговой вычислительной технике и может быть использовано при построении аналоговых и гибридных вычислительных устройств.

Известны четырехквadrантные умножители сигналов постоянного тока, использующие промежуточное логарифмирование и содержащие стандартные блоки умножения (типа 525 ПС1), масштабные резисторы, ключи [1].

Эти умножители отличаются высоким быстродействием, но низкой точностью.

Более высокую точность обеспечивают время-импульсные устройства перемножения.

Наиболее близким техническим решением к предлагаемому является четырехквadrантный умножитель, содержащий интегратор, инвертор, первый, второй и третий масштабные резисторы, соединенные между собой одним из выводов, компаратор, ключ, управляющий вход которого соединен с выходом компаратора, а информационный вход — с выходом инверто-

ра и вторым выводом третьего масштабного резистора, второй вывод первого масштабного резистора соединен с входом инвертора и является первым входом умножителя, второй вывод второго масштабного резистора соединен с выходом интегратора и является выходом умножителя, а первый и второй выходы компаратора являются вторым и третьим входами умножителя. Умножитель позволяет получить высокую точность перемножения сигналов постоянного тока [2].

Однако он имеет малое быстродействие при необходимости получения низкого уровня пульсаций выходного напряжения, что является большим недостатком при построении быстродействующих вычислительных устройств.

Цель изобретения — повышение быстродействия.

Поставленная цель достигается тем, что в известный четырехквadrантный умножитель сигналов постоянного тока, содержащий инвертор, вход которого является

первым информационным входом умножителя, первый ключ, информационный вход которого подключен к выходу инвертора, компаратор, входы которого являются соответственно вторым информационным и тактовым входами умножителя, а выход подключен к управляющему входу первого ключа, интегратор, выход которого является входом умножителя и три масштабных резистора, первые выводы которых объединены, второй вывод первого масштабного резистора подключен к входу инвертора, второй вывод второго масштабного резистора подключен к выходу интегратора, а второй вывод третьего масштабного резистора подключен к выходу первого ключа, введены последовательно соединенные формирователь импульсов и триггер управления, четвертый и пятый масштабные резисторы, второй, третий, четвертый и пятый ключи и запоминающий конденсатор, вход формирователя импульсов подключен ко второму входу компаратора, первый выход триггера управления подключен к управляющим входам второго и пятого ключей, а второй выход триггера управления подключен к управляющим входам третьего и четвертого ключей, информационные входы второго и четвертого ключей объединены и подключены к первому выводу третьего масштабного резистора, выход второго ключа и информационный вход третьего ключа объединены и через запоминающий конденсатор подключены к шине нулевого потенциала, первый вывод четвертого масштабного резистора подключен к выходу третьего ключа, а первый вывод пятого масштабного резистора подключен к информационному входу пятого ключа, вторые выводы четвертого и пятого масштабных резисторов объединены и подключены к входу интегратора, выходы четвертого и пятого ключей подключены к шине нулевого потенциала.

На чертеже приведена функциональная схема четырехквadrантного умножителя сигналов постоянного тока.

Четырехквadrантный умножитель содержит масштабные резисторы 1 - 5, инвертор 6, ключи 7 - 11, запоминающий конденсатор 12, интегратор 13, компаратор 14, формирователь 15 импульсов, триггер 16 управления, генератор треугольных импульсов.

Четырехквadrантный умножитель сигналов постоянного тока работает следующим образом.

На третий вход умножителя от генератора 17 импульсы подаются импульсы, например треугольные. Следовательно, на выходе компаратора 14 формируются прямоугольные импульсы, относительная длительность которых пропорциональна сигналу постоянного тока $U_{ВХ1}$, т. е. $\theta = K_1 U_{ВХ1} + 0,5$, причем коэффициент K_1 выбирается таким, чтобы $0 \leq \theta \leq 1$. Частота прямоугольных импульсов на выходе триггера 16 управления, подаваемых на управляющие входы ключей 8 - 11, вдвое ниже частоты импульсов, поступающих от генератора 17. Длительность замкнутого состояния ключа 7 задается величиной θ .

Рассмотрим процессы в установившемся режиме. Предположим, что в первом такте работы ключи 8 и 11 замкнуты, ключи 9 и 10 разомкнуты, а напряжение в начале такта на запоминающем конденсаторе 12 равно нулю. До размыкания ключа 7, которое происходит внутри такта, напряжение U_1 на конденсаторе 12 изменяется под действием трех напряжений

$$U_{ВХ2}, \bar{U}_{ВХ2}, U_{ВЫХ} (\bar{U}_{ВХ2} = -U_{ВХ2}).$$

В момент размыкания ключа 7 напряжение U_1 достигает значения, которое приближено можно определить по формуле

$$U_1 = U_{10} \approx \theta (U_{ВХ2} K_2 + \bar{U}_{ВХ2} K_3 - U_{ВЫХ} K_4).$$

К концу первого такта запоминающий конденсатор разряжается до нуля под действием $U_{ВХ2}$ и $U_{ВЫХ}$, так как ключ 7 разомкнут

$$U_1 = U_{11} = 0 \approx U_{10} + (1 - \theta) (U_{ВХ2} K_5 - U_{ВЫХ} K_4).$$

Подставляя значение U_{10} в уравнение для U_{11} и решая уравнение относительно $U_{ВЫХ}$ имеем

$$U_{ВЫХ} = U_{ВХ2} \frac{K_2 - K_3 - K_5}{K_4} \left[\theta + \frac{K_5}{K_2 - K_3 - K_5} \right] = U_{ВХ2} \frac{K_2 - K_3 - K_5}{K_4} \left[K_1 U_{ВХ1} + 0,5 + \frac{K_5}{K_2 - K_3 - K_5} \right].$$

При условии $\frac{K_5}{K_2 - K_3 - K_4} = -0,5$, что соответствует соотношению $R_2 R_3 = R_1 (R_2 R_3)$ получаем

$$U_{ВЫХ} = -2 \frac{K_1 K_5}{K_4} U_{ВХ1} U_{ВХ2}$$

где коэффициенты $K_1 - K_5$ определяются параметрами схемы.

Во втором такте замыкаются ключи 9 и 10 и размыкаются ключи 8 и 11. Поскольку напряжение на запоминающем конденсаторе 12 равно нулю, то выходное

напряжение интегратора 13 не изменяется. Таким образом, в установившемся режиме пульсации на выходе напряжения отсутствуют. Ключи 10 и 11 исключают влияние конечного сопротивления ключей 8 и 9 на процесс в схеме, улучшая ее работу. В частности, в каждом такте обеспечивается постоянное входное сопротивление интегратора. В переходном режиме умножитель представляется колебательным звеном, в котором коэффициент колебательности и постоянная времени определяются номиналами резисторов и конденсаторов. Выбором номиналов резисторов и конденсаторов достаточно просто при заданной точности выбрать минимальное время переходного процесса, которое может составлять величину, соизмеримую с временем такта.

Технико-экономическая эффективность предлагаемого технического решения заключается в повышении быстродействия выполнения операции умножения в 10 - 1000 раз в зависимости от требуемой точности и независимо от скажкости входных сигналов. Это определяется тем, что в предлагаемом умножителе время переходного процесса может быть достигнуто 2 - 6 периодов ШИМ сигнала при практически нулевой пульсации выходного напряжения. В известных умножителях величина пульсаций зависит от постоянной времени фильтра. Для достижения пульсации 1% выходного напряжения в прототипе, работающем с точностью 1%, постоянная времени фильтра T_f должна быть равна 100 периодов ШИМ сигнала, тогда время переходного процесса при скачкообразном входном сигнале равно 600 периодов ШИМ сигнала, т. е. 100 - 3000 раз и выше чем в предлагаемом умножителе. При необходимости получить уровень пульсаций 0,1% и точность 0,1% быстродействие снижается еще более, чем на порядок. Таким образом, чем точнее необходимо реализовать устройство умножения и чем ниже нужно получить уровень пульсаций выходного напряжения тем выше эффективность применения предлагаемого устройства.

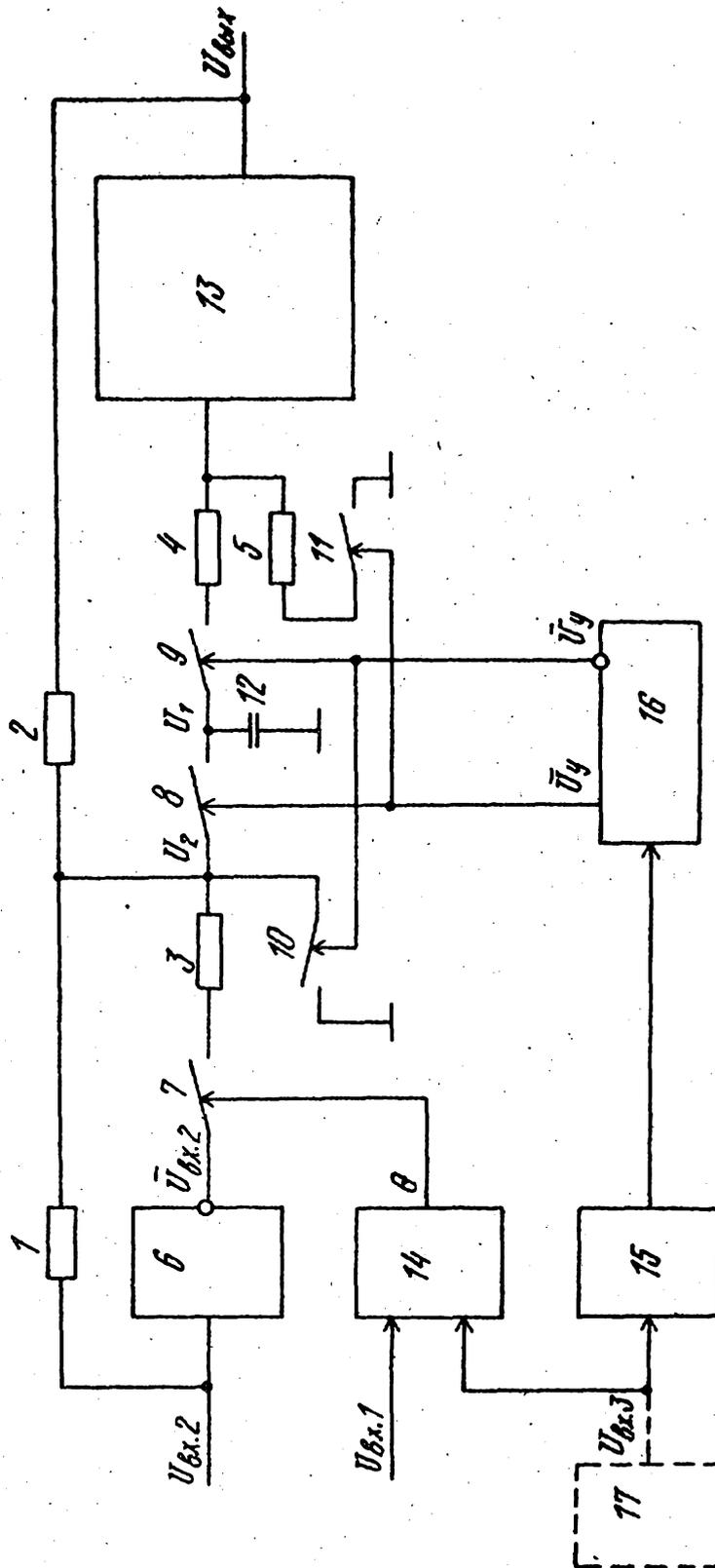
Ф о р м у л а и з о б р е т е н и я

Четырехквadrантный умножитель сигналов постоянного тока, содержащий инвер-

тор, вход которого является первым информационным входом умножителя, первый ключ, информационный вход которого подключен к выходу инвертора, компаратор, входы которого являются соответственно вторым информационным и тактовым входами умножителя, а выход подключен к управляющему входу первого ключа, интегратор, выход которого является выходом умножителя и три масштабных резистора, первые выводы которых объединены, второй вывод первого масштабного резистора подключен к входу инвертора, второй вывод второго масштабного резистора подключен к выходу интегратора, а второй вывод третьего масштабного резистора подключен к выходу первого ключа, о т л и ч а ю щ и й с я тем, что, с целью повышения его быстродействия, в него введены последовательно соединенные формирователь импульсов и триггер управления, четвертый и пятый масштабные резисторы, второй, третий, четвертый и пятый ключи и запоминающий конденсатор, вход формирователя импульсов подключен к второму входу компаратора, первый выход триггера управления подключен к управляющим входам второго и пятого ключей, а второй выход триггера управления подключен к управляющим входам третьего и четвертого ключей, информационные входы второго и четвертого ключей объединены и подключены к первому выводу третьего масштабного резистора, выход второго ключа и информационный вход третьего ключа объединены и через запоминающий конденсатор, подключены к шине нулевого потенциала, первый вывод четвертого масштабного резистора подключен к выходу третьего ключа, а первый вывод пятого масштабного резистора подключен к информационному входу пятого ключа, вторые выводы четвертого и пятого масштабных резисторов объединены и подключены к входу интегратора, выходы четвертого и пятого ключей подключены к шине нулевого потенциала.

Источники информации,

- принятые во внимание при экспертизе
1. Аналоговые и цифровые интегральные схемы. Под ред. В. С. Якубовского, М., Сов. радио", 1979, с. 238 - 239.
 2. Грэм Дж. Проектирование и применение операционных усилителей. М., "Мир", 1974, с. 196 - 298 (прототип).



Составитель Т. Сапунова

Редактор Н. Гришанова

Техред М. Гергель

Корректор О. Билак

Заказ 9361/39

Тираж 731

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4