

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2016-539509  
(P2016-539509A)

(43) 公表日 平成28年12月15日(2016.12.15)

(51) Int.Cl.

H01L 21/336 (2006.01)  
H01L 29/78 (2006.01)

F 1

H01L 29/78  
H01L 29/78

テーマコード(参考)

301B

5F14O  
301X

審査請求 未請求 予備審査請求 有 (全 28 頁)

(21) 出願番号 特願2016-536801 (P2016-536801)  
 (86) (22) 出願日 平成26年11月20日 (2014.11.20)  
 (85) 翻訳文提出日 平成28年6月6日 (2016.6.6)  
 (86) 國際出願番号 PCT/US2014/066676  
 (87) 國際公開番号 WO2015/088737  
 (87) 國際公開日 平成27年6月18日 (2015.6.18)  
 (31) 優先権主張番号 14/100,760  
 (32) 優先日 平成25年12月9日 (2013.12.9)  
 (33) 優先権主張国 米国(US)

(71) 出願人 507364838  
 クアルコム、インコーポレイテッド  
 アメリカ合衆国 カリフォルニア 921  
 21 サン デイエゴ モアハウス ドラ  
 イブ 5775  
 (74) 代理人 100108453  
 弁理士 村山 靖彦  
 (74) 代理人 100163522  
 弁理士 黒田 晋平  
 (72) 発明者 ピン・ヤン  
 アメリカ合衆国・カリフォルニア・921  
 21-1714・サン・ディエゴ・モアハ  
 ウス・ドライブ・5775

最終頁に続く

(54) 【発明の名称】拡散バリアを有するトランジスタ

## (57) 【要約】

装置は、基板を備える。装置は、また、基板の第1の領域の表面上に形成された拡散バリアを備える。拡散バリアは、第1のバンドギャップエネルギーを有する第1の材料を用いて形成される。装置は、さらに、拡散バリアの表面上に形成されたチャネル領域を備える。チャネル領域は、第1のバンドギャップエネルギーよりも低い第2のバンドギャップエネルギーを有する第2の材料を用いて形成される。装置は、さらに、基板の第1の領域に結合されたバックゲートコンタクトを備える。

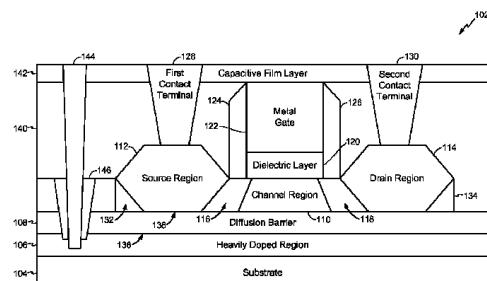


FIG. 1

**【特許請求の範囲】****【請求項 1】**

基板と、

前記基板の第1の領域の表面上に形成された拡散バリアであって、第1のバンドギャップエネルギーを有する第1の材料を用いて形成された、拡散バリアと、

前記拡散バリアの表面上に形成されたチャネル領域であって、前記第1のバンドギャップエネルギーよりも低い第2のバンドギャップエネルギーを有する第2の材料を用いて形成された、チャネル領域と、

前記基板の前記第1の領域に結合されたバックゲートコンタクトと  
を備える装置。 10

**【請求項 2】**

前記第1の領域が、前記チャネル領域よりも高いドーピング濃度を有する、請求項1に記載の装置。

**【請求項 3】**

前記第1の材料が、III-V化合物またはII-VI化合物を含む、請求項1に記載の装置。

**【請求項 4】**

前記第1の材料が、砒化アルミニウムまたは砒化インジウムアルミニウムを含む、請求項1に記載の装置。

**【請求項 5】**

前記第2の材料が、砒化ガリウムまたは砒化インジウムガリウムを含む、請求項1に記載の装置。 20

**【請求項 6】**

前記チャネル領域および前記第1の領域が、非常に鋭いレトログレードドーピングプロファイルに基づいてドーピングされた、請求項1に記載の装置。

**【請求項 7】**

前記チャネル領域の表面上に形成された誘電体層と、

前記誘電体層の表面上に形成された金属ゲートと、

前記拡散バリアの前記表面上に形成されたソース領域と、

前記拡散バリアの前記表面上に形成されたドレイン領域と、 30

前記ソース領域に隣接する第1のシャロートレンチ分離(STI)領域と、

前記ドレイン領域に隣接する第2のSTI領域と

をさらに備える、請求項1に記載の装置。

**【請求項 8】**

前記拡散バリアが、前記チャネル領域と前記第1の領域との間に介在している、請求項1に記載の装置。

**【請求項 9】**

プレーナ型金属酸化膜半導体電界効果トランジスタ(MOSFET)である、請求項1に記載の装置。

**【請求項 10】**

フィン型電界効果トランジスタ(FinFET)である、請求項1に記載の装置。 40

**【請求項 11】**

基板の高濃度にドーピングされた領域の表面上に拡散バリアを形成するステップであって、前記拡散バリアが、第1のバンドギャップエネルギーを有する第1の材料を用いて形成される、ステップと、

前記拡散バリアの表面上にチャネル領域を形成するステップであって、前記チャネル領域が、前記第1のバンドギャップエネルギーよりも低い第2のバンドギャップエネルギーを有する第2の材料を用いて形成される、ステップと、

ソース領域とドレイン領域とを形成するために前記チャネル領域の特定の領域をエッチングするステップと 50

を含む方法。

【請求項 1 2】

前記高濃度にドーピングされた領域に結合されたバックゲートコンタクトを形成するステップをさらに含む、請求項 1 1 に記載の方法。

【請求項 1 3】

前記拡散バリアが、前記高濃度にドーピングされた領域からのドーパントをトラップする、請求項 1 1 に記載の方法。

【請求項 1 4】

前記拡散バリアが、前記拡散バリアの下側界面において前記ドーパントをトラップし、前記第 1 の材料が、砒化ガリウムまたは砒化インジウムガリウムであり、前記第 2 の材料が、砒化アルミニウムまたは砒化インジウムアルミニウムである、請求項 1 3 に記載の方法。

10

【請求項 1 5】

前記拡散バリアが、前記拡散バリアの上側界面において前記ドーパントをトラップし、前記第 1 の材料がシリコンであり、前記第 2 の材料が砒化アルミニウムまたは砒化インジウムアルミニウムである、請求項 1 3 に記載の方法。

【請求項 1 6】

前記高濃度にドーピングされた領域が、前記チャネル領域よりも高いドーピング濃度を有する、請求項 1 1 に記載の方法。

20

【請求項 1 7】

前記第 1 の材料が、II - V 化合物または II - VI 化合物を含む、請求項 1 1 に記載の方法。

【請求項 1 8】

前記第 1 の材料が、砒化アルミニウムまたは砒化インジウムアルミニウムを含む、請求項 1 1 に記載の方法。

【請求項 1 9】

前記第 2 の材料が、砒化ガリウムまたは砒化インジウムガリウムを含む、請求項 1 1 に記載の方法。

【請求項 2 0】

前記高濃度にドーピングされた領域および前記チャネル領域が、非常に鋭いレトログレードドーピングプロファイルに従って形成される、請求項 1 1 に記載の方法。

30

【請求項 2 1】

前記チャネル領域の表面上に誘電体層を形成するステップと、

前記誘電体層の表面上に金属ゲートを形成するステップと、

前記基板の第 1 の表面上に第 1 のシャロートレンチ分離 (STI) 領域を形成し、前記基板の第 2 の表面上に第 2 の STI 領域を形成するステップであって、前記第 1 の STI 領域および前記第 2 の STI 領域が、エッチングプロセスを介して形成され、前記第 1 の STI 領域が、前記ソース領域に隣接し、前記第 2 の STI 領域が、前記ドレイン領域に隣接する、ステップと

をさらに含む、請求項 1 1 に記載の方法。

40

【請求項 2 2】

前記金属ゲートが、前記ソース領域を形成する前に形成される、請求項 2 1 に記載の方法。

【請求項 2 3】

前記金属ゲートが、前記ソース領域および前記ドレイン領域の形成後に形成される、請求項 2 1 に記載の方法。

【請求項 2 4】

ドーパント拡散を阻止するための手段であって、基板の高濃度にドーピングされた領域の表面上に形成され、第 1 のバンドギャップエネルギーを有する第 1 の材料を用いて形成された、手段と、

50

伝導チャネルを提供するための手段であって、ドーパント拡散を阻止するための前記手段の表面上に形成され、前記第1のバンドギャップエネルギーよりも低い第2のバンドギャップエネルギーを有する第2の材料を用いて形成された、手段と、

バックゲートコンタクトを提供する手段であって、前記基板の第1の領域に結合された、手段と  
を備える装置。

【請求項25】

前記第1の領域が、伝導チャネルを提供するための前記手段よりも高いドーピング濃度を有する、請求項24に記載の装置。

【請求項26】

前記第1の材料が、III-V化合物またはII-VI化合物を含む、請求項24に記載の装置。

【請求項27】

前記第1の材料が、砒化アルミニウムまたは砒化インジウムアルミニウムを含む、請求項24に記載の装置。

【請求項28】

前記第2の材料が、砒化ガリウムまたは砒化インジウムガリウムを含む、請求項24に記載の装置。

【請求項29】

非常に鋭いレトログレードドーピングプロファイルに従って形成された、請求項24に記載の装置。

【請求項30】

基板の高濃度にドーピングされた領域の表面上の拡散バリアの形成を開始する動作であって、前記拡散バリアが、第1のバンドギャップエネルギーを有する第1の材料を用いて形成される、動作と、

前記拡散バリアの表面上のチャネル領域の形成を開始する動作であって、前記チャネル領域が、前記第1のバンドギャップエネルギーよりも低い第2のバンドギャップエネルギーを有する第2の材料を用いて形成される、動作と、

ソース領域とドレイン領域とを形成するために前記チャネル領域の特定の領域のエッチングを開始する動作と

を含む動作を実行するためにコンピュータによって実行可能である命令を記憶するコンピュータ可読記憶デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、その内容全体が参照により本明細書に明示的に組み込まれている、2013年12月9日に出願した、同一出願人が所有する米国非仮特許出願第14/100,760号の優先権を主張するものである。

【0002】

本開示は、一般にトランジスタに関する。

【背景技術】

【0003】

技術の進歩は、より小さく、より強力なコンピューティングデバイスをもたらした。たとえば、小型、軽量であり、ユーザによる持ち運びが容易な、ポータブルワイヤレス電話、携帯情報端末(PDA)、ペーディングデバイスなどのワイヤレスコンピューティングデバイスを含む様々なポータブルパーソナルコンピューティングデバイスが現在存在している。より具体的には、セルラー電話、インターネットプロトコル(IP)電話などのポータブルワイヤレス電話は、ワイヤレスネットワークを介して音声およびデータパケットを通信し得る。さらに、多くのそのようなワイヤレス電話は、その中に組み込まれた他のタ

10

20

30

40

50

イブのデバイスを備える。たとえば、ワイヤレス電話は、また、デジタルスチルカメラと、デジタルビデオカメラと、デジタルレコーダと、オーディオファイルプレーヤとを備えることができる。また、そのようなワイヤレス電話は、インターネットにアクセスするために使用され得るウェブブラウザアプリケーションなどのソフトウェアアプリケーションを含む実行可能命令を処理することができる。そのように、これらのワイヤレス電話は、かなりのコンピューティング能力を備えることができる。

#### 【0004】

モバイルデバイス（たとえば、スマートフォン、タブレットコンピュータ、ラップトップコンピュータ、など）は、金属酸化膜半導体電界効果トランジスタ（MOSFET）などのトランジスタを使用して実装され得る。MOSFETのしきい値電圧は、非常に鋭いレトログレードドーピングプロファイルに従ってMOSFETの一部をドーピングすることによって制御され得る。非常に鋭いレトログレードドーピングプロファイルを実現するために、チャネル領域（たとえば、MOSFETのゲート直下の領域）およびチャネル領域の下の領域（「高濃度にドーピングされた領域」）は、異なるドーピング濃度を用いてドーピングされ得る。チャネル領域の高さは、デバイスのしきい値電圧を制御するために変更され得る。たとえば、チャネル領域は、ドーピングされなくてもよく、または、高濃度にドーピングされた領域のドーピング濃度と比較してより低いドーピング濃度を有することができる。しかしながら、非常に鋭いレトログレードドーピングプロファイルを用いる従来のシリコンMOSFETは、高濃度にドーピングされた領域からチャネル領域へのドーパント拡散を低減するためのドーパント拡散バリアを持たないことがある。したがって、チャネル領域の幅は、ドーパント拡散により減少し、結果として目標のデバイスのしきい値電圧が得られない可能性がある。

10

20

30

#### 【発明の概要】

#### 【課題を解決するための手段】

#### 【0005】

非常に鋭いレトログレードドーピングプロファイルに基づいてドーピングされた（たとえば、チャネル領域およびチャネル領域の下の領域が異なるドーピング濃度を用いてドーピングされた）MOSFETのドーパント拡散を低減するシステムおよび方法が、開示される。MOSFETが非常に鋭いレトログレードドーピングプロファイルを用いて製造されるとき、説明される技術は、高濃度にドーピングされた領域からチャネル領域へのドーパント拡散を低減するために拡散バリアを使用することができる。拡散バリアは、II - V化合物（たとえば、周期律表のII族およびV族の元素を用いて形成された複合材料）またはII - VI化合物（たとえば、周期律表のII族およびVI族の元素を用いて形成された複合材料）を用いて形成され得る。たとえば、拡散バリアは、砒化アルミニウム（AlAs）を用いて形成され得る。別の例として、拡散バリアは、砒化インジウムアルミニウム（InAlAs）を用いて形成され得る。したがって、ドーパント拡散は、拡散バリアを持たない非常に鋭いレトログレードドーピングプロファイルに基づいてドーピングされたシリコンMOSFETと比較して低減され得る。

#### 【0006】

特定の実施形態では、装置は、基板と、基板の第1の領域の表面上に形成された拡散バリアとを備える。拡散バリアは、第1のバンドギャップエネルギーを有する第1の材料を用いて形成される。装置は、また、拡散バリアの表面上に形成されたチャネル領域を備える。チャネル領域は、第1のバンドギャップエネルギーよりも低い第2のバンドギャップエネルギーを有する第2の材料を用いて形成される。装置は、さらに、基板の第1の領域に結合されたバックゲートコンタクトを備える。

40

#### 【0007】

特定の実施形態では、方法は、基板の高濃度にドーピングされた領域の表面上に拡散バリアを形成するステップを含む。拡散バリアは、第1のバンドギャップエネルギーを有する第1の材料を用いて形成される。方法は、また、拡散バリアの表面上にチャネル領域を形成するステップを含む。チャネル領域は、第1のバンドギャップエネルギーよりも低い

50

第2のバンドギャップエネルギーを有する第2の材料を用いて形成される。方法は、さらに、ソース領域とドレイン領域とを形成するために、チャネル領域の特定の領域をエッチングするステップを含む。

【0008】

開示された実施形態のうちの少なくとも1つによって提供される1つの特定の利点は、ドーパント拡散を低減しながら非常に鋭いレトログレードドーピングプロファイルを用いてMOSFETを製造する能力である。本開示の他の様子、利点、および特徴は、以下のセクションを含む、本出願全体の検討後、明らかになるであろう。図面の簡単な説明、発明を実施するための形態、および特許請求の範囲。

【図面の簡単な説明】

10

【0009】

【図1】拡散バリアを有するプレーナ型金属酸化膜半導体電界効果トランジスタ(MOSFET)の特定の実施形態を示す図である。

【図2】平面形状における拡散バリアを有するプレーナ型MOSFETの別の特定の実施形態を示す図である。

【図3】拡散バリアを有するプレーナ型MOSFETを製造するためのゲートラストプロセスの一部の特定の実施形態を示す図である。

【図4】拡散バリアを有するプレーナ型MOSFETを製造するためのゲートファーストプロセスの一部の特定の実施形態を示す図である。

【図5】拡散バリアを有するプレーナ型MOSFETのシャロートレンチ分離トップを製造するプロセスの一部の特定の実施形態を示す図である。

20

【図6】拡散バリアを有するフィン型電界効果トランジスタ(FinFET)の特定の実施形態を示す図である。

【図7】拡散バリアを有するFinFETを製造するためのプロセスの一部の特定の実施形態を示す図である。

【図8】拡散バリアを有するトランジスタを製造する方法の特定の実施形態を示すフローチャートである。

【図9】拡散バリアを有するトランジスタを備える通信デバイスの特定の実施形態の図である。

【図10】拡散バリアを有するトランジスタを備える電子デバイスを製造するためのプロセスの特定の実施形態を示す図である。

30

【発明を実施するための形態】

【0010】

図1は、拡散バリア108を有するプレーナ型金属酸化膜半導体電界効果トランジスタ(MOSFET)102の特定の実施形態を示す。MOSFET102は、基板104と、高濃度にドーピングされた領域106と、拡散バリア108とを備えることができる。高濃度にドーピングされた領域106は、基板104の領域内に形成され得る。高濃度にドーピングされた領域106は、N型ドーパントまたはP型ドーパントを用いてドーピングされ得る。高濃度にドーピングされた領域106は、第1のドーピング濃度を有することができる。基板104および高濃度にドーピングされた領域106は、シリコン、II - V化合物、またはII - VI化合物を用いて形成され得る。一例として、基板104および高濃度にドーピングされた領域106は、砒化ガリウム(GaAs)を用いて形成され得る。別の例として、基板104および高濃度にドーピングされた領域106は、砒化インジウムガリウム(InGaAs)を用いて形成され得る。

40

【0011】

層間誘電体(ILD)層140は、拡散バリア108の表面上に形成され得る。MOSFET102の複数の構成要素は、ILD層140内に配置され得る。たとえば、チャネル領域110は、拡散バリア108の表面上に形成され得る。チャネル領域110は、II - V化合物またはII - VI化合物を用いて形成され得る。たとえば、チャネル領域110は、GaAsを用いて形成され得る。別の例として、チャネル領域110は、In

50

GaAsを用いて形成され得る。チャネル領域110は、チャネル領域110を形成するために使用される材料に基づくバンドギャップエネルギーを有することができる。たとえば、チャネル領域110がGaAsを用いて形成されたとき、チャネル領域110は、1.424電子ボルト(eV)のバンドギャップエネルギーを有することができる。チャネル領域110は、ドーピングされなくてもよく、または、第1のドーピング濃度よりも低い第2のドーピング濃度を有することができる。チャネル領域110および高濃度にドーピングされた領域106は、特定の非常に鋭いレトログレードドーピングプロファイルに従って形成され得る(たとえば、チャネル領域110および高濃度にドーピングされた領域106は、異なるドーピング濃度に従ってドーピングされる)。

## 【0012】

10

ソース歪み領域112およびドレイン歪み領域114も、ILD層140内に配置され得る。ソース歪み領域112およびドレイン歪み領域114は、エッチング処理後、拡散バリア108の表面上に形成され得る。MOSFET102は、さらに、第1の低濃度にドーピングされたドレイン(LDD)領域116と第2のLDD領域118とを備えることができる。第1のLDD領域116は、ソース歪み領域112に隣接に隣接することができ、第2のLDD領域118は、ドレイン歪み領域114に隣接することができる。

## 【0013】

20

誘電体層120は、チャネル領域110の表面上に形成され得る。誘電体層120は、第1のLDD領域116の領域と、第2のLDD領域118の領域と、チャネル領域110の表面とを覆うことができる。金属ゲート122は、誘電体層120の表面上に形成され得る。金属ゲート122は、第1のスペーサ124に隣接することができ、第2のスペーサ126に隣接することができ。第1の活性またはフィンストップ132は、ソース領域112に隣接することができ。第2の活性またはフィンストップ134は、ドレイン領域114に隣接することができ。キャップ膜層142は、キャップ膜層142が金属ゲート122に隣接するように、ILD層140の表面上に形成され得る。第1のコンタクト128は、ソース歪み領域112の表面上に形成され得る。第1のコンタクト128は、ソース歪み領域112からキャップ膜層142を通って延在し得る。第2のコンタクト130は、ドレイン歪み領域114の表面上に形成され得る。第2のコンタクト130は、ドレイン歪み領域114からキャップ膜層142を通って延在し得る。

## 【0014】

30

拡散バリア108は、高濃度にドーピングされた領域106の表面上に形成され得る。拡散バリア108は、III-V化合物を用いて形成され得る。一例として、拡散バリア108は、AlAsを用いて形成され得る。別の例として、拡散バリア108は、InAlAsを用いて形成され得る。他の例示的なIII-V化合物は、リン化インジウム(InP)、アンチモン化アルミニウム(AlSb)、アンチモン化アルミニウムガリウム(AlGaSb)、テルル化カドミウムアルミニウム(CaAlTe)、テルル化鉛カドミウム(ZnCdTe)、などを含むことができる。別の例として、拡散バリア108は、II-VI化合物を用いて形成され得る。拡散バリア108は、拡散バリア108を形成するために使用される材料に基づくバンドギャップエネルギーを有することができる。たとえば、拡散バリア108がAlAsを用いて形成されたとき、第1のバンドギャップエネルギーは、2.16eVであり得る。

40

## 【0015】

拡散バリア108は、下側界面136および/または上側界面138において高濃度にドーピングされた領域106からのドーパントをトラップすることができる。下側界面136は、高濃度にドーピングされた領域106に隣接する拡散バリア108の表面であり得る。上側界面138は、MOSFET102のチャネル領域110に隣接する拡散バリア108の別の表面であり得る。高濃度にドーピングされた領域106がシリコンを用いて形成されたとき(たとえば、基板104がシリコン基板であるとき)、拡散バリア108は、上側界面138において高濃度にドーピングされた領域106からのドーパントをトラップすることができる。高濃度にドーピングされた領域106がGaAsまたはIn

50

GaAsを用いて形成されたとき、拡散バリア108は、下側界面136においてドーパントをトラップすることができる。したがって、高濃度にドーピングされた領域106からチャネル領域110内に拡散するドーパントの量は、拡散バリアなしで非常に鋭いレトログレードドーピングプロファイルに基づいて製造されたMOSFETに比べて低減され得る。

【0016】

MOSFET102は、また、高濃度にドーピングされた領域106に結合されたバックゲートコンタクト144を備えることができる。バックゲートコンタクト144は、第1のシャロートレンチ分離(STI)146に隣接することができる。第1のSTI146は、バックゲートコンタクト144を拡散バリア108から分離することができる。バックゲートコンタクト144は、高濃度にドーピングされた領域106から、ILD層140およびキャップ膜層142を通って延在することができる。電圧がバックゲートコンタクト144を介して高濃度にドーピングされた領域106に印加されたとき、高濃度にドーピングされた領域106は、MOSFET102のバックゲート(たとえば、第2のゲート)として機能することができる。MOSFET102のしきい値電圧は、金属ゲート122と高濃度にドーピングされた領域106とを独立してバイアスすることによって制御され得る。高濃度にドーピングされた領域106をバックゲートとして使用することは、バックゲートがしきい値電圧の制御の追加の程度を提供するので、単一のゲートを介してしきい値電圧を制御することと比較して、しきい値電圧の強化された制御を可能にすることができる。したがって、MOSFET102は、強化されたしきい値電圧制御と、低減したドーパント拡散とを提供することができる。

【0017】

動作中、しきい値電圧は、MOSFET102をオンにするために(たとえば、ゲートコンタクトを介して)金属ゲート122に印加される。電流は、ソース歪み領域112からドレイン歪み領域114に流れる。MOSFET102がオフにされるべきとき、しきい値電圧は、オフにされ、電流は、ソース歪み領域112からドレイン歪み領域114に流れない。

【0018】

図2は、拡散バリアを有するプレーナ型MOSFET202の別の実施形態を示す図である。MOSFET202は、図1のMOSFET102と実質的に同様であり得る。MOSFET202は、MOSFET102の構成要素のすべてを備えることができる。さらに、MOSFET202は、第2のSTI204と第3のSTI206とを備えることができる。第2のSTI204は、第1のSTI146に隣接することができる。第2のSTI204は、基板104から、高濃度にドーピングされた領域106と拡散バリア108とを通って延在することができる。第3のSTI206は、第2の活性またはフィンストップ134に隣接することができる。第3のSTI206は、基板104から、高濃度にドーピングされた領域106と拡散バリア108とを通って延在することができる。MOSFET202の寄生漏れを低減するために第1の活性またはフィンストップ132と第2の活性またはフィンストップ134とを使用することに加えて、第2のSTI204および第3のSTI206は、さらに、MOSFET202の寄生漏れを低減することができる。

【0019】

図3は、拡散バリアを有するプレーナ型MOSFET(たとえば、図1のMOSFET102)を製造するためのゲートラストプロセス300(たとえば、MOSFETのゲートは、MOSFETのソース領域およびドレイン領域の形成後に製造される)の一部の実施形態を示す図である。第1の処理段階302では、高濃度にドーピングされた領域106は、ドーピングプロセスを介して基板104の領域内に形成され得る。N型ドーパントまたはP型ドーパントは、高濃度にドーピングされた領域106を形成するために、基板106の領域内に注入され得る。N型ドーパントまたはP型ドーパントは、第1のドーピング濃度に従って注入され得る。たとえば、第1のドーピング濃度は、およそ1×

10

20

30

40

50

10<sup>20</sup> 1 / cm<sup>2</sup> であり得る。

【0020】

拡散バリア108は、エピタキシャル成長を介して高濃度にドーピングされた領域106の表面上に形成され得る。たとえば、III-V膜（たとえば、AlAs膜、InAlAs膜、など）は、拡散バリア108を形成するために、低温（たとえば、摂氏300度未満）エピタキシャル成長プロセスによって、高濃度にドーピングされた領域106の表面上に成長され得る。低温エピタキシャル成長プロセスの使用は、高濃度にドーピングされた領域106の表面上にチャネル領域を形成するために高温（たとえば、摂氏500度よりも高い）が使用され得る従来のシリコントランジスタと比較して、高濃度にドーピングされた領域106からのドーパント拡散を低減することができる。温度が高いほど、より多くの量のドーパントが、高濃度にドーピングされた領域106から拡散する可能性がある。膜層308は、エピタキシャル成長（たとえば、低温エピタキシャル成長プロセス）を介して拡散バリア108の表面上に形成され得る。膜層308は、III-V化合物（たとえば、GaAs、InGaAs、など）またはIII-V化合物から製作され得る。膜層308は、ドーピングされなくてもよく、または、第1のドーピング濃度よりも低い第2のドーピング濃度を有することができる。加えて、膜層308は、拡散バリア108が高濃度にドーピングされた領域106のドーパント拡散バリアとして機能することができるよう、拡散バリア108よりも低いバンドギャップエネルギー（たとえば、価電子帯と伝導帯との間のエネルギーギャップ）を有することができる。III-VおよびII-VI材料系において、拡散バリア108のより高いエネルギー・バンドギャップは、有効なバックゲートを形成するのを助けることができる。

【0021】

第1のSTI146は、エッチングプロセスを介して形成され得る。たとえば、膜層308、拡散バリア108、および高濃度にドーピングされた領域106の領域は、トレンチを形成するためにエッチングされ得る。第1のSTI146は、酸化膜堆積プロセスおよびCMPプロセスを介してトレンチ内に形成され得る。

【0022】

第2の処理段階304では、（二酸化ケイ素と比較して）高誘電率（「高k」）を有する誘電体膜は、膜層308の表面上に堆積され得、誘電体層120を形成するためにパターン化され得る。ポリシリコン膜は、誘電体層120の表面上に堆積され得、ポリシリコンゲート310を形成するためにパターン化され得る。LDD注入は、ハロー注入プロセスを介して膜層308の領域内に注入され得る。スペーサ膜（たとえば、SiN膜）は、ポリシリコンゲート310および誘電体層120に隣接して堆積され得る。スペーサ膜は、第1のスペーサ124と第2のスペーサ126とを形成するためにエッチングされ得る。

【0023】

第2の処理段階304でも、イオン注入は、膜層308のLDD注入領域の領域内に注入され得る。イオン注入領域をアニールした後、イオン注入領域は、エッチングされ得、ソース歪み領域112とドレイン歪み領域114とを形成するために、エピタキシャル成長プロセスを介して、エッチングされた領域上にストレッサが形成され得る。サリサイド（図示せず）は、また、ソース領域112およびドレイン領域114上に形成され得る。イオン注入された領域間の膜層308の領域は、チャネル領域110になることができる。ソース歪み領域112とチャネル領域308との間にあるイオン注入された領域の第1の領域は、第1のLDD領域116になることができる。ドレイン歪み領域114とチャネル領域308との間にあるイオン注入された領域の第2の領域は、第2のLDD領域118になることができる。膜層308の第1のエッジ領域は、第1の活性エッジ132を形成するためにソース歪み領域112によって画定され得る。膜層308の第2のエッジ領域は、活性エッジ134を形成するためにドレイン歪み領域114によって画定され得る。

【0024】

10

20

30

30

40

50

第3の処理段階306では、ILD膜は、ILD層140を形成するために、拡散バリア108の表面上、活性エッジ132、134の表面上、ソース歪み領域112の表面上、ドレイン歪み領域114の表面上、スペーサ124、126の表面上、およびポリシリコンゲート310の表面上に堆積され得る。化学機械研磨(CMP)プロセスは、ポリシリコンゲート310の表面を露出するためにILD層140に適用され得る。ポリシリコンゲート310は、スペーサ124、126間にトレンチを形成するためにエッティングプロセスを介して除去され得る。金属膜は、金属ゲート122を形成するためにトレンチ内に堆積され得る。CMPプロセスは、金属ゲート122の表面がILD層140の表面と水平になり得るように、金属ゲート122の表面に適用され得る。キャップ膜は、キャップ膜層142を形成するためにILD層140の表面および金属ゲート122の表面上に堆積され得る。バックゲートコンタクト144は、エッティングプロセスと金属膜堆積プロセスとCMPとを介して形成され得る。したがって、図1のMOSFET102は、ゲートラストプロセス300を用いて形成され得る。

10

20

30

40

50

## 【0025】

図4は、拡散バリアを有するプレーナ型MOSFET(たとえば、図1のMOSFET102)を製造するためのゲートファーストプロセス400(たとえば、MOSFETのゲートは、MOSFETのソース領域およびドレイン領域の形成前に製造される)の一部の特定の実施形態を示す。第1の処理段階402では、誘電体膜(たとえば、高k誘電体膜)は、誘電体層120を形成するために膜層(たとえば、図3の膜層308)の表面上に堆積され得る。金属膜は、誘電体層120の表面上に堆積され得、金属ゲート122を形成するためにパターン化され得る。また、第1のSTI146は、また、エッティングプロセスと酸化物堆積およびCMPプロセスとを介して形成され得る。第2の処理段階404では、金属ゲート122の形成後に、MOSFET102の他の構成要素(たとえば、ソース歪み領域112、ドレイン歪み領域114、チャネル領域110、スペーサ124、126、活性エッジ132、134、LDD領域116、118、コンタクト128、130、ILD層140、バックゲートコンタクト144、およびキャップ膜層142)は、図3を参照して説明したように形成され得る。したがって、図1のMOSFET102は、ゲートファーストプロセス400を用いて形成され得る。

## 【0026】

図5は、拡散バリアを有するプレーナ型MOSFET(たとえば、図2のMOSFET202)を製造するためのプロセス500の一部の特定の実施形態を示す。第1の処理段階502では、膜層506は、拡散バリア108の表面上に堆積され得る。膜層506は、図3の膜層308と同様であり得る。基板104の領域、高濃度にドーピングされた領域106の領域、拡散バリア108の領域、および膜層506の領域は、第1のトレンチ508と第2のトレンチ510とを形成するためにエッティングされ得る。酸化物膜は、STI204、206を形成するためにトレンチ508と510、およびCMP内に堆積され得る。第2の処理段階504では、MOSFET202の他の構成要素(たとえば、金属ゲート122、ソース歪み領域112、ドレイン歪み領域114、チャネル領域110、スペーサ124、126、活性エッジ132、134、LDD領域116、118、コンタクト128、130、バックゲートコンタクト144、およびキャップ膜層142)は、ゲートラスト製造プロセスが使用されるとき、図3を参照して説明したように形成され得る。他の構成要素は、ゲートファースト製造プロセスが使用されるとき、図4を参照して説明したように形成され得る。したがって、図2のMOSFET202は、プロセス500を使用して形成され得る。

## 【0027】

図6は、拡散バリアを有するフィン型電界効果トランジスタ(FinFET)602の特定の実施形態を示す。FinFET602は、図1のMOSFET102および/または図2のMOSFET202と同様に機能することができ、FinFET602は、高濃度にドーピングされた領域606からチャネル領域616へのドーパント拡散を低減する拡散バリア614を有することができる。FinFET602は、基板604と、高濃度

にドーピングされた領域 606 とを備えることができる。FinFET602 は、また、STI610 および 612 に隣接するフィン 608 を備えることができる。フィン 608 は、高濃度にドーピングされた領域 606 の一部として形成され得る。FinFET602 は、さらに、フィン 608 に隣接する拡散バリア 614 と、拡散バリア 614 に隣接するチャネル領域 616 とを備えることができる。拡散バリア 614 は、図 1 の拡散バリア 108 と実質的に同様であり得る。チャネル領域 616 は、図 1 のチャネル領域 110 と実質的に同様であり得る。拡散バリア 614 は、フィン 608 からチャネル領域 616 へのドーパント拡散を低減することができる。

#### 【0028】

FinFET602 の誘電体層 618 は、チャネル領域 616 に隣接することができる。誘電体層 618 は、高誘電率（「高 k」）を有する材料を用いて形成され得る。FinFET602 の金属ゲート 620 は、誘電体層 618 に隣接することができる。FinFET602 は、さらに、金属ゲート 620 と接触する金属ゲートコンタクト 622 を備えることができる。FinFET602 は、さらに、高濃度にドーピングされた領域 606 から延在するバックゲートコンタクト 624 を備えることができる。電圧がバックゲートコンタクト 624 を介して高濃度にドーピングされた領域 606 に印加されたとき、高濃度にドーピングされた領域 606 は、FinFET602 の第 2 のゲート（たとえば、バックゲート）として機能することができる。FinFET602 は、さらに、金属ゲートコンタクト 622 と、ソース領域（図示せず）と、ドレイン領域（図示せず）とに接触する酸化物層 626 を備えることができる。

10

20

#### 【0029】

図 7 は、拡散バリアを有する FinFET（たとえば、図 6 の FinFET602）を製造するためのプロセス 700 の一部の特定の実施形態を示す。第 1 の処理段階 702 では、高濃度にドーピングされた領域 606 は、ドーピングプロセスを介して基板 604 の領域内に形成され得る。基板 604 および高濃度にドーピングされた領域 606 は、シリコン、III-V 化合物、または II-VI 化合物を用いて形成され得る。一例として、基板 604 および高濃度にドーピングされた領域 606 は、砒化ガリウム（GaAs）を用いて形成され得る。別の例として、基板 604 および高濃度にドーピングされた領域 606 は、砒化インジウムガリウム（InGaAs）を用いて形成され得る。N 型ドーパントまたは P 型ドーパントは、高濃度にドーピングされた領域 606 を形成するために、基板 604 の領域内に注入され得る。N 型ドーパントまたは P 型ドーパントは、第 1 のドーピング濃度に従って注入され得る。高濃度にドーピングされた領域 606 の領域は、トレンチを形成するためにエッチングされ得る。酸化物膜は、STI 領域 708 および 710 を形成するためにトレンチ内に堆積され得る。STI 領域 708 および 710 の表面ならびに高濃度にドーピングされた領域 606 の表面は、化学機械研磨（CMP）プロセスを介して平坦化され得る。

30

#### 【0030】

第 2 の処理段階 704 において、STI 領域 708 および 710 は、STI610 および 612 ならびにフィン 608 を形成するためにエッチングされ得る。拡散バリア 614 は、エピタキシャル成長を介してフィン 608 の表面上に形成され得る。拡散バリア 614 は、図 1 の拡散バリア 108 と同じ材料を用いて形成され得る。チャネル領域 616 は、エピタキシャル成長を介して拡散バリア 614 の表面上に形成され得る。チャネル領域 616 は、図 1 のチャネル領域 110 と同じ材料を用いて形成され得る。チャネル領域 616 の形成後に、誘電体層 618 は、堆積を介してチャネル領域 616 の表面上に形成され得る。金属ゲート 620 は、誘電体層 618 の表面上に形成され得る。

40

#### 【0031】

第 3 の処理段階 706 では、誘電体膜は、酸化物層 626 を形成するために、金属ゲート 620 の表面上、誘電体層 618 の表面上、高濃度にドーピングされた領域 606 の表面上、ならびに STI610 および 612 の表面上に堆積され得る。誘電体層 626 の上面は、CMP プロセスを介して平坦化され得る。誘電体層 626 の領域は、第 1 のトレン

50

チを形成するためにエッティングされ得る。金属膜は、金属ゲートコンタクト 622 を形成するために第 1 のトレンチ内に堆積され得る。酸化物層 626 の領域、STI 612 の領域、および高濃度にドーピングされた領域 606 の領域は、第 2 のトレンチを形成するためにエッティングされ得る。金属膜は、バックゲートコンタクト 624 を形成するために第 2 のトレンチ内に堆積され得る。ソース領域（図示せず）およびドレイン領域（図示せず）は、また、第 3 の処理段階 706 において形成され得る。図 6 に関して、ソース領域およびドレイン領域は、図 6 によって示されるデバイスの面に対して垂直であり得る。ソース領域およびドレイン領域は、フィン 602 において形成され得る。ソース領域およびドレイン領域は、エッティングされ得、ストレッサは、FinFET 602 から形成され得る。したがって、図 6 の FinFET 602 は、プロセス 700 を用いて形成され得る。

10

### 【0032】

図 8 は、拡散バリアを有するトランジスタ（たとえば、図 1 の MOSFET 102、図 2 の MOSFET 202、または図 6 の FinFET 602）を製造する方法 800 の特定の実施形態を示すためのフローチャートである。方法 800 は、802 において、基板の高濃度にドーピングされた領域の表面上に拡散バリアを形成するステップを含み、拡散バリアは、第 1 のバンドギャップエネルギーを有する第 1 の材料を用いて形成される。たとえば、図 3 を参照すると、拡散バリア 108 は、エピタキシャル成長を介して高濃度にドーピングされた領域 106 の表面上に形成され得る。方法 800 は、また、804 において、拡散バリアの表面上にチャネル領域を形成するステップを含み、チャネル領域は、第 1 のバンドギャップエネルギーよりも低い第 2 のバンドギャップエネルギーを有する第 2 の材料を用いて形成される。たとえば、図 3 を参照すると、イオン注入された領域間にある膜層 308 の領域は、チャネル領域 110 になることができる。方法 800 は、さらに、806 において、ソース領域とドレイン領域とを形成するためにチャネル領域の特定の領域をエッティングするステップを含む。たとえば、図 3 を参照すると、イオン注入領域をアニールした後、イオン注入領域は、エッティングされ得、ソース歪み領域 112 とドレイン歪み領域 114 とを形成するために、エピタキシャル成長プロセスを介して、エッティングされた領域上にストレッサが形成され得る。特定の実施形態では、方法 800 は、さらに、高濃度にドーピングされた領域に結合されたバックゲートコンタクトを形成するステップを含む。たとえば、図 3 を参照すると、バックゲートコンタクト 144 は、エッティングプロセスを介して形成され得る。

20

### 【0033】

別の特定の実施形態では、方法 800 は、さらに、チャネル領域の表面上に誘電体層を形成するステップを含む。たとえば、図 3 を参照すると、ILD 膜は、ILD 層 140 を形成するために、拡散バリア 108 の表面上、活性エッジ 132、134 の表面上、ソース歪み領域 112 の表面上、ドレイン歪み領域 114 の表面上、スペーサ 124、126 の表面上、およびポリシリコンゲート 310 の表面上に堆積され得る。方法 800 は、さらに、誘電体層の表面上に金属ゲートを形成するステップを含む。たとえば、図 4 を参照すると、誘電体膜（たとえば、高 k 誘電体膜）は、誘電体層 120 を形成するために膜層（たとえば、図 3 の膜層 308）の表面上に堆積され得る。金属膜は、誘電体層 120 の表面上に堆積され得、金属ゲート 122 を形成するためにパターン化され得る。方法 800 は、さらに、基板の第 1 の表面上に第 1 のシャロートレンチ分離（STI）領域を形成し、基板の第 2 の表面上に第 2 の STI 領域を形成するステップを含み、第 1 の STI 領域および第 2 の STI 領域は、エッティングプロセスを介して形成され、第 1 の STI 領域は、ソース領域に隣接し、第 2 の STI 領域は、ドレイン領域に隣接する。たとえば、図 5 を参照すると、基板 104 の領域、高濃度にドーピングされた領域 106 の領域、拡散バリア 108 の領域、および膜層 506 の領域は、第 1 のトレンチ 508 と第 2 のトレンチ 510 とを形成するためにエッティングされ得る。酸化物膜は、STI 204、206 を形成するためにトレンチ 508 および 510 内に堆積され得る。したがって、方法 800 は、拡散バリアを有する非常に鋭いレトログレードプロファイルに基づいてドーピングされたトランジスタが製造されることを可能にすることができる。拡散バリアは、拡散バリ

30

40

50

アなしのトランジスタと比較して、トランジスタの高濃度にドーピングされた領域からトランジスタのチャネル領域へのドーパント拡散を低減することができる。

【0034】

図9は、拡散バリア(たとえば、図1の拡散バリア108)を有するトランジスタ(たとえば、図1のMOSFET102、図2のMOSFET202、または図6のFinFET602)を備える通信デバイス900の特定の実施形態の図である。デバイス900は、メモリ932に結合されたプロセッサ910(たとえば、デジタル信号プロセッサ(DSP)、中央処理装置(CPU)、など)を含む。メモリ932は、プロセッサ910によって読み取り可能であるコンピュータ可読命令などの命令968(たとえば、実行可能命令)を含む。命令968は、プロセッサ910などのコンピュータによって実行可能である1つまたは複数の命令を含み得る。

10

【0035】

図9は、また、プロセッサ910とディスプレイ928とに結合されたディスプレイコントローラ926を示す。コーダ/デコーダ(CODEC)934は、また、プロセッサ910に結合され得る。スピーカ936およびマイクロホン938は、CODEC934に結合され得る。

【0036】

図9は、また、ワイヤレスインターフェース940がプロセッサ910とアンテナ942とに結合され得ることを示す。ワイヤレスインターフェース940は、ワイヤレスコントローラ、受信機回路、送信機回路などのワイヤレストランシーバ、またはそれらの組合せを含むことができる。特定の実施形態では、ワイヤレスインターフェース940は、拡散バリアを有するトランジスタ(たとえば、図1のMOSFET102、図2のMOSFET202、または図6のFinFET602)を含むデバイス964を含む。代替実施形態では、デバイス964は、ワイヤレスインターフェース940以外のデバイス900の1つまたは複数の構成要素内に配置され得る。デバイス964は、アナログ回路、デジタル回路、混合信号回路、無線周波数(RF)回路、クロック信号生成回路、記憶デバイス(たとえば、ダイナミックランダムアクセスメモリ(DRAM)デバイス)、別のタイプのデバイス、またはそれらの任意の組合せを含むことができる。

20

【0037】

特定の実施形態では、プロセッサ910、ディスプレイコントローラ926、メモリ932、CODEC934、およびワイヤレスインターフェース940は、システムインパッケージまたはシステムオンチップデバイス922内に含まれる。特定の実施形態では、入力デバイス930および電源944は、システムオンチップデバイス922に結合される。その上、特定の実施形態では、図9に示すように、ディスプレイ928、入力デバイス930、スピーカ936、マイクロホン938、ワイヤレスアンテナ942、および電源944は、システムオンチップデバイス922の外部にある。しかしながら、ディスプレイ928、入力デバイス930、スピーカ936、マイクロホン938、アンテナ942、および電源944のそれぞれは、インターフェースまたはコントローラなどのシステムオンチップデバイス922の構成要素に結合され得る。

30

【0038】

開示された実施形態のうちの1つまたは複数は、通信デバイス、固定位置データユニット、モバイル位置データユニット、モバイル電話、セルラー電話、衛星電話、コンピュータ、タブレット、ポータブルコンピュータ、またはデスクトップコンピュータを含むことができる、デバイス900などのシステムまたは装置内に実装され得る。加えて、デバイス900は、セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、携帯情報端末(PDA)、モニタ、コンピュータモニタ、テレビジョン、チューナー、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、ビデオプレーヤ、デジタルビデオプレーヤ、デジタルビデオディスク(DVD)プレーヤ、ポータブルデジタルビデオプレーヤ、データもしくはコンピュータ命令を記憶するか取り出す任意の他のデバイス、またはそれらの組合せを含み得る。別の例示的で非限

40

50

定的な例として、システムまたは装置は、携帯電話、ハンドヘルドパーソナル通信システム（P C S）ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム（G P S）対応デバイス、ナビゲーションデバイス、メータ読み取り機器などの固定位置データユニット、または、データもしくはコンピュータ命令を記憶するか取り出す任意の他のデバイス、あるいはそれらの任意の組合せのような、遠隔ユニットを含み得る。

#### 【0039】

上記の開示したデバイスや機能性は、コンピュータ可読媒体上に記憶されるコンピュータファイル（たとえばR T L、G D S I I、G E R B E Rなど）へ設計および構成されてよい。一部のまたはすべてのそのようなファイルは、そのようなファイルに基づいてデバイスを製造するように製造ハンドラに供給されてよい。得られる生成物は、半導体ウェハを含み、半導体ウェハは、次いで、半導体ダイに切断され、1つまたは複数の半導体チップにパッケージングされる。チップは、次いで、上記で説明したデバイス内で使用される。図10は、電子デバイス製造プロセス1000の特定の例示的実施形態を示す。

10

#### 【0040】

物理的デバイス情報1002は、研究用コンピュータ1006などにおいて、製造プロセス1000において受信される。物理的デバイス情報1002は、拡散バリアを有するトランジスタ（たとえば、図1のM O S F E T 1 0 2、図2のM O S F E T 2 0 2、または図6のF i n F E T 6 0 2）を含む半導体デバイスなどの半導体デバイスの少なくとも1つの物理的特性を表す設計情報を含むことができる。たとえば、物理的デバイス情報1002は、研究用コンピュータ1006に結合されたユーザインターフェース1004を介して入力された物理的パラメータと、材料特性と、構造情報を含むことができる。研究用コンピュータ1006は、メモリ1010などのコンピュータ可読媒体に結合された、1つまたは複数の処理コアなどのプロセッサ1008を含む。メモリ1010は、プロセッサ1008に、ファイルフォーマットに準拠するように物理的デバイス情報1002を変換させ、ライブラリファイル1012を生成させるように実行可能なコンピュータ可読命令を記憶することができる。

20

#### 【0041】

特定の実施形態では、ライブラリファイル1012は、変換された設計情報を含む少なくとも1つのデータファイルを含む。たとえば、ライブラリファイル1012は、拡散バリアを有するトランジスタ（たとえば、図1のM O S F E T 1 0 2、図2のM O S F E T 2 0 2、または図6のF i n F E T 6 0 2）を含むデバイスを含む半導体デバイスのライブラリを含むことができ、電子設計自動化（E D A）ツール1020で使用するために提供され得る。

30

#### 【0042】

ライブラリファイル1012は、メモリ1018に結合された1つまたは複数の処理コアなどのプロセッサ1016を含む設計コンピュータ1014においてE D Aツール1020とともに使用され得る。E D Aツール1020は、設計コンピュータ1014のユーザがライブラリファイル1012の拡散バリアを有するトランジスタ（たとえば、図1のM O S F E T 1 0 2、図2のM O S F E T 2 0 2、または図6のF i n F E T 6 0 2）を含む回路を設計することを可能にするために、メモリ1018においてプロセッサ実行可能命令として記憶され得る。たとえば、設計コンピュータ1014のユーザは、設計コンピュータ1014に結合されたユーザインターフェース1024を介して回路設計情報1022を入力することができる。回路設計情報1022は、拡散バリアを有するトランジスタ（たとえば、図1のM O S F E T 1 0 2、図2のM O S F E T 2 0 2、または図6のF i n F E T 6 0 2）を含む半導体デバイスなどの半導体デバイスの少なくとも1つの物理的特性を表す設計情報を含むことができる。例示するために、回路設計特性は、回路設計内の特定の回路および他の要素との関係の識別、位置情報、特徴のサイズ情報、相互接続情報、または、半導体デバイスの物理的特性を表す他の情報を含むことができる。

40

#### 【0043】

設計コンピュータ1014は、ファイルフォーマットに準拠するように、回路設計情報

50

1022を含む設計情報を変換するように構成され得る。例示するために、ファイル情報は、平面幾何学的形状と、テキストラベルと、グラフィックデータシステム（GDSII）ファイルフォーマット（たとえば、GDSIIフォーマット）などの階層的フォーマット内の回路レイアウトについての他の情報を表すデータベースバイナリファイルフォーマットを含むことができる。設計コンピュータ1014は、他の回路または情報に加えて、拡散バリアを有するトランジスタ（たとえば、図1のMOSFET102、図2のMOSFET202、または図6のFinFET602）を記述する情報を含むGDSIIファイル1026などの変換された設計情報を含むデータファイルを生成するように構成され得る。例示するために、データファイルは、拡散バリアを有するトランジスタ（たとえば、図1のMOSFET102、図2のMOSFET202、または図6のFinFET602）を含むとともに、SOC内の追加の電子回路および構成要素を含むこともできるシステムオンチップ（SOC）に対応する情報を含むことができる。  
10

#### 【0044】

GDSIIファイル1026は、GDSIIファイル1026内の変換された情報に従って拡散バリアを有するトランジスタ（たとえば、図1のMOSFET102、図2のMOSFET202、または図6のFinFET602）を含むウェハを製造するために、製造プロセス1028において受信され得る。たとえば、デバイス製造プロセスは、典型的なマスク1032として示すフォトリソグラフィ処理で使用されるマスクなどの1つまたは複数のマスクを作成するために、マスク製造者1030にGDSIIファイル1026を提供するステップを含むことができる。マスク1032は、シリコンオンインシュレータ（SOI）ウェハ、シリコンオンシリコン（SOS）ウェハ、またはバルクシリコンウェハなどの1つまたは複数のウェハ1034を生成するために、製造プロセス中に使用され得る。  
20

#### 【0045】

特定の実施形態では、製造プロセス1028は、プロセッサ1031およびメモリ1033によって開始または制御され得る。メモリ1033（たとえば、非一時的コンピュータ可読媒体）は、プロセッサ1031によって実行可能である命令1035を含むことができる。たとえば、コンピュータ実行可能命令は、プロセッサ1031に拡散バリアを有するトランジスタ（たとえば、図1のMOSFET102、図2のMOSFET202、または図6のFinFET602）の形成を開始または制御せしめるように実行可能であり得る。例示するために、命令は、キャパシタ、キャパシタの構成要素、またはキャパシタに取り付けられた構成要素（たとえば、金属層、絶縁層、ビア、など）を形成する1つもしくは複数のツールまたはプロセスの動作を開始または制御するために、プロセッサ1031によって実行可能であり得る。  
30

#### 【0046】

製造プロセス1028は、完全に自動化されたまたは部分的に自動化された製造システムによって実行され得る。たとえば、製造プロセス1028は、自動化され得、製造プロセス1028のステップは、スケジュールに従って実行され得る。製造システムは、拡散バリアを有するトランジスタ（たとえば、図1のMOSFET102、図2のMOSFET202、または図6のFinFET602）などのデバイスを形成するために1つまたは複数の動作を実行するための製造設備（たとえば、処理ツール）を含むことができる。たとえば、製造設備は、第1の金属層、第1の絶縁層、第2の金属層、第2の絶縁層、第2の金属層に接続するビア、パッシベーション層、などを形成するように構成され得る。  
40

#### 【0047】

製造システム（たとえば、製造プロセス1028を実行する自動化システム）は、分散型アーキテクチャ（たとえば、階層構造）を有することができる。たとえば、製造システムは、分散型アーキテクチャに従って分散された、プロセッサ1031などの1つもしくは複数のプロセッサ、メモリ1033などの1つもしくは複数のメモリ、および/またはコントローラを含むことができる。分散型アーキテクチャは、1つまたは複数の低レベルシステムの動作を制御または開始する高レベルプロセッサを含むことができる。たとえば  
50

、製造プロセス 1028 を制御または実行する製造システムの高レベル部分は、プロセッサ 1031 などの 1 つまたは複数のプロセッサを含むことができ、低レベルシステムは、1 つもしくは複数の対応するコントローラを各々含むことができ、または、1 つもしくは複数の対応するコントローラによって制御され得る。特定の低レベルシステムの特定のコントローラは、高レベルシステムから 1 つまたは複数の命令（たとえば、コマンド）を受信することができ、下位のモジュールまたはプロセスツールにサブコマンドを発行することができ、高レベルシステムにステータス情報を通信することができる。1 つまたは複数の低レベルシステムの各々は、製造機器の 1 つまたは複数の対応する部分（たとえば、処理ツール）に関連付けられ得る。特定の実施形態では、製造システムは、分散された複数のプロセッサを含むことができる。たとえば、製造システムの低レベルシステム構成要素のコントローラは、プロセッサ 831 などのプロセッサを含むことができる。

10

#### 【0048】

代替的には、プロセッサ 1031 は、製造システムの高レベルシステム、サブシステム、または構成要素の一部であり得る。別の実施形態では、プロセッサ 1031 は、製造システムの様々なレベルおよび構成要素での分散処理を含む。

#### 【0049】

したがって、プロセッサ 1031 は、プロセッサ 1031 に、拡散バリアを有するトランジスタ（たとえば、図 1 の MOSFET 102、図 2 の MOSFET 202、または図 6 の FinFET 602）などのデバイスの形成を開始または制御させるプロセッサ実行可能命令を含むまたは実行することができる。たとえば、金属層は、1 つもしくは複数の堆積ツールまたは 1 つもしくは複数のめっきプラットフォーム、プレーテ、あるいは、デバイス内に金属板を形成するように構成された他のメッキ設備によって形成され得る。別の例として、絶縁層およびパッシベーション層は、化学気相堆積ツールまたはスピノン製造ツールなどの、1 つもしくは複数の堆積ツールまたは「ボトムアップ」製造ツールによって形成され得る。さらに別の例として、開口部は、ウェットエッチング装置、ドライエッチング装置、またはプラズマエッチング装置、または 1 つもしくは複数の溶解ツールによって、絶縁層およびパッシベーション層に形成され得る。

20

#### 【0050】

メモリ 1033 内に記憶された実行可能命令は、プロセッサ 1031 が、図 8 の方法 800 によって説明したように動作を実行することによって、拡散バリアを有するトランジスタ（たとえば、図 1 の MOSFET 102、図 2 の MOSFET 202、または図 6 の FinFET 602）などのデバイスの形成を開始および制御することを可能にすることができる。

30

#### 【0051】

ダイ 1036 は、パッケージングプロセス 1038 に提供され得、ダイ 1036 は、典型的なパッケージ 1040 内に組み込まれる。たとえば、パッケージ 1040 は、システムインパッケージ（SiP）配置などの単一のダイ 1036 または複数のダイを含むことができる。パッケージ 1040 は、合同電子デバイス委員会（JEDEC（Joint Electron Device Engineering Council））規格などの 1 つもしくは複数の規格または仕様に準拠するように構成され得る。

40

#### 【0052】

パッケージ 1040 に関する情報は、コンピュータ 1046 において記憶された構成要素ライブラリを介するなどして様々な製品設計者に配布され得る。コンピュータ 1046 は、メモリ 1050 に結合された 1 つまたは複数の処理コアなどのプロセッサ 1048 を含むことができる。プリント回路基板（PCB）ツールは、ユーザインターフェース 1044 を介してコンピュータ 1046 のユーザから受信した PCB 設計情報 1042 を処理するために、メモリ 1050 においてプロセッサ実行可能命令として記憶され得る。PCB 設計情報 1042 は、回路基板上のパッケージ化された半導体デバイスの物理的位置情報を含むことができ、パッケージ化された半導体デバイスは、拡散バリアを有するトランジスタ（たとえば、図 1 の MOSFET 102、図 2 の MOSFET 202、または図 6

50

の F i n F E T 6 0 2 ) を含むパッケージ 1 0 4 0 に対応する。

【 0 0 5 3 】

コンピュータ 1 0 4 6 は、回路基板上のパッケージ化された半導体デバイスの物理的位置情報ならびにトレースおよびビアなどの電気的接続のレイアウトを含むデータを有する、 G E R B E R ファイル 1 0 5 2 などのデータファイルを生成するために、 P C B 設計情報 1 0 4 2 を変換するように構成され得、パッケージ化された半導体デバイスは、拡散バリアを有するトランジスタ ( たとえば、図 1 の M O S F E T 1 0 2 、図 2 の M O S F E T 2 0 2 、または図 6 の F i n F E T 6 0 2 ) を含むパッケージ 1 0 4 0 に対応する。他の実施形態では、変換された P C B 設計情報によって生成されたデータファイルは、 G E R B E R フォーマット以外のフォーマットを有することができる。

10

【 0 0 5 4 】

G E R B E R ファイル 1 0 5 2 は、基板組立プロセス 1 0 5 4 において受け取られ得、 G E R B E R ファイル 1 0 5 2 内に格納された設計情報に従って製造される典型的な P C B 1 0 5 6 などの P C B を作成するために使用され得る。たとえば、 G E R B E R ファイル 1 0 5 2 は、 P C B 製造プロセスの様々なステップを実行するために 1 つまたは複数のマシンにアップロードされ得る。 P C B 1 0 5 6 は、代表的なプリント回路アセンブリ ( P C A ) 1 0 5 8 を形成するために、パッケージ 1 0 4 0 を含む電子構成要素を装着され得る。

20

【 0 0 5 5 】

P C A 1 0 5 8 は、製品製造プロセス 1 0 6 0 において受け取られ得、第 1 の典型的な電子デバイス 1 0 6 2 および第 2 の典型的な電子デバイス 1 0 6 4 などの 1 つまたは複数の電子デバイス内に組み込まれ得る。例示的な非限定的な例として、第 1 の典型的な電子デバイス 1 0 6 2 、第 2 の典型的な電子デバイス 1 0 6 4 、または両方は、拡散バリアを有するトランジスタ ( たとえば、図 1 の M O S F E T 1 0 2 、図 2 の M O S F E T 2 0 2 、または図 6 の F i n F E T 6 0 2 ) が組み込まれた、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娛樂ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末 ( P D A ) 、固定位置データユニット、およびコンピュータのグループから選択され得る。別の例示的な非限定的な例として、電子デバイス 1 0 6 2 および 1 0 6 4 の 1 つまたは複数は、モバイル電話、ハンドヘルドパーソナル通信システム ( P C S ) ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム ( G P S ) 対応デバイス、ナビゲーションデバイス、検針機器などの固定位置データユニット、または、データもしくはコンピュータ命令を記憶もしくは取り出す任意の他のデバイス、または、それらの任意の組合せなどの遠隔ユニットであり得る。図 10 は、本開示の教示に従った遠隔ユニットを示すが、本開示は、これらの例示的な示されたユニットには限定されない。本開示の実施形態は、好ましくは、メモリとオンチップ回路とを含む能動集積回路を含む任意のデバイスにおいて用いられ得る。

30

【 0 0 5 6 】

拡散バリアを有するトランジスタ ( たとえば、図 1 の M O S F E T 1 0 2 、図 2 の M O S F E T 2 0 2 、または図 6 の F i n F E T 6 0 2 ) を含むデバイスは、例示的プロセス 1 0 0 0 において説明したように、製造され、処理され、電子デバイス内に組み込まれ得る。図 1 ~ 図 9 に関連して開示された実施形態の 1 つまたは複数の態様は、ライブラリファイル 1 0 1 2 、 G D S I I ファイル 1 0 2 6 、および G E R B E R ファイル 1 0 5 2 内など、様々な処理段階において含まれ得るとともに、研究用コンピュータ 1 0 0 6 のメモリ 1 0 1 0 、設計コンピュータ 1 0 1 4 のメモリ 1 0 1 8 、製造プロセス 1 0 2 8 に関連するコンピュータのメモリ 1 0 3 3 、コンピュータ 1 0 4 6 のメモリ 1 0 5 0 、基板組立プロセス 1 0 5 4 などの様々な段階において使用される 1 つもしくは複数の他のコンピュータまたはプロセッサのメモリにおいて記憶され得、また、マスク 1 0 3 2 、ダイ 1 0 3 6 、パッケージ 1 0 4 0 、 P C A 1 0 5 8 、プロトタイプ回路もしくはデバイス ( 図示せず ) などの他の製品、または、それらの任意の組合せなどの 1 つもしくは複数の他の物理的実施形態に組み込まれ得る。物理的デバイス設計から最終製品までの製品の様々な典型的な実施形態に組み込まれ得る。

40

50

的な段階が示されているが、他の実施形態では、より少ない段階が使用され得、または、追加の段階が含まれ得る。同様に、プロセス 1000 は、プロセス 1000 の様々な段階を実行する単一のエンティティあるいは 1 つまたは複数のエンティティによって実行され得る。

【0057】

説明された実施形態に関連して、装置は、ドーパント拡散を阻止するための手段を含むことができ、ドーパント拡散を阻止するための手段は、基板の高濃度にドーピングされた領域の表面上に形成され、ドーパント拡散を阻止するための手段は、第 1 のバンドギャップエネルギーを有する第 1 の材料を用いて形成される。たとえば、ドーパント拡散を阻止するための手段は、図 1 の拡散バリア 108、図 6 の拡散バリア 614、ドーパント拡散を阻止するように構成された 1 つもしくは複数の他のデバイス、またはそれらの任意の組合せを含むことができる。

10

【0058】

装置は、また、伝導チャネルを提供するための手段を含むことができ、伝導チャネルを提供するための手段は、ドーパント拡散を阻止するための手段の表面上に形成され、伝導チャネルを提供するための手段は、第 1 のバンドギャップエネルギーよりも低い第 2 のバンドギャップエネルギーを有する第 2 の材料を用いて形成される。たとえば、伝導チャネルを提供するための手段は、図 1 のチャネル領域 110、図 6 のチャネル領域 616、伝導チャネルを提供するように構成された 1 つもしくは複数の他のデバイス、またはそれらの組合せを含むことができる。

20

【0059】

装置は、さらに、バックゲートコンタクトを提供するための手段を含むことができ、バックゲートコンタクトを提供するための手段は、基板の第 1 の領域に結合される。たとえば、バックゲートコンタクトを提供するための手段は、図 1 のバックゲートコンタクト 144、図 6 のバックゲートコンタクト 624、バックゲートコンタクトを提供するように構成された 1 つもしくは複数の他のデバイス、またはそれらの組合せを含むことができる。

20

【0060】

図 1 ~ 図 10 の 1 つまたは複数は、本開示の教示によるシステム、装置、および / または方法を例示することがあるが、本開示は、これらの例示されたシステム、装置、および / または方法に限定されない。本開示の実施形態は、好ましくは、集積回路を含む任意のデバイスにおいて用いられ得る。本開示の実施形態は、また、スタンダロンデバイス (たとえば、スタンダロントランジスタ) において用いられ得る。

30

【0061】

当業者は、本明細書に開示された実施形態に関連して説明した様々な例示的な論理ブロック、構成、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、プロセッサによって実行されるコンピュータソフトウェア、または両方の組合せとして実装され得ることを理解するであろう。様々な例示的な構成要素、ブロック、構成、モジュール、回路、およびステップは、それらの機能の観点から一般的に上記で説明されている。そのような機能がハードウェアまたはプロセッサ実行可能命令のどちらとして実装されるのかは、システム全体に課される特定の用途および設計制約に依存する。当業者は、説明した機能を各特定の用途のために様々な方法で実装することができるが、そのような実装の決定は、本開示の範囲からの逸脱を引き起こすものとして解釈されるべきではない。

40

【0062】

本明細書に開示された実施形態に関連して説明した方法またはアルゴリズムのステップは、ハードウェアにおいて直接、プロセッサによって実行されるソフトウェアモジュールにおいて、またはこれら 2 つの組合せにおいて実施され得る。ソフトウェアモジュールは、ランダムアクセスメモリ (RAM)、フラッシュメモリ、読み出し専用メモリ (ROM)、プログラマブル読み出し専用メモリ (PROM)、消去可能プログラマブル読み出し専用メモリ (EPROM)、電気的消去可能プログラマブル読み出し専用メモリ (EEPROM)

50

、レジスタ、ハードディスク、リムーバブルディスク、コンパクトディスク読み出し専用メモリ（C D - R O M）、または任意の他の形態の当該技術分野において周知の非一時的記憶媒体内に存在することができる。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み出し、記憶媒体に情報を書き込むことができるよう、プロセッサに結合される。代替形態において、記憶媒体は、プロセッサと一体であり得る。プロセッサおよび記憶媒体は、特定用途向け集積回路（A S I C）内に存在することができる。A S I Cは、コンピューティングデバイスまたはユーザ端末内に存在することができる。代替形態において、プロセッサおよび記憶媒体は、コンピューティングデバイスまたはユーザ端末内の個別の構成要素として存在することができる。

## 【0063】

10

開示された実施形態の上記の説明は、当業者が開示された実施形態を製作または使用することを可能にするために提供される。これらの実施形態に対する様々な修正は、当業者には容易に明らかであり、本明細書で定義された原理は、本開示の範囲から逸脱することなく、他の実施形態に適用され得る。したがって、本開示は、本明細書に示す実施形態に限定するように意図されるものではなく、以下の特許請求の範囲によって定義される原理および新規な特徴と一致する可能な最も広い範囲を与えられるべきである。

## 【符号の説明】

## 【0064】

20

102 プレーナ型金属酸化膜半導体電界効果トランジスタ（M O S F E T）

104 基板

106 高濃度にドーピングされた領域

108 拡散バリア

110 チャネル領域

112 ソース歪み領域

114 ドレイン歪み領域

116 第1の低濃度にドーピングされたドレイン（L D D）領域

118 第2のL D D領域

120 誘電体層

122 金属ゲート

124 第1のスペーサ

126 第2のスペーサ

128 第1のコンタクト

130 第2のコンタクト

132 第1の活性またはフィンストップ、活性エッジ

134 第2の活性またはフィンストップ、活性エッジ

136 下側界面

138 上側界面

140 層間誘電体（I L D）層

142 キャップ膜層

144 バックゲートコンタクト

30

146 第1のシャロートレンチ分離（S T I）

202 プレーナ型M O S F E T

204 第2のS T I

206 第3のS T I

300 ゲートラストプロセス

302 第1の処理段階

304 第2の処理段階

306 第3の処理段階

308 膜層

310 ポリシリコンゲート

40

50

4 0 0	ゲートファーストプロセス	
4 0 2	第1の処理段階	
4 0 4	第2の処理段階	
5 0 0	プロセス	
5 0 2	第1の処理段階	
5 0 4	第2の処理段階	
5 0 6	膜層	
5 0 8	第1のトレンチ	
5 1 0	第2のトレンチ	
6 0 2	フィン型電界効果トランジスタ (FinFET)	10
6 0 4	基板	
6 0 6	高濃度にドーピングされた領域	
6 0 8	フィン	
6 1 0	STI	
6 1 2	STI	
6 1 4	拡散バリア	
6 1 6	チャネル領域	
6 1 8	誘電体層	
6 2 0	金属ゲート	
6 2 2	金属ゲートコンタクト	20
6 2 4	バックゲートコンタクト	
6 2 6	酸化物層	
7 0 0	プロセス	
7 0 2	第1の処理段階	
7 0 4	第2の処理段階	
7 0 6	第3の処理段階	
7 0 8	STI領域	
7 1 0	STI領域	
9 0 0	通信デバイス	
9 1 0	プロセッサ	30
9 2 2	システムオンチップデバイス	
9 2 6	ディスプレイコントローラ	
9 2 8	ディスプレイ	
9 3 0	入力デバイス	
9 3 2	メモリ	
9 3 4	コーダ/デコーダ (CODEC)	
9 3 6	スピーカ	
9 3 8	マイクロホン	
9 4 0	ワイヤレスインターフェース	
9 4 2	ワイヤレスアンテナ	40
9 4 4	電源	
9 6 4	デバイス	
9 6 8	命令	
1 0 0 0	電子デバイス製造プロセス	
1 0 0 2	物理的デバイス情報	
1 0 0 4	ユーザインターフェース	
1 0 0 6	研究用コンピュータ	
1 0 0 8	プロセッサ	
1 0 1 0	メモリ	
1 0 1 2	ライブラリファイル	50

1 0 1 4	設計コンピュータ	
1 0 1 6	プロセッサ	
1 0 1 8	メモリ	
1 0 2 0	電子設計自動化(EDA)ツール	
1 0 2 2	回路設計情報	
1 0 2 4	ユーザインターフェース	
1 0 2 6	GDSIIファイル	
1 0 2 8	製造プロセス	
1 0 3 0	マスク製造者	
1 0 3 1	プロセッサ	10
1 0 3 2	マスク	
1 0 3 3	メモリ	
1 0 3 4	ウェハ	
1 0 3 5	命令	
1 0 3 6	ダイ	
1 0 3 8	パッケージングプロセス	
1 0 4 0	パッケージ	
1 0 4 2	PCB設計情報	
1 0 4 4	ユーザインターフェース	
1 0 4 6	コンピュータ	20
1 0 4 8	プロセッサ	
1 0 5 0	メモリ	
1 0 5 2	GERBERファイル	
1 0 5 4	基板組立プロセス	
1 0 5 6	PCB	
1 0 5 8	プリント回路アセンブリ(PCA)	
1 0 6 0	製品製造プロセス	
1 0 6 2	第1の典型的な電子デバイス	
1 0 6 4	第2の典型的な電子デバイス	

【図1】

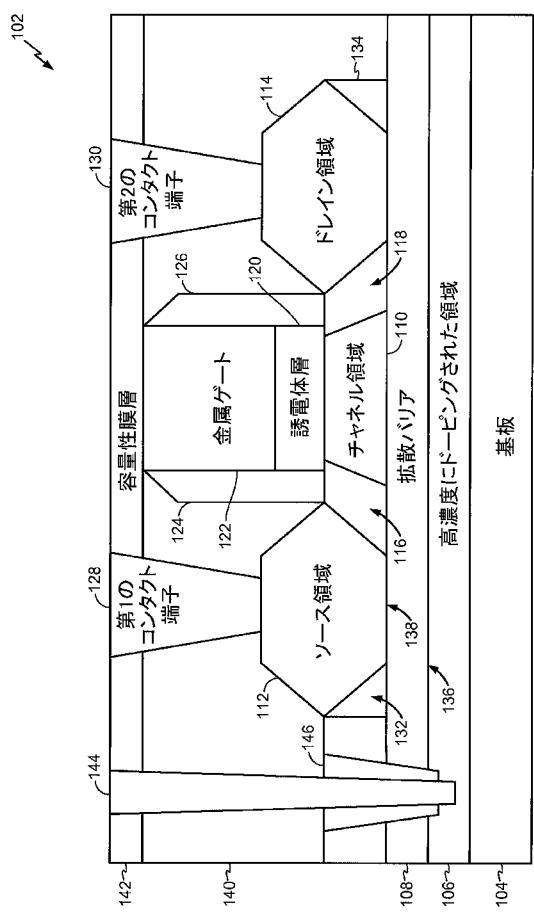


FIG. 1

【図2】

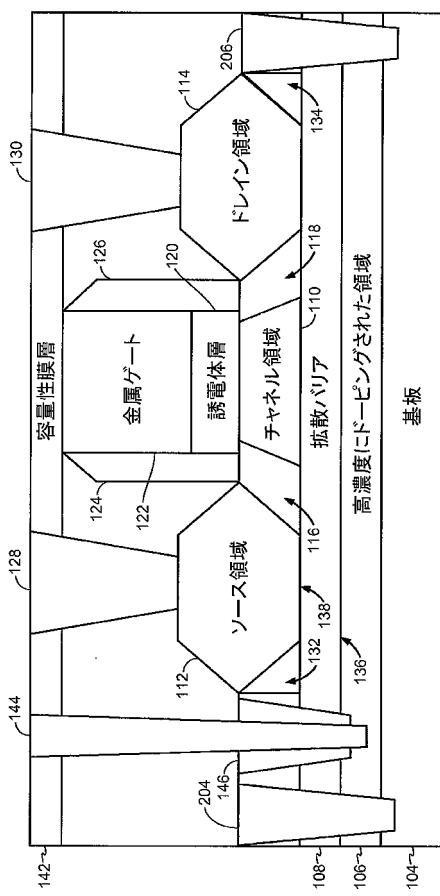


FIG. 2

【図3】

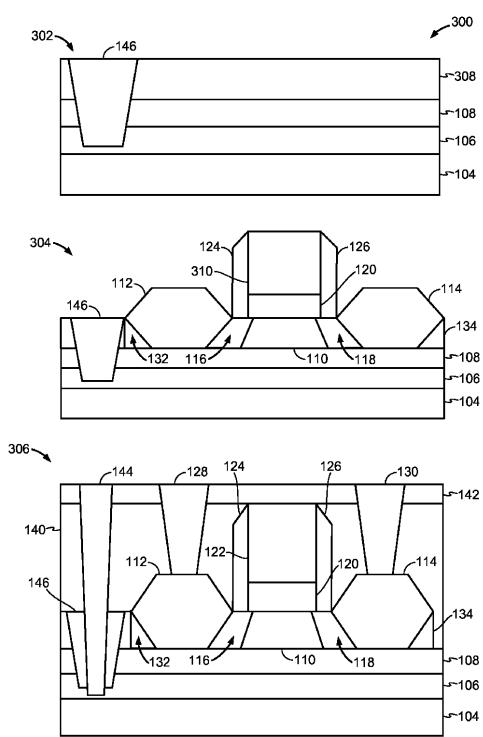


FIG. 3

【図4】

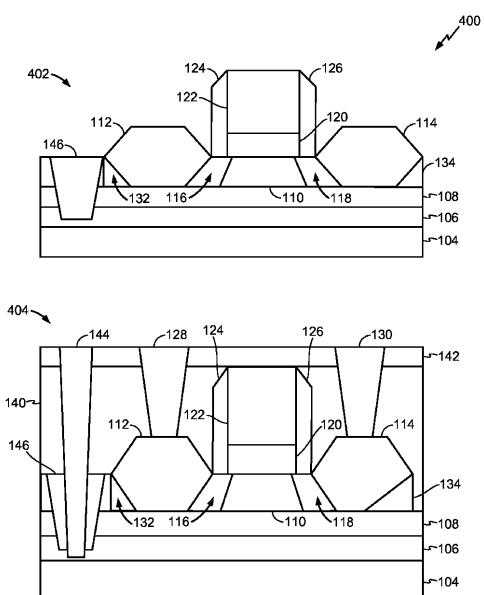


FIG. 4

【図5】

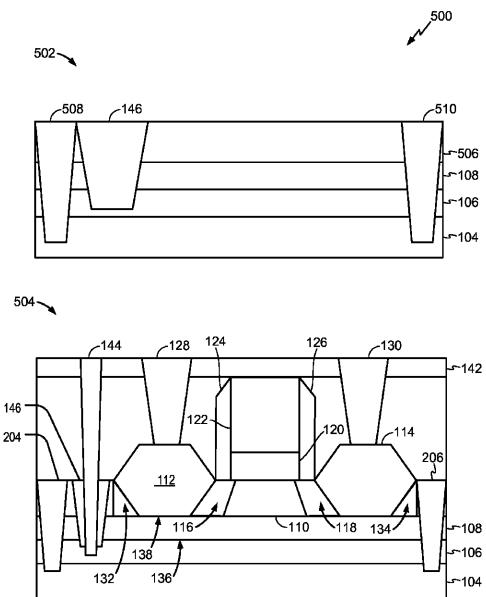


FIG. 5

【図6】

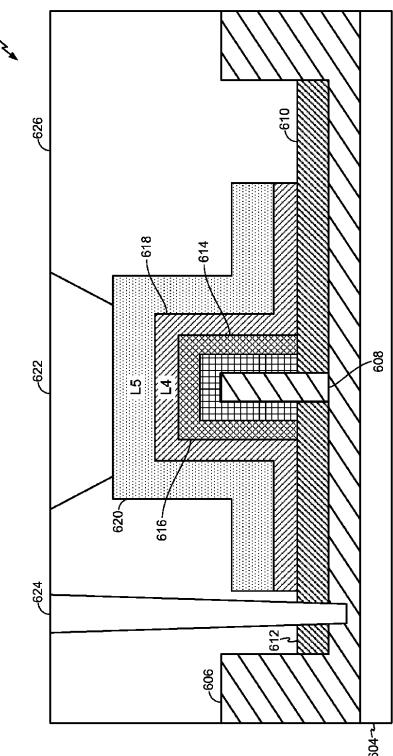


FIG. 6

【図7】

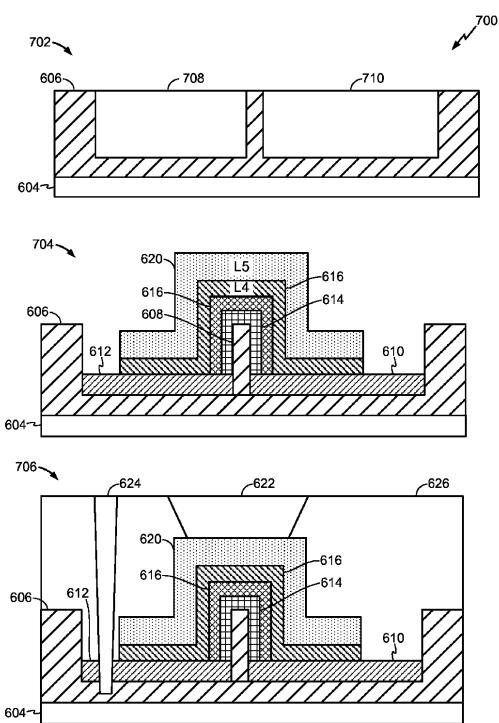


FIG. 7

【図8】

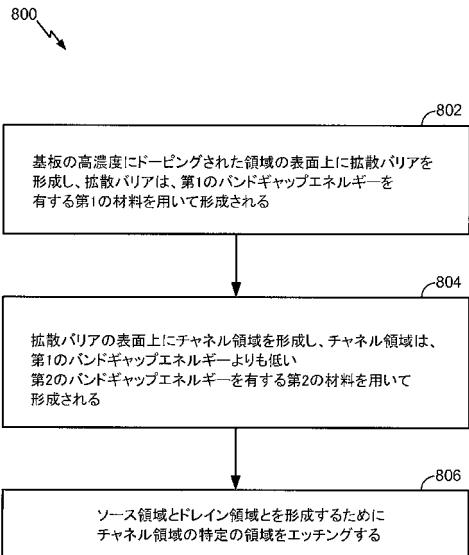
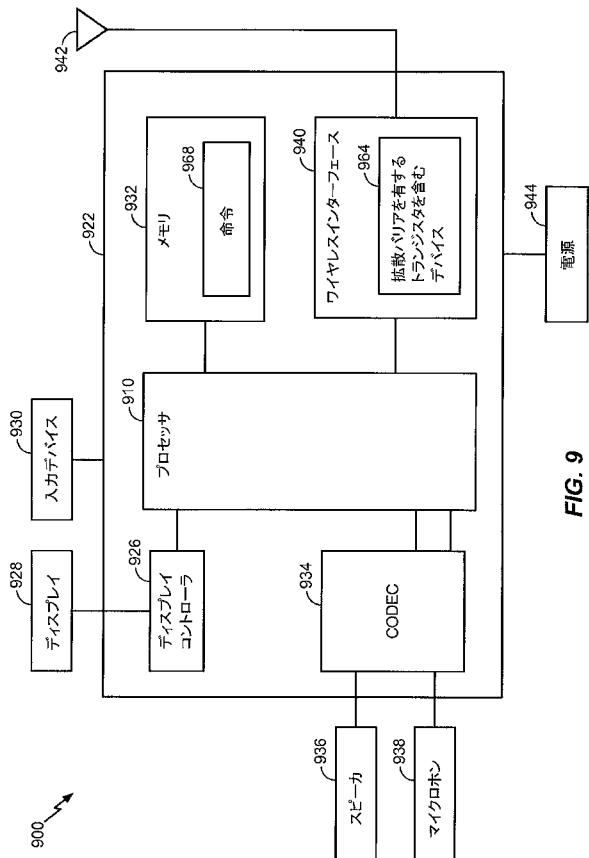


FIG. 8

【図9】



【図10】

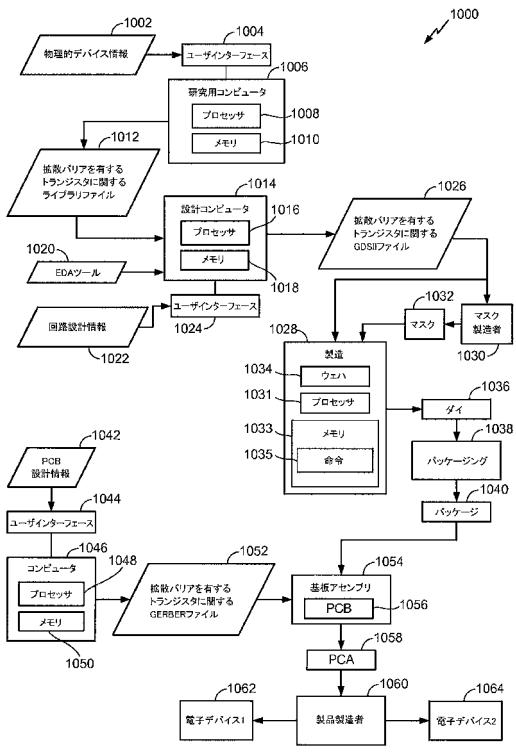


FIG. 10

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/US2014/066676						
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. H01L21/336 H01L21/74 H01L29/78 H01L29/10 H01L29/205 ADD.								
According to International Patent Classification (IPC) or to both national classification and IPC								
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H01L								
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched								
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data, INSPEC								
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category*</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="text-align: center; padding: 2px;">X</td> <td style="padding: 2px;">US 2013/056795 A1 (WU ZHIQIANG [TW] ET AL) 7 March 2013 (2013-03-07)  paragraphs [0021], [0026], [0033], [0043], [0046], [4744]; figures 5,9-13 ----- US 6 512 252 B1 (TAKAGI TAKESHI [JP] ET AL) 28 January 2003 (2003-01-28)  column 10, lines 14-32; figures 4,13 column 11, lines 5-32 ----- -/-</td> <td style="text-align: center; padding: 2px;">1-3,6-8, 10-13, 16,17, 20-26, 29,30  1,2,6,8, 9,11-13, 20,24, 25,29,30</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 2013/056795 A1 (WU ZHIQIANG [TW] ET AL) 7 March 2013 (2013-03-07)  paragraphs [0021], [0026], [0033], [0043], [0046], [4744]; figures 5,9-13 ----- US 6 512 252 B1 (TAKAGI TAKESHI [JP] ET AL) 28 January 2003 (2003-01-28)  column 10, lines 14-32; figures 4,13 column 11, lines 5-32 ----- -/-	1-3,6-8, 10-13, 16,17, 20-26, 29,30  1,2,6,8, 9,11-13, 20,24, 25,29,30
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.						
X	US 2013/056795 A1 (WU ZHIQIANG [TW] ET AL) 7 March 2013 (2013-03-07)  paragraphs [0021], [0026], [0033], [0043], [0046], [4744]; figures 5,9-13 ----- US 6 512 252 B1 (TAKAGI TAKESHI [JP] ET AL) 28 January 2003 (2003-01-28)  column 10, lines 14-32; figures 4,13 column 11, lines 5-32 ----- -/-	1-3,6-8, 10-13, 16,17, 20-26, 29,30  1,2,6,8, 9,11-13, 20,24, 25,29,30						
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.								
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed								
Date of the actual completion of the international search  10 February 2015		Date of mailing of the international search report  27/02/2015						
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer  Götz, Andreas						

## INTERNATIONAL SEARCH REPORT

International application No PCT/US2014/066676
---

## C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category <sup>*</sup>	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2009/242873 A1 (PILLARISETTY RAVI [US] ET AL) 1 October 2009 (2009-10-01)  paragraphs [0022] - [0027], [0041] - [0043]; figure 2 -----	1,3-5, 11,14, 15, 17-19, 24, 26-28,30

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No  
PCT/US2014/066676

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 2013056795	A1	07-03-2013	CN	102983165 A		20-03-2013
			KR	20130026974 A		14-03-2013
			TW	201312751 A		16-03-2013
			US	2013056795 A1		07-03-2013
US 6512252	B1	28-01-2003	DE	60036594 T2		31-01-2008
			EP	1102327 A2		23-05-2001
			EP	1672700 A2		21-06-2006
			US	6512252 B1		28-01-2003
			US	2003052348 A1		20-03-2003
			US	2004212013 A1		28-10-2004
US 2009242873	A1	01-10-2009		NONE		

---

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,R0,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,D0,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

(72)発明者 シア・リ

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライヴ・5775

(72)発明者 ブル・チダムバラム

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライヴ・5775

F ターム(参考) 5F140 AA06 AC28 BA01 BA06 BA07 BA08 BA09 BA16 BB05 BC15  
BD04 BF01 BF05 BF45 BG04 BG08 BG36 BG40 BH06 BH15  
BK05 BK13 BK17 BK21 BK23 CB04 CD02