

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4987206号
(P4987206)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.

F I

H O 1 L 29/792 (2006.01)

H O 1 L 29/78 3 7 1

H O 1 L 29/788 (2006.01)

H O 1 L 27/10 4 3 4

H O 1 L 21/336 (2006.01)

H O 1 L 21/316 C

H O 1 L 27/115 (2006.01)

H O 1 L 21/318 C

H O 1 L 21/8247 (2006.01)

請求項の数 14 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2001-567036 (P2001-567036)
 (86) (22) 出願日 平成13年3月13日(2001.3.13)
 (86) 国際出願番号 PCT/JP2001/001967
 (87) 国際公開番号 W02001/069673
 (87) 国際公開日 平成13年9月20日(2001.9.20)
 審査請求日 平成20年1月16日(2008.1.16)
 (31) 優先権主張番号 特願2000-115940 (P2000-115940)
 (32) 優先日 平成12年3月13日(2000.3.13)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000173658
 公益財団法人国際科学振興財団
 茨城県つくば市春日三丁目24番16
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 大見 忠弘
 宮城県仙台市青葉区米ヶ袋2丁目1-17
 -301
 (72) 発明者 須川 成利
 宮城県仙台市青葉区荒巻字青葉05 東北
 大学大学院工学研究科電子工学専攻内

審査官 大嶋 洋一

最終頁に続く

(54) 【発明の名称】 フラッシュメモリ素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成された第1の電極と、前記第1の電極上に電極間絶縁膜を挟んで形成された第2の電極とよりなり、前記電極間絶縁膜は第1のシリコン窒化膜と第1のシリコン酸化膜と第2のシリコン窒化膜と第2のシリコン酸化膜を順次積層した積層構造を有し、前記第1の電極表面はポリシリコンより形成されているフラッシュメモリ素子の製造方法であって、

前記第1および第2のシリコン酸化膜は、処理室中に酸素を含むガスとKrガスを主体とするガスを導入し、マイクロ波により前記処理室中にプラズマを励起することにより形成され、

前記第1のシリコン窒化膜は、処理室中にNH₃ガスまたはN₂およびH₂を含むガスとArまたはKrガスを主体とするガスを導入し、マイクロ波により前記処理室中にプラズマを励起することにより形成されることを特徴とするフラッシュメモリ素子の製造方法。

【請求項2】

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成された第1の電極と、前記第1の電極上に電極間絶縁膜を挟んで形成された第2の電極とよりなり、前記電極間絶縁膜は第1のシリコン酸化膜とシリコン窒化膜と第2のシリコン酸化膜とを順次積層した積層構造を有し、前記第1の電極表面はポリシリコンより形成されているフラッシュメモリの製造方法であって、

前記第1および第2のシリコン酸化膜は、処理室中に酸素を含むガスとKrガスを主体とするガスを導入し、マイクロ波により前記処理室中にプラズマを励起することにより形成されることを特徴とするフラッシュメモリ素子の製造方法。

【請求項3】

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成された第1の電極と、前記第1の電極上に電極間絶縁膜を挟んで形成された第2の電極とよりなり、前記電極間絶縁膜は少なくともシリコン酸化膜とシリコン窒化膜を1層ずつ含む積層構造を有するフラッシュメモリ素子の製造方法であって、

前記シリコン酸化膜は、CVD法により堆積されたシリコン酸化膜を、酸素を含むガスとKrガスを主体とするガスとよりなる混合ガスにマイクロ波によりプラズマを励起することによって形成される原子状酸素O*に曝すことで形成されることを特徴とするフラッシュメモリ素子の製造方法。

10

【請求項4】

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成された第1の電極と、前記第1の電極上に電極間絶縁膜を挟んで形成された第2の電極とよりなり、前記電極間絶縁膜は第1のシリコン窒化膜と第1のシリコン酸化膜と第2のシリコン窒化膜と第2のシリコン酸化膜を順次積層した積層構造を有し、前記第1の電極表面はポリシリコンより形成されているフラッシュメモリ素子の製造方法であって、

前記第1および第2のシリコン酸化膜は、CVD法により堆積されたシリコン酸化膜を、酸素を含むガスとKrガスを主体とするガスとよりなる混合ガスにマイクロ波によりプラズマを励起することによって形成される原子状酸素O*に曝すことで形成されることを特徴とするフラッシュメモリ素子の製造方法。

20

【請求項5】

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成された第1の電極と、前記第1の電極上に電極間絶縁膜を挟んで形成された第2の電極とよりなり、前記電極間絶縁膜は第1のシリコン酸化膜とシリコン窒化膜と第2のシリコン酸化膜とを順次積層した積層構造を有し、前記第1の電極表面はポリシリコンより形成されているフラッシュメモリの製造方法であって、

前記第2のシリコン酸化膜は、CVD法により堆積されたシリコン酸化膜を、酸素を含むガスとKrガスを主体とするガスとの混合ガスにマイクロ波によりプラズマを励起することによって形成される原子状酸素O*に曝すことで形成されることを特徴とするフラッシュメモリ素子の製造方法。

30

【請求項6】

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成された、表面がポリシリコンよりなる第1の電極と、前記第1の電極上に電極間絶縁膜を挟んで形成された第2の電極とよりなり、前記電極間絶縁膜は少なくともシリコン酸化膜とシリコン窒化膜を1層ずつ含む積層構造を有するフラッシュメモリ素子の製造方法であって、

前記シリコン酸化膜は、処理室中に酸素を含むガスとKrガスを主体とするガスを導入し、マイクロ波により前記処理室中にプラズマを励起することにより形成され

前記シリコン窒化膜は、処理室中にNH₃ガスまたはN₂およびH₂を含むガスとArまたはKrガスを主体とするガスを導入し、マイクロ波により前記処理室中にプラズマを励起することにより形成されることを特徴とするフラッシュメモリ素子の製造方法。

40

【請求項7】

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成された第1の電極と、前記第1の電極上に電極間絶縁膜を挟んで形成された第2の電極とよりなり、前記電極間絶縁膜は第1のシリコン窒化膜と第1のシリコン酸化膜と第2のシリコン窒化膜と第2のシリコン酸化膜を順次積層した積層構造を有し、前記第1の電極表面はポリシリコンより形成されているフラッシュメモリ素子の製造方法であって、

前記第1および第2のシリコン窒化膜は、処理室中にNH₃ガスまたはN₂およびH₂を含むガスとArまたはKrガスを主体とするガスを導入し、マイクロ波により前記処理

50

室中にプラズマを励起することにより形成されることを特徴とするフラッシュメモリ素子の製造方法。

【請求項 8】

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成された第 1 の電極と、前記第 1 の電極上に電極間絶縁膜を挟んで形成された第 2 の電極とよりなり、前記電極間絶縁膜は第 1 のシリコン酸化膜とシリコン窒化膜と第 2 のシリコン酸化膜とを順次積層した積層構造を有し、前記第 1 の電極表面はポリシリコンより形成されているフラッシュメモリの製造方法であって、

前記第 1 のシリコン酸化膜は、処理室中に酸素を含むガスと Kr ガスを主体とするガスとを導入し、マイクロ波により前記処理室中にプラズマを励起することにより形成され、

10

前記シリコン窒化膜は、処理室中に NH_3 ガスまたは N_2 および H_2 を含むガスと Ar または Kr ガスを主体とするガスとを導入し、マイクロ波により前記処理室中にプラズマを励起することにより形成されることを特徴とするフラッシュメモリ素子の製造方法。

【請求項 9】

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成された第 1 の電極と、前記第 1 の電極上に電極間絶縁膜を挟んで形成された第 2 の電極とよりなり、前記電極間絶縁膜はシリコン酸化膜とシリコン窒化膜とを順次積層した 2 層構造を有し、前記第 1 の電極表面はポリシリコンより形成されているフラッシュメモリの製造方法であって、

前記シリコン酸化膜は、処理室中に酸素を含むガスと Kr ガスを主体とするガスとを導入し、マイクロ波により前記処理室中にプラズマを励起することにより形成され、

20

シリコン窒化膜は、処理室中に NH_3 ガスまたは N_2 および H_2 を含むガスと Ar または Kr ガスを主体とするガスとを導入し、マイクロ波により前記処理室中にプラズマを励起することにより形成されることを特徴とするフラッシュメモリ素子の製造方法。

【請求項 10】

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成された第 1 の電極と、前記第 1 の電極上に電極間絶縁膜を挟んで形成された第 2 の電極とよりなり、前記電極間絶縁膜は少なくともシリコン酸化膜とシリコン窒化膜を 1 層ずつ含む積層構造を有するフラッシュメモリ素子の製造方法であって、

前記シリコン窒化膜は、CVD 法により堆積されたシリコン窒化膜を、 NH_3 ガスまたは N_2 および H_2 を含むガスと Ar または Kr ガスを主体とするガスとよりなる混合ガスにマイクロ波によりプラズマを励起することで形成された窒化水素ラジカル NH^* に曝すことで形成されることを特徴とするフラッシュメモリ素子の製造方法。

30

【請求項 11】

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成された第 1 の電極と、前記第 1 の電極上に電極間絶縁膜を挟んで形成された第 2 の電極とよりなり、前記電極間絶縁膜は第 1 のシリコン窒化膜と第 1 のシリコン酸化膜と第 2 のシリコン窒化膜と第 2 のシリコン酸化膜を順次積層した積層構造を有し、前記第 1 の電極表面はポリシリコンより形成されているフラッシュメモリ素子の製造方法であって、

前記第 1 および第 2 のシリコン窒化膜の各々は、CVD 法で堆積されたシリコン窒化膜を、 NH_3 ガスまたは N_2 および H_2 を含むガスと Ar または Kr ガスを主体とするガスとよりなる混合ガスにマイクロ波によりプラズマを励起することで形成される窒化水素ラジカル NH^* に曝すことで形成されることを特徴とするフラッシュメモリ素子の製造方法。

40

【請求項 12】

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成された第 1 の電極と、前記第 1 の電極上に電極間絶縁膜を挟んで形成された第 2 の電極とよりなり、前記電極間絶縁膜は第 1 のシリコン酸化膜とシリコン窒化膜と第 2 のシリコン酸化膜とを順次積層した積層構造を有し、前記第 1 の電極表面はポリシリコンより形成されているフラッシュメモリの製造方法であって、

前記シリコン窒化膜は、CVD 法により堆積されたシリコン窒化膜を、 NH_3 ガスまたは N_2 および H_2 を含むガスと Ar または Kr ガスを主体とするガスとよりなる混合ガスに

50

マイクロ波によりプラズマを励起することで形成される窒化水素ラジカル NH^* に曝すことで形成されることを特徴とするフラッシュメモリ素子の製造方法。

【請求項 13】

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成された第1の電極と、前記第1の電極上に電極間絶縁膜を挟んで形成された第2の電極とよりなり、前記電極間絶縁膜はシリコン酸化膜とシリコン窒化膜とを順次積層した2層構造を有し、前記第1の電極表面はポリシリコンより形成されているフラッシュメモリの製造方法であって、

前記シリコン窒化膜は、CVD法で堆積されたシリコン窒化膜を、 NH_3 ガスまたは N_2 および H_2 を含むガスとArまたはKrガスを主体とするガスとよりなる混合ガスにマイクロ波によりプラズマを励起することで形成される窒化水素ラジカル NH^* に曝すことで形成されることを特徴とするフラッシュメモリ素子の製造方法。

10

【請求項 14】

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成されたポリシリコンよりなる第1の電極と、前記第1の電極上に電極間酸窒化膜を挟んで形成された第2の電極とよりなるフラッシュメモリ素子の製造方法であって、前記電極間酸窒化膜は、

前記シリコン基板上にポリシリコン膜を前記第1の電極として堆積する工程と、

前記ポリシリコン層を、ArまたはKrを主とする不活性ガスと酸素および窒素を含むガスとの混合ガス中にマイクロ波により励起・形成されたプラズマに曝し、前記ポリシリコン膜の表面をシリコン酸窒化膜に変換する工程とにより形成されることを特徴とするフラッシュメモリの製造方法。

20

【発明の詳細な説明】

技術分野

本発明は一般に半導体装置およびその製造方法に係り、特に誘電体膜の形成方法、およびフラッシュメモリ素子を含む電氣的に情報の書き換えが可能な不揮発性半導体メモリ素子およびその製造方法に関する。

半導体メモリ装置には、揮発性メモリ装置であるDRAMやSRAM、不揮発性メモリであるマスクROMやPROM、EPROM、EEPROM等が含まれるが、メモリセル1個当たり1個のトランジスタを有するEEPROMであるいわゆるフラッシュメモリは小型・大容量・低消費電力を特徴とし、その改良に向けて多大の努力がなされている。特にフラッシュメモリを低電圧で長期間にわたり、安定して駆動するには、均一で優れた膜質の絶縁膜が必要不可欠である。

30

背景技術

まず、従来のフラッシュメモリ素子を、一般的な積層型ゲート(stacked-gate)構造を有するフラッシュメモリ素子の概念を示す図1を参照しながら説明する。

図1を参照するに、フラッシュメモリ素子はシリコン基板1700上に構成されており、前記シリコン基板1700中に形成されたソース領域1701およびドレイン領域1702と、前記シリコン基板1700上において前記ソース領域1701とドレイン領域1702との間に形成されたトンネルゲート酸化膜1703と、前記トンネルゲート酸化膜1703上に形成されたフローティングゲート1704とを含み、前記フローティングゲート1704上にはシリコン酸化膜1705とシリコン窒化膜1706とシリコン酸化膜1707とが順次積層され、さらに前記シリコン酸化膜1707上にはコントロールゲート1708が形成されている。すなわち、かかる積層構造のフラッシュメモリセルでは、図1に示されるように、フローティングゲート1704とコントロールゲート1708が絶縁膜1705、1706および1707よりなる絶縁構造を間に挟むように積層されている。

40

前記フローティングゲート1704とコントロールゲート1705間に設けられる前記絶縁構造は、フローティングゲート1704とコントロールゲート1705との間のリーク電流を抑えるため、このように窒化物膜1706を酸化物膜1705および1707で挟持した、いわゆるONO構造を有するのが一般的である。通常のフラッシュメモリ素子では、トンネルゲート酸化膜1703およびシリコン酸化膜1705は熱酸化法で、また、

50

シリコン窒化膜 1706、シリコン酸化膜 1707 は CVD 法で形成される。シリコン酸化膜 1705 は CVD で形成される場合もある。トンネルゲート酸化膜 1703 の膜厚は 8 nm 程度および絶縁膜 1705、1706、1707 の膜厚の総和は酸化膜厚換算で 15 nm 程度である。また、このメモリセルの他に、3~7 nm 程度の厚さのゲート酸化膜を有する低電圧用トランジスタと 15~30 nm 厚さのゲート酸化膜を有する高電圧用トランジスタが同一シリコン上に形成される。

このように構成された積層構造のフラッシュメモリセルでは、例えば一例として、情報の書き込み時にドレイン 1702 に約 5~7 V を印加し、さらにコントロールゲート 1708 に 12 V 程度以上の高電圧を印加することにより、ドレイン領域 1702 付近に発生するチャネルホット電子をトンネル絶縁膜 1703 を通してフローティングゲートに蓄積する。また、このようにして蓄積された電子を消去するときには、ドレイン領域 1702 をフローティングにし、コントロールゲート 1708 を接地し、ソース領域 1701 に 12 V 程度以上の高電圧を印加することで、前記フローティングゲート 1704 に蓄積された電子を前記ソース領域 1701 に引き抜く。

しかし、かかる従来のフラッシュメモリ素子は、情報の書き込み及び消去動作時に高電圧を必要とし、かかる高電圧の印加によって多量の基板電流が発生して、トンネル絶縁膜が劣化し、素子の特性の低下を招くという問題点があった。また、高電圧印加が原因となって、書き換え回数の制限や過消去等の問題を内包していた。

従来のフラッシュメモリ素子において高電圧を印加しなければならない原因は、絶縁膜 1705、1706 および 1707 からなる ONO 膜の膜厚が厚いことにある。

従来の成膜技術では、フローティングゲート 1704 上に前記絶縁膜 1705 として酸化膜を形成する際に熱酸化等の高温処理を使うとポリシリコンゲート 1704 と前記酸化膜との界面がサーマルバジェット等の影響で粗悪になってしまう問題が生じていた。一方、この問題を回避するために CVD 等の低温処理でかかる酸化膜を形成しようとした場合、高品質で薄膜の酸化膜を形成することが困難であった。このような理由で、従来のフラッシュメモリ素子では絶縁膜 1705、1706、1707 の膜厚を厚くすることで絶縁膜のリーク電流を抑制せざるを得なかった。

しかし絶縁膜 1705、1706、1707 の膜厚を厚くしなければならないことから、かかる従来のフラッシュメモリ素子では書き込みおよび消去電圧が必然的に高くなってしまい、その結果、前記トンネルゲート絶縁膜 1703 も、高電圧に耐えるよう厚くする必要があった。

発明の開示

そこで、本発明は上記の課題を解決した新規で有用なフラッシュメモリ素子およびその製造方法、および絶縁膜の形成方法を提供することを概括的課題とする。

本発明のより具体的な課題は、リーク電流を生じることなくトンネルゲート絶縁膜やフローティングゲートとコントロールゲートとの間の絶縁膜の膜厚を減少させることができ、低電圧で書き込み消去が可能な、低温で形成された高品質な絶縁膜を有する信頼性の高い高性能なフラッシュメモリ素子、およびその製造方法を提供することにある。

本発明の他の課題は、ポリシリコン上において高品質な絶縁膜を形成できる絶縁膜の形成方法を提供することにある。

本発明の他の課題は、

シリコン基板と、

前記シリコン基板上にトンネル絶縁膜を介して形成された第 1 の電極と、

前記第 1 の電極上に絶縁膜を挟んで形成された第 2 の電極とよりなるフラッシュメモリ素子において、前記第 1 の電極表面にはポリシリコンが存在し、

前記絶縁膜は少なくともシリコン酸化膜とシリコン窒化膜を 1 層ずつ含む積層構造を有し、前記シリコン酸化膜の少なくとも一部に 10^{10} cm^{-2} 以上の面密度の Kr を含有することを特徴とするフラッシュメモリ素子を提供することにある。

本発明によれば、フラッシュメモリ素子においてフローティングゲート電極とコントロールゲート電極との間の絶縁膜を、原子状酸素 O^* あるいは窒化水素ラジカル NH^* を効率

10

20

30

40

50

よく形成するArまたはKrプラズマ中における酸化反応あるいは窒化反応により形成することにより、前記絶縁膜の膜質が向上し、これに伴いリーク電流を増やすことなく前記絶縁膜の膜厚を低減することができる。その結果、本発明のフラッシュメモリ素子は低電圧で高速動作が可能で、また長い寿命を有する。

本発明のその他の課題は、

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成されたポリシリコンよりなる第1の電極と、前記第1の電極上に電極間絶縁膜を挟んで形成された第2の電極とよりなり、前記電極間絶縁膜は少なくともシリコン酸化膜とシリコン窒化膜を1層ずつ含む積層構造を有するフラッシュメモリ素子の製造方法であって、前記シリコン酸化膜は、CVD法により堆積されたシリコン酸化膜を、酸素を含むガスとKrガスを主体とする不活性ガスとよりなる混合ガスにマイクロ波によりプラズマを励起することで形成される原子状酸素 O^* に曝すことにより形成されることを特徴とするフラッシュメモリ素子の製造方法を提供することにある。

10

本発明によれば、前記電極間絶縁膜として優れたリーク電流特性を有する酸化膜が得られるため、簡単な構成で、フローティングゲート電極中に安定に電荷を保持でき、低電圧駆動が可能なフラッシュメモリを実現することができる。

本発明のその他の課題は、

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成されたポリシリコンよりなる第1の電極と、前記第1の電極上に電極間絶縁膜を挟んで形成された第2の電極とよりなり、前記電極間絶縁膜は少なくともシリコン酸化膜とシリコン窒化膜を1層ずつ含む積層構造を有するフラッシュメモリ素子の製造方法であって、前記シリコン窒化膜は、CVD法により堆積されたシリコン窒化膜を、 NH_3 ガスまたは N_2 および H_2 を含むガスとArまたはKrガスを主体とするガスとよりなる混合ガスにマイクロ波によりプラズマを励起することで形成された窒化水素ラジカル NH^* に曝すことで形成されることを特徴とするフラッシュメモリ素子の製造方法を提供することにある。

20

本発明によれば、前記電極間絶縁膜として優れたリーク電流特性を有する窒化膜が得られるため、簡単な構成で、フローティングゲート電極中に安定に電荷を保持でき、低電圧駆動が可能なフラッシュメモリを実現することができる。

本発明のその他の課題は、

基板上にポリシリコン膜を堆積する工程と、前記ポリシリコン膜の表面を、酸素を含むガスとKrガスを主体とする不活性ガスとよりなる混合ガスにマイクロ波によりプラズマを励起することで形成される原子状酸素 O^* に曝すことにより、前記ポリシリコン膜の表面にシリコン酸化膜を形成する工程とよりなることを特徴とするシリコン酸化膜の形成方法を提供することにある。

30

本発明によれば、原子状酸素 O^* に曝すことにより、ポリシリコン膜上にシリコン結晶の方位によらず、一様で均質なシリコン酸化膜を形成することが可能になる。かかるシリコン酸化膜は熱酸化膜に匹敵する、優れたリーク電流特性を有し、熱酸化膜の場合と同様なファウラー・ノルトハイム型のトンネリングを生じる。

本発明のその他の課題は、

基板上にポリシリコン膜を堆積する工程と、前記ポリシリコン膜の表面を、窒素と水素を成分元素として含むガスとArまたはKrガスを主体とする不活性ガスとよりなる混合ガスにマイクロ波によりプラズマを励起することで形成される窒化水素ラジカル NH^* に曝すことにより、前記ポリシリコン膜の表面に窒化膜を形成する工程とよりなることを特徴とするシリコン窒化膜の形成方法を提供することにある。

40

本発明によれば、ポリシリコン膜の表面に、優れた特性の窒化膜を形成することが可能になる。

本発明のその他の課題は、

基板上にポリシリコン層を堆積する工程と、前記ポリシリコン層を、ArまたはKrを主とする不活性ガスと酸素を成分元素として含

50

むガスと窒素を成分元素として含むガスとの混合ガス中にマイクロ波により励起・形成されたプラズマに曝し、前記ポリシリコン膜の表面を誘電体膜に変換する工程とよりなることを特徴とする誘電体膜の形成方法を提供することにある。

本発明によれば、前記ポリシリコン膜の表面に、優れた特性の酸窒化膜を形成することが可能になる。

本発明のその他の課題は、

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成されたポリシリコンよりなる第1の電極と、前記第1の電極上に電極間酸化膜を挟んで形成された第2の電極とよりなるフラッシュメモリ素子の製造方法であって、前記電極間酸化膜は、

前記シリコン基板上にポリシリコン膜を前記第1の電極として堆積する工程と、

前記ポリシリコン膜の表面を、酸素を含むガスとKrガスを主体とする不活性ガスとよりなる混合ガスにマイクロ波によりプラズマを励起することで形成される原子状酸素O^{*}に曝すことにより形成されることを特徴とするフラッシュメモリ素子の製造方法を提供することにある。

本発明によれば、前記電極間酸化膜として優れたリーク電流特性を有する酸化膜が得られるため、簡単な構成で、フローティングゲート電極中に安定に電荷を保持でき、低電圧駆動が可能なフラッシュメモリを実現することができる。

本発明のその他の課題は、

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成されたポリシリコンよりなる第1の電極と、前記第1の電極上に電極間窒化膜を挟んで形成された第2の電極とよりなるフラッシュメモリ素子の製造方法であって、前記電極間窒化膜は、

前記シリコン基板上にポリシリコン膜を前記第1の電極として堆積する工程と、

前記ポリシリコン膜の表面を、窒素と水素を含むガスとArまたはKrガスを主体とする不活性ガスとよりなる混合ガスにマイクロ波によりプラズマを励起することで形成される窒化水素ラジカルNH^{*}に曝すことにより形成されることを特徴とするシリコン窒化膜の形成方法を提供することにある。

本発明によれば、前記電極間窒化膜として優れたリーク電流特性の窒化膜が得られるため、簡単な構成で、フローティングゲート電極中に安定に電荷を保持でき、低電圧駆動が可能なフラッシュメモリ素子を実現することができる。

本発明の他の課題は、

シリコン基板と、前記シリコン基板上に絶縁膜を介して形成されたポリシリコンよりなる第1の電極と、前記第1の電極上に電極間酸窒化膜を挟んで形成された第2の電極とよりなるフラッシュメモリ素子の製造方法であって、前記電極間酸窒化膜は、

前記シリコン基板上にポリシリコン膜を前記第1の電極として堆積する工程と、

前記ポリシリコン層を、ArまたはKrを主とする不活性ガスと酸素および窒素を含むガスとの混合ガス中にマイクロ波により励起・形成されたプラズマに曝し、前記ポリシリコン膜の表面をシリコン酸窒化膜に変換する工程とにより形成されることを特徴とするフラッシュメモリの製造方法を提供することにある。

本発明によれば、電極間酸窒化膜として、優れたリーク電流特性を有する酸窒化膜が得られるため、フローティングゲート電極中に安定に電荷を保持でき、低電圧駆動が可能なフラッシュメモリ素子を実現することが可能である。

本発明のその他の課題は、

ポリシリコン膜上へのシリコン酸化膜の形成方法であって、

処理容器を備え、さらに前記処理容器の一部に被処理基板に平行に延在しプラズマガスを前記被処理基板に向って供給する多数の開口部を有するシャワープレートを備え、さらに前記シャワープレートを介して処理容器内にマイクロ波を照射するマイクロ波放射アンテナを備えたマイクロ波処理装置の処理容器中において、前記シャワープレートから前記処理容器中に、Krを主体とするガスと酸素を含むガスを供給し、前記マイクロ波放射アンテナから前記シャワープレートを介して前記処理容器中にマイクロ波を供給し、前記処理容器中において原子状酸素O^{*}を含むプラズマを形成する工程と、

10

20

30

40

50

前記処理容器中において、基板上に形成されたポリシリコン膜の表面を、前記プラズマにより酸化させ、シリコン酸化膜を形成する工程とよりなることを特徴とするシリコン酸化膜の形成方法を提供することにある。

本発明によれば、シャワープレートから一様に供給されるプラズマガスをマイクロ波により励起することで、処理室中に電子温度の低い高密度プラズマを形成でき、かかるプラズマにより、ポリシリコン膜を酸化する原子状酸素が効率的に形成される。このようにしてK r プラズマにより形成されたシリコン酸化膜は下地となりS i 結晶の方位に依存せず、従ってポリシリコン膜上に一様に形成される。かかるシリコン酸化膜は界面準位が少なく、リーク電流が少ない好ましい特徴を有する。本発明では前記ポリシリコンの酸化処理が550℃以下の低温で可能であり、その結果、かかる酸化処理を行ってもポリシリコン膜中に実質的な粒成長が生じることがなく、かかる粒成長に伴う酸化膜への電界集中等の問題が回避される。

10

本発明のその他の課題は、

ポリシリコン膜上へのシリコン窒化膜の形成方法であって、

処理容器を備え、さらに前記処理容器の一部に被処理基板に平行に延在しプラズマガスを前記被処理基板に向って供給する多数の開口部を有するシャワープレートを備え、さらに前記シャワープレートを介して処理容器内にマイクロ波を照射するマイクロ波放射アンテナを備えたマイクロ波処理装置の処理容器中において、前記シャワープレートから前記処理容器中に、A r またはK r を主体とするガスと窒素と水素とを含むガスとを供給し、前記マイクロ波放射アンテナから前記シャワープレートを介して前記処理容器中にマイクロ波を供給し、前記処理容器中において窒化水素ラジカルN H * を含むプラズマを形成する工程と、

20

前記処理容器中において、基板上に形成されたポリシリコン膜の表面を、前記プラズマにより窒化させ、シリコン窒化膜を形成する工程とよりなることを特徴とするシリコン窒化膜の形成方法を提供することにある。

本発明によれば、シャワープレートから一様に供給されるプラズマガスをマイクロ波により励起することで、処理室中に電子温度の低い高密度プラズマを形成でき、かかるプラズマにより、ポリシリコン膜を窒化する窒化水素ラジカルN H * が効率的に形成される。このようにしてK r プラズマにより形成されたシリコン窒化膜は低温で形成されているにもかかわらず、リーク電流が少ない好ましい特徴を有する。

30

本発明の他の課題は、

シリコン基板と、前記シリコン基板上にトンネル絶縁膜を介して形成された第1の電極と、前記第1の電極上に絶縁膜を挟んで形成された第2の電極とよりなり、前記絶縁膜は少なくともシリコン酸化膜とシリコン窒化膜を1層ずつ含む積層構造を有するフラッシュメモリ素子の製造方法であって、

前記シリコン酸化膜は、処理室中に酸素を含むガスとK r ガスを主体とするガスを導入し、マイクロ波により前記処理室中においてプラズマを励起することにより形成されることを特徴とするフラッシュメモリ素子の製造方法を提供することにある。

本発明によれば、前記第1の電極表面を原子状酸素O * を効率よく形成するK r プラズマ中において、低温で酸化処理することが可能になり、その結果前記シリコン酸化膜として界面準位の少ない、またリーク電流の小さい酸化膜を得ることができる。

40

本発明の他の課題は、

シリコン基板と、前記シリコン基板上にトンネル絶縁膜を介して形成された第1の電極と、前記第1の電極上に絶縁膜を挟んで形成された第2の電極とよりなり、前記絶縁膜は少なくともシリコン酸化膜とシリコン窒化膜を1層ずつ含む積層構造を有するフラッシュメモリ素子の製造方法であって、

前記シリコン窒化膜は、処理室中にN H ₃ ガスまたはN ₂ およびH ₂ を含むガスとA r またはK r ガスを主体とするガスを導入し、マイクロ波により前記処理室中にプラズマを励起することにより形成されることを特徴とするフラッシュメモリ素子の製造方法を提供することにある。

50

本発明によれば、前記第1の電極表面を窒化水素ラジカル NH^* を効率よく形成するArまたはKrプラズマ中において、低温で窒化处理することが可能になり、その結果前記シリコン窒化膜としてリーク電流の少ない窒化膜を得ることができる。

本発明のその他の特徴および利点は、以下に図面を参照しながら行う発明の詳細な説明より明らかとなる。

発明を実施するための最良の態様

以下に、本発明を実施例をあげて詳細に説明する。

[第1実施例]

まずは、プラズマを用いた低温の酸化膜形成について述べる。

図2は、本発明の酸化方法を実現するための、ラジアルラインスロットアンテナを用いたマイクロ波プラズマ処理装置の一例を示す断面図である(WO98/33362号公報参照)。本実施例においては、酸化膜形成時のためにKrをプラズマ励起ガスとして使用していることに新規な特徴がある。

図2を参照するに、前記マイクロ波プラズマ処理装置は被処理基板103を保持する試料台104を備えた真空容器(処理室)101を有し、前記処理室101内を真空にし、前記処理室101の壁面の一部に形成したシャワープレート102からKrガスおよび O_2 ガスを導入することで処理室内の圧力を1 Torr、(約133 Pa)程度に設定する。さらにシリコンウェハ等の円形状の基板を前記被処理基板103として加熱機構を持つ試料台104に置き、試料の温度を400℃程度に設定する。この温度設定は200-550℃の範囲であるのが好ましく、この範囲内であれば以下に述べる結果はほとんど同様のものとなる。

次に外部のマイクロ波源に接続された同軸導波管105から、ラジアルラインスロットアンテナ106および誘電体板107を通して、処理室101内に2.45 GHzのマイクロ波を供給し、処理室101内に高密度のプラズマを生成する。供給するマイクロ波の周波数が900 MHz以上10 GHz以下の範囲にあれば、以下に述べる結果はほとんど同様のものとなる。シャワープレート102と基板103の間隔は、本実施例では6 cmにしてある。この間隔は狭いほうがより高速な成膜が可能となる。

図2のマイクロ波プラズマ処理装置では、前記被処理基板103の表面において $1 \times 10^{12} \text{ cm}^{-3}$ を超えるプラズマ密度を実現することができる。また形成される高密度プラズマはマイクロ波により励起されるため電子温度が低く、被処理基板103の表面におけるプラズマ電位は10 V以下となる。このため被処理基板103表面がプラズマにより損傷することがなく、また処理室101のプラズマスパッタリングが生じないため、被処理基板103が汚染されることもない。またプラズマ処理がシャワープレート102と被処理基板103との間の狭い空間においてなされるため、反応生成物は前記空間を速やかに側方へと流れ、試料保持台104の周囲に形成された大容積の空間から排気されるため、非常に均一な処理が可能である。

このようにして形成されたKrガスと O_2 ガスが混合された高密度励起プラズマ中では、中間励起状態にある Kr^* と O_2 分子が衝突し、原子状酸素 O^* が効率よく発生し、この原子状酸素により基板表面が酸化される。従来のシリコン表面の酸化は H_2O 分子あるいは O_2 分子により行われ、処理温度は800℃以上と極めて高いものであったが、本発明の原子状酸素による酸化は、550℃以下と十分に低い温度で可能である。

Kr^* と O_2 の衝突機会を大きくするには、処理室101内の圧力が高い方が望ましいが、あまり高くすると、発生した O^* 同志が衝突し、 O_2 分子に戻ってしまう。このため当然ながら、最適ガス圧力が存在する。

図3に、前記処理室101内でのKrと酸素の圧力比をKr 97%、酸素3%に維持しながら処理室101の全圧を変えたときの、得られる酸化膜の厚さを示す。ただし図3の実験では、シリコン基板温度を400℃に設定し、酸化処理を10分間行っている。

図3を参照するに、前記処理室101内のガス圧が1 Torrの時に得られる酸化膜の膜厚は最大になり、この圧力ないしはその近傍の酸化条件が最適であることがわかる。しかも、この最適圧力は基板シリコンの面方位が100面でも111面でも変わらない。

図4は、前記Kr/O₂高密度プラズマを用いたシリコン基板表面の酸化処理の際に得られる酸化膜の膜厚と酸化時間との関係を示す。ただし図4中には、シリコン基板の面配向が(100)面と(111)面の場合の両方の結果を示している。また図4には、従来の900℃のドライ熱酸化による酸化時間依存性をも示している。

図4を参照するに、基板温度400℃、処理室内圧力1TorrでのKr/O₂高密度プラズマ酸化処理による酸化速度は、基板温度900℃での大気圧ドライO₂酸化の際の酸化速度よりも速いことがわかる。

また、従来の900℃ドライ熱酸化では(111)面方位シリコンの方が(100)面方位シリコンよりも酸化膜の成長速度が速いが、Kr/O₂高密度プラズマ酸化では、逆に(111)面方位シリコンの方が(100)面方位シリコンよりも成長速度が遅くなっているのがわかる。本来Si基板では(111)面方位の方が(100)面よりもシリコンの面原子密度が多いので、酸素ラジカルの供給量が同じであれば酸化速度は(111)面の方が(100)面よりも遅くなるはずである。Kr/O₂高密度プラズマを用いたシリコン基板表面酸化では、この予測通りになっており、(111)面上にも(100)面と同様に、緻密な酸化膜が形成されていると考えられる。これに対し従来の熱酸化処理では、(111)面の酸化速度の方が(100)面の酸化速度よりも大きくなっているが、このことは形成されている(111)面の酸化膜が(100)面上に形成された酸化膜に比べ疎であることを示している。

図5は、上記の手順で形成されるシリコン酸化膜中のKr密度の深さ方向分布を、全反射蛍光X線分光装置を用いて調べたものである。ただし図5の実験では、シリコン酸化膜の形成は、Kr中の酸素分圧を3%、処理室内の圧力を1Torr(約133Pa)とし、基板温度を400℃に設定して行っている。

図5を参照するに、Krの面密度はシリコン/シリコン酸化膜界面に近接するにつれて減少するが、シリコン酸化膜表面では $2 \times 10^{11} \text{ cm}^{-2}$ 程度の密度で含まれる。すなわち図5は、Kr/O₂高密度プラズマを用いたシリコン基板表面酸化で形成されるシリコン酸化膜は、膜厚が4nm以上の場合にはKr濃度が実質的に一定で、シリコン/シリコン酸化膜の界面に向かってKr濃度が減少する膜となることを示している。本発明のシリコン酸化膜形成方法によれば、 10^{10} cm^{-2} 以上の面密度のKrがシリコン酸化膜中に含有される。図5の結果は、(100)面上においても、また(111)面上においても、同様に得られる。

図6は、酸化膜の界面準位密度を、低周波C-V測定から求めた結果である。シリコン酸化膜の形成は図2に示した装置を用いて、基板温度400度で成膜した。希ガス中の酸素の分圧は3%、処理室内の圧力は1Torr(約133Pa)に固定した。比較のために、900度酸素100%の雰囲気中で成膜した熱酸化膜の界面準位密度も同時に示す。

図6を参照するに、Krガスを用いて成膜した酸化膜の界面準位密度は(100)面、(111)面とも低く、900℃のドライ酸化雰囲気中で成膜した(100)面に形成した熱酸化膜の界面準位密度と同等であることがわかる。これに対し、(111)面に形成した熱酸化膜の界面準位密度はこれらに比べ1桁以上大きい。

これは次のような機構によると考えられる。

シリコン結晶を酸化膜側からみると、(100)面ではシリコン原子の結合手が2本、(111)面ではシリコンの結合手が1本と3本交互に現れる。そこで従来の(111)面の熱酸化処理では、(111)面においてあるシリコン原子の3本の結合手に酸素原子が結合してしまうと、そのシリコン原子の後ろ側の結合手が伸びてウィークボンドになったり、切れてダングリングボンドになったりして界面準位が増加してしまう。

これに対し、KrとO₂の混合ガス的高密度励起プラズマ酸化を行うと、中間励起状態にあるKr*とO₂分子が衝突し原子状酸素O*が効率よく発生し、この原子状酸素がウィークボンドやダングリングボンドのところに効率よく達してシリコン-酸素の新たな結合をつくることで、(111)面においても界面準位を低減すると考えられる。

シリコン酸化膜成膜雰囲気におけるKr中での酸素の分圧と、シリコン酸化膜の絶縁耐圧、および、成膜されたシリコン酸化膜中の界面準位密度の関係を、処理室内の圧力を1T

10

20

30

40

50

o r r (約 1 3 3 P a) で成膜して測定すると、(1 0 0) 面、(1 1 1) 面とも同様の結果が得られ、K r 中の酸素分圧が 3 % のとき、界面順位密度は最小となり、熱酸化膜中の界面順位密度と同等の値が得られる。また、シリコン酸化膜の絶縁耐圧も、酸素分圧 3 % 付近で最大となる。このことから、K r / O₂ 混合ガスを用いて酸化を行うときの、酸素分圧は 2 - 4 % が好適である。

図 7 は、シリコン酸化膜成膜時の圧力と、シリコン酸化膜の絶縁耐圧、界面順位密度の関係である。このとき酸素の分圧は 3 % としている。

図 7 を参照するに、成膜時の圧力が 1 T o r r 付近でシリコン酸化膜の絶縁耐圧は最大となり、界面順位密度は最小となることがわかる。図 7 の結果から、K r / O₂ 混合ガスを用いて酸化膜を形成する場合の圧力は、8 0 0 - 1 2 0 0 m T o r r が最適であることがわかる。図 7 の結果は、(1 0 0) 面上においても、また (1 1 1) 面上においても、同様に得られる。

この他、酸化膜の耐圧特性、リーク特性、ホットキャリア耐性、ストレス電流を流したときのシリコン酸化膜が破壊に至るまでの電荷量 Q B D (C h a r g e - t o - B r e a k d o w n) などの電気的特性、信頼性的特性に関して、K r / O₂ 高密度プラズマを用いたシリコン基板表面酸化による酸化膜は、9 0 0 ° C の熱酸化と同様の良好な特性が得られた。

図 8 A, 8 B は、得られたシリコン酸化膜のストレス電流誘起リーク電流特性を、従来の熱酸化膜の場合と比較して示す。ただし図 8 A, 8 B において酸化膜の膜厚は 3 . 2 n m としている。

図 8 A, 8 B を参照するに、従来の熱酸化膜では電荷を注入するとリーク電流が増加するのに対して、本発明の K r / O₂ によるプラズマ酸化では 1 0 0 C / c m² の電荷を注入しても電流特性に変化がないことがわかる。すなわち、本発明のシリコン酸化膜ではトンネル電流を流しても酸化膜が劣化に至るまでの寿命が極めて長く、フラッシュメモリ素子のトンネル酸化膜として用いるのに最適である。

上述したように、K r / O₂ 高密度プラズマにより成長した酸化膜は、4 0 0 ° C という低温で酸化しているにもかかわらず、(1 0 0) 面、(1 1 1) 面とも、従来の (1 0 0) 面の高温熱酸化膜と同等ないしはより優れた特性を示している。こうした効果が得られるのは、酸化膜中に K r が含有されることにも起因している。酸化膜中に K r が含有されることにより、膜中や S i / S i O₂ 界面でのストレスが緩和され、膜中電荷や界面準位密度が低減され、シリコン酸化膜の電気的特性が大幅に改善されるためと考えられる。特に、図 5 に示されるように、密度において 1 0^{1 0} c m^{- 2} 以上の K r を含むことがシリコン酸化膜の電気的特性、信頼性的特性の改善に寄与していると考えられる。

[第 2 実施例]

次に、高密度マイクロ波プラズマを用いた低温での窒化膜形成について述べる。

窒化膜形成に使われる装置は図 2 の装置と同じであり、窒化膜形成時のために A r または K r をプラズマ励起ガスとして使用する。

すなわち前記真空容器 (処理室) 1 0 1 内を高真空状態に排気し、シャワープレート 1 0 2 から一例として A r ガスおよび N H₃ ガスを導入することにより処理室 1 0 1 内の圧力を 1 0 0 m T o r r (約 1 3 P a) 程度に設定する。さらにシリコンウェハ等の円形状の基板 1 0 3 を前記試料台 1 0 4 上に置き、基板温度を約 5 0 0 ° C に設定する。ただし基板温度が 4 0 0 - 5 5 0 ° C の範囲内であれば、ほとんど同様の結果が得られる。

次に前記同軸導波管 1 0 5 から、ラジアルラインスロットアンテナ 1 0 6 および誘電体板 1 0 7 を通して処理室内に 2 . 4 5 G H z のマイクロ波を供給し、処理室内に高密度プラズマを生成する。供給するマイクロ波の周波数が 9 0 0 M H z 以上 1 0 G H z 以下の範囲にあれば、ほとんど同様の結果が得られる。またシャワープレート 1 0 2 と基板 1 0 3 の間隔は、本実施例では 6 c m に設定してある。この間隔は狭いほうがより高速な成膜が可能となる。本実施例では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示すが、他の方法を用いてマイクロ波を処理室内に導入してもよい。

本実施例では、プラズマ励起ガスに A r を使用しているが、K r を用いても同様の結果を

得ることができる。また、本実施例では、プラズマプロセスガスに NH_3 を用いているが、 N_2 と H_2 などの混合ガスを用いても良い。

Ar または Kr と NH_3 （または N_2 と H_2 ）の混合ガスに励起された高密度プラズマ中では、中間励起状態にある Ar^* または Kr^* により、 NH^* ラジカルが効率よく発生し、この NH^* ラジカルにより基板表面が窒化される。従来よりシリコン表面の直接窒化についての報告はなく、窒化膜はプラズマCVD法などにより形成されているが、かかる方法ではトランジスタのゲート膜に使える高品質な窒化膜は得られていなかった。これに対し、本実施例のシリコン窒化によれば、シリコンの面方位を選ばず、 (100) 面でも (111) 面でも、低温で高品質な窒化膜を形成することが可能となる。

ところで、本発明のシリコン窒化膜形成においては、水素が存在することがひとつの重要な要件である。プラズマ中に水素が存在することにより、シリコン窒化膜中および界面のダングリングボンドが Si-H 、 N-H 結合を形成して終端され、その結果シリコン窒化膜および界面の電子トラップが無くなる。 Si-H 結合、 N-H 結合が本発明の窒化膜に存在することはそれぞれ赤外吸収スペクトル、X線光電子分光スペクトルを測定することで確認されている。水素が存在することで、CV特性のヒステリシスも無くなり、シリコン／シリコン窒化膜界面密度も、基板温度を 500°C 程度以上にすれば $3 \times 10^{10} \text{ cm}^{-2}$ と低く抑えることが可能である。希ガス（ Ar または Kr ）と N_2/H_2 の混合ガスを使用してシリコン窒化膜を形成する場合には水素ガスの分圧を0.5%以上とすることで、膜中の電子や正孔のトラップが急激に減少する。

図9は、上述の手順で作成したシリコン窒化膜厚の圧力依存性を示す。ただし $\text{Ar}:\text{NH}_3$ の分圧比は98:2、成膜時間は30分とした。

図9を参照するに、窒化膜の成長速度は処理室101内の圧力を下げて希ガス（ Ar または Kr ）が NH_3 （または N_2/H_2 ）に与えるエネルギーを増した方が速くなることがわかる。窒化の効率化の観点からは、ガス圧力は50～100mTorr（約7～13Pa）が好ましい。また、希ガス中の NH_3 （または N_2/H_2 ）の分圧は1～10%の範囲が良く、さらに好ましくは2～6%が良い。

本実施例のシリコン窒化膜の誘電率は7.9であり、シリコン酸化膜の約2倍のものが得られた。

図10は、本実施例のシリコン窒化膜の電流電圧特性を示す。ただし図10に示す結果は、 $\text{Ar}/\text{N}_2/\text{H}_2$ ガスをを用い、 $\text{Ar}:\text{N}_2:\text{H}_2$ の分圧比を93:5:2に設定し、厚さが4.2nmのシリコン窒化膜（誘電率換算酸化膜2.1nmに相当）を成膜したときのものであり、この結果を図10では厚さが2.1nmの熱酸化膜と比較して示している。

図10を参照するに、1Vの電圧印加時にシリコン酸化膜より4桁以上も低いリーク電流特性が得られるのがわかる。これは、得られたシリコン窒化膜が、フラッシュメモリ素子においてフローティングゲート電極とコントロールゲート電極間のリーク電流を抑制するのに適した絶縁膜であることを示している。

上述した成膜条件、物性的・電気的特性はシリコンの面方位によらず、 (100) 面でも (111) 面でも同様であり、本実施例によれば、いずれの面方位においても優れた膜質のシリコン窒化膜を得ることができる。本発明の効果は、酸化膜中に Si-H 結合、 N-H 結合だけでなく Ar または Kr が含有されることにも関係しており、窒化膜中やシリコン／窒化膜界面でのストレスが緩和され、シリコン窒化膜中の固定電荷や界面準位密度が低減されて、電気的特性、信頼性的特性が大幅に改善されるものと考えられる。特に、図5に示されたシリコン酸化膜の場合と同様に、密度において 10^{10} cm^{-2} 以上の Ar または Kr を含むことがシリコン窒化膜の電気的特性、信頼性的特性の改善に寄与していると考えられる。

[第3実施例]

以上説明した酸化膜および窒化膜形成方法は、ポリシリコンの酸化・窒化に対しても同様に適用され、良質な酸化膜、窒化膜をポリシリコン上に形成することが可能である。

以下、本発明の第3実施例による、ポリシリコン膜上への誘電体膜の形成方法を、図11

10

20

30

40

50

(A)、(B)を参照しながら説明する。

図11(A)を参照するに、絶縁膜202で覆われたシリコン基板201上にはポリシリコン膜203が堆積される。そこで、かかるポリシリコン膜203を図11(B)の工程で、図2で説明したマイクロ波プラズマ処理装置の処理容器101内においてKrあるいはArと酸素の高密度混合ガスプラズマに曝すことにより、ポリシリコン膜203の表面に、膜質の優れた、すなわち界面準位密度が小さくリーク電流の少ないシリコン酸化膜204を得ることができる。

また図11(B)の工程で、前記ポリシリコン膜203をKrあるいはArとNH₃あるいはN₂とH₂の高密度混合ガスプラズマに曝すことにより、前記ポリシリコン膜203の表面に同様な、膜質の優れた窒化膜205を得ることができる。

また、図11(B)の工程で、前記ポリシリコン膜203をKrあるいはArと酸素およびNH₃、あるいはN₂とH₂の高密度混合ガスプラズマに曝すことにより、前記ポリシリコン膜203の表面に膜質の優れた酸窒化膜206を得ることができる。

絶縁膜上に形成されるポリシリコンは、(111)面方位が絶縁膜に対して垂直方向になった状態が安定であり、かつ緻密で結晶性が良く高品質なものとなるが、実際には他の面方位を持った結晶粒もポリシリコン内に存在する。本実施例による酸化膜、窒化膜あるいは酸窒化膜の形成方法によれば、上に説明したように、シリコンの面方位によらず高品質な酸化膜、窒化膜あるいは酸窒化膜を形成することができる。このため、図11(A)、(B)のプロセスは、フラッシュメモリのフローティング電極である第1ポリシリコンゲート電極等のポリシリコン膜上に薄い高品質な酸化膜、窒化膜および酸窒化膜を低温で形成するのに最適である。また、本発明の酸化膜、窒化膜および酸窒化膜は550℃以下の低温で形成できるので、ポリシリコン表面が荒れることがない。

図12は、(100)面方位を有するSi基板の上に厚さが100nmの熱酸化膜を形成し、かかる熱酸化膜上にさらに形成された厚さが200nmのn型ポリシリコン膜について行われた酸化膜形成実験の結果を、Si基板の(100)面および(111)面を直接に酸化した場合と比較して示す。ただし図12中、縦軸は形成された酸化膜の厚さを、また横軸は時間を示す。さらに図12中、▲はこのようにして形成されたポリシリコン膜表面をKr/O₂プラズマにより処理して酸化膜を形成した場合を、●はSi基板の(100)面をKr/O₂プラズマにより処理して酸化膜を形成した場合を、また■はSi基板の(111)面をKr/O₂プラズマにより処理して酸化膜を形成した場合を示す。一方図12中、○はSi基板の(100)面を熱酸化した場合を、□はSi基板の(111)面を熱酸化した場合を、さらに△はポリシリコン膜の表面を熱酸化した場合を示す。前記Kr/O₂プラズマ処理は先に図2で説明した装置を使い、処理室101の内圧を1 Torr(約133 Pa)に、また供給されるKrガスと酸素ガスの流量比を97:3に設定し、温度を400℃に設定して行っている。これに対し前記熱処理工程は、900℃の100%酸素雰囲気中において行っている。図12の実験では、前記ポリシリコン膜は10²⁰ cm⁻³を超えるキャリア濃度にドーピングされている。

図12を参照するに、酸化処理にKr/O₂プラズマを使った場合には先にも説明したように(100)面と(111)面の面方位依存性はほとんど見られず、ポリシリコン膜表面を酸化した場合にもほぼ同様の酸化速度が得られていることがわかる。またこの酸化速度は、ポリシリコン膜を熱酸化処理した場合とほとんど同じであることがわかる。これに対し、従来の熱酸化処理では、Si基板表面を酸化した場合には酸化速度がはるかに遅く、形成される酸化膜の厚さが薄いことがわかる。

図12より、酸化処理にKr/O₂プラズマを使った場合、酸化されるSi表面がいずれの面方位の単結晶表面であっても、また粒界を含む多結晶表面であっても、ほぼ同様な酸化速度を得ることができるのがわかる。

図13Aは、このようにして形成されたポリシリコン膜の表面を、酸化処理をほどこす前に原子間力顕微鏡で検査した結果を示す。

これに対し図13Bは、図13Aの表面をKr/O₂プラズマにより処理した状態、すなわち表面に酸化膜が形成されているポリシリコン表面の状態を示す。さらに図13Cは、

図13Bの表面から酸化膜をHF処理により除去した状態のポリシリコン表面の表面を示す。

図13A～図13Cを参照するに、前記Kr/O₂プラズマを使った酸化処理は400℃程度の低温でも効率よく実効されるため、ポリシリコン膜中において結晶粒の成長がほとんど生じておらず、表面の荒れが抑制され、形成される酸化膜はほぼ様な厚さを有することがわかる。

これに対し図14Aは図13Aのポリシリコン膜を900℃で熱酸化した場合の酸化膜を含んだ表面状態を、また図14Bは図14Aにおいて酸化膜を除去した表面状態を示す。

図14A、14Bを参照するに、ポリシリコン膜中には熱処理により実質的な結晶粒成長が生じており、その結果ポリシリコン膜の表面が荒れているのがわかる。このように荒れた表面に薄い酸化膜を形成した場合には電界集中の影響を受けやすく、リーク電流特性あるいは耐圧特性に問題が生じる。

図15A、15Bは、ポリシリコン膜表面に、前記Kr/O₂プラズマ処理により酸化膜を形成した試料の断面を透過型電子顕微鏡により観察した結果を示す。ただし図15Bは図15Aの一部の拡大図になっている。

図15Aを参照するに、前記酸化膜（polyoxideと表記）上にはAl層が形成されているが、前記酸化膜はポリシリコン膜表面に様な厚さで形成されているのがわかる。また図15Bの拡大図を参照するに、前記酸化膜は様なものであるのがわかる。

図16は、このようにしてポリシリコン膜上に得られたシリコン酸化膜の電流密度と印加電界との関係、熱酸化膜と比較して示す。また図17は、図16をファウラー・ノルトハイムプロットで示した図である。

図16、17を参照するに、ポリシリコン膜のKr/O₂プラズマによる酸化処理により形成された酸化膜では、トンネル電流は印加電界が5MV/cmを超えたあたりで立ち上がり、図17のプロットより、膜中を流れるトンネル電流は、熱酸化膜の場合と同様にファウラー・ノルトハイム型のトンネル電流であることがわかる。また図17より、Kr/O₂プラズマによる酸化処理で形成された酸化膜ではトンネル電流のバリア高さφ_Bが、熱酸化膜の場合よりも大きくなり、また降伏電圧も従来の熱酸化膜よりも大きくなっているのがわかる。

[第4実施例]

次に、上述したマイクロ波プラズマを用いた低温での酸化膜形成技術を使用した、本発明の第4実施例によるフラッシュメモリ素子の構成を、図18を参照しながら説明する。

図18を参照するに、フラッシュメモリ素子はシリコン基板1001上に構成されており、前記シリコン基板1001に形成されたトンネル酸化膜1002と、前記トンネル酸化膜1002上に形成されフローティングゲート電極となる第1のポリシリコンゲート電極1003とを含み、前記ポリシリコンゲート電極1003上にはシリコン酸化膜1004が形成され、さらに前記シリコン酸化膜1004上にはコントロールゲート電極となる第2のポリシリコンゲート電極1008が形成されている。図18中、ソース領域、ドレイン領域、コンタクトホール、配線パターンなどの図示は省略して記載している。

かかる構成のフラッシュメモリ素子において、前記ポリシリコンゲート電極1003を図2のマイクロ波プラズマ処理装置中において、Kr/O₂をプラズマガスとした高密度プラズマに曝すことにより、前記酸化膜1004としてリーク電流の少ない優れた膜が得られるため、前記酸化膜1004の膜厚を減少させることが可能になり、フラッシュメモリ素子を低電圧で駆動することが可能になる。

なお、図18のフラッシュメモリ素子において、前記酸化膜1004の代わりに、先に説明したKr/NH₃プラズマ処理工程により形成された窒化膜1005、あるいは先の実施例で説明した酸窒化膜1009を使うことも可能である。

[第5実施例]

次に、上述したマイクロ波プラズマを用いた低温の酸化膜と窒化膜の形成技術を使用した、ポリシリコン/シリサイド積層構造のゲート電極を有する高電圧用トランジスタと低電

10

20

30

40

50

圧用トランジスタを包含する、本発明の第5実施例によるフラッシュメモリ素子の製造工程を説明する。

図19は、本実施例によるフラッシュメモリ素子1000の概略断面構造を示す。

図19を参照するに、フラッシュメモリ素子1000はシリコン基板1001上に構成されており、前記シリコン基板1001に形成されたトンネル酸化膜1002と、前記トンネル酸化膜1002上に形成されフローティングゲート電極となる第1のポリシリコンゲート電極1003とを含み、前記ポリシリコンゲート電極1003上にはシリコン窒化膜1004と、シリコン酸化膜1005と、シリコン窒化膜1006と、シリコン酸化膜1007とが順次形成され、さらに前記シリコン窒化膜1007上にはコントロールゲート電極となる第2のポリシリコンゲート電極1008が形成されている。図19中、ソース領域、ドレイン領域、コンタクトホール、配線パターンなどの図示は省略して記載している。

10

本実施例のフラッシュメモリでは、前記シリコン酸化膜1002、1005、1007が先に説明したシリコン酸化膜形成方法により、また、シリコン窒化膜1004、1006が先に説明したシリコン窒化膜形成方法により形成されるので、これらの膜の膜厚を従来の酸化膜、窒化膜の約半分にまで減小させても、良好な電気的特性が保証される。

次に、本実施例のフラッシュメモリ素子を含む半導体集積回路の製造方法を、図20～図25を参照しながら説明する。

図20を参照するに、シリコン基板1101上にはフィールド酸化膜1102によりフラッシュメモリセル領域Aと、高電圧用トランジスタ領域Bと、低電圧用トランジスタ領域Cとが画成されており、各々の領域A～Cにはシリコン酸化膜1103が形成されている。前記フィールド酸化膜1102は、選択酸化法（LOCOS法）やシャロートレンチアイソレーション法などで形成することができる。

20

本実施例においては、酸化膜および窒化膜形成のためにKrをプラズマ励起ガスとして使用する。酸化膜および窒化膜の形成には、図2のマイクロ波プラズマ処理装置を使用する。

次に図21の工程において、前記メモリセル領域Aにおいてシリコン酸化膜1103を除去し、さらに前記メモリセル領域Aにトンネル酸化膜1104を約5nmの厚さに形成する。前記トンネル酸化膜1104を形成する際には、真空容器（処理室）101内を真空にし、シャワープレート102からKrガスおよびO₂ガスを導入し、処理室内の圧力を1 Torr（約133 Pa）程度、シリコンウェハの温度を450℃に設定し、同軸導波管105から供給される周波数が2.56 GHzのマイクロ波を、ラジアルラインスロットアンテナ106および誘電体板107を通して処理室内に供給し、高密度のプラズマを生成する。

30

図21の工程では、前記トンネル酸化膜1104の形成の後、さらに第1のポリシリコン層1105を、前記トンネル酸化膜1104を覆うように堆積し、さらに水素ラジカル処理により、堆積したポリシリコン層1105の表面を平坦化する。次に、前記高電圧用トランジスタ領域Bおよび低電圧用トランジスタ領域Cから前記第1ポリシリコン層1105をパターニングにより除去し、前記メモリセル領域Aのトンネル酸化膜1104上のみ、前記第1ポリシリコン1105を残す。

40

次に図22の工程において前記図21の構造上に、下部窒化膜1106Aと下部酸化膜1106Bと上部窒化膜1106Cと上部酸化膜1106Dとを順次形成し、NONO構造を有する絶縁膜1106を、図2のマイクロ波プラズマ処理装置を使って形成する。

より詳細に説明すると、図2のマイクロ波プラズマ処理装置において真空容器（処理室）101内を高真空状態に排気し、さらにシャワープレート102からKrガス、N₂ガス、H₂ガスを導入し、処理室内の圧力を100 mTorr（約13 Pa）程度に、またシリコンウェハの温度を500℃に設定する。そして、この状態で前記同軸導波管105からの周波数が2.45 GHzのマイクロ波をラジアルラインスロットアンテナ106および誘電体板107を通して処理室内に供給し、処理室内に高密度のプラズマを生成する。その結果、前記ポリシリコン表面には、約2 nmの厚さのシリコン窒化膜が、前記下部窒

50

化膜 1106A として形成される。

次に、マイクロ波の供給を一時停止した後、Kr ガス、N₂ ガス、H₂ ガスの導入を止め、真空容器（処理室）101 内を排気する。次いで前記シャワープレート 102 から Kr ガスおよび O₂ ガスを導入し、処理室内の圧力を 1 Torr（約 133 Pa）程度に設定した状態で、再び 2.45 GHz のマイクロ波を供給することにより、前記処理室 101 内に高密度のプラズマを生成して、厚さが約 2 nm のシリコン酸化膜を、前記下部酸化膜 1106B として形成する。

次に、再びマイクロ波の供給を一時停止した後、Kr ガス、O₂ ガスの導入を止め、真空容器（処理室）101 内を排気する。さらに前記シャワープレート 102 から Kr ガス、N₂ ガスおよび H₂ ガスを導入し、処理室内の圧力を 100 mTorr（約 13 Pa）程度に設定し、この状態で 2.45 GHz のマイクロ波を供給することにより、前記処理室 101 内に高密度のプラズマを生成する。かかる高密度プラズマ処理により、さらに 3 nm の厚さのシリコン窒化膜が形成される。

最後にマイクロ波の供給を一時停止した後、Kr ガス、N₂ ガス、H₂ ガスの導入を止め、真空容器（処理室）101 内を排気し、シャワープレート 102 から Kr ガス、O₂ ガスを導入して、処理室内の圧力を 1 Torr（約 133 Pa）程度に設定する。この状態で再び 2.45 GHz のマイクロ波を供給することにより、前記処理室 101 内に高密度のプラズマを生成して、厚さが 2 nm のシリコン酸化膜を前記上部酸化膜 1106D として形成する。

すなわち、このような工程により、NONO 構造を有する絶縁膜 1106 を 9 nm の厚さに形成することができる。このようにして形成された NONO 膜 1106 では、ポリシリコンの面方位依存も見られず、各々の酸化膜および窒化膜の膜厚および膜質は極めて均一である。

図 22 の工程では、さらにこのようにして形成された絶縁膜 1106 をパターンニングし、高電圧用トランジスタ領域 B および低電圧用トランジスタ領域 C において選択的に除去する。

次に図 23 の工程において高電圧用トランジスタ領域 B および低電圧用トランジスタ領域 C 上に閾値電圧制御用のイオン注入を行い、さらに前記領域 B および C 上の酸化膜 1103 を除去する。さらに前記高電圧用トランジスタ領域 B にはゲート酸化膜 1107 を 7 nm の厚さに形成し、次いで低電圧用トランジスタ領域 C にゲート酸化膜 1108 を 3.5 nm の厚さに形成する。

図 23 の工程では、その後前記フィールド酸化膜 1102 を包含する構造全体上に第 2 のポリシリコン層 1109 及びシリサイド層 1110 を順次形成し、さらにこれらをパターンニングすることにより、前記高電圧用及び低電圧用トランジスタ領域 B、C にゲート電極 1111B、1111C をそれぞれ形成する。次に、メモリセル領域において前記ポリシリコン層 1109 およびシリサイド層 1110 をパターンニングしてゲート電極 1111A を形成する。

最後に、標準的な半導体工程に準拠して、ソース・ドレイン形成、絶縁膜形成、コンタクト形成、配線形成などを行って素子を完成させる。

このようにして形成された NONO 膜 1106 中のシリコン酸化膜およびシリコン窒化膜は非常に薄膜化されているが、にもかかわらず良好な電気的特性を有し、緻密でまた高品質であることを特徴とする。かかるシリコン酸化膜およびシリコン窒化膜は低温で形成されているためゲートポリシリコンと酸化膜との界面でサーマルバジェット等が発生することはなく、良好な界面特性が得られる。

本発明のフラッシュメモリ素子を 2 次元に複数配置して作成したフラッシュメモリ集積回路装置は、情報の書き込み及び消去動作が低電圧で行え、基板電流の発生を抑制することができ、トンネル絶縁膜の劣化が抑えられ、素子の特性が安定する。本発明のフラッシュメモリ素子は優れた低リーク特性をもち、書き込み消去が 7 V 程度の電圧で動作可能であり、メモリ保持時間を従来より 1 桁以上、書き換え可能回数を約 1 桁以上増すことができる。

〔第6実施例〕

次に、前記高密度マイクロ波プラズマを用いた低温での酸化膜と窒化膜の形成技術を使用した、ポリシリコン／シリサイド積層構造のゲート電極を有する、本発明の第6実施例によるフラッシュメモリ素子について説明する。

図24は、本実施例によるフラッシュメモリ素子1500の概略断面構造を示す。

図24を参照するに、フラッシュメモリ素子1500はシリコン基板1501上に形成されており、前記シリコン基板1501に形成されたトンネル窒化膜1502と、前記トンネル窒化膜1502上に形成されフローティングゲート電極となる第1のポリシリコンゲート電極1503とを含み、前記第1のポリシリコンゲート電極1503上にはシリコン酸化膜1504と、シリコン窒化膜1505、とシリコン酸化膜1506とが順次形成されている。さらに、前記シリコン酸化膜1506上にはコントロールゲート電極となる第2ポリシリコン電極1507が形成されている。図24中、ソース領域、ドレイン領域、コンタクトホール、配線パターンなどの図示は省略して記載している。

図24のフラッシュメモリ素子1500では、前記シリコン酸化膜1502、1504および1506は先に説明した高密度マイクロ波プラズマを使ったシリコン酸化膜形成方法により、また、シリコン窒化膜1505は先に説明した高密度マイクロ波プラズマを使ったシリコン窒化膜形成方法により形成される。

次に本実施例のフラッシュメモリ集積回路の作成方法を説明する。

本実施例においても、前記第1のポリシリコン層1503をパターンニングするまでの工程は先の図20および図21の工程と同様である。ただし、本実施例では、前記トンネル窒化膜1502は、真空容器（処理室）101内を排気してから、シャワープレート102からArガス、N₂ガス、H₂ガスを導入し、処理室内の圧力を100mTorr（約13Pa）程度に設定し、2.45GHzのマイクロ波を供給し、処理室内に高密度のプラズマを生成することにより形成されており、約4nmの厚さを有する。

このようにして前記第1のポリシリコン層1503が形成された後、前記領域Aにおいて前記第1のポリシリコン層上に、下部シリコン酸化膜1504とシリコン窒化膜1505と上部シリコン酸化膜1506とが順次形成され、ONO構造を有する絶縁体膜が形成される。

より詳細に説明すると、先に図2で説明したマイクロ波プラズマ処理装置の真空容器（処理室）101内を高真空状態に排気し、シャワープレート102からKrガス、O₂ガスを導入し、処理室101内の圧力を1Torr（約133Pa）程度に設定する。この状態で2.45GHzのマイクロ波を前記処理室101内に供給し、高密度のプラズマを生成することにより、前記第1のポリシリコン層1503の表面に約2nmの厚さのシリコン酸化膜が形成される。

次に、前記シリコン酸化膜上にCVD法によりシリコン窒化膜を3nm形成した後、真空容器（処理室）101内を排気し、さらにシャワープレート102からArガス、N₂ガス、H₂ガスを導入し、処理室内の圧力を1Torr（約133Pa）程度に設定する。この状態で再び2.45GHzのマイクロ波を供給することにより前記処理室101内に高密度プラズマを生成し、前記シリコン窒化膜を高密度プラズマに伴う窒化水素ラジカルNH*に曝すことにより、緻密なシリコン窒化膜へと変換する。

次に、前記緻密なシリコン窒化膜上にCVD法により、シリコン酸化膜を約2nmの厚さに形成し、再び、マイクロ波プラズマ装置により、シャワープレート102からKrガス、O₂ガスを導入し、処理室101内の圧力を1Torr（約133Pa）程度に設定する。この状態で再び2.45GHzのマイクロ波を前記処理室101中に供給することにより、前記処理室101中に高密度のプラズマを生成する。前記CVD法で形成した酸化膜を、前記高密度プラズマに伴う原子状酸素O*に曝すことにより、前記CVDシリコン酸化膜は緻密なシリコン酸化膜に変換される。

このようにして前記ポリシリコン膜1503上にはONO膜が約7nmの厚さに形成されるが、形成されたONO膜にはポリシリコンの面方位依存も見られず、ONO膜は極めて均一な膜厚を有する。かかるONO膜には、その後、高電圧用及び低電圧用トランジスタ

10

20

30

40

50

領域B、Cに対応する部分を除去するパターニング工程を行い、引き続き、先の第4実施例と同様の工程を行うことにより、素子を完成させる。

このフラッシュメモリ素子は優れた低リーク特性をもっており、書き込み消去電圧は6V程度で動作可能で、先の実施例のフラッシュメモリ1000と同様に、メモリ保持時間を従来より1桁以上、書き換え可能回数を約1桁以上増すことができる。

[第7実施例]

次に、前記マイクロ波高密度プラズマを用いた低温酸化膜と窒化膜の形成技術を使用した、ポリシリコン/シリサイド積層構造のゲート電極を有する本発明の第7実施例によるフラッシュメモリ素子1600について説明する。

図25は、前記フラッシュメモリ素子1600の概略的断面構造を示す。

図25を参照するに、本実施例のフラッシュメモリ素子1600はシリコン基板1601上に形成されており、前記シリコン基板1601上に形成されたトンネル酸化膜1602と、前記トンネル酸化膜1602上に形成されフローティングゲート電極を構成する第1のポリシリコンゲート電極1603とを含み、前記第1のポリシリコンゲート電極1603上にはシリコン窒化膜1604と、シリコン酸化膜1605とが順次形成されている。さらに、前記シリコン酸化膜1605上にはコントロールゲート電極となる第2ポリシリコンゲート電極1606が形成されている。

図25中、ソース領域、ドレイン領域、コンタクトホール、配線パターンなどの図示は省略して記載している。

図25のフラッシュメモリ1600において、前記シリコン酸化膜1602、1605は上に説明したシリコン酸化膜形成方法により、また、シリコン窒化膜1604は上に説明したシリコン窒化膜形成方法により形成される。

次に本実施例によるフラッシュメモリ集積回路の製造方法を説明する。

本実施例においても前記第1のポリシリコン層1603をパターニングするまでは、実施例1と同様で、前記第1のポリシリコン層1603を領域Aに形成した後、前記第1のポリシリコン層1603上にシリコン窒化膜及びシリコン酸化膜を順次形成してNO構造を有する絶縁体膜を形成する。

より詳細に説明すると、前記NO膜は、図2のマイクロ波プラズマ処理装置を使って次のようにして形成される。

真空容器（処理室）101内を真空にし、シャワープレート102からKrガス、N₂ガス、H₂ガスを導入し、処理室内の圧力を100mTorr（約13Pa）程度に設定する。この状態で2.45GHzのマイクロ波を供給し、処理室内に高密度のプラズマを生成して、前記ポリシリコン層1603の窒化反応により約3nmの厚さのシリコン窒化膜を形成する。

次に、CVD法によりシリコン酸化膜を約2nmの厚さに形成し、再び前記マイクロ波プラズマ処理装置において前記シャワープレート102からKrガスおよびO₂ガスを導入し、処理室内の圧力を1Torr（約133Pa）程度に設定する。この状態で周波数が2.45GHzのマイクロ波を供給することにより、処理室内に高密度のプラズマを生成し、CVD法で形成した酸化膜を、前記高密度プラズマに伴う原子状酸素O*に曝す。その結果、前記CVD酸化膜は緻密なシリコン酸化膜に変換される。

このようにして形成されたNO膜は約5nmの厚さを有するが、ポリシリコンの面方位依存も見られず、極めて均一な膜厚であった。前記NO膜は、このようにして形成された後、パターニングされ、高電圧用及び低電圧用トランジスタ領域B、Cに形成された部分が選択的に除去される。

さらに引き続き、図23の工程と同様の工程を行い、素子を完成させた。

このようにして形成されたフラッシュメモリ素子は優れた低リーク特性をもっており、書き込み消去を5V程度の低電圧で行うことが可能で、先の実施例のフラッシュメモリ素子と同様に、メモリ保持時間を従来より1桁以上、書き換え可能回数を約1桁以上増すことが出来る。

以上の実施例に示したメモリセル、高電圧用トランジスタ、低電圧用トランジスタの形成

10

20

30

40

50

方法はあくまで一例であり、本発明はこれらに限定されるものではない。本発明の窒化膜形成にはK rの代わりにA rを用いてもよく、また前記第1および第2のポリシリコン層の代わりに、ポリシリコン／シリサイド、ポリシリコン／高融点金属／アモルファスシリコンまたはポリシリコンなどの積層構造を有する膜を使うことも可能である。

また、本発明の酸化膜・窒化膜を実現するためには、図2のマイクロ波プラズマ処理装置の他に、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用してもかまわない。本発明の実施例ではラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示したが、他の方法を用いてマイクロ波を処理室内に導入してもよい。

また、図2のマイクロ波プラズマ処理装置の代わりに、K rガスあるいはA rガス等のプラズマガスを第1のシャワープレートより放出し、処理ガスを前記第1のガス放出部とは異なる第2のシャワープレートから放出する2段シャワープレート型プラズマプロセス装置を使うことも可能である。この場合は、例えば酸素ガスを前記第2のシャワープレートより放出するようにしてもよい。また、前記第1のポリシリコン電極によりフラッシュメモリ素子のフローティングゲート電極を形成すると同時に、同じ第1のポリシリコン電極により、高電圧用トランジスタのゲート電極が形成されるようにプロセスを設計することも可能である。

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、本発明の要旨内において様々な変形・変更が可能である。

産業上の利用可能性

本発明によれば、550℃以下の低温の新規なプラズマ酸化・窒化で成膜したK rを含有する絶縁膜を使用することで、1000℃程度の高温で成膜したシリコン熱酸化膜およびCVD成膜したシリコン窒化膜と同程度ないしはそれより優れた特性、信頼性を有する高品質はシリコン酸化膜、シリコン窒化膜あるいはシリコン酸窒化膜をポリシリコン上に形成することが可能になり、低電圧で書き換え動作が可能で、電荷保持特性の優れた高品質で高性能なフラッシュメモリ素子を実現することが可能となった。

【図面の簡単な説明】

図1は、従来のフラッシュメモリ素子の断面構造の概略断面構造を示す図；

図2はラジアルラインスロットアンテナを用いたプラズマ装置の概念を示す図；

図3は本発明の第1実施例により形成された酸化膜について、得られた酸化膜厚と処理室内のガス圧力との関係を示す図；

図4は本発明の第1実施例により形成された酸化膜について、得られた酸化膜厚の酸化時間依存性を示す図；

図5は本発明の第1実施例によるシリコン酸化膜中のK r密度の深さ方向分布を示す図；

図6は本発明の第1実施例によるシリコン酸化膜の界面準位密度を示す図；

図7は本発明の第1実施例によるシリコン酸化膜中の界面準位密度と絶縁耐圧との関係を示す図；

図8A、8Bは本発明の第1実施例において得られたシリコン酸化膜中の界面準位密度および絶縁耐圧と、処理室内の全圧との関係を示す図；

図9は本発明の第2実施例により形成された窒化膜について、窒化膜厚の処理室内ガス圧力依存性を示す図；

図10は本発明の第2実施例によるシリコン窒化膜の電流電圧特性を示す図；

図11A、11Bは、本発明の第3実施例によるポリシリコン膜の酸化処理、窒化処理および酸窒化処理を示す図；

図12は、本発明の第3実施例によるポリシリコン膜の酸化処理について、得られた酸化膜厚の酸化時間依存性を示す図；

図13A～13Cは、本発明の第3実施例によるポリシリコン膜の酸化処理に伴う表面状態の変化を示す図；

図14A、14Bは、ポリシリコン膜を熱酸化処理した場合の表面状態の変化を示す図；

図15A、15Bは、本発明の第3実施例により形成されたポリシリコン膜の透過型電子

10

20

30

40

50

顕微鏡像を示す図；

図１６～１７は、本発明の第３実施例によりポリシリコン上に形成された酸化膜の電気的特性を、熱酸化膜と比較して示す図；

図１８は、本発明の第４実施例によるフラッシュメモリ素子の断面構造を示す図；

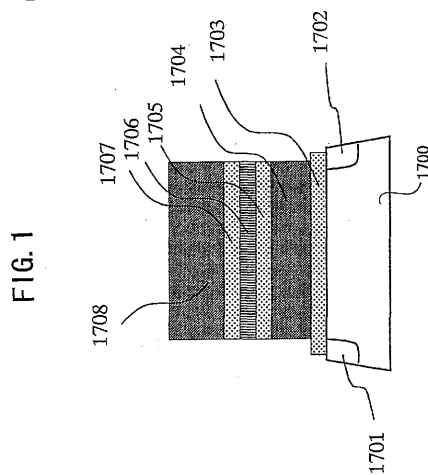
図１９は、本発明の第５実施例によるフラッシュメモリ素子の断面構造を示す図；

図２０～２３は、本発明の第５実施例によるフラッシュメモリ素子の製造工程を示す図；

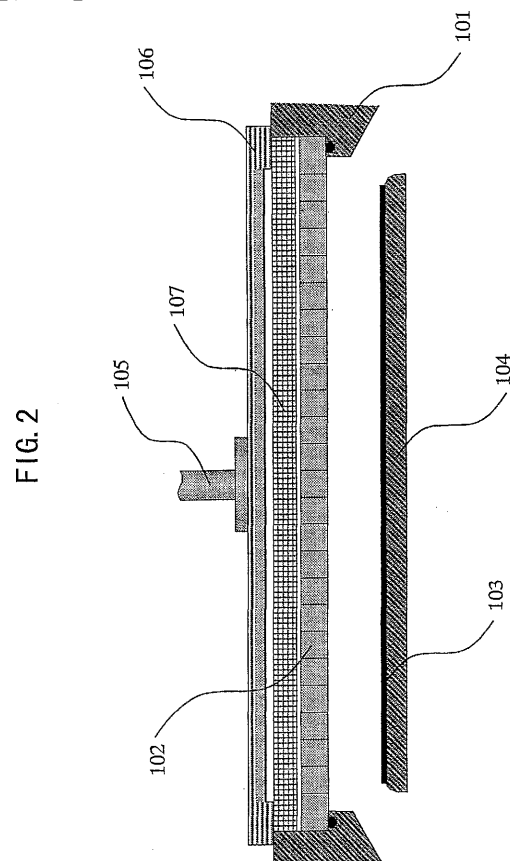
図２４は、本発明の第６実施例によるフラッシュメモリ素子の断面構造を示す図；

図２５は、本発明の第７実施例によるフラッシュメモリ素子の断面構造を示す図である。

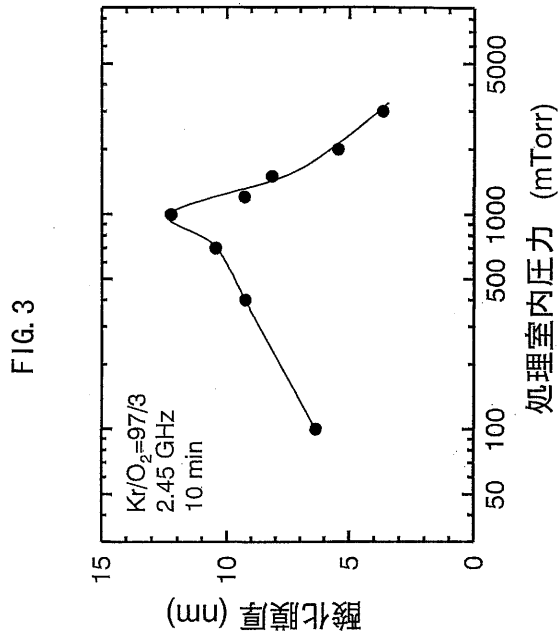
【図１】



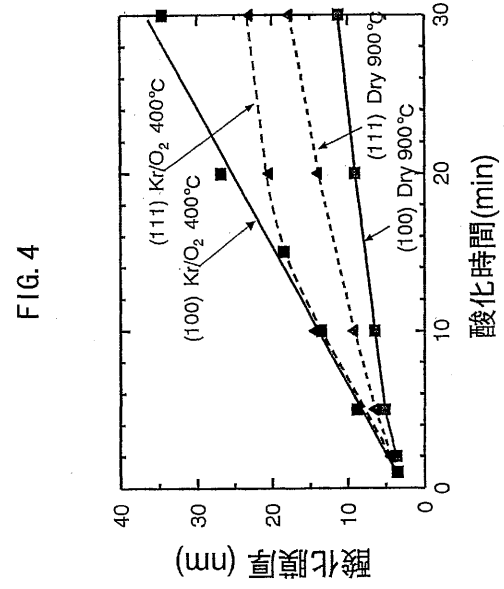
【図２】



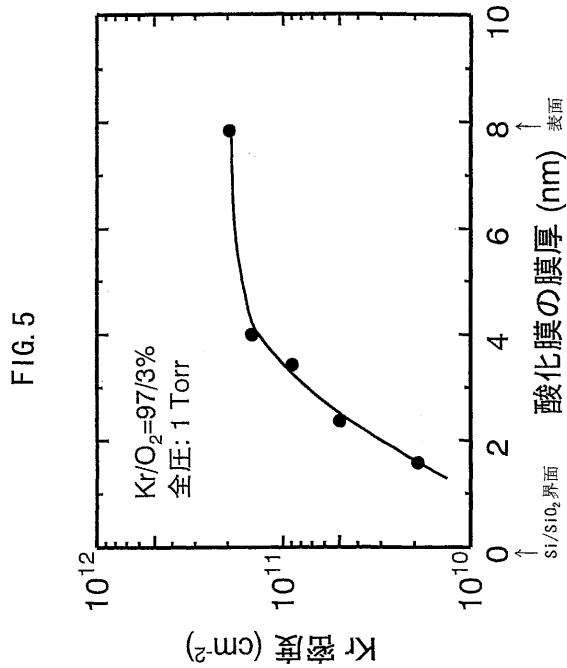
【図 3】



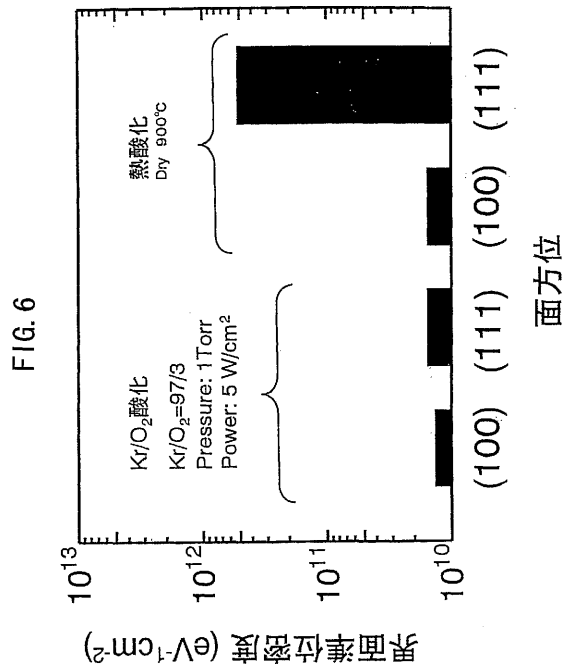
【図 4】



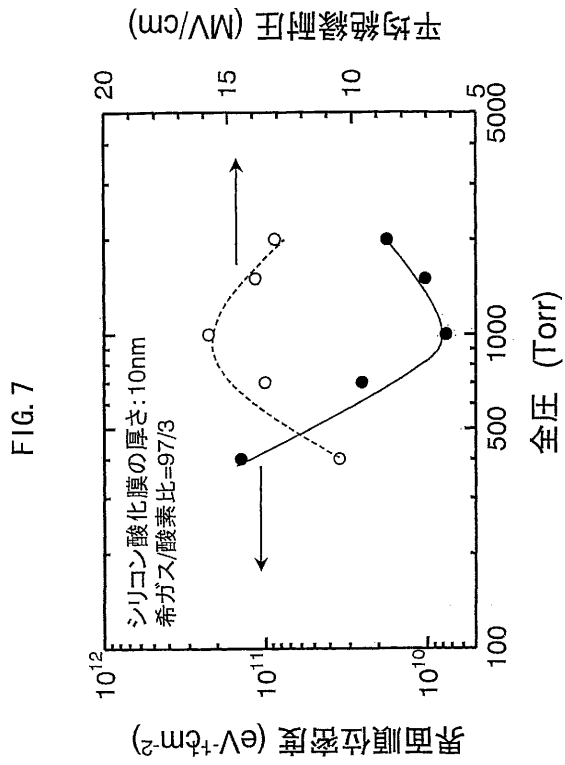
【図 5】



【図 6】



【図 7】



【図 8 A】

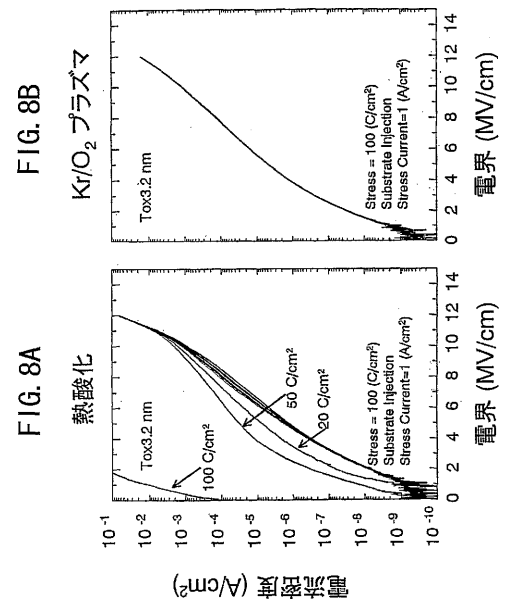
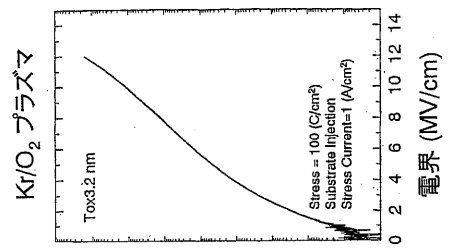


FIG. 8B



【図 8 B】

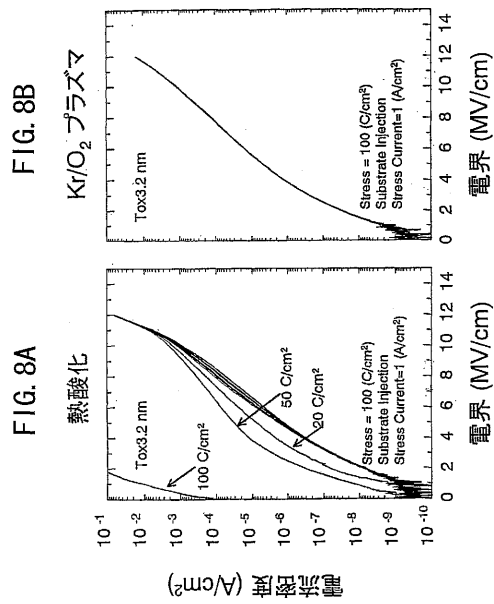
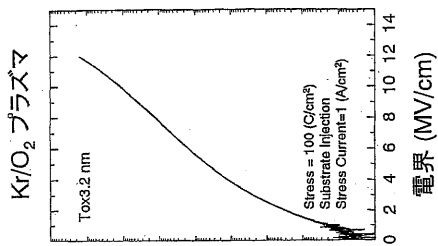
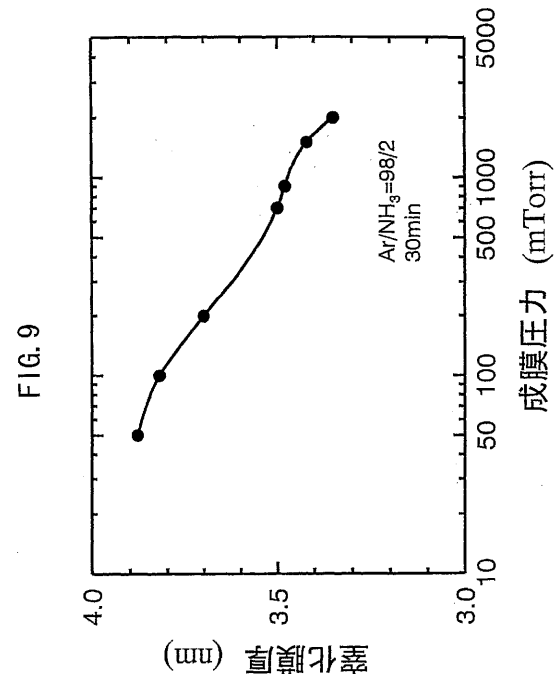


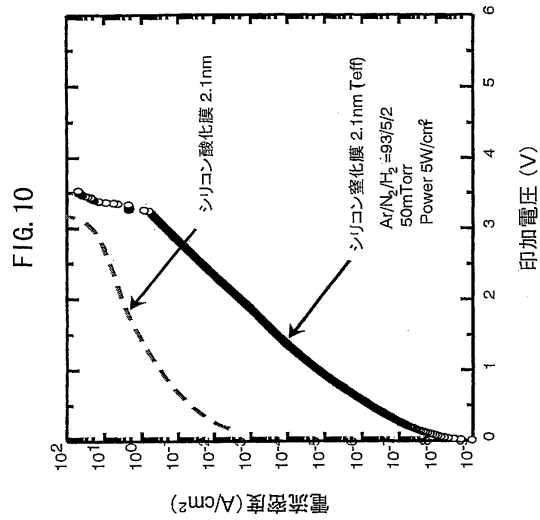
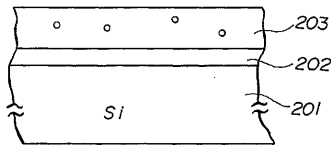
FIG. 8B



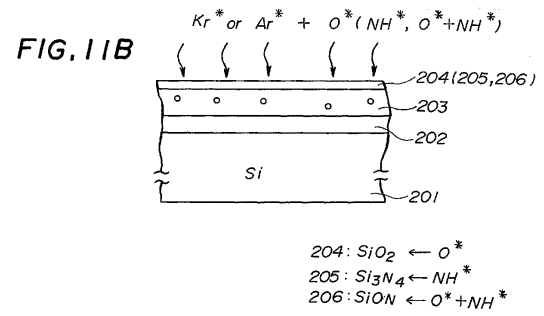
【図 9】



【図10】

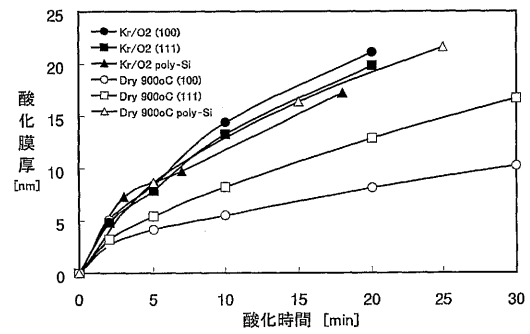
【図11A】
FIG. 11A

【図11B】



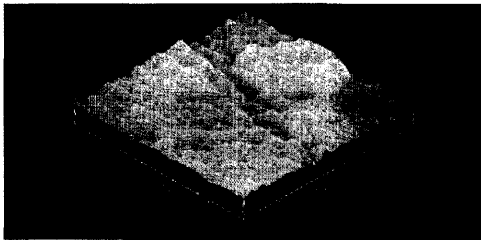
【図12】

FIG. 12



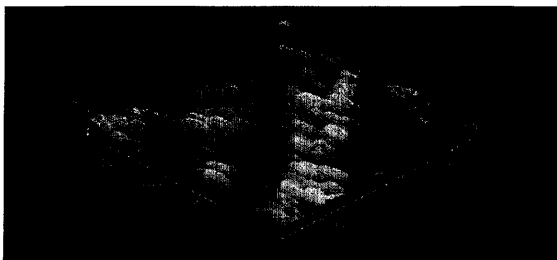
【図13A】

FIG. 13A



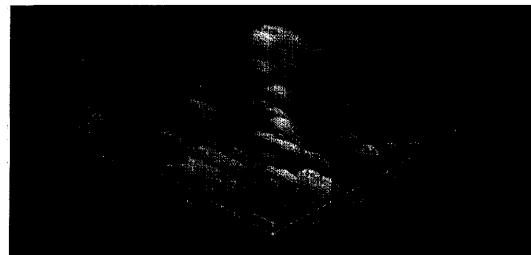
【図13B】

FIG. 13B



【図13C】

FIG. 13C



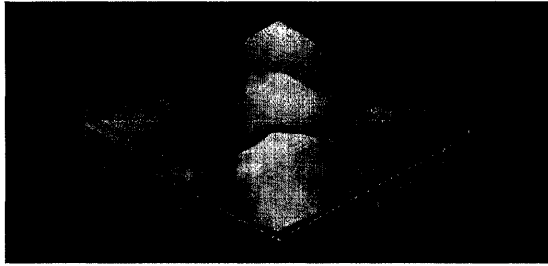
【図14A】

FIG. 14A



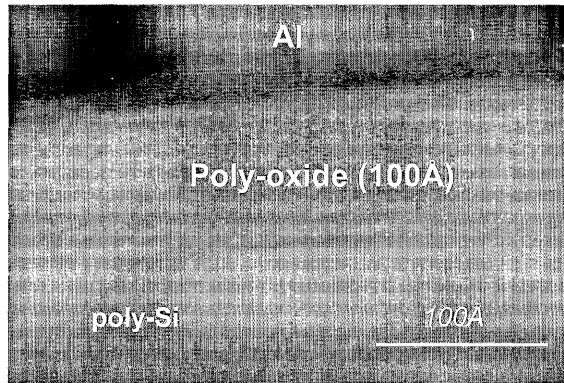
【図 1 4 B】

FIG.14B



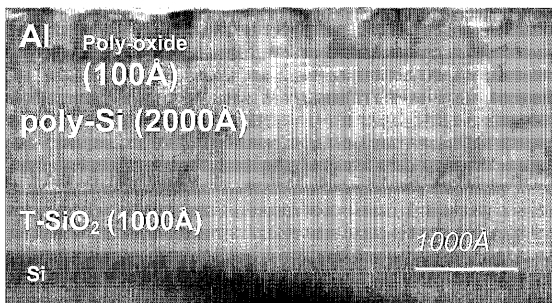
【図 1 5 B】

FIG.15B



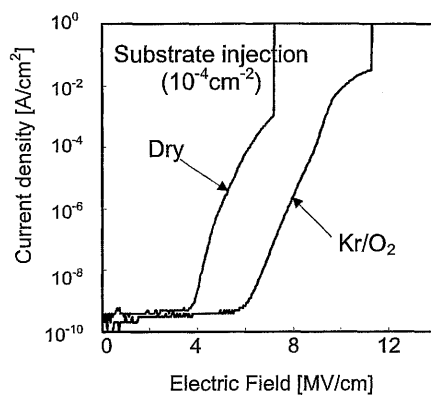
【図 1 5 A】

FIG.15A



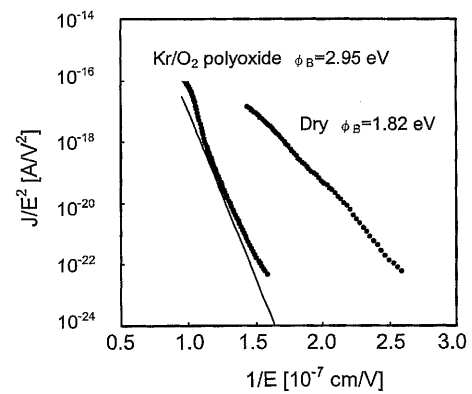
【図 1 6】

FIG.16



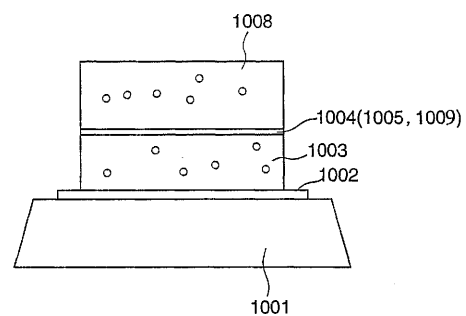
【図 1 7】

FIG.17



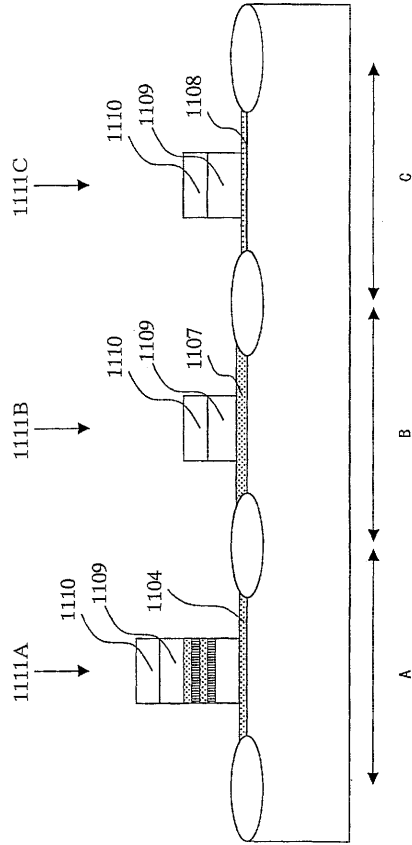
【図 1 8】

FIG. 18



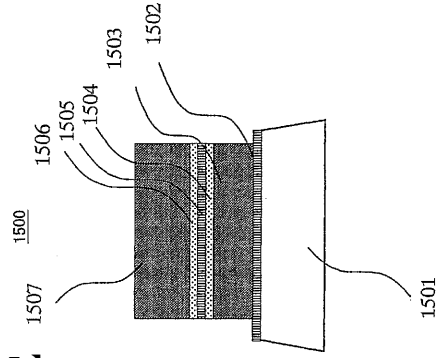
【図 2 3】

FIG. 23



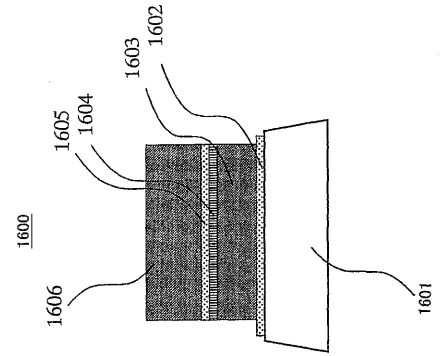
【図 2 4】

FIG. 24



【図 2 5】

FIG. 25



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/316 (2006.01)

H 0 1 L 21/318 (2006.01)

(56)参考文献 特開平09-223752 (JP, A)

特開平09-205155 (JP, A)

特開平05-267684 (JP, A)

特開昭59-105371 (JP, A)

M.HIRAYAMA, et al, Low-Temperature Growth of High-Integrity Silicon Oxide Films by Oxygen Radical Generated in High-Density Krypton Plasma, TECHNICAL DIGEST, INTERNATIONAL ELECTRON DEVICES MEETING, D.C., 1999年, P249-252

斉藤祐司 他, マイクロ波励起高密度プラズマを用いた高品質シリコン窒化膜の低温形成, 電子情報通信学会技術研究報告, 日本, 1999年, V99N229, P85-90

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247

H01L 21/316

H01L 21/318

H01L 27/115

H01L 29/788

H01L 29/792