

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年6月6日(06.06.2024)



(10) 国際公開番号

WO 2024/117131 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) H01L 29/06 (2006.01)  
H01L 21/336 (2006.01) H01L 29/12 (2006.01)  
H01L 21/76 (2006.01)

(21) 国際出願番号: PCT/JP2023/042566

(22) 国際出願日: 2023年11月28日(28.11.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2022-192213 2022年11月30日(30.11.2022) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2  
1番地 Kyoto (JP).

(72) 発明者: 山本 圭司 (YAMAMOTO, Keiji);  
〒6158585 京都府京都市右京区西院溝崎町2  
1番地 ローム株式会社内 Kyoto (JP). 奥田  
肇(OKUDA, Hajime); 〒6158585 京都府京都市  
右京区西院溝崎町2 1番地 ローム株式会

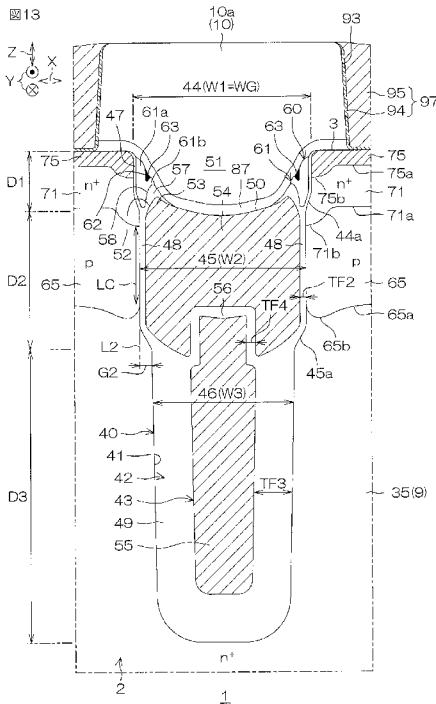
内 Kyoto (JP). 福田 泰詔(FUKUDA, Yoshinori);  
〒6158585 京都府京都市右京区西院溝崎町2  
1番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 弁理士法人 あい 特許  
事務所 (AI ASSOCIATION OF PATENT AND  
TRADEMARK ATTORNEYS); 〒5410059 大阪  
府大阪市中央区博労町三丁目2番8号 岩  
田東急ビル8階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,  
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,  
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,  
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,  
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,  
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,  
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,  
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device includes: a chip that has a main surface; a trench that is formed in the main surface, the trench having a side wall and a bottom wall; a buried electrode that is buried in the trench, the buried electrode having an electrode surface that is positioned closer to the bottom-wall side than the main surface, and a recessed edge portion that is recessed toward the bottom wall in an edge portion of the electrode surface following the side wall; and an edge portion insulator that is buried in the recessed portion.

(57) 要約: 半導体装置は、主面を有するチップと、前記主面に形成され、側壁および底壁を有するトレンチと、前記トレンチに埋設された埋設電極であって、前記主面よりも前記底壁側に位置された電極面、および、前記電極面のうち前記側壁に沿う縁部において前記底壁に向けて窪んだりセス縁部を有する前記埋設電極と、前記リセス縁部に埋設された縁部絶縁体と、を含む。

WO 2024/117131 A1

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

## 明 細 書

発明の名称：半導体装置

### 技術分野

[0001] この出願は、2022年11月30日に日本国特許庁に提出された特許出願2022-192213号に基づく優先権を主張しており、この出願の全開示はここに引用により組み込まれる。本開示は、半導体装置に関する。

### 背景技術

[0002] 特許文献1（US2006/0292764A1）の図12は、基板、トレンチ、多結晶シリコンおよびサイドスペーサを含む半導体装置を開示している。基板は、表面を有している。トレンチは、基板の表面に形成されている。多結晶シリコンは、トレンチに埋設されている。サイドスペーサは、窒化膜等の絶縁体からなり、多結晶シリコン上のトレンチの側壁に形成されている。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：米国特許出願公開第2006/0292764号明細書

[0004] [概要]

本開示は、トレンチ構造に関して新規なレイアウトを有する半導体装置を提供する。

[0005] 本開示は、主面を有するチップと、前記主面に形成され、側壁および底壁を有するトレンチと、前記トレンチに埋設された埋設電極であって、前記主面よりも前記底壁側に位置された電極面、および、前記電極面のうち前記側壁に沿う縁部において前記底壁に向けて窪んだりセス縁部を有する前記埋設電極と、前記リセス縁部に埋設された縁部絶縁体と、を含む、半導体装置を提供する。

[0006] 上述のまたはさらに他の目的、特徴および効果は、添付図面を参照する詳細な説明により明らかにされる。

### 図面の簡単な説明

- [0007] [図1]図1は、具体的な形態に係る半導体装置を示す平面図である。
- [図2]図2は、図1に示すII-II線に沿う断面図である。
- [図3]図3は、図1に示す半導体装置の電氣的構成を示す概略回路図である。
- [図4]図4は、出力トランジスタの構成を示す概略回路図である。
- [図5]図5は、出力領域を示す平面図である。
- [図6]図6は、図5の出力領域の一要部を示す拡大平面図である。
- [図7]図7は、図5の出力領域の更なる要部を示す拡大平面図である。
- [図8]図8は、図6のVIII-VIII線に沿う断面図である。
- [図9]図9は、図6のIX-IX線に沿う断面図である。
- [図10]図10は、図6のX-X線に沿う断面図である。
- [図11]図11は、図6のXI-XI線に沿う断面図である。
- [図12]図12は、図6のXII-XII線に沿う断面図である。
- [図13]図13は、図8から1つのトレンチ構造を抽出した拡大断面図である。
- 。
- [図14]図14は、図8から1つのトレンチ構造を抽出した拡大断面図である。
- 。
- [図15]図15は、図9から1つのトレンチ構造を抽出した拡大断面図である。
- 。
- [図16]図16は、トレンチ構造の要部を示す拡大断面図である。
- [図17]図17は、半導体装置の製造に使用されるウエハを示す概略図である。
- 。
- [図18A]図18Aは、半導体装置の製造方法を説明するための断面図である。
- [図18B]図18Bは、図18Aの後の工程を示す断面図である。
- [図18C]図18Cは、図18Bの後の工程を示す断面図である。
- [図18D]図18Dは、図18Cの後の工程を示す断面図である。
- [図18E]図18Eは、図18Dの後の工程を示す断面図である。
- [図18F]図18Fは、図18Eの後の工程を示す断面図である。
- [図18G]図18Gは、図18Fの後の工程を示す断面図である。

[図18H]図18Hは、図18Gの後の工程を示す断面図である。

[図18I]図18Iは、図18Hの後の工程を示す断面図である。

[図18J]図18Jは、図18Iの後の工程を示す断面図である。

[図18K]図18Kは、図18Jの後の工程を示す断面図である。

[図18L]図18Lは、図18Kの後の工程を示す断面図である。

[図18M]図18Mは、図18Lの後の工程を示す断面図である。

[図18N]図18Nは、図18Mの後の工程を示す断面図である。

[図18O]図18Oは、図18Nの後の工程を示す断面図である。

[図18P]図18Pは、図18Oの後の工程を示す断面図である。

[図18Q]図18Qは、図18Pの後の工程を示す断面図である。

[図18R]図18Rは、図18Qの後の工程を示す断面図である。

[図18S]図18Sは、図18Rの後の工程を示す断面図である。

[図18T]図18Tは、図18Sの後の工程を示す断面図である。

[図18U]図18Uは、図18Tの後の工程を示す断面図である。

[図18V]図18Vは、図18Uの後の工程を示す断面図である。

[図18W]図18Wは、図18Vの後の工程を示す断面図である。

[図18X]図18Xは、図18Wの後の工程を示す断面図である。

[図19]図19は、第1デバイス領域側のトレンチ構造および第2デバイス領域側のトレンチ構造を比較する断面図である。

[図20]図20は、チャンネル長およびリセス深さの関係を示すグラフである。

[図21]図21は、ゲート構造の他の形態例を示す断面図である。

[図22]図22は、ゲート構造の他の形態例を示す断面図である。

[図23]図23は、ゲート構造の他の形態例を示す断面図である。

[図24]図24は、ゲート構造の他の形態例を示す断面図である。

[図25]図25は、ゲート構造の他の形態例を示す断面図である。

[0008] [詳細な説明]

以下、添付図面を参照して、具体的な形態が詳細に説明される。添付図面は、いずれも模式図であり、厳密に図示されたものではなく、相対的な位置

関係、縮尺、比率、角度等は必ずしも一致しない。添付図面の間で対応する構造には同一の参照符号が付され、重複する説明は省略または簡略化される。説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。

[0009] 比較対象 (comparison target) が存する説明において「ほぼ (substantially)」の文言が使用される場合、この文言は、比較対象の数値 (形態) と等しい数値 (形態) を含む他、比較対象の数値 (形態) を基準とする±10%の範囲の数値誤差 (形態誤差) も含む。以下の説明では「第1」、「第2」、「第3」等の文言が使用されるが、これらは説明順序を明確にするために各構造の名称に付された記号であり、各構造の名称を限定する趣旨で付されていない。

[0010] 以下の説明では、「p型」または「n型」を用いて半導体領域 (不純物領域) の導電型が示されるが、「p型」が「第1導電型」と称され、「n型」が「第2導電型」と称されてもよい。むしろ、「n型」が「第1導電型」と称され、「p型」が「第2導電型」と称されてもよい。「p型」は3価元素に起因する導電型であり、「n型」は5価元素に起因する導電型である。3価元素は、特に言及されない限り、ホウ素、アルミニウム、ガリウムおよびインジウムのうちの少なくとも1つである。5価元素は、特に言及されない限り、窒素、リン、ヒ素、アンチモンおよびビスマスのうちの少なくとも1つである。

[0011] 図1は、具体的な形態に係る半導体装置1を示す平面図である。図2は、図1に示すII-II線に沿う断面図である。図1および図2を参照して、半導体装置1は、直方体形状に形成されたチップ2を含む。チップ2は、この形態 (this embodiment) では、Si単結晶を含むSiチップである。

[0012] むろん、チップ2は、ワイドバンドギャップ半導体の単結晶を含むワイドバンドギャップ半導体チップからなってもよい。ワイドバンドギャップ半導体は、Siのバンドギャップよりも大きいバンドギャップを有する半導体である。GaN (窒化ガリウム)、SiC (炭化シリコン)、C (ダイア

モンド)等が、ワイドバンドギャップ半導体として例示される。たとえば、チップ2は、SiC単結晶を含むSiCチップであってもよい。

[0013] チップ2は、一方側の第1主面3、他方側の第2主面4、ならびに、第1主面3および第2主面4を接続する第1～第4側面5A～5Dを有している。第1主面3および第2主面4は、それらの法線方向Zから見た平面視(以下、単に「平面視」という。)において四角形状に形成されている。法線方向Zは、チップ2の厚さ方向でもある。

[0014] 第1主面3は、電子回路を構成する種々の回路構造物が形成された回路面である。第2主面4は、回路構造物を有さない非回路面である。第1側面5Aおよび第2側面5Bは、第1主面3に沿う第1方向Xに延び、第1方向Xに交差(具体的には直交)する第2方向Yに対向(背向)している。第3側面5Cおよび第4側面5Dは、第2方向Yに延び、第1方向Xに対向(背向)している。

[0015] 半導体装置1は、第1主面3に設けられた出力領域6を含む。出力領域6は、外部に出力する出力信号を生成するように構成された電子回路(回路デバイス)を有する領域である。出力領域6は、この形態では、第1主面3において第1側面5A側の領域に区画されている。出力領域6は、平面視において第1主面3の周縁に平行な4辺を有する多角形状(この形態では四角形状)に区画されている。

[0016] 出力領域6の位置、大きさおよび平面形状等は任意であり、特定のレイアウトに制限されない。出力領域6は、第1主面3の平面積の25%以上80%以下の平面積を有していてもよい。出力領域6の平面積は、第1主面3の平面積の30%以上であってもよい。出力領域6の平面積は、第1主面3の平面積の40%以上であってもよい。出力領域6の平面積は、第1主面3の平面積の50%以上であってもよい。出力領域6の平面積は、第1主面3の平面積の75%以下であってもよい。

[0017] 半導体装置1は、第1主面3において出力領域6とは異なる領域に設けられた制御領域7を含む。制御領域7は、出力領域6を制御する制御信号を生

成するように構成された複数種の電子回路（回路デバイス）を有する領域である。制御領域7は、この形態では、出力領域6に対して第2側面5B側の領域に区画され、第2方向Yに出力領域6に対向している。制御領域7は、この形態では、平面視において第1主面3の周縁に平行な4辺を有する多角形状（この形態では四角形状）に区画されている。

[0018] 制御領域7の位置、大きさおよび平面形状等は任意であり、特定のレイアウトに制限されない。制御領域7は、第1主面3の平面積の25%以上80%以下の平面積を有していてもよい。制御領域7の平面積は、第1主面3の平面積の30%以上であってもよい。制御領域7の平面積は、第1主面3の平面積の40%以上であってもよい。制御領域7の平面積は、第1主面3の平面積の50%以上であってもよい。制御領域7の平面積は、第1主面3の平面積の75%以下であってもよい。

[0019] 制御領域7の平面積は、出力領域6の平面積とほぼ等しくてもよい。制御領域7の平面積は、出力領域6の平面積よりも大きくてもよい。制御領域7の平面積は、出力領域6の平面積よりも小さくてもよい。出力領域6の平面積に対する制御領域7の平面積の比は、0.1以上4以下であってもよい。

[0020] 半導体装置1は、第2主面4の表層部に形成されたn型（第1導電型）のドレイン領域8を含む。ドレイン領域8のn型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。ドレイン領域8は、第2主面4の表層部の全域において第2主面4に沿って延びる層状に形成され、第2主面4および第1～第4側面5A～5Dから露出している。

[0021] ドレイン領域8は、 $50 \mu\text{m}$ 以上 $200 \mu\text{m}$ 以下の厚さを有していてもよい。ドレイン領域8の厚さは、 $150 \mu\text{m}$ 以下であることが好ましい。ドレイン領域8は、この形態では、n型の半導体基板（Si基板）によって形成されている。

[0022] 半導体装置1は、第1主面3の表層部に形成されたn型のドリフト領域9を含む。ドリフト領域9は、ドレイン領域8よりも低いn型不純物濃度を有している。ドリフト領域9のn型不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times$

$10^{18} \text{ cm}^{-3}$ 以下であってもよい。ドリフト領域9は、出力領域6および制御領域7において第1主面3に沿って延びる層状に形成されている。

[0023] 具体的には、ドリフト領域9は、第1主面3の表層部の全域において第1主面3に沿って延びる層状に形成され、第1主面3および第1～第4側面5A～5Dから露出している。ドリフト領域9は、チップ2内においてドレイン領域8に電氣的に接続されている。ドリフト領域9は、ドレイン領域8の厚さ未満の厚さを有している。

[0024] ドリフト領域9の厚さは、 $1 \mu\text{m}$ 以上 $20 \mu\text{m}$ 以下であってもよい。ドリフト領域9の厚さは、 $5 \mu\text{m}$ 以上 $15 \mu\text{m}$ 以下であることが好ましい。ドリフト領域9の厚さは、 $10 \mu\text{m}$ 以下であることが特に好ましい。ドリフト領域9は、この形態では、n型のエピタキシャル層（Siエピタキシャル層）によって形成されている。

[0025] 半導体装置1は、第1主面3を被覆する層間膜10を含む。層間膜10は、出力領域6および制御領域7を一括して被覆している。層間膜10は、第1主面3の周縁（第1～第4側面5A～5D）に連なるように第1主面3の全域を被覆していてもよい。むしろ、層間膜10は、第1主面3の周縁部を露出させるように第1主面3の周縁から内方に間隔を空けて形成されていてもよい。

[0026] 層間膜10は、この形態では、複数の絶縁層および複数の配線層が交互に積層された積層構造を有する多層配線構造からなる。各絶縁層は、酸化シリコン膜および窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。各配線層は、純Al層（純度が99%以上のAl層）、Cu層（純度が99%以上のCu層）、AlCu合金層、AlSiCu合金層およびAlSi合金層のうちの少なくとも1種を含んでいてもよい。

[0027] 半導体装置1は、第1主面3および第2主面4のいずれか一方または双方（この形態では双方）の上に配置された複数の端子11～13を含む。複数の端子11～13は、ソース端子11、複数の制御端子12およびドレイン端子13を含む。

- [0028] ソース端子11は、この形態では、負荷に電氣的に接続される出力端子として設けられ、層間膜10のうち出力領域6を被覆する部分の上に配置されている。ソース端子11は、平面視において出力領域6の全域を被覆している。ソース端子11は、純Al層、Cu層、AlCu合金層、AlSiCu合金層およびAlSi合金層のうちの少なくとも1種を含んでいてもよい。
- [0029] 複数の制御端子12は、制御領域7内の各種の電子回路に電氣的に接続される端子であり、層間膜10のうち制御領域7を被覆する部分の上に配置されている。複数のグランド端子は、制御領域7内の回路構成に応じて、グランド端子、入力端子、カソード端子、アノード端子、テスト端子等の種々の端子を含む。複数の制御端子12は、ソース端子11の平面積未満の平面積をそれぞれ有し、制御領域7の周縁部（第1主面3の周縁部）に沿って間隔を空けて配置されている。
- [0030] 各制御端子12の平面積は、ボンディングワイヤが接続可能な範囲に設定される。各制御端子12の平面積は、ソース端子11の平面積の $1/10$ 以下であってもよい。複数の制御端子12は、純Al層、Cu層、AlCu合金層、AlSiCu合金層およびAlSi合金層のうちの少なくとも1種を含んでいてもよい。
- [0031] ドレイン端子13は、この形態では、電源端子として設けられ、チップ2の第2主面4を直接被覆している。つまり、半導体装置1は、この形態では、電源および負荷の間に電氣的に介装されるハイサイドスイッチングデバイスである。ドレイン端子13は、第2主面4においてドレイン領域8に電氣的に接続されている。ドレイン端子13は、第2主面4の周縁（第1～第4側面5A～5D）に連なるように第2主面4の全域を被覆している。
- [0032] 図3は、図1に示す半導体装置1の電氣的構成を示す概略回路図である。図4は、出力トランジスタ15の構成を示す概略回路図である。図3では、半導体装置1の動作例を示すべく、負荷の一例としての誘導性負荷Lがソース端子11に電氣的に接続された例が示されている。

- [0033] 誘導性負荷Lは、半導体装置1の構成要素ではない。したがって、半導体装置1および誘導性負荷Lを含む構成は、「誘導性負荷駆動装置」または「誘導性負荷制御装置」と称されてもよい。リレー、ソレノイド、ランプ、モータ等が誘導性負荷Lとして例示される。誘導性負荷Lは、車載用の誘導性負荷Lであってもよい。すなわち、半導体装置1は、車載用の半導体装置1であってもよい。
- [0034] 図3を参照して、半導体装置1は、出力領域6に形成された出力トランジスタ15を含む。出力トランジスタ15は、この形態では、1つのメインドレイン、1つのメインソースおよび複数のメインゲートを含むゲート分割トランジスタからなる。メインドレインは、ドレイン端子13に電氣的に接続されている。メインソースは、ソース端子11に電氣的に接続されている。
- [0035] 複数のメインゲートは、電氣的に独立した複数のゲート信号（ゲート電位）が個別的に入力されるように構成されている。出力トランジスタ15は、複数のゲート信号に応答して単一の出力電流 $I_o$ （出力信号）を生成する。つまり、出力トランジスタ15は、マルチ入力シングル出力型のスイッチングデバイスからなる。出力電流 $I_o$ は、メインドレインおよびメインソースの間を流れるドレイン・ソース電流である。出力電流 $I_o$ は、ソース端子11を介してチップ2外（誘導性負荷L）に出力される。
- [0036] 出力トランジスタ15は、電氣的に独立して制御される複数（2つ以上）の系統トランジスタ16を含む。複数の系統トランジスタ16は、この形態では、第1系統トランジスタ16Aおよび第2系統トランジスタ16Bを含む。複数の系統トランジスタ16は、出力領域6に集約して形成されている。複数の系統トランジスタ16は、複数のゲート信号が個別入力されるように並列接続され、オン状態の系統トランジスタ16およびオフ状態の系統トランジスタ16が併存するように構成されている。
- [0037] 複数の系統トランジスタ16は、システムドレイン、システムソースおよびシステムゲートをそれぞれ含む。複数のシステムドレインは、メインドレイン（ドレイン端子13）に電氣的に接続されている。複数のシステムソー

スは、メインソース（ソース端子11）に電氣的に接続されている。各システムゲートは、各メインゲートに電氣的に接続されている。換言すると、各システムゲートは、各メインゲートを構成している。

[0038] 複数の系統トランジスタ16は、対応するゲート信号に応答して系統電流 $I_s$ をそれぞれ生成する。各系統電流 $I_s$ は、各系統トランジスタ16のシステムドレインおよびシステムソースの間を流れるドレイン・ソース電流である。複数の系統電流 $I_s$ は、異なる値を有していてもよいし、ほぼ等しい値を有していてもよい。複数の系統電流 $I_s$ は、メインドレインおよびメインソースの間で加算される。これにより、複数の系統電流 $I_s$ の加算値からなる単一の出力電流 $I_o$ が生成される。

[0039] 図4を参照して、複数の系統トランジスタ16は、個別制御対象として系統化（グループ化）された単一のまたは複数の単位トランジスタ17をそれぞれ含む。具体的には、複数の系統トランジスタ16は、単一の単位トランジスタ17または複数の単位トランジスタ17を含む並列回路によって構成される。複数の単位トランジスタ17は、この形態では、トレンチゲートバーティカル型からそれぞれなる。複数の系統トランジスタ16は、同数の単位トランジスタ17によって構成されていてもよいし、異なる個数の単位トランジスタ17によって構成されていてもよい。

[0040] 各単位トランジスタ17は、ユニットドレイン、ユニットソースおよびユニットゲート、を含む。各単位トランジスタ17のユニットドレインは、対応する系統トランジスタ16のシステムドレインに電氣的に接続されている。各単位トランジスタ17のユニットソースは、対応する系統トランジスタ16のシステムソースに電氣的に接続されている。各単位トランジスタ17のユニットゲートは、対応する系統トランジスタ16のシステムゲートに電氣的に接続されている。

[0041] 複数の単位トランジスタ17は、対応するゲート信号に応答して単位電流 $I_u$ をそれぞれ生成する。各単位電流 $I_u$ は、各単位トランジスタ17のユニットドレインおよびユニットソースの間を流れるドレイン・ソース電流で

ある。複数の単位電流  $I_u$  は、異なる値を有していてもよいし、ほぼ等しい値を有していてもよい。複数の単位電流  $I_u$  は、対応するシステムドレインおよびシステムソースの間で加算される。これにより、複数の単位電流  $I_u$  の加算値からなる系統電流  $I_s$  が生成される。

[0042] このように、出力トランジスタ 15 は、第 1 系統トランジスタ 16 A および第 2 系統トランジスタ 16 B が互いに電氣的に独立した状態でオンオフ制御されるように構成されている。すなわち、出力トランジスタ 15 は、第 1 系統トランジスタ 16 A および第 2 系統トランジスタ 16 B の双方が同時にオン状態になるように構成されている。また、出力トランジスタ 15 は、第 1 系統トランジスタ 16 A および第 2 系統トランジスタ 16 B のいずれか一方がオン状態になり、他方がオフ状態になるように構成されている。

[0043] 第 1 系統トランジスタ 16 A および第 2 系統トランジスタ 16 B の双方が同時にオン状態になるとき、出力トランジスタ 15 のチャンネル利用率が増加し、オン抵抗が低下する。第 1 系統トランジスタ 16 A および第 2 系統トランジスタ 16 B のいずれか一方がオン状態になる一方で他方がオフ状態になるとき、出力トランジスタ 15 のチャンネル利用率が低下し、オン抵抗が増加する。すなわち、出力トランジスタ 15 は、オン抵抗可変型のスイッチングデバイスからなる。

[0044] 半導体装置 1 は、出力トランジスタ 15 に電氣的に接続されるように制御領域 7 に形成された制御回路 18 を含む。制御回路 18 は、「コントロール IC」と称されてもよい。制御回路 18 は、種々の機能回路を備え、出力トランジスタ 15 と共に IPD (Intelligent Power Device) を構成する。IPD は、「IPM (Intelligent Power Module)」、「IPS (Intelligent Power Switch)」、「スマートパワードライバ」、「スマート MISFET (スマート MOSFET)」または「プロテクトド MISFET (プロテクトド MOSFET)」と称されてもよい。

[0045] 制御回路 18 は、この形態では、ゲート制御回路 19、電流モニタ回路 20、過電流保護回路 21、過熱保護回路 22、低電圧誤動作回避回路 23、

負荷オープン検出回路 24、アクティブクランプ回路 25、電源逆接続保護回路 26 およびロジック回路 27 を含む。制御回路 18 は、必ずしもこれらの機能回路の全てを同時に含む必要はなく、これらの機能回路の少なくとも 1 つを含んでいればよい。

[0046] 電流モニタ回路 20 は、CS 回路 (Current Sense circuit) と称されてもよい。過電流保護回路 21 は、OCP 回路 (Over Current Protection circuit) と称されてもよい。過熱保護回路 22 は、TSD 回路 (Thermal shut down circuit) と称されてもよい。低電圧誤動作回避回路 23 は、UVLO 回路 (Under Voltage Lock Out circuit) と称されてもよい。負荷オープン検出回路 24 は、OLD 回路 (Open Load Detection circuit) と称されてもよい。電源逆接続保護回路 26 は、RBP 回路 (Reverse Battery Protection circuit) と称されてもよい。

[0047] ゲート制御回路 19 は、出力トランジスタ 15 のオンオフを制御するゲート信号を生成するように構成されている。具体的には、ゲート制御回路 19 は、複数の系統トランジスタ 16 を個別的にオンオフ制御する複数のゲート信号を生成する。つまり、ゲート制御回路 19 は、この形態では、第 1 系統トランジスタ 16 A を個別的にオンオフ制御する第 1 ゲート信号、および、第 2 系統トランジスタ 16 B を第 1 系統トランジスタ 16 A から電氣的に独立して個別的にオンオフ制御する第 2 ゲート信号を生成する。

[0048] 電流モニタ回路 20 は、出力トランジスタ 15 の出力電流  $I_o$  を監視するモニタ電流を生成し、他の回路に出力する。たとえば、電流モニタ回路 20 は、出力トランジスタ 15 と同様の構成を有するトランジスタを含み、出力トランジスタ 15 と同時にオンオフ制御されることによって、出力電流  $I_o$  に連動したモニタ電流を生成するように構成されていてもよい。むしろ、電流モニタ回路 20 は、1 つまたは複数の系統電流  $I_s$  に連動したモニタ電流を生成するように構成されていてもよい。

[0049] 過電流保護回路 21 は、電流モニタ回路 20 からのモニタ電流に基づいてゲート制御回路 19 を制御する電気信号を生成し、ゲート制御回路 19 と協

働して出力トランジスタ 15 のオンオフを制御する。

[0050] たとえば、過電流保護回路 21 は、モニタ電流が所定の閾値以上になったときに出力トランジスタ 15 が過電流状態であると判定し、ゲート制御回路 19 と協働して出力トランジスタ 15（複数の系統トランジスタ 16）の一部または全部をオフ状態に制御するように構成されていてもよい。また、過電流保護回路 21 は、モニタ電流が所定の閾値未満になったときにゲート制御回路 19 と協働して出力トランジスタ 15 を通常動作に移行させるように構成されていてもよい。

[0051] 過熱保護回路 22 は、出力領域 6 の温度を検出する第 1 感温デバイス（たとえば感温ダイオード）、および、制御領域 7 の温度を検出する第 2 感温デバイス（たとえば感温ダイオード）を含む。過熱保護回路 22 は、第 1 感温デバイスからの第 1 温度検知信号および第 2 感温デバイスからの第 2 温度検知信号に基づいてゲート制御回路 19 を制御する電気信号を生成し、ゲート制御回路 19 と協働して出力トランジスタ 15 のオンオフを制御する。

[0052] たとえば、過熱保護回路 22 は、第 1 温度検知信号および第 2 温度検知信号の差分値が所定の閾値以上になったときに出力領域 6 が過熱状態であると判定し、ゲート制御回路 19 と協働して出力トランジスタ 15（複数の系統トランジスタ 16）の一部または全部をオフ状態に制御するように構成されていてもよい。また、過熱保護回路 22 は、前記差分値が所定の閾値未満になったときにゲート制御回路 19 と協働して出力トランジスタ 15 を通常動作に移行させるように構成されていてもよい。

[0053] 低電圧誤動作回避回路 23 は、制御回路 18 を起動するための起動電圧が所定値未満である場合に制御回路 18 内の各種機能回路が誤動作するのを回避するように構成されている。たとえば、低電圧誤動作回避回路 23 は、起動電圧が所定の閾値電圧以上になると制御回路 18 を起動し、起動電圧が前記閾値電圧未満になると制御回路 18 を停止させるように構成されていてもよい。閾値電圧は、ヒステリシス特性を有していてもよい。

[0054] 負荷オープン検出回路 24 は、誘導性負荷 L の電氣的接続状態を判定する

。たとえば、負荷オープン検出回路24は、出力トランジスタ15の端子間電圧を監視し、当該端子間電圧が所定の閾値以上になったときに誘導性負荷Lがオープン状態であると判定するように構成されていてもよい。たとえば、負荷オープン検出回路24は、モニタ電流が所定の閾値以下になったときに誘導性負荷Lがオープン状態であると判定するように構成されていてもよい。

[0055] アクティブクランプ回路25は、出力トランジスタ15のメインドレインおよび少なくとも1つのメインゲート（たとえば第1系統トランジスタ16Aのシステムゲート）に電氣的に接続されている。アクティブクランプ回路25は、ツェナダイオードおよび当該ツェナダイオードに逆バイアス直列接続されたpn接合ダイオードを含む。pn接合ダイオードは、出力トランジスタ15からの逆流を防止する逆流防止ダイオードである。

[0056] アクティブクランプ回路25は、誘導性負荷Lに起因する逆起電圧が出力トランジスタ15に印加されたときにゲート制御回路19と協働して出力トランジスタ15の一部または全部をオン状態に制御するように構成されている。具体的には、出力トランジスタ15は、通常動作、第1オフ動作、アクティブクランプ動作および第2オフ動作を含む複数種の動作モードで制御される。

[0057] 通常動作では、第1系統トランジスタ16Aおよび第2系統トランジスタ16Bの双方が同時にオン状態に制御される。これにより、出力トランジスタ15のチャンネル利用率が増加し、オン抵抗が低下する。第1オフ動作では、第1系統トランジスタ16Aおよび第2系統トランジスタ16Bの双方が同時にオン状態からオフ状態に制御される。これにより、誘導性負荷Lに起因する逆起電圧が、第1系統トランジスタ16Aおよび第2系統トランジスタ16Bの双方に印加される。

[0058] アクティブクランプ動作は、誘導性負荷Lに蓄積されたエネルギーを出力トランジスタ15によって吸収（消費）させる動作であり、誘導性負荷Lに起因する逆起電圧が所定の閾値電圧以上になると実行される。アクティブクラ

ンプ動作では、第1系統トランジスタ16Aがオフ状態からオン状態に制御されると同時に、第2系統トランジスタ16Bがオフ状態に制御（維持）される。

[0059] アクティブクランプ動作時における出力トランジスタ15のチャンネル利用率は、通常動作時における出力トランジスタ15のチャンネル利用率未満である。アクティブクランプ動作時における出力トランジスタ15のオン抵抗は、通常動作時における出力トランジスタ15のオン抵抗よりも大きい。これにより、アクティブクランプ動作時における出力トランジスタ15の急激な温度上昇が抑制され、アクティブクランプ耐量が向上する。

[0060] 第2オフ動作は、逆起電圧が所定の閾値電圧未満になると実行される。第2オフ動作では、第1系統トランジスタ16Aがオン状態からオフ状態に制御されると同時に、第2系統トランジスタ16Bがオフ状態に制御（維持）される。このように、誘導性負荷Lの逆起電圧（エネルギー）は、出力トランジスタ15の一部（ここでは第1系統トランジスタ16A）によって吸収される。むろん、アクティブクランプ動作時では、第1系統トランジスタ16Aがオフ状態に制御（維持）されると同時に、第2系統トランジスタ16Bがオン状態に制御されてもよい。

[0061] 電源逆接続保護回路26は、電源が逆接続された際の逆電圧を検出し、当該逆電圧（逆電流）から制御回路18や出力トランジスタ15を保護するように構成されている。ロジック回路27は、制御回路18内の各種回路に供給される電気信号を生成するように構成されている。

[0062] 以下、図5～図16を参照して、出力領域6の構成が説明される。図5は、出力領域6を示す平面図である。図6は、図5の出力領域6の一要部を示す拡大平面図である。図7は、図5の出力領域6の更なる要部を示す拡大平面図である。

[0063] 図8は、図6のVIII-VIII線に沿う断面図である。図9は、図6のIX-IX線に沿う断面図である。図10は、図6のX-X線に沿う断面図である。図11は、図6のXI-XI線に沿う断面図である。図12は、図6のXII-XII線に沿う断

面図である。

- [0064] 図13は、図8から1つのゲート構造40（トレンチ構造）をソース領域71と共に抽出した拡大断面図である。図14は、図8から1つのゲート構造40（トレンチ構造）をコンタクト領域72と共に抽出した拡大断面図である。図15は、図9から1つのゲート構造40（トレンチ構造）を抽出した拡大断面図である。図16は、ゲート構造40（トレンチ構造）の要部を示す拡大断面図である。
- [0065] 図5および図6を参照して、半導体装置1は、出力領域6を区画するように第1主面3に形成された1つまたは複数（この形態では1つ）のトレンチ電極型（トレンチ絶縁型）の分離構造30を含む。分離構造30は、「トレンチ分離構造」、「領域分離構造」等と称されてもよい。分離構造30は、チップ2内において制御領域7から出力領域6を電氣的に分離する。分離構造30にはソース電位が付与されてもよい。
- [0066] 分離構造30は、平面視において出力領域6を取り囲む環状に形成されている。分離構造30は、この形態では、平面視において第1主面3の周縁に平行な4辺を有する多角環状（この形態では四角環状）に形成されている。分離構造30は、ドリフト領域9の底部から第1主面3側に間隔を空けて形成され、ドリフト領域9の一部を挟んでドレイン領域8に対向している。
- [0067] 分離構造30は、分離幅 $W_1$ および分離深さ $D_1$ を有している。分離幅 $W_1$ は、分離構造30の延在方向に直交する方向の幅である。分離幅 $W_1$ は、 $0.4\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下であってもよい。分離幅 $W_1$ は、 $0.4\mu\text{m}$ 以上 $0.75\mu\text{m}$ 以下、 $0.75\mu\text{m}$ 以上 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上 $1.25\mu\text{m}$ 以下、 $1.25\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以上 $1.75\mu\text{m}$ 以下、および、 $1.75\mu\text{m}$ 以上 $2\mu\text{m}$ 以下のいずれか1つの範囲に属する値を有していてもよい。分離幅 $W_1$ は、 $1.25\mu\text{m}$ 以上 $1.75\mu\text{m}$ 以下であることが好ましい。
- [0068] 分離深さ $D_1$ は、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。分離深さ $D_1$ は、 $1\mu\text{m}$ 以上 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上 $6\mu\text{m}$ 以下

、 $6\mu\text{m}$ 以上 $8\mu\text{m}$ 以下、および、 $8\mu\text{m}$ 以上 $10\mu\text{m}$ 以下のいずれか1つの範囲に属する値を有していてもよい。分離深さD1は、 $3\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であることが好ましい。

[0069] 分離構造30は、分離トレンチ31、分離絶縁膜32および分離電極33を含む。つまり、分離構造30は、絶縁体（分離絶縁膜32）を挟んで分離トレンチ31に埋設された単一の電極（分離電極33）を含むシングル電極構造を有している。

[0070] 分離トレンチ31は、第1主面3に形成され、分離構造30の壁面を区画している。分離トレンチ31は、断面視において開口側から底壁側に向けて開口幅が徐々に狭まるテーパ形状に形成されていてもよい。

[0071] 分離絶縁膜32は、分離トレンチ31の壁面を被覆している。分離絶縁膜32は、酸化シリコン膜を含んでいてもよい。分離絶縁膜32は、チップ2の酸化物からなる酸化シリコン膜を含んでいてもよいし、CVD法によって形成された酸化シリコン膜（チップ2とは別体的な酸化物）を含んでいてもよい。分離絶縁膜32は、 $100\text{nm}$ 以上 $500\text{nm}$ 以下の厚さを有していてもよい。

[0072] 分離電極33は、分離絶縁膜32を挟んで分離トレンチ31に埋設されている。分離電極33は、n型またはp型の導電性ポリシリコンを含んでいてもよい。半導体装置1が複数の分離構造30（マルチ分離構造）を含む場合、複数の分離構造30は互いに間隔を空けて出力領域6を取り囲む環状に形成され、制御領域7から1つの出力領域6を分離する。この場合、複数の分離構造30は、一定の間隔を空けて形成されることが好ましい。

[0073] 図5～図16を参照して、半導体装置1は、出力領域6において第1主面3に形成された出力トランジスタ15を含む。以下の構成は、半導体装置1の構成要素として説明されるが、出力トランジスタ15の構成要素でもある。

[0074] 半導体装置1は、出力領域6においてドリフト領域9の表層部に形成されたn型の高濃度ドリフト領域35を含む。高濃度ドリフト領域35は、ドリ

フト領域9よりも高いn型不純物濃度を有している。高濃度ドリフト領域35のn型不純物濃度は、ドレイン領域8のn型不純物濃度未満であってもよい。高濃度ドリフト領域35のn型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下であってもよい。高濃度ドリフト領域35は、ドリフト領域9の一部（高濃度部）とみなされてもよい。

[0075] 高濃度ドリフト領域35は、ドリフト領域9内においてドリフト領域9の底部側から第1主面3側に向けてn型不純物濃度が増加する濃度勾配を形成している。つまり、出力領域6のドリフト領域9は、高濃度ドリフト領域35によって底部側から第1主面3側に向けてn型不純物濃度が増加するように形成された濃度勾配を有している。

[0076] 高濃度ドリフト領域35は、分離構造30から間隔を空けて出力領域6の内方部に形成されている。したがって、高濃度ドリフト領域35は、出力領域6においてドリフト領域9によって取り囲まれ、分離構造30に接していない。高濃度ドリフト領域35は、出力領域6におけるドリフト領域9のn型不純物濃度を局所的に高めている。

[0077] 高濃度ドリフト領域35は、ドリフト領域9の底部から第1主面3側に間隔を空けて形成され、ドリフト領域9の一部を挟んでドレイン領域8に対向している。高濃度ドリフト領域35は、分離構造30の底壁よりもドリフト領域9の底部側に位置された底部を有している。高濃度ドリフト領域35の底部は、断面視において厚さ方向の一方側および他方側に蛇行している。

[0078] 具体的には、高濃度ドリフト領域35の底部は、断面視において複数の膨出部36および複数の窪み部37を有している。複数の膨出部36は、ドリフト領域9の底部側に向けて円弧状に膨出した部分である。複数の膨出部36は、平面視において第1方向Xに連続的に形成され、第2方向Yに延びる帯状にそれぞれ形成されている。各膨出部36は、第1方向Xに関して分離構造30よりも幅広に形成されている。

[0079] 複数の窪み部37は、複数の膨出部36の間の領域において第2方向Yに延びる帯状にそれぞれ形成されている。複数の窪み部37は、複数の膨出部

36の浅部同士が接続された部分であり、複数の膨出部36の最深部に対して第1主面3側に位置されている。むろん、高濃度ドリフト領域35は、厚さ方向に上下する蛇行を有さない平坦な底部を有していてもよい。

[0080] 高濃度ドリフト領域35は、出力領域6内のドリフト領域9の全域を高濃度化していてもよい。このような構成によれば、ドリフト領域9の高濃度化によってドリフト領域9のオン抵抗を低減できる。ただし、この場合、ドリフト領域9中のキャリア密度の増加によって電界集中が生じ易くなる結果、ブレークダウン電圧が低下する可能性に留意すべきである。したがって、ブレークダウン電圧の低下を抑制しながらオン抵抗を削減する上では、出力領域6の一部に高濃度ドリフト領域35が導入されることが好ましい。

[0081] 半導体装置1は、出力領域6において第1主面3に形成されたトレンチ電極型の複数のゲート構造40を含む。ゲート構造40は、「トレンチ構造」、「トレンチゲート構造」等と称されてもよい。複数のゲート構造40は、分離構造30から間隔を空けて出力領域6の内方部に形成されている。

[0082] 複数のゲート構造40は、第1方向Xに間隔を空けて配列され、第2方向Yに延びる帯状にそれぞれ形成されている。つまり、複数のゲート構造40は、第2方向Yに延びるストライプ状に配列されている。複数のゲート構造40は、長手方向（第2方向Y）の一方側の第1端部、および、長手方向（第2方向Y）の他方側の第2端部を有している。

[0083] 第1端部は、平面視において分離構造30および高濃度ドリフト領域35の一端部の間の領域に位置されている。第2端部は、平面視において分離構造30および高濃度ドリフト領域35の他端部の間の領域に位置されている。つまり、複数のゲート構造40は、長手方向（第2方向Y）に関して、高濃度ドリフト領域35の一端部および他端部を横切っている。

[0084] 複数のゲート構造40は、断面視においてドリフト領域9の底部から第1主面3側に間隔を空けて形成され、ドリフト領域9の一部を挟んでドレイン領域8に対向している。具体的には、複数のゲート構造40は、高濃度ドリフト領域35の底部から第1主面3側に間隔を空けて形成され、高濃度ドリ

フト領域35の一部を挟んでドリフト領域9に対向している。

[0085] つまり、複数のゲート構造40は、断面視において高濃度ドリフト領域35内に位置されている。複数のゲート構造40は、複数の窪み部37に対して第1方向Xにずれて形成され、厚さ方向に複数の膨出部36にそれぞれ対向している。複数のゲート構造40は、複数の膨出部36の最深部に対向していることが好ましい。

[0086] 第1方向Xの両サイドに位置された2つのゲート構造40は、高濃度ドリフト領域35外の領域に形成されていることが好ましい。つまり、最外のゲート構造40は、高濃度ドリフト領域35から分離構造30側に間隔を空けた位置においてドリフト領域9内に位置されていることが好ましい。最外のゲート構造40は、ドリフト領域9の底部から第1主面3側に間隔を空けて形成され、ドリフト領域9の一部を挟んでドレイン領域8に対向している。

[0087] 複数のゲート構造40は、ゲート幅WG（トレンチ幅）およびゲート深さDG（トレンチ深さ）を有している。ゲート幅WGは、ゲート構造40の延在方向に直交する方向（つまり第1方向X）の幅である。ゲート幅WGは、分離幅W1とほぼ等しくてもよい。ゲート幅WGは、分離幅W1以下であることが好ましい。ゲート幅WGは、分離幅W1未満であることが特に好ましい。

[0088] ゲート幅WGは、0.4  $\mu\text{m}$ 以上2  $\mu\text{m}$ 以下であってもよい。ゲート幅WGは、0.4  $\mu\text{m}$ 以上0.75  $\mu\text{m}$ 以下、0.75  $\mu\text{m}$ 以上1  $\mu\text{m}$ 以下、1  $\mu\text{m}$ 以上1.25  $\mu\text{m}$ 以下、1.25  $\mu\text{m}$ 以上1.5  $\mu\text{m}$ 以下、1.5  $\mu\text{m}$ 以上1.75  $\mu\text{m}$ 以下、および、1.75  $\mu\text{m}$ 以上2  $\mu\text{m}$ 以下のいずれか1つの範囲に属する値を有していてもよい。ゲート幅WGは、0.8  $\mu\text{m}$ 以上1.2  $\mu\text{m}$ 以下であることが好ましい。

[0089] ゲート深さDGは、分離深さD1とほぼ等しくてもよい。ゲート深さDGは、分離深さD1以下であることが好ましい。ゲート深さDGは、分離深さD1未満であることが特に好ましい。ゲート深さDGは、1  $\mu\text{m}$ 以上6  $\mu\text{m}$ 以下であってもよい。ゲート深さDGは、1  $\mu\text{m}$ 以上2  $\mu\text{m}$ 以下、2  $\mu\text{m}$ 以

上 $3\mu\text{m}$ 以下、 $3\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上 $5\mu\text{m}$ 以下、および、 $5\mu\text{m}$ 以上 $6\mu\text{m}$ 以下のいずれか1つの範囲に属する値を有していてもよい。ゲート深さDGは、 $2.5\mu\text{m}$ 以上 $4.5\mu\text{m}$ 以下であることが好ましい。

[0090] 複数のゲート構造40は、第1方向Xに所定のトレンチピッチTPを空けて配列されている。トレンチピッチTPは、互いに隣り合う2つのゲート構造40の間の領域に区画されたメサ部のメサ幅でもある。トレンチピッチTPは、分離幅WI以下であることが好ましい。トレンチピッチTPは、ゲート幅WG以下であることが好ましい。トレンチピッチTPは、ゲート幅WG未満であることが特に好ましい。

[0091] トレンチピッチTPは、 $0.4\mu\text{m}$ 以上 $0.8\mu\text{m}$ 以下であってもよい。トレンチピッチTPは、 $0.4\mu\text{m}$ 以上 $0.5\mu\text{m}$ 以下、 $0.5\mu\text{m}$ 以上 $0.6\mu\text{m}$ 以下、 $0.6\mu\text{m}$ 以上 $0.7\mu\text{m}$ 以下、および、 $0.7\mu\text{m}$ 以上 $0.8\mu\text{m}$ 以下のいずれか1つの範囲に属する値を有していてもよい。トレンチピッチTPは、 $0.5\mu\text{m}$ 以上 $0.7\mu\text{m}$ 以下であることが好ましい。

[0092] 以下、図13～図16を参照して、1つのゲート構造40の内部構成が説明される。ゲート構造40は、トレンチ41、絶縁膜42および埋設電極43を含む。トレンチ41は、第1主面3に形成され、ゲート構造40の壁面を区画している。トレンチ41は、断面視において開口側から底壁側に向けて開口幅が徐々に狭まる先細り形状 (a dwindling shape) に形成されている。具体的には、トレンチ41は、断面視において開口側から底壁側に向けてこの順に形成された第1トレンチ部44、第2トレンチ部45および第3トレンチ部46を有している。

[0093] 第1トレンチ部44は、第1主面3の表層部において比較的幅広に形成され、トレンチ41の最上端部 (開口端部) を区画している。第1トレンチ部44は、第1主面3側の上端部、および、トレンチ41の底壁側の下端部を有している。第1トレンチ部44の上端部は、円弧状に延びる開口端部を区画し、第1主面3に接続されている。第1トレンチ部44の下端部は、トレンチ41の内方に斜め下り傾斜した第1傾斜部44aを区画している。

- [0094] 図13～図16を参照して、第1トレンチ部44は、比較的広い第1幅W1および比較的浅い第1深さD1を有している。第1幅W1は、ゲート幅Gを形成している。第1深さD1は、第1トレンチ部44の上端部および下端部の間の深さである。
- [0095] 第1深さD1は、0.1 $\mu$ m以上1 $\mu$ m以下であってもよい。第1深さD1は、0.1 $\mu$ m以上0.25 $\mu$ m以下、0.25 $\mu$ m以上0.5 $\mu$ m以下、0.5 $\mu$ m以上0.75 $\mu$ m以下、および、0.75 $\mu$ m以上1 $\mu$ m以下のうちの少なくとも1つの範囲に属する値を有していてもよい。第1深さD1は、0.1 $\mu$ m以上0.5 $\mu$ m以下であることが好ましい。
- [0096] 第2トレンチ部45は、第1トレンチ部44の下方の領域において第1トレンチ部44よりも幅狭に形成され、トレンチ41の中間部を区画している。第2トレンチ部45は、第1トレンチ部44側の上端部、および、トレンチ41の底壁側の下端部を有している。第2トレンチ部45の上端部は、第1トレンチ部44の下端部（第1傾斜部44a）に接続されている。第2トレンチ部45の下端部は、トレンチ41の内方に向かって斜め下り傾斜した第2傾斜部45aを区画している。第2傾斜部45aは、第1傾斜部44aよりもトレンチ41の内方側に位置されている。
- [0097] 第2トレンチ部45は、第1幅W1未満の第2幅W2、および、第1深さD1よりも大きい第2深さD2を有している。第1トレンチ部44の壁面および第2トレンチ部45の壁面の間の第1ギャップ量G1は、1nm以上50nm以下であってもよい（図16参照）。
- [0098] 第1ギャップ量G1は、断面視において第1トレンチ部44の壁面を法線方向Zに通過する第1仮想線L1から第2トレンチ部45の壁面までの水平方向の距離である。水平方向は、第1主面3に沿う方向（ここでは第1方向X）である。第1ギャップ量G1は、第1幅W1に対する第2幅W2の差分値を1/2にした値でもある。
- [0099] 第1ギャップ量G1は、1nm以上5nm以下、5nm以上10nm以下、10nm以上20nm以下、20nm以上30nm以下、30nm以上4

0 nm以下、および、40 nm以上50 nm以下のうちの少なくとも1つの範囲に属する値を有していてもよい。第1ギャップ量G1は、5 nm以上であることが好ましい。第1ギャップ量G1は、25 nm以下であることが好ましい。

[0100] 第2深さD2は、第2トレンチ部45の上端部および下端部の間の深さである。第2深さD2は、0.5 μm以上2 μm以下であってもよい。第2深さD2は、0.5 μm以上0.75 μm以下、0.75 μm以上1 μm以下、1 μm以上1.25 μm以下、1.25 μm以上1.5 μm以下、1.5 μm以上1.75 μm以下、および、1.75 μm以上2 μm以下のうちの少なくとも1つの範囲に属する値を有していてもよい。第2深さD2は、0.5 μm以上1.5 μm以下であることが好ましい。

[0101] 第3トレンチ部46は、第2トレンチ部45の下方の領域において第2トレンチ部45よりも幅狭に形成され、トレンチ41の下端部を区画している。第3トレンチ部46は、第2トレンチ部45側の上端部、および、第2主面4側の下端部を有している。第3トレンチ部46の上端部は、第2トレンチ部45の下端部（第2傾斜部45a）に接続されている。第3トレンチ部46の下端部は、トレンチ41の底壁を区画している。

[0102] 第3トレンチ部46は、第2幅W2未満の第3幅W3、および、第2深さD2よりも大きい第3深さD3を有している。第2トレンチ部45の壁面および第3トレンチ部46の壁面の間の第2ギャップ量G2は、1 nm以上50 nm以下であってもよい（図13および図15参照）。

[0103] 第2ギャップ量G2は、断面視において第2トレンチ部45の壁面を法線方向Zに通過する第2仮想線L2から第3トレンチ部46の壁面までの水平方向の距離である。第2ギャップ量G2は、第2幅W2に対する第3幅W3の差分値を1/2にした値でもある。

[0104] 第2ギャップ量G2は、1 nm以上5 nm以下、5 nm以上10 nm以下、10 nm以上20 nm以下、20 nm以上30 nm以下、30 nm以上40 nm以下、および、40 nm以上50 nm以下のうちの少なくとも1つの

範囲に属する値を有していてもよい。第2ギャップ量G2は、5nm以上であることが好ましい。第2ギャップ量G2は、25nm以下であることが好ましい。

[0105] 第3深さD3は、第3トレンチ部46の上端部および下端部の間の深さである。第3深さD3は、トレンチ41のゲート深さDGから第1深さD1および第2深さD2の合計値を差し引いた値からなる。第3深さD3は、第2深さD2以上であることが好ましい。第3深さD3は、第2深さD2の1.5倍以上4倍以下であることが特に好ましい。

[0106] 第3深さD3は、0.5 $\mu$ m以上5 $\mu$ m以下であってもよい。第3深さD3は、0.5 $\mu$ m以上1.5 $\mu$ m以下、1.5 $\mu$ m以上2 $\mu$ m以下、2 $\mu$ m以上2.5 $\mu$ m以下、2.5 $\mu$ m以上3 $\mu$ m以下、3 $\mu$ m以上3.5 $\mu$ m以下、3.5 $\mu$ m以上4 $\mu$ m以下、4 $\mu$ m以上4.5 $\mu$ m以下、および、4.5 $\mu$ m以上5 $\mu$ m以下のうちの少なくとも1つの範囲に属する値を有していてもよい。第3深さD3は、1.5 $\mu$ m以上3 $\mu$ m以下であってもよい。

[0107] 絶縁膜42は、トレンチ41の壁面を膜状に被覆している。具体的には、絶縁膜42は、第1トレンチ部44の壁面、第2トレンチ部45の壁面および第3トレンチ部46の壁面を膜状に被覆している。さらに具体的には、絶縁膜42は、第1絶縁膜47、第2絶縁膜48および第3絶縁膜49を含む。

[0108] 第1絶縁膜47は、比較的小さい第1膜厚TF1を有し、第1トレンチ部44の壁面を被覆している。具体的には、第1絶縁膜47は、第1トレンチ部44の壁面のうちの上端部および下端部の間の領域を膜状に被覆している。第1絶縁膜47は、第1トレンチ部44の第1傾斜部44aを被覆する部分を有している。第1絶縁膜47は、酸化シリコン膜を含んでいてもよい。第1絶縁膜47は、チップ2の酸化物からなる酸化シリコン膜を含むことが好ましい。

[0109] 第1膜厚TF1は、第1ギャップ量G1以下の値を有していることが好ましい。第1膜厚TF1は、1nm以上50nm以下であってもよい（図16

参照)。第1膜厚TF1は、1nm以上5nm以下、5nm以上10nm以下、10nm以上20nm以下、20nm以上30nm以下、30nm以上40nm以下、および、40nm以上50nm以下のうちの少なくとも1つの範囲に属する値を有していてもよい。第1膜厚TF1は、5nm以上であることが好ましい。第1膜厚TF1は、25nm以下であることが好ましい。

[0110] 第2絶縁膜48は、第1膜厚TF1以上の第2膜厚TF2を有し、第2トレンチ部45の壁面を膜状に被覆している。具体的には、第2絶縁膜48は、第2トレンチ部45の壁面のうちの上端部および下端部の間の領域を膜状に被覆している。第2絶縁膜48は、第2トレンチ部45の上端部において第1絶縁膜47に接続され、第2トレンチ部45の第2傾斜部45aを被覆する部分を有している。

[0111] 第2絶縁膜48は、酸化シリコン膜を含んでいてもよい。第2絶縁膜48は、チップ2の酸化物からなる酸化シリコン膜を含むことが好ましい。第2膜厚TF2は、第1膜厚TF1よりも大きいことが好ましい。第2膜厚TF2は、第1ギャップ量G1よりも大きいことが特に好ましい。むしろ、第2膜厚TF2は、第1膜厚TF1（第1ギャップ量G1）未満であってもよい。

[0112] 第2膜厚TF2は、10nm以上100nm以下であってもよい（図16参照）。第2膜厚TF2は、10nm以上25nm以下、25nm以上50nm以下、50nm以上75nm以下、および、75nm以上100nm以下のうちの少なくとも1つの範囲に属する値を有していてもよい。第2膜厚TF2は、50nm以下であることが好ましい。第2膜厚TF2は、25nm以下であることが好ましい。

[0113] 第3絶縁膜49は、第2膜厚TF2以上の第3膜厚TF3を有し、第3トレンチ部46の壁面を膜状に被覆している。具体的には、第3絶縁膜49は、第3トレンチ部46の壁面のうちの上端部および下端部の間の領域を膜状に被覆し、第3トレンチ部46の上端部において第2絶縁膜48に接続され

ている。

- [0114] 第3絶縁膜49は、第3トレンチ部46内（トレンチ41の底壁側の領域）において断面視U字形状のリセス空間を区画している。第3絶縁膜49は、酸化シリコン膜を含んでいてもよい。第3絶縁膜49は、チップ2の酸化物からなる酸化シリコン膜を含んでいてもよいし、CVD法によって形成された酸化シリコン膜（チップ2とは別体的な酸化物）を含んでいてもよい。
- [0115] 第3膜厚TF3は、第2膜厚TF2よりも大きいことが好ましい。第3膜厚TF3は、第2ギャップ量G2よりも大きいことが特に好ましい。第3膜厚TF3は、100nm以上500nm以下であってもよい。第3膜厚TF3は、100nm以上200nm以下、200nm以上300nm以下、300nm以上400nm以下、および、400nm以上500nm以下のうちの少なくとも1つの範囲に属する値を有していてもよい。第3膜厚TF3は、200nm以上であることが好ましい。第3膜厚TF3は、絶縁膜42分離絶縁膜32の厚さとほぼ等しくてもよい。
- [0116] 埋設電極43は、絶縁膜42を挟んでトレンチ41に埋設されている。埋設電極43は、n型またはp型の導電性ポリシリコンを含んでいてもよい。埋設電極43は、トレンチ41から露出した電極面50を有している。電極面50は、この形態では、導電性ポリシリコンの一部によって形成されている。
- [0117] 電極面50は、第1主面3に対してトレンチ41の底壁側に位置し、トレンチ41の開口側においてトレンチ41の側壁と開口リセス51を区画している。開口リセス51は、トレンチ41に沿って帯状に延びている。開口リセス51は、トレンチ41のほぼ全域に形成されていてもよい。開口リセス51は、リセス深さDRを有している。リセス深さDRは、第1主面3の高さ位置を基準に第1主面3および電極面50の間の最大距離である。
- [0118] リセス深さDRは、100nm以上600nm以下であってもよい。リセス深さDRは、100nm以上150nm以下、150nm以上200nm以下、200nm以上250nm以下、250nm以上300nm以下、3

00 nm以上350 nm以下、350 nm以上400 nm以下、400 nm以上450 nm以下、450 nm以上500 nm以下、500 nm以上550 nm以下、および、550 nm以上600 nm以下のうちの少なくとも1つの範囲に属する値を有していてもよい。リセス深さDRは、200 nm以上400 nm以下であることが好ましい。

[0119] 埋設電極43は、第1トレンチ部44の深さ範囲中間部に対して第2トレンチ部45側の領域に埋設され、第1トレンチ部44の少なくとも一部を露出させている。つまり、埋設電極43は、第1絶縁膜47の少なくとも一部を露出させるように絶縁膜42（第2絶縁膜48）を挟んでトレンチ41に埋設されている。

[0120] 埋設電極43は、この形態では、第1トレンチ部44の下端部に対して第2トレンチ部45側の領域に埋設され、第1トレンチ部44のほぼ全域を露出させている。つまり、埋設電極43は、第1絶縁膜47のうち第1トレンチ部44の第1傾斜部44aを被覆する部分の少なくとも一部（この形態では全部）を露出させている。

[0121] 埋設電極43は、電極面50のうちトレンチ41の側壁に沿う縁部においてトレンチ41の底壁に向けて窪んだリセス縁部52を有している。この形態では、断面視において、複数のリセス縁部52が電極面50の両サイドの縁部にそれぞれ形成されている。両サイドのリセス縁部52は、同様の形態を有しているため、以下では一方のリセス縁部52の構成が説明される。他方のリセス縁部52の説明については一方のリセス縁部52の説明が適用される。

[0122] リセス縁部52は、トレンチ41の開口側において、トレンチ41の側壁（具体的には第1トレンチ部44の壁面）および埋設電極43の上端部の間の領域に区画されている。リセス縁部52は、平面視においてトレンチ41の側壁（第1トレンチ部44の壁面）に沿って延び、断面視において電極面50からトレンチ41の底壁に向かう先細り形状（a dwindling shape）に形成されている。

- [0123] リセス縁部52の開口端部は、水平方向に第1トレンチ部44の壁面に対向する深さ位置（高さ位置）に形成されている。一方、リセス縁部52の底壁部は、水平方向に第2トレンチ部45の壁面に対向する深さ位置（高さ位置）に形成されている。つまり、リセス縁部52の開口端部は水平方向に第1絶縁膜47に対向し、リセス縁部52の底壁部は、水平方向に第2絶縁膜48に対向している。リセス縁部52の底壁部は、この形態では、電極面50の内方部の高さ位置に対してトレンチ41の底壁側に位置されている。
- [0124] リセス縁部52は、水平方向に関してリセス幅WRを有している。リセス幅WRは、10nm以上200nm以下であってもよい。リセス幅WRは、10nm以上25nm以下、25nm以上50nm以下、50nm以上75nm以下、75nm以上100nm以下、100nm以上125nm以下、125nm以上150nm以下、150nm以上175nm以下、および、175nm以上200nm以下のうちの少なくとも1つの範囲に属する値を有していてもよい。リセス幅WRは、50nm以上150nm以下であることが好ましい。
- [0125] 埋設電極43は、電極面50の縁部においてトレンチ41の開口側に向けて突出した突出縁部53を有している。この形態では、断面視において、複数の突出縁部53が電極面50の両サイドの縁部にそれぞれ形成されている。突出縁部53は、トレンチ41の側壁（具体的には、第1トレンチ部44の壁面）から水平方向に間隔を空けて形成され、トレンチ41の側壁との間でリセス縁部52を区画している。
- [0126] 突出縁部53は、トレンチ41の開口側に向かう先細り形状に形成され、電極面50の内方部よりも第1主面3側に位置された先端部を有している。突出縁部53の先端部は、第1主面3の高さ位置に対してトレンチ41の底壁側に形成されている。突出縁部53は、底壁に向かって円弧状に湾曲した電極面50を形成している。
- [0127] 埋設電極43は、この形態では、絶縁体を挟んでトレンチ41の深さ方向に間隔を空けて配置された複数の電極を含むマルチ電極構造を有している。

埋設電極43のうち最上の電極（後述の第1電極54）が、前述の電極面50、リセス縁部52および突出縁部53を有している。埋設電極43は、この形態では、上下方向に分離配置された第1電極54、第2電極55および中間絶縁膜56を含むダブル電極構造を有している。

[0128] 第1電極54は、n型またはp型の導電性ポリシリコンを含んでいてもよい。第1電極54は、絶縁膜42を挟んでトレンチ41の開口側に埋設されている。具体的には、第1電極54は、第2絶縁膜48を挟んで第2トレンチ部45に埋設されている。第1電極54は、第1トレンチ部44の深さ範囲中間部に対して第2トレンチ部45側の領域に埋設され、第1トレンチ部44の少なくとも一部を露出させている。

[0129] 第1電極54は、この形態では、第1トレンチ部44の下端部に対して第2トレンチ部45側の領域に埋設されている。第1電極54は、第2絶縁膜48の上端部および下端部の間の領域を被覆し、第1トレンチ部44のほぼ全域を露出させている。つまり、第1電極54は、第1絶縁膜47のうち第1トレンチ部44の第1傾斜部44aを被覆する部分を露出させている。また、第1電極54は、第2絶縁膜48を挟んで第2傾斜部45aを被覆する部分を有している。

[0130] 第2電極55は、n型またはp型の導電性ポリシリコンを含んでいてもよい。第2電極55は、絶縁膜42を挟んでトレンチ41の底壁側に埋設されている。具体的には、第2電極55は、第3絶縁膜49を挟んで第3トレンチ部46に埋設されている。第2電極55は、トレンチ41の深さ方向に延びる壁状に形成されている。

[0131] 第2電極55は、第3絶縁膜49の上端部よりも上方に突出した上端部を有している。第2電極55の上端部は、第1電極54の下端部に食い込み、第1電極54の下端部に係合している。第2電極55の上端部は、水平方向に第1電極54の下端部を挟んで第2絶縁膜48に対向している。

[0132] 中間絶縁膜56は、第1電極54および第2電極55の間に介在され、トレンチ41内において第1電極54および第2電極55を電氣的に絶縁させ

ている。中間絶縁膜56は、絶縁膜42（第2絶縁膜48および第3絶縁膜49）に連なっている。中間絶縁膜56は、酸化シリコン膜を含んでいてもよい。中間絶縁膜56は、第2電極55の酸化物からなる酸化シリコン膜を含むことが好ましい。つまり中間絶縁膜56は、ポリシリコンの酸化物を含むことが好ましい。

[0133] 中間絶縁膜56は、第4膜厚TF4を有している。第4膜厚TF4は、第1膜厚TF1よりも大きく、第3膜厚TF3よりも小さい。第4膜厚TF4は、第2膜厚TF2よりも大きいことが好ましい。むしろ、第4膜厚TF4は、第2膜厚TF2未満であってもよい。

[0134] この形態では、ダブル電極構造を有する埋設電極43が示された。むしろ、埋設電極43は、上下方向に分離配置された3個以上の電極を有していてもよい。この場合、上下方向に隣り合う2つの電極の間の領域（regions）に、中間絶縁膜56がそれぞれ配置される。

[0135] 半導体装置1は、電極面50のうちリセス縁部52を区画する部分を被覆するリセス絶縁膜57を含む。リセス絶縁膜57は、ゲート構造40の一構成要素と見做されてもよい。リセス絶縁膜57は、埋設電極43の酸化物からなる酸化シリコン膜を含んでいてもよい。つまり、リセス絶縁膜57は、ポリシリコンの酸化物を含んでいてもよい。リセス絶縁膜57は、CVD法によって形成された酸化シリコン膜を含んでいてもよい。つまり、リセス絶縁膜57は、埋設電極43とは別体的な酸化物を含んでいてもよい。

[0136] リセス絶縁膜57は、リセス縁部52の壁面に沿ってリセス縁部52に倣って膜状に形成され、第1主面3よりも下方（電極面50側）に位置された膜面を有している。リセス絶縁膜57は、絶縁膜42のうちの少なくとも第1絶縁膜47に接続されている。リセス絶縁膜57は、この形態では、第2絶縁膜48にも接続されている。

[0137] リセス絶縁膜57は、この形態では、リセス縁部52の壁面から突出縁部53の壁面を連続的に被覆している。リセス絶縁膜57は、リセス縁部52から突出縁部53に向けて漸増する膜厚を有している。リセス絶縁膜57は

、突出縁部53から電極面50の内方部に向けて延びる部分を有していてもよい。この場合、リセス絶縁膜57の膜厚は、突出縁部53から電極面50の内方部に向けて漸減していることが好ましい。

[0138] つまり、リセス絶縁膜57のうち突出縁部53を被覆する部分の膜厚は、リセス絶縁膜57のうちリセス縁部52を被覆する部分の膜厚よりも大きい。また、リセス絶縁膜57のうち突出縁部53を被覆する部分の膜厚は、リセス絶縁膜57のうち電極面50の内方部側の領域を被覆する部分の膜厚よりも大きい。リセス絶縁膜57は、必ずしも断面視において電極面50の周縁部で途切れている必要はなく、断面視において電極面50の全域を被覆していてもよい。

[0139] リセス絶縁膜57は、この形態では、トレンチ41の壁面との間でリセス縁部52に倣う絶縁リセス縁部58を区画している。具体的には、リセス絶縁膜57は、絶縁膜42から水平方向に間隔を空けて形成され、絶縁膜42との間において絶縁リセス縁部58を区画している。さらに具体的には、リセス絶縁膜57は、第1絶縁膜47から水平方向に間隔を空けて形成され、第1絶縁膜47と絶縁リセス縁部58を区画している。リセス絶縁膜57のうち突出縁部53を被覆する部分の膜厚は、第1絶縁膜47の膜厚（第1膜厚TF1）よりも大きい。

[0140] 絶縁リセス縁部58は、リセス縁部52と同様、平面視においてトレンチ41の側壁（第1トレンチ部44の壁面）に沿って延び、断面視において電極面50からトレンチ41の底壁に向かう先細り形状（a dwindling shape）に形成されている。絶縁リセス縁部58は、第1主面3よりも電極面50側の領域に位置された開口端部を有している。

[0141] 絶縁リセス縁部58の開口端部は、水平方向に第1トレンチ部44の壁面に対向する深さ位置（高さ位置）に形成されている。絶縁リセス縁部58の開口端部は、この形態では、第1トレンチ部44の深さ範囲中間部に対して電極面50側の領域に形成されている。むろん、絶縁リセス縁部58の開口端部は、第1トレンチ部44の深さ範囲中間部に対して第1主面3側の領域

に形成されていてもよい。

- [0142] 絶縁リセス縁部58は、この形態では、絶縁膜42（第1絶縁膜47）およびリセス絶縁膜57の接続部に形成された底壁部を有している。絶縁リセス縁部58の底壁部は、水平方向に第1トレンチ部44の下端部に対向する深さ位置（高さ位置）に形成されている。具体的には、絶縁リセス縁部58の底壁部は、第1トレンチ部44の第1傾斜部44aに対向している。
- [0143] 半導体装置1は、リセス縁部52に埋設された縁部絶縁体60を含む。縁部絶縁体60は、この形態では、リセス絶縁膜57を挟んでリセス縁部52に埋設されている。つまり、縁部絶縁体60は、絶縁リセス縁部58に埋設されている。縁部絶縁体60は、ゲート構造40の一構成要素と見做されてもよい。縁部絶縁体60は、「サイドスペーサ」、「サイドウォール」、「ウォール構造」、「段差緩和部」等と称されてもよい。
- [0144] この形態では、断面視において、複数の縁部絶縁体60が、電極面50の内方部を露出させるように電極面50の両サイドのリセス縁部52にそれぞれ埋設されている。両サイドの縁部絶縁体60は、同様の形態を有しているため、以下では一方の縁部絶縁体60の構成が説明される。他方の縁部絶縁体60の説明については一方の縁部絶縁体60の説明が適用される。
- [0145] 縁部絶縁体60は、1種または複数種の絶縁体を含んでいてもよい。縁部絶縁体60は、酸化シリコン、窒化シリコンおよび酸窒化シリコンのうちの少なくとも1つの絶縁体を含んでいてもよい。縁部絶縁体60は、絶縁膜42（具体的には第1絶縁膜47）を構成する絶縁体とは異なる絶縁体を含むことが好ましい。縁部絶縁体60は、リセス絶縁膜57（絶縁リセス縁部58）を構成する絶縁体とは異なる絶縁体を含むことが好ましい。
- [0146] 縁部絶縁体60は、トレンチ41の側壁およびリセス縁部52の壁面を膜状に被覆する縁部絶縁膜61を含む。つまり、縁部絶縁膜61は、第1絶縁膜47を挟んで第1主面3の表層部に対向し、リセス絶縁膜57（リセス絶縁膜57）を挟んで埋設電極43（第1電極54）に対向している。
- [0147] 縁部絶縁膜61は、絶縁膜42（具体的には第1絶縁膜47）を構成する

絶縁体とは異なる絶縁体を含む。また、縁部絶縁膜61は、リセス絶縁膜57（絶縁リセス縁部58）を構成する絶縁体とは異なる絶縁体を含む。縁部絶縁膜61は、この形態では、窒化シリコンおよび酸窒化シリコンのうちのいずれか一方または双方を含む。つまり、縁部絶縁膜61は、窒化膜を含む。縁部絶縁膜61は、断面視においてリセス縁部52（絶縁リセス縁部58）の壁面をU字形状またはJ字形状に被覆している。

[0148] 具体的には、縁部絶縁膜61は、第1延部61aおよび第2延部61bを含む。第1延部61aは、トレンチ41の側壁を膜状に被覆している。第1延部61aは、この形態では、第1絶縁膜47を膜状に被覆し、第1絶縁膜47を挟んでトレンチ41の側壁に対向している。第1延部61aは、水平方向に関して、第1絶縁膜47の膜厚（第1膜厚TF1）よりも大きい膜厚を有していることが好ましい。

[0149] 第1延部61aは、トレンチ41の深さ方向に関して、リセス縁部52外の領域からリセス縁部52内の領域に延びている。つまり、第1延部61aは、トレンチ41の開口側の上端部、および、リセス縁部52内の下端部を有している。第1延部61aの上端部は、第1主面3に対してリセス縁部52の底壁側に位置され、トレンチ41外の領域には形成されていない。

[0150] つまり、第1延部61aの上端部はトレンチ41内で途切れており、第1主面3を露出させている。第1延部61aの上端部は、円弧状に湾曲していてもよい。第1延部61aの下端部は、この形態では、絶縁リセス縁部58内に位置され、リセス絶縁膜57を挟んで埋設電極43に対向している。

[0151] 第2延部61bは、第1延部61aの下端部から第1主面3側に折り返す成膜方向を有し、リセス縁部52の壁面を膜状に被覆している。具体的には、第2延部61bは、第1延部61aの成膜方向に対して開口側に向けて斜め傾斜した成膜方向を有している。第2延部61bは、この形態では、リセス絶縁膜57を膜状に被覆し、リセス絶縁膜57を挟んで埋設電極43（第1電極54）を被覆している。

[0152] つまり、第2延部61bは、リセス絶縁膜57に倣って膜状に形成され、

リセス絶縁膜57を挟んで埋設電極43の突出縁部53を被覆している。第2延部61bは、トレンチ41の深さ方向（法線方向Z）に関して、リセス絶縁膜57の膜厚よりも小さい膜厚を有している。第2延部61bは、第1絶縁膜47の膜厚（第1膜厚TF1）よりも大きい膜厚を有していることが好ましい。

[0153] 第2延部61bは、トレンチ41の開口側の上端部、および、リセス縁部52内の下端部を有している。第2延部61bの上端部は、第1主面3に対して電極面50側に位置されている。具体的には、第2延部61bの上端部は、突出縁部53の上に位置されている。第2延部61bの上端部は、第1延部61aの上端部に対して電極面50側（トレンチ41の前記底壁側）に位置され、水平方向に第1延部61aに対向している。

[0154] 第2延部61bの上端部は、この形態では、第1延部61aの深さ範囲途中部に対向している。つまり、第2延部61bの上端部はトレンチ41内で途切れており、第2延部61bはトレンチ41外の領域に形成されていない。また、第2延部61bは、リセス縁部52およびリセス縁部52の近傍の領域を被覆し、電極面50の内方部を露出させている。また、第2延部61bの上端部は、リセス絶縁膜57を挟んで突出縁部53に対向している。

[0155] 第2延部61bの下端部は、この形態では、絶縁リセス縁部58内において第1延部61aの下端部に接続されている。したがって、第2延部61bの下端部および第1延部61aの下端部の接続部は、第1延部61aおよび第2延部61bの共通の下端部を構成している。第2延部61bの下端部は、リセス絶縁膜57を挟んで埋設電極43に対向している。このように、第2延部61bは、断面視において第1延部61aと共にU字形状またはJ字形状を形成している。

[0156] 縁部絶縁体60は、リセス縁部52の上の領域においてリセス縁部52の底部に向けて窪んだ溝部62（a groove portion）を有している。溝部62は、この形態では、リセス縁部52の上の領域において縁部絶縁膜61によって区画されている。さらに具体的には、溝部62は、絶縁リセス縁部58

の上の領域において縁部絶縁膜 6 1 の第 1 延部 6 1 a および第 2 延部 6 1 b によって区画されている。

[0157] 溝部 6 2 は、第 1 延部 6 1 a を挟んで第 1 トレンチ部 4 4 の壁面に対向し、第 2 延部 6 1 b を挟んで開口リセス 5 1 (トレンチ 4 1 内の空間) に対向している。つまり、溝部 6 2 は、第 1 主面 3 および埋設電極 4 3 の電極面 5 0 の間の高さ範囲において、第 1 主面 3 よりも下方の領域 (電極面 5 0 側の領域) に位置された開口端部を有し、電極面 5 0 よりも上方の領域 (第 1 主面 3 側の領域) に位置された底壁を有している。

[0158] 溝部 6 2 は、水平方向に関してリセス縁部 5 2 の幅未満の幅を有している。溝部 6 2 は、水平方向に関して絶縁リセス縁部 5 8 の幅未満の幅を有している。つまり、縁部絶縁膜 6 1 は、リセス縁部 5 2 (絶縁リセス縁部 5 8) の幅を狭めている。溝部 6 2 は、平面視においてトレンチ 4 1 の側壁 (第 1 トレンチ部 4 4 の壁面) に沿って延び、断面視において電極面 5 0 からトレンチ 4 1 の底壁に向かう先細り形状 (a dwindling shape) に形成されている。

[0159] 縁部絶縁体 6 0 は、この形態では、溝部 6 2 に埋設された絶縁埋設物 6 3 を含む。添付図面では、絶縁埋設物 6 3 が塗り潰しハッチングによって示されている。絶縁埋設物 6 3 は、溝部 6 2 に起因する段差 (隆起・沈下) を緩和している。

[0160] 絶縁埋設物 6 3 は、縁部絶縁体 6 0 とは異なる絶縁材料を含むことが好ましい。絶縁埋設物 6 3 は、この形態では、酸化物を含む。具体的には、絶縁埋設物 6 3 は、酸化物の一例としてのオルトケイ酸テトラエチルを含む。オルトケイ酸テトラエチルは、「TEOS」と称されてもよい。つまり、絶縁埋設物 6 3 を構成する酸化物は、絶縁膜 4 2 を構成する酸化物とは異なっている。

[0161] 絶縁埋設物 6 3 は、溝部 6 2 内のみならず埋め込まれ、縁部絶縁体 6 0 のうちの溝部 6 2 外の領域の全域を露出させていてもよい。むしろ、絶縁埋設物 6 3 は、溝部 6 2 内から溝部 6 2 外の領域に引き出され、縁部絶縁体 6 0 のう

ちの溝部62外の領域の少なくとも一部または全部を被覆していてもよい。

[0162] 図16では、絶縁埋設物63が、溝部62内に位置された本体部63a、第1延部61aを被覆する第1オーバーラップ部63b、および、第2延部61bを被覆する第2オーバーラップ部63cを有している例が示されている。絶縁埋設物63は第1オーバーラップ部63bおよび第2オーバーラップ部63cの双方を同時に含む必要はなく、第1オーバーラップ部63bおよび第2オーバーラップ部63cのいずれか一方のみを含んでいてもよい。

[0163] 第1オーバーラップ部63bは、第1延部61aの一部または全域を被覆していてもよい。第2オーバーラップ部63cは、第2延部61bの一部または全域を被覆していてもよい。第1オーバーラップ部63bが第1延部61aの一部を被覆している場合、第1オーバーラップ部63bは本体部63aから分離されていてもよい。第2オーバーラップ部63cが第2延部61bの一部を被覆している場合、第2オーバーラップ部63cは本体部63aから分離されていてもよい。

[0164] 半導体装置1は、出力領域6において第1主面3（ドリフト領域9）の表層部に形成されたp型（第2導電型）の複数のボディ領域65を含む。具体的には、複数のボディ領域65は、第1主面3（ドリフト領域9）の表層部において複数のゲート構造40に沿う領域にそれぞれ形成され、対応する絶縁膜42を挟んで対応する埋設電極43に対向している。ボディ領域65は、この形態では、高濃度ドリフト領域35よりも浅く形成され、高濃度ドリフト領域35の一部を挟んでドリフト領域9に対向している。

[0165] 互いに隣り合う一対のゲート構造40の間の領域に形成されたボディ領域65は、当該一対のゲート構造40によって共有されている。複数のボディ領域65は、平面視において隣り合う一対（pairs）のゲート構造40の間の領域（regions）を帯状に延びている。複数のボディ領域65は、分離構造30から出力領域6の内方に間隔を空けて形成されていてもよい。むしろ、複数のボディ領域65は、1つのボディ領域65として出力領域6の全域に形成されていてもよい。この場合、1つのボディ領域65は、分離構造30の

壁面に接していてもよい。

- [0166] 以下、1つのゲート構造40に対する1つのボディ領域65の構成が説明される。ボディ領域65は、分離構造30の深さ範囲中間部よりも第1主面3側に位置されている。ボディ領域65は、ゲート構造40の深さ範囲中間部よりも第1主面3側に位置されている。ボディ領域65は、第1トレンチ部44の下端部よりも深く形成され、第2トレンチ部45に沿う部分を有している。
- [0167] したがって、ボディ領域65は、絶縁膜42（第2絶縁膜48）を挟んで第1電極54に対向している。むしろ、ボディ領域65は、第2トレンチ部45の下端部よりも深く形成され、第3トレンチ部46に沿う部分を有していてもよい。この場合、ボディ領域65は、絶縁膜42（第3絶縁膜49）を挟んで第2電極55の上端部に対向する部分を有していてもよい。
- [0168] ボディ領域65は、本体部65aおよび延部65bを含む。本体部65aは、トレンチ41の側壁に接するように第1主面3に沿って層状に延びている。本体部65aは、第1トレンチ部44の下端部に対して第2トレンチ部45側の領域に位置された底部を有していることが好ましい。本体部65aの底部は、第2トレンチ部45の上端部および下端部の間の領域に位置されていることが好ましい。
- [0169] 本体部65aは、第1トレンチ部44に沿う部分において第1絶縁膜47を挟んで縁部絶縁体60に対向し、第2トレンチ部45に沿う部分において第2絶縁膜48を挟んで埋設電極43（第1電極54）に対向している。つまり、本体部65aは、第1絶縁膜47を挟んで縁部絶縁膜61の一部（第1延部61a）に対向している。また、本体部65aは、水平方向に絶縁埋設物63に対向している。
- [0170] 延部65bは、本体部65aのうちトレンチ41に沿う部分からトレンチ41の底壁側に向けて延びる部分である。つまり、延部65bは、本体部65aの底部に対してトレンチ41の底壁側に位置された底部を有している。延部65bの底部は、断面視においてトレンチ41の底壁側に向けて円弧状

に湾曲している。延部65bの底部は、この形態では、第2トレンチ部45の下端部から第2トレンチ部45の上端部側に間隔を空けて位置されている。

[0171] つまり、延部65bの底部は、第2トレンチ部45の第2傾斜部45aよりも上方に位置されている。むろん、延部65bは、第2トレンチ部45の下端部（第2傾斜部45a）を介して第3トレンチ部46の上端部に沿う領域まで引き出されていてもよい。この場合、延部65b（ボディ領域65）は、第3絶縁膜49を挟んで第2電極55に対向する部分を有していてもよい。

[0172] 半導体装置1は、各ゲート構造40の制御対象として各ゲート構造40の両サイドに形成された複数のチャネルセル70を含む。この形態では、1つのゲート構造40の両サイドに配置された2つのチャネルセル70は、当該1つのゲート構造40によって制御され、他のゲート構造40の制御対象から外れる。

[0173] 複数のチャネルセル70は、ゲート構造40の長手方向（第2方向Y）の両端部から間隔を空けてゲート構造40の内方部に沿う領域に形成されている。複数のチャネルセル70は、第1主面3のうち複数のゲート構造40の両端部に挟まれた領域からボディ領域65を露出させている。

[0174] 複数のチャネルセル70は、厚さ方向にボディ領域65の一部を挟んで高濃度ドリフト領域35に対向している。複数のチャネルセル70は、平面視において高濃度ドリフト領域35の周縁よりも高濃度ドリフト領域35の内方部に形成されていることが好ましい。

[0175] 各チャネルセル70は、n型の複数のソース領域71を含む。図6では、明瞭化のため、ソース領域71にハッチングが付されている。各ソース領域71は、ドリフト領域9よりも高いn型不純物濃度を有している。各ソース領域71は、高濃度ドリフト領域35よりも高いn型不純物濃度を有していてもよい。各ソース領域71のn型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。

- [0176] 複数のソース領域 71 は、対応するボディ領域 65 の底部から第 1 主面 3 側に間隔を空けて形成され、対応するゲート構造 40 に沿って間隔を空けて配列されている。複数のソース領域 71 は、絶縁膜 42（第 1 絶縁膜 47）を挟んで縁部絶縁体 60 に対向し、絶縁膜 42（第 2 絶縁膜 48）を挟んで埋設電極 43（第 1 電極 54）に対向している。
- [0177] 複数のソース領域 71 は、ドリフト領域 9（高濃度ドリフト領域 35）との間の領域において出力トランジスタ 15 のチャンネルを形成する。チャンネルのチャンネル長 LC は、ソース領域 71 およびドリフト領域 9（高濃度ドリフト領域 35）の間の距離によって定義される。
- [0178] 以下、1つのソース領域 71 の構成が説明される。ソース領域 71 は、ソース本体部 71 a およびソース延部 71 b を含む。ソース本体部 71 a は、トレンチ 41 の側壁に接するように第 1 主面 3 に沿って層状に延びている。ソース本体部 71 a は、ボディ領域 65 の底部に対して第 1 主面 3 側の領域に位置された底部を有し、ボディ領域 65 の一部を挟んでドリフト領域 9（高濃度ドリフト領域 35）に対向している。
- [0179] ソース本体部 71 a は、第 1 トレンチ部 44 に沿う部分において第 1 絶縁膜 47 を挟んで縁部絶縁体 60 に対向している。具体的には、ソース本体部 71 a は、第 1 絶縁膜 47 を挟んで縁部絶縁膜 61 の一部（第 1 延部 61 a）に対向している。つまり、ソース本体部 71 a は、水平方向に絶縁埋設物 63 に対向している。ソース本体部 71 a は、第 1 トレンチ部 44 の下端部に対して第 1 主面 3 側の領域に形成されていてもよい。
- [0180] むろん、ソース本体部 71 a は、第 1 トレンチ部 44 の下端部に対して第 2 トレンチ部 45 側の領域に形成されていてもよい。つまり、ソース本体部 71 a は、第 1 トレンチ部 44 の第 1 傾斜部 44 a に沿う部分を有していてもよい。この場合、ソース本体部 71 a は、第 2 トレンチ部 45 の深さ範囲中間部に対して第 2 トレンチ部 45 の上端部側に位置されることが好ましい。ソース本体部 71 a は、第 2 トレンチ部 45 を挟んで埋設電極 43（第 1 電極 54）に対向していてもよい。

- [0181] ソース延部71bは、ソース本体部71aのうちトレンチ41に沿う部分からトレンチ41の底壁側に向けて延びる部分である。つまり、ソース延部71bは、ソース本体部71aの底部に対してトレンチ41の底壁側に位置された底部を有している。ソース延部71bの底部は、断面視においてトレンチ41の底壁側に向けて円弧状に湾曲している。ソース延部71bの底部は、ボディ領域65の底部に対して第1主面3側の領域に形成され、ボディ領域65の一部を挟んでドリフト領域9（高濃度ドリフト領域35）に対向している。
- [0182] ソース延部71bの底部は、第2トレンチ部45の深さ範囲中間部に対して第2トレンチ部45の上端部側に位置されることが好ましい。ソース延部71bは、第2トレンチ部45を挟んで埋設電極43（第1電極54）に対向している。前述のチャンネル長LCは、ソース延部71bおよびドリフト領域9（高濃度ドリフト領域35）の間の距離である。
- [0183] ソース本体部71aが第1トレンチ部44の下端部に対して第1主面3側の領域に位置されている場合、ソース延部71bは第1トレンチ部44の下端部を介して第2トレンチ部45に至る深さ位置まで引き出される。つまり、ソース延部71bは、第1トレンチ部44の第1傾斜部44aに沿う部分を有していてもよい。この場合、ソース延部71bは、第1トレンチ部44に沿う部分において第1絶縁膜47を挟んで縁部絶縁体60に対向する。
- [0184] 具体的には、ソース延部71bは、第1絶縁膜47を挟んで縁部絶縁膜61の一部（第1延部61a）に対向している。ソース延部71bは、絶縁埋設物63の下端部に対してトレンチ41の底壁側の領域に位置されていてもよい。つまり、ソース延部71bは、水平方向に絶縁埋設物63に対向しないように絶縁埋設物63の下端部の下方の領域に形成されていてもよい。むしろ、ソース延部71bは、水平方向に絶縁埋設物63に対向していてもよい。
- [0185] ソース本体部71aが第1トレンチ部44の下端部に対して第2トレンチ部45側の領域に位置されている場合、ソース延部71bはソース本体部7

1 aから第2トレンチ部45の下端部側に向けて引き出される。この場合、ソース延部71bは、水平方向に埋設電極43（第1電極54）に対向し、水平方向に絶縁埋設物63に対向しない。

[0186] 各チャネルセル70は、p型の複数のコンタクト領域72を含む。コンタクト領域72は、「第1バックゲート領域」と称されてもよい。各コンタクト領域72は、ボディ領域65よりも高いp型不純物濃度を有している。各コンタクト領域72のp型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。

[0187] 複数のコンタクト領域72は、対応するボディ領域65の底部から第1主面3側に間隔を空けて形成され、対応するゲート構造40に沿って複数のソース領域71と交互に配列されている。複数のコンタクト領域72は、絶縁膜42（第1絶縁膜47）を挟んで縁部絶縁体60に対向し、絶縁膜42（第2絶縁膜48）を挟んで埋設電極43（第1電極54）に対向している。

[0188] 以下、1つのコンタクト領域72の構成が説明される。コンタクト領域72は、コンタクト本体部72aおよびコンタクト延部72bを含む。コンタクト本体部72aは、トレンチ41の側壁に接するように第1主面3に沿って層状に延びている。コンタクト本体部72aは、ボディ領域65の底部に対して第1主面3側の領域に形成された底部を有し、ボディ領域65の一部を挟んでドリフト領域9（高濃度ドリフト領域35）に対向している。

[0189] コンタクト本体部72aは、第1トレンチ部44に沿う部分において第1絶縁膜47を挟んで縁部絶縁体60に対向している。具体的には、コンタクト本体部72aは、第1絶縁膜47を挟んで縁部絶縁膜61の一部（第1延部61a）に対向している。つまり、コンタクト本体部72aは、水平方向に絶縁埋設物63に対向している。コンタクト本体部72aは、第2方向Yにソース領域71のソース本体部71aに接続されていることが好ましい。コンタクト本体部72aは、第1トレンチ部44の下端部に対して第1主面3側の領域に形成されていてもよい。

[0190] むろん、コンタクト本体部72aは、第1トレンチ部44の下端部に対し

て第2トレンチ部45側の領域に形成されていてもよい。つまり、コンタクト本体部72aは、第1トレンチ部44の第1傾斜部44aに沿う部分を有していてもよい。この場合、コンタクト本体部72aは、第2トレンチ部45の深さ範囲中間部に対して第2トレンチ部45の上端部側に位置されることが好ましい。コンタクト本体部72aは、第2トレンチ部45を挟んで埋設電極43（第1電極54）に対向していてもよい。

[0191] コンタクト延部72bは、コンタクト本体部72aのうちトレンチ41に沿う部分からトレンチ41の底壁側に向けて延びる部分である。つまり、コンタクト延部72bは、コンタクト本体部72aの底部に対してトレンチ41の底壁側に位置された底部を有している。

[0192] コンタクト延部72bの底部は、断面視においてトレンチ41の底壁側に向けて円弧状に湾曲している。コンタクト延部72bの底部は、ボディ領域65の底部に対して第1主面3側の領域に形成され、ボディ領域65の一部を挟んでドリフト領域9（高濃度ドリフト領域35）に対向している。

[0193] コンタクト延部72bの底部は、第2トレンチ部45の深さ範囲中間部に対して第2トレンチ部45の上端部側に位置されることが好ましい。コンタクト延部72bは、第2トレンチ部45を挟んで埋設電極43（第1電極54）に対向する。コンタクト延部72bは、第2方向Yにソース領域71のソース延部71bに接続されていることが好ましい。

[0194] コンタクト本体部72aが第1トレンチ部44の下端部に対して第1主面3側の領域に位置されている場合、コンタクト延部72bは第1トレンチ部44の下端部を介して第2トレンチ部45に至る深さ位置まで引き出される。つまり、コンタクト延部72bは、第1トレンチ部44の第1傾斜部44aに沿う部分を有していてもよい。この場合、コンタクト延部72bは、第1トレンチ部44に沿う部分において第1絶縁膜47を挟んで縁部絶縁体60に対向する。

[0195] 具体的には、コンタクト延部72bは、第1絶縁膜47を挟んで縁部絶縁膜61の一部（第1延部61a）に対向している。コンタクト延部72bは

、絶縁埋設物63の下端部に対してトレンチ41の底壁側の領域に位置されていてもよい。つまり、コンタクト延部72bは、水平方向に絶縁埋設物63に対向しないように絶縁埋設物63の下端部の下方の領域に形成されていてもよい。むしろ、コンタクト延部72bは、水平方向に絶縁埋設物63に対向していてもよい。

[0196] コンタクト本体部72aが第1トレンチ部44の下端部に対して第2トレンチ部45側の領域に位置されている場合、コンタクト延部72bはコンタクト本体部72aから第2トレンチ部45の下端部側に向けて引き出される。この場合、コンタクト本体部72aは、水平方向に埋設電極43（第1電極54）に対向し、水平方向に絶縁埋設物63に対向しない。

[0197] 1つのゲート構造40の両サイドに形成された2つのチャンネルセル70に関して、一方のチャンネルセル70内の複数のソース領域71は、ゲート構造40を挟んで他方のチャンネルセル70内の複数のソース領域71に対向している。この形態では、ゲート構造40を挟んで一方側のソース延部71bおよび他方側のソース延部71bが対向している。

[0198] また、一方のチャンネルセル70内の複数のコンタクト領域72は、ゲート構造40を挟んで他方のチャンネルセル70内の複数のコンタクト領域72に対向している。この形態では、ゲート構造40を挟んで一方側のコンタクト延部72bおよび他方側のコンタクト延部72bが対向している。

[0199] むろん、一方のチャンネルセル70内の複数のソース領域71は、ゲート構造40を挟んで他方のチャンネルセル70内の複数のコンタクト領域72に対向していてもよい。また、一方のチャンネルセル70内の複数のコンタクト領域72は、ゲート構造40を挟んで他方のチャンネルセル70内の複数のソース領域71に対向していてもよい。

[0200] 2つのゲート構造40の間に介在された2つのチャンネルセル70に関して、一方のチャンネルセル70内の複数のソース領域71は、第1方向Xに他方のチャンネルセル70内の複数のコンタクト領域72に接続されている。この形態では、一方側のソース本体部71aが第1方向Xに他方側のコンタクト

本体部 7 2 a に接続されている。

[0201] また、一方のチャネルセル 7 0 内の複数のコンタクト領域 7 2 は、第 1 方向 X に他方のチャネルセル 7 0 内の複数のソース領域 7 1 に接続されている。この形態では、一方側のコンタクト本体部 7 2 a が第 1 方向 X に他方側のソース本体部 7 1 a に接続されている。

[0202] むろん、一方のチャネルセル 7 0 内の複数のソース領域 7 1 は、第 1 方向 X に他方のチャネルセル 7 0 内の複数のソース領域 7 1 に接続されていてもよい。また、一方のチャネルセル 7 0 内の複数のコンタクト領域 7 2 は、第 1 方向 X に他方のチャネルセル 7 0 内の複数のコンタクト領域 7 2 に接続されていてもよい。

[0203] 最外のゲート構造 4 0 の両サイドに形成された 2 つのチャネルセル 7 0 のうち内方側に位置されたチャネルセル 7 0 は、厚さ方向にボディ領域 6 5 の一部を挟んでドリフト領域 9 に対向している。一方、外方側に位置されたチャネルセル 7 0 は、ソース領域 7 1 を含まず、コンタクト領域 7 2 のみを含む。これにより、分離構造 3 0 および最外のゲート構造 4 0 の間の領域における電流経路の形成が抑制される。

[0204] 半導体装置 1 は、複数のソース領域 7 1 の表層部にそれぞれ形成された複数の第 1 シリサイド層 7 5 を含む。複数の第 1 シリサイド層 7 5 は、複数のソース領域 7 1 の表層部を金属材料によってシリサイド化した領域からなる。つまり、複数の第 1 シリサイド層 7 5 は、ソース領域 7 1 の n 型不純物を含んでいてもよい。複数の第 1 シリサイド層 7 5 は、TiSi 層、TiSi<sub>2</sub> 層、NiSi 層、CoSi 層、CoSi<sub>2</sub> 層、MoSi<sub>2</sub> 層およびWSi<sub>2</sub> 層のうちの少なくとも 1 つを含んでいてもよい。

[0205] 以下、図 1 3 を参照して、1 つの第 1 シリサイド層 7 5 の構成が説明される。第 1 シリサイド層 7 5 は、第 1 シリサイド本体部 7 5 a および第 1 シリサイド延部 7 5 b を含む。第 1 シリサイド本体部 7 5 a は、対応するソース領域 7 1 の底部に対して第 1 主面 3 側に位置された底部を有し、第 1 主面 3 に沿って層状または膜状に延びている。

- [0206] つまり、第1シリサイド本体部75aは、ソース領域71の一部を挟んでボディ領域65の一部に対向している。第1シリサイド本体部75aは、ソース領域71の表層部のほぼ全域に形成されていてもよい。第1シリサイド本体部75aは、第1主面3から露出している。
- [0207] 第1シリサイド本体部75aは、この形態では、トレンチ41の側壁から露出した部分を有している。第1シリサイド本体部75aは、絶縁膜42に接する部分を有し、絶縁膜42を挟んで縁部絶縁体60に対向している。具体的には、第1シリサイド本体部75a5は、第1トレンチ部44に沿う部分において第1絶縁膜47を挟んで縁部絶縁体60に対向している。
- [0208] さらに具体的には、第1シリサイド本体部75aは、第1絶縁膜47を挟んで縁部絶縁膜61の一部（第1延部61a）に対向している。つまり、第1シリサイド本体部75aは、水平方向に絶縁埋設物63に対向している。縁部絶縁体60（この形態では、縁部絶縁膜61および絶縁埋設物63の積層構造）は、埋設電極43（ゲート構造40）に対する第1シリサイド層75の短絡阻止構造として機能する。
- [0209] 第1シリサイド延部75bは、第1シリサイド本体部75aのうちトレンチ41に沿う部分からトレンチ41の底壁側に向けて延びる部分である。つまり、第1シリサイド延部75bは、第1シリサイド本体部75aの底部に対してトレンチ41の底壁側に位置された底部を有している。第1シリサイド延部75bの底部は、断面視においてトレンチ41の底壁側に向けて円弧状に湾曲している。
- [0210] 第1シリサイド延部75bの底部は、ソース領域71の底部に対して第1主面3側の領域に形成され、ソース領域71の一部を挟んでボディ領域65に対向している。第1シリサイド延部75bの底部は、第1トレンチ部44の下端部（第1傾斜部44a）に対して第1トレンチ部44の上端部側に位置されることが好ましい。第1シリサイド延部75bは、第1トレンチ部44を挟んで縁部絶縁体60に対向している。第1シリサイド延部75bは、水平方向に縁部絶縁膜61（第1延部61a）を挟んで絶縁埋設物63に対

向していてもよい。

- [0211] 半導体装置 1 は、複数のコンタクト領域 7 2 の表層部にそれぞれ形成された複数の第 2 シリサイド層 7 6 を含む。複数の第 2 シリサイド層 7 6 は、複数のコンタクト領域 7 2 の表層部を金属材料によってシリサイド化した領域からなる。つまり、複数の第 2 シリサイド層 7 6 は、コンタクト領域 7 2 の n 型不純物を含んでいてもよい。複数の第 2 シリサイド層 7 6 は、 $TiSi$  層、 $TiSi_2$  層、 $NiSi$  層、 $CoSi$  層、 $CoSi_2$  層、 $MoSi_2$  層および  $WSi_2$  層のうちの少なくとも 1 つを含んでいてもよい。
- [0212] 複数の第 2 シリサイド層 7 6 は、複数の第 1 シリサイド層 7 5 と同一材料からなり、隣り合う複数の第 1 シリサイド層 7 5 に接続されている。つまり、複数の第 2 シリサイド層 7 6 は、対応する 1 つのチャンネルセル 7 0 内において複数の第 1 シリサイド層 7 5 と 1 つのシリサイド層を形成している。
- [0213] 以下、図 1 4 を参照して、1 つの第 2 シリサイド層 7 6 の構成が説明される。第 2 シリサイド層 7 6 は、第 2 シリサイド本体部 7 6 a および第 2 シリサイド延部 7 6 b を含む。第 2 シリサイド本体部 7 6 a は、対応するコンタクト領域 7 2 の底部に対して第 1 主面 3 側に位置された底部を有し、第 1 主面 3 に沿って層状または膜状に延びている。
- [0214] つまり、第 2 シリサイド本体部 7 6 a は、コンタクト領域 7 2 の一部を挟んでボディ領域 6 5 の一部に対向している。第 2 シリサイド本体部 7 6 a は、コンタクト領域 7 2 の表層部のほぼ全域に形成されていてもよい。第 2 シリサイド本体部 7 6 a は、第 1 主面 3 から露出している。
- [0215] 第 2 シリサイド本体部 7 6 a は、この形態では、トレンチ 4 1 の側壁から露出した部分を有している。第 2 シリサイド本体部 7 6 a は、絶縁膜 4 2 に接する部分を有し、絶縁膜 4 2 を挟んで縁部絶縁体 6 0 に対向している。具体的には、第 2 シリサイド本体部 7 6 a 5 は、第 1 トレンチ部 4 4 に沿う部分において第 1 絶縁膜 4 7 を挟んで縁部絶縁体 6 0 に対向している。
- [0216] さらに具体的には、第 2 シリサイド本体部 7 6 a は、第 1 絶縁膜 4 7 を挟んで縁部絶縁膜 6 1 の一部（第 1 延部 6 1 a）に対向している。つまり、第

2シリサイド本体部76aは、水平方向に絶縁埋設物63に対向している。縁部絶縁体60（この形態では、縁部絶縁膜61および絶縁埋設物63の積層構造）は、埋設電極43（ゲート構造40）に対する第2シリサイド層76の短絡阻止構造として機能する。

[0217] 第2シリサイド延部76bは、第2シリサイド本体部76aのうちトレンチ41に沿う部分からトレンチ41の底壁側に向けて延びる部分である。つまり、第2シリサイド延部76bは、第2シリサイド本体部76aの底部に対してトレンチ41の底壁側に位置された底部を有している。第2シリサイド延部76bの底部は、断面視においてトレンチ41の底壁側に向けて円弧状に湾曲している。

[0218] 第2シリサイド延部76bの底部は、コンタクト領域72の底部に対して第1主面3側の領域に形成され、コンタクト領域72の一部を挟んでボディ領域65に対向している。第2シリサイド延部76bの底部は、第1トレンチ部44の下端部（第1傾斜部44a）に対して第1トレンチ部44の上端部側に位置されることが好ましい。第2シリサイド延部76bは、第1トレンチ部44を挟んで縁部絶縁体60に対向している。第2シリサイド延部76bは、水平方向に縁部絶縁膜61（第1延部61a）を挟んで絶縁埋設物63に対向していてもよい。

[0219] 出力トランジスタ15は、複数の単位トランジスタ17を含む。複数の単位トランジスタ17は、1つのゲート構造40および当該1つのゲート構造40の両サイドに形成された2つのチャンネルセル70をそれぞれ含む。各単位トランジスタ17に関して、1つのゲート構造40はユニットゲートを構成し、複数のソース領域71（2つのチャンネルセル70）はユニットソースを構成し、ドレイン領域8（ドリフト領域9および高濃度ドリフト領域35）はユニットドレインを構成している。

[0220] 出力トランジスタ15は、第1系統トランジスタ16Aおよび第2系統トランジスタ16Bを含む。第1系統トランジスタ16Aは、複数の単位トランジスタ17から個別制御対象として系統化（グループ化）された複数の単

位トランジスタ 17 を含む。第 2 系統トランジスタ 16 B は、第 1 系統トランジスタ 16 A 以外の複数の単位トランジスタ 17 から個別制御対象として系統化（グループ化）された複数の単位トランジスタ 17 を含む。

[0221] 出力トランジスタ 15 は、この形態では、出力領域 6 に設けられた複数のグループ領域 77 を含む。複数のグループ領域 77 は、複数の第 1 グループ領域 77 A および複数の第 2 グループ領域 77 B を含む。複数の第 1 グループ領域 77 A は、第 1 系統トランジスタ 16 A 用の 1 つまたは複数（この形態では複数）の単位トランジスタ 17 がそれぞれ配置される領域である。複数の第 2 グループ領域 77 B は、第 2 系統トランジスタ 16 B 用の 1 つまたは複数（この形態では複数）の単位トランジスタ 17 が配置される領域である。

[0222] 複数の第 1 グループ領域 77 A は、第 1 方向 X に間隔を空けて配列されている。各第 1 グループ領域 77 A 内の単位トランジスタ 17 の個数は任意である。この形態では、各第 1 グループ領域 77 A 内に 2 つの単位トランジスタ 17 が配置されている。各第 1 グループ領域 77 A 内の単位トランジスタ 17 の個数が増えると、各第 1 グループ領域 77 A 内の発熱量が増加する。したがって、各第 1 グループ領域 77 A 内の単位トランジスタ 17 の個数は、2 個以上 5 個以下であることが好ましい。

[0223] 複数の第 2 グループ領域 77 B は、1 つの第 1 グループ領域 77 A を挟み込むように第 1 方向 X に沿って複数の第 1 グループ領域 77 A と交互に配列されている。これにより、複数の第 1 グループ領域 77 A に起因する発熱箇所を複数の第 2 グループ領域 77 B によって間引くことができると同時に、複数の第 2 グループ領域 77 B に起因する発熱箇所を複数の第 1 グループ領域 77 A によって間引くことができる。

[0224] 各第 2 グループ領域 77 B 内の単位トランジスタ 17 の個数は任意である。この形態では、各第 2 グループ領域 77 B 内に 2 つの単位トランジスタ 17 が配置されている。各第 2 グループ領域 77 B 内の単位トランジスタ 17 の個数が増えると、各第 2 グループ領域 77 B 内の発熱量が増加する。

- [0225] したがって、各第2グループ領域77B内の単位トランジスタ17の個数は、2個以上5個以下であることが好ましい。出力領域6内の温度の面内ばらつきを鑑みると、第2グループ領域77B内の単位トランジスタ17の個数は、第1グループ領域77A内の単位トランジスタ17の個数と同じであることが好ましい。
- [0226] 半導体装置1は、各グループ領域77において系統化（グループ化）すべき複数（この形態では2つ）のゲート構造40の両端部を接続するトレンチ電極型の一対（この形態では複数対）の接続構造80を含む。すなわち、一対の接続構造80は、系統トランジスタ16として系統化すべき複数のゲート構造40の両端部をそれぞれ接続している。接続構造80は、「トレンチ接続構造」と称されてもよい。
- [0227] 一方側の接続構造80は、平面視において対応する複数（この形態では2つ）のゲート構造40の第1端部同士をアーチ状に接続している。他方側の接続構造80は、平面視において対応する複数（この形態では2つ）のゲート構造40の第2端部同士をアーチ状に接続している。
- [0228] 具体的には、一方側の接続構造80は、第1方向Xに延びる第1部分、および、第2方向Yに延びる複数（この形態では2つ）の第2部分を有している。第1部分は、平面視において複数のゲート構造40の第1端部に対向している。複数の第2部分は、複数の第1端部に接続されるように第1部分から複数の第1端部に向けて延びている。
- [0229] 他方側の接続構造80は、第1方向Xに延びる第1部分、および、第2方向Yに延びる複数（この形態では2つ）の第2部分を有している。第1部分は、平面視において複数のゲート構造40の第2端部に対向している。複数の第2部分は、複数の第2端部に接続されるように第1部分から複数の第2端部に向けて延びている。複数の接続構造80は、各グループ領域77内において複数のゲート構造40と1つの環状または梯子状のトレンチ構造を構成している。
- [0230] 複数の接続構造80は、分離構造30および高濃度ドリフト領域35から

間隔を空けて分離構造 30 および高濃度ドリフト領域 35 の間の領域に形成されている。複数の接続構造 80 は、ドリフト領域 9 の底部から第 1 主面 3 側に間隔を空けて形成され、ドリフト領域 9 の一部を挟んでドレイン領域 8 に対向している。

[0231] 複数の接続構造 80 は、ゲート構造 40 とほぼ等しい幅およびほぼ等しい深さで形成されていてもよい。むしろ、接続構造 80 の第 1 部分および第 2 部分は、互いに異なる幅を有していてもよい。たとえば、接続構造 80 の第 2 部分は、接続構造 80 の第 1 部分よりも幅狭に形成されていてもよい。

[0232] この場合、第 1 部分は分離構造 30 の幅とほぼ等しい幅を有し、第 2 部分はゲート構造 40 の幅とほぼ等しい幅を有していてもよい。さらにこの場合、第 1 部分は分離構造 30 の深さとほぼ等しい深さを有し、第 2 部分はゲート構造 40 の深さとほぼ等しい深さを有していてもよい。

[0233] 他方側の接続構造 80 は、ゲート構造 40 の第 2 端部に接続されている点を除き、一方側の接続構造 80 と同様の構造を有している。以下、一方側の接続構造 80 の構成が説明され、他方側の接続構造 80 の構成についての説明は省略される。

[0234] 接続構造 80 は、接続トレンチ 81、接続絶縁膜 82 および接続電極 83 を含む。接続トレンチ 81 は、第 1 主面 3 に形成され、接続構造 80 の壁面を区画している。接続トレンチ 81 は、複数のトレンチ 41 に接続されている。

[0235] 接続絶縁膜 82 は、接続トレンチ 81 の壁面を被覆している。接続絶縁膜 82 は、接続トレンチ 81 およびトレンチ 41 の連通部において絶縁膜 42 に接続されている。具体的には、接続絶縁膜 82 は、第 1 絶縁膜 47、第 2 絶縁膜 48、第 3 絶縁膜 49 および中間絶縁膜 56 に接続されている。

[0236] 接続絶縁膜 82 は、第 1 絶縁膜 47 よりも厚い。接続絶縁膜 82 は、第 2 絶縁膜 48 よりも厚い。接続絶縁膜 82 の厚さは、第 3 絶縁膜 49 の厚さとほぼ等しくてもよい。接続絶縁膜 82 は、酸化シリコン膜を含んでいてもよい。接続絶縁膜 82 は、チップ 2 の酸化物からなる酸化シリコン膜を含んで

いてもよいし、CVD法によって形成された酸化シリコン膜（チップ2とは別体的な酸化物）を含んでいてもよい。

[0237] 接続電極83は、接続絶縁膜82を挟んで接続トレンチ81に埋設され、接続絶縁膜82を挟んでドリフト領域9に対向している。接続電極83は、接続トレンチ81およびトレンチ41の連通部において第2電極55に接続され、中間絶縁膜56によって第1電極54から電氣的に絶縁されている。接続電極83は、第2電極55がトレンチ41内から接続トレンチ81内に引き出された引き出し部からなる。接続電極83は、n型またはp型の導電性ポリシリコンを含んでいてもよい。

[0238] 半導体装置1は、出力領域6の内外において第1主面3を選択的に被覆するフィールド絶縁膜85を含む。フィールド絶縁膜85は、出力領域6外において分離構造30の外壁に沿って第1主面3を被覆し、分離絶縁膜32に接続されている。フィールド絶縁膜85は、出力領域6内において分離構造30の内壁に沿って第1主面3を被覆し、分離絶縁膜32および接続絶縁膜82に接続されている。

[0239] フィールド絶縁膜85は、複数のゲート構造40から分離構造30側に間隔を空けて形成され、複数のゲート構造40を露出させるフィールド開口86を有している。フィールド開口86は、平面視において分離構造30から出力領域6の内方部に間隔を空けて形成され、分離構造30に沿って延びる開口壁面を有している。フィールド開口86は、複数の埋設電極43を露出させている。

[0240] フィールド絶縁膜85は、第1絶縁膜47よりも厚いことが好ましい。フィールド絶縁膜85は、第2絶縁膜48よりも厚いことが特に好ましい。フィールド絶縁膜85の厚さは、第3絶縁膜49の厚さ以上であってもよいし、第3絶縁膜49の厚さ未満であってもよい。

[0241] フィールド絶縁膜85は、チップ2の酸化物からなる酸化シリコン膜を含んでいてもよい。フィールド絶縁膜85は、CVD法によって形成された酸化シリコン膜を含んでいてもよい。つまり、フィールド絶縁膜85は、チッ

プ2とは別体的な酸化物を含んでいてもよい。

- [0242] 半導体装置1は、出力領域6を被覆するコンタクト絶縁膜87をさらに含む。コンタクト絶縁膜87は、1種または複数種の絶縁体を含んでいてもよい。コンタクト絶縁膜87は、酸化シリコン、窒化シリコンおよび酸窒化シリコンのうちの少なくとも1つの絶縁体を含んでいてもよい。コンタクト絶縁膜87は、絶縁膜42を構成する絶縁体とは異なる絶縁体を含むことが好ましい。
- [0243] コンタクト絶縁膜87は、リセス絶縁膜57（絶縁リセス縁部58）を構成する絶縁体とは異なる絶縁体を含むことが好ましい。コンタクト絶縁膜87は、絶縁埋設物63を構成する絶縁体とは異なる絶縁体を含むことが好ましい。コンタクト絶縁膜87は、この形態では、窒化シリコンおよび酸窒化シリコンのうちのいずれか一方または双方を含む。つまり、縁部絶縁膜61は、窒化膜を含む。
- [0244] コンタクト絶縁膜87は、出力領域6内においてフィールド絶縁膜85を被覆する部分、第1主面3を被覆する部分、および、複数のゲート構造40を被覆する部分を有している。具体的には、コンタクト絶縁膜87は、フィールド絶縁膜85の上からフィールド開口86内に入り込み、フィールド開口86内において第1主面3および複数のゲート構造40を被覆している。
- [0245] コンタクト絶縁膜87は、第1主面3において複数の第1シリサイド層75および複数の第2シリサイド層76を直接的に被覆していることが好ましい。むろん、コンタクト絶縁膜87は複数の第1シリサイド層75および複数の第2シリサイド層76を間接的に被覆していてもよい。この場合、コンタクト絶縁膜87は、酸化膜を挟んで複数の第1シリサイド層75および複数の第2シリサイド層76を被覆していてもよい。
- [0246] 以下、1つのゲート構造40に対するコンタクト絶縁膜87の被覆態様が説明される。コンタクト絶縁膜87は、第1主面3の上から縁部絶縁体60を介して開口リセス51（トレンチ41）に入り込み、開口リセス51内において複数の埋設電極43を被覆している。

- [0247]    コンタクト絶縁膜 87 は、開口リセス 51 内において電極面 50 および縁部絶縁体 60 を膜状に被覆している。コンタクト絶縁膜 87 のうち開口リセス 51 内に配置された部分は、第 1 主面 3 よりも電極面 50 側に形成された膜面を有している。つまり、コンタクト絶縁膜 87 のうち開口リセス 51 内に配置された部分は、第 1 主面 3 よりも上方に突出していない。
- [0248]    コンタクト絶縁膜 87 は、縁部絶縁膜 61 の第 1 延部 61 a および第 2 延部 61 b を被覆し、第 1 延部 61 a および第 2 延部 61 b の間の領域から露出した絶縁埋設物 63 に直接接する部分を有している。コンタクト絶縁膜 87 は、縁部絶縁膜 61 の上からリセス絶縁膜 57 の上に引き出された部分を有している。
- [0249]    コンタクト絶縁膜 87 は、リセス絶縁膜 57 を挟んで埋設電極 43 に対向する部分を有している。コンタクト絶縁膜 87 は、リセス絶縁膜 57 を挟んで突出縁部 53 に部分的に対向していてもよい。コンタクト絶縁膜 87 は、トレンチ 41 の開口端において第 1 絶縁膜 47 に接する部分を有していてもよい。
- [0250]    コンタクト絶縁膜 87 は、第 1 膜厚 T F 1 よりも大きい厚さを有していることが好ましい。コンタクト絶縁膜 87 の厚さは、第 2 膜厚 T F 2 よりも大きいことが特に好ましい。コンタクト絶縁膜 87 の厚さは、第 3 膜厚 T F 3 よりも小さいことが好ましい。コンタクト絶縁膜 87 の厚さは、フィールド絶縁膜 85 の厚さよりも小さいことが特に好ましい。
- [0251]    前述の層間膜 10 は、出力領域 6 の内外において第 1 主面 3 を被覆している。層間膜 10 は、フィールド絶縁膜 85 およびコンタクト絶縁膜 87 を被覆する最下層間膜 10 a を含む。最下層間膜 10 a は、縁部絶縁体 60（縁部絶縁膜 61）とは異なる性質を有する絶縁体を含むことが好ましい。最下層間膜 10 a は、この形態では、酸化膜（具体的には酸化シリコン膜）を含む。
- [0252]    最下層間膜 10 a は、分離構造 30、複数のゲート構造 40、複数の接続構造 80 およびフィールド絶縁膜 85 を被覆している。具体的には、最下層

間膜 10 a は、第 1 主面 3 の上の領域から縁部絶縁体 60 を介して複数のトレンチ 41（開口リセス 51）に入り込み、複数のトレンチ 41（開口リセス 51）内に埋設されたアンカー部を含む。

[0253] アンカー部は、トレンチ 41（開口リセス 51）内において両サイドから縁部絶縁体 60 によって挟み込まれている。アンカー部は、コンタクト絶縁膜 87 を挟んで縁部絶縁体 60 を被覆し、コンタクト絶縁膜 87 を挟んで埋設電極 43（電極面 50）を被覆している。つまり、アンカー部は、コンタクト絶縁膜 87 を挟んで縁部絶縁膜 61 の第 1 延部 61 a および第 2 延部 61 b を被覆し、コンタクト絶縁膜 87 を挟んで絶縁埋設物 63 を被覆している。

[0254] 半導体装置 1 は、層間膜 10 内に配置された複数のゲート配線 91 を含む。複数のゲート配線 91 は、出力領域 6 および制御領域 7 に引き回され、出力領域 6 において出力トランジスタ 15 に電氣的に接続され、制御領域 7 において制御回路 18（ゲート制御回路 19）に電氣的に接続されている。複数のゲート配線 91 は、制御回路 18（ゲート制御回路 19）で生成された複数のゲート信号を出力トランジスタ 15 に個別的に伝達する。

[0255] 複数のゲート配線 91 は、第 1 ゲート配線 91 A および第 2 ゲート配線 91 B を含む。第 1 ゲート配線 91 A は、第 1 系統トランジスタ 16 A にゲート信号を個別的に伝達する。第 1 ゲート配線 91 A は、層間膜 10（最下層間膜 10 a）内に配置された複数のゲートコンタクト電極 92 を介して第 1 系統トランジスタ 16 A 用の複数のゲート構造 40 に電氣的に接続されている。具体的には、第 1 ゲート配線 91 A は、複数のゲートコンタクト電極 92 を介して対応する複数の第 1 電極 54 および複数の接続電極 83 に電氣的に接続されている。

[0256] つまり、第 1 系統トランジスタ 16 A 用の第 1 電極 54 および第 2 電極 55 は、同一のゲート信号によって同時にオンオフ制御される。これにより、第 1 電極 54 および第 2 電極 55 の間の電圧降下が抑制され、不所望な電界集中が抑制される。その結果、当該電界集中に起因する耐圧（ブレイクダウ

ン電圧)の低下が抑制される。

[0257] 第2ゲート配線91Bは、第1ゲート配線91Aから電氣的に独立して第2系統トランジスタ16Bにゲート信号を個別的に伝達する。第2ゲート配線91Bは、層間膜10(最下層間膜10a)内に配置された複数のゲートコンタクト電極92を介して第2系統トランジスタ16B用の複数のゲート構造40に電氣的に接続されている。具体的には、第2ゲート配線91Bは、複数のゲートコンタクト電極92を介して対応する複数の第1電極54および複数の接続電極83に電氣的に接続されている。

[0258] つまり、第2系統トランジスタ16B用の第1電極54および第2電極55は、同一のゲート信号によって同時にオンオフ制御される。これにより、第1電極54および第2電極55の間の電圧降下が抑制され、不所望な電界集中が抑制される。その結果、当該電界集中に起因する耐圧(ブレイクダウン電圧)の低下が抑制される。

[0259] ゲート構造40用のゲートコンタクト電極92は、断面視において各ゲート構造40のゲート幅WG未満の幅を有し、両サイドの縁部絶縁体60から間隔を空けて電極面50の内方部に機械的および電氣的に接続されている。

[0260] ゲートコンタクト電極92は、ゲート幅WGの $1/5$ 以上の幅を有していてもよい。ゲートコンタクト電極92は、ゲート幅WGの $1/4$ 以上の幅を有していることが好ましい。ゲートコンタクト電極92は、トレンチピッチTPの $1/3$ 以上の幅を有していることが特に好ましい。ゲートコンタクト電極92は、トレンチピッチTPの $1/2$ 以上の幅を有していてもよい。

[0261] 前述の縁部絶縁体60は、チャンネルセル70に対するゲートコンタクト電極92の短絡阻止構造として機能する。したがって、チャンネルセル70に近接する方向のアライメントずれがゲートコンタクト電極92に生じた場合であっても、ゲートコンタクト電極92が縁部絶縁体60に接する範囲において、チャンネルセル70に対するゲートコンタクト電極92の短絡が抑制される。

[0262] 複数のゲートコンタクト電極92は、層間膜10(最下層間膜10a)に

形成された複数のコンタクト開口 93 内にそれぞれ配置されている。各ゲートコンタクト電極 92 は、コンタクト開口 93 の壁面側からこの順に積層された第 1 電極膜 94 および第 2 電極膜 95 を含む。

[0263] 第 1 電極膜 94 は、バリア電極膜として形成され、コンタクト開口 93 の壁面を膜状に被覆している。第 1 電極膜 94 は、コンタクト開口 93 内において層間膜 10（最下層間膜 10a）およびコンタクト絶縁膜 87 に接している。第 1 電極膜 94 は、コンタクト絶縁膜 87 の厚さ未満の厚さを有していてもよい。第 1 電極膜 94 は、Ti 系金属膜を含んでいてもよい。第 1 電極膜 94 は、Ti 膜および TiN 膜のいずれか一方または双方を含んでいてもよい。第 1 電極膜 94 が積層構造を有する場合、Ti 膜および TiN 膜の積層順序は任意である。

[0264] 第 2 電極膜 95 は、電極本体として形成され、第 1 電極膜 94 を介してコンタクト開口 93 に埋設されている。第 2 電極膜 95 は、Cu 膜、W 膜および Al 膜の少なくとも 1 つを含むことが好ましい。第 2 電極膜 95 は、第 1 電極膜 94 の厚さよりも大きい厚さを有している。コンタクト開口 93 に占める第 2 電極膜 95 の体積は、コンタクト開口 93 に占める第 1 電極膜 94 の体積よりも大きい。

[0265] 半導体装置 1 は、層間膜 10 内に配置されたソース配線 96 を含む。ソース配線 96 は、ソース端子 11、分離構造 30 および複数のチャネルセル 70 に電氣的に接続されている。ソース配線 96 は、層間膜 10（最下層間膜 10a）内に配置された複数のソースコンタクト電極 97 を介して分離構造 30 および複数のチャネルセル 70 に電氣的に接続されている。

[0266] チャネルセル 70 用のソースコンタクト電極 97 は、トレンチピッチ TP 未満の幅を有し、複数のゲート構造 40 から間隔を空けて隣接した 2 つのチャネルセル 70 に跨るように配置されている。ソースコンタクト電極 97 は、平面視において対応するチャネルセル 70 に沿って延びる帯状に形成されている。これにより、ソース端子 11 は、全ての系統トランジスタ 16 のシステムソース（単位トランジスタ 17 のユニットソース）に電氣的に接続さ

れている。

[0267] ソースコンタクト電極 97 は、トレンチピッチ TP の  $1/5$  以上の幅を有していてもよい。ソースコンタクト電極 97 は、トレンチピッチ TP の  $1/4$  以上の幅を有していることが好ましい。ソースコンタクト電極 97 は、トレンチピッチ TP の  $1/3$  以上の幅を有していることが特に好ましい。ソースコンタクト電極 97 は、トレンチピッチ TP の  $1/2$  以上の幅を有していてもよい。

[0268] 前述の縁部絶縁体 60 は、ゲート構造 40 に対するソースコンタクト電極 97 の短絡阻止構造として機能する。したがって、ソースコンタクト電極 97 にゲート構造 40 に近接する方向のアライメントずれが生じた場合であっても、ソースコンタクト電極 97 が縁部絶縁体 60 に接する範囲において、ゲート構造 40 に対するソースコンタクト電極 97 の短絡が抑制される。

[0269] 複数のソースコンタクト電極 97 は、層間膜 10（最下層間膜 10a）に形成された複数のコンタクト開口 93 内にそれぞれ配置されている。各ソースコンタクト電極 97 は、ゲートコンタクト電極 92 と同様、コンタクト開口 93 の壁面側からこの順に積層された第 1 電極膜 94 および第 2 電極膜 95 を含む。

[0270] 以上、半導体装置 1 は、チップ 2、トレンチ 41、埋設電極 43 および縁部絶縁体 60 を含む。チップ 2 は、第 1 主面 3 を有している。トレンチ 41 は、第 1 主面 3 に形成され、側壁および底壁を有している。埋設電極 43 は、トレンチ 41 に埋設されている。埋設電極 43 は、第 1 主面 3 よりもトレンチ 41 の底壁側に位置された電極面 50 を有している。埋設電極 43 は、電極面 50 のうちトレンチ 41 の側壁に沿う縁部において底壁に向けて窪んだリセス縁部 52 を有している。縁部絶縁体 60 は、リセス縁部 52 に埋設されている。

[0271] この構成によれば、トレンチ構造に関して新規なレイアウトを有する半導体装置 1 を提供できる。特に、この構成によれば、縁部絶縁体 60 によって、リセス縁部 52 に起因する信頼性の低下が抑制される。縁部絶縁体 60 が

存在しない場合に懸念される信頼性の低下の一要因として、リセス縁部52に付着した不所望な残渣物（特に導電性残渣物）、リセス縁部52に起因する不所望な形状不良の発生、リセス縁部52に起因する成膜性の低下、リセス縁部52に起因する電気的特性の変動等が例示される。

- [0272] 縁部絶縁体60は、トレンチ41の側壁およびリセス縁部52の壁面に沿って膜状に形成された縁部絶縁膜61を含むことが好ましい。この構成によれば、縁部絶縁膜61の成膜精度によって縁部絶縁体60を形成できるため、縁部絶縁体60の一部がリセス縁部52外の領域に残存することを抑制できる。このような構成は、微小なリセス縁部52に対して縁部絶縁体60を形成する上で特に有効である。埋設電極43は、シリコン（ポリシリコン）を含んでいてもよい。この場合、縁部絶縁膜61は、窒化物（窒化膜）を含むことが好ましい。
- [0273] 縁部絶縁膜61は、リセス縁部52の上の領域においてリセス縁部52の底部に向けて窪んだ溝部62を区画していてもよい。この場合、縁部絶縁体60は、溝部62に埋設された絶縁埋設物63（埋設物）を含むことが好ましい。この構成によれば、縁部絶縁体60に形成された凹凸（an unevenness）を絶縁埋設物63によって緩和できる。これにより、縁部絶縁体60の信頼性を向上できる。
- [0274] 絶縁埋設物63は、縁部絶縁膜61とは異なる絶縁材料を含むことが好ましい。この構成によれば、縁部絶縁膜61および絶縁埋設物63が製造工程中に同時に除去されることを抑制できる。したがって、縁部絶縁体60の形状を適切に制御できる。絶縁埋設物63は、酸化物を含むことが好ましい。絶縁埋設物63は、酸化物の一例としてのオルトケイ酸テトラエチルを含むことが特に好ましい。
- [0275] 埋設電極43は、電極面50の縁部においてトレンチ41の開口側に向けて突出した突出縁部53を含んでいてもよい。この場合、突出縁部53は、トレンチ41の側壁との間でリセス縁部52を区画する。
- [0276] トレンチ41は、他の部分よりも幅広に形成された開口端を有していても

よい。この形態では、トレンチ41は、第1主面3側からこの順に形成された比較的幅広の第1トレンチ部44、および、第1トレンチ部44よりも幅狭の第2トレンチ部45を含む。この場合、リセス縁部52は、トレンチ41の側壁のうち開口端を形成する部分（つまり第1トレンチ部44）に沿って区画される。

[0277] 半導体装置1は、トレンチ41の側壁を被覆する絶縁膜42をさらに含むことが好ましい。この場合、埋設電極43はトレンチ41内において絶縁膜42に接していてもよい。また、縁部絶縁体60はリセス縁部52内において絶縁膜42に接していてもよい。

[0278] 半導体装置1は、トレンチ41内において電極面50および縁部絶縁体60を膜状に被覆するコンタクト絶縁膜87を含んでいてもよい。この構成によれば、電極面50および縁部絶縁体60をコンタクト絶縁膜87によって保護できる。これにより、電極面50の形態異常および縁部絶縁体60の形態異常が抑制される。

[0279] 半導体装置1は、第1主面3に沿う水平方向に埋設電極43および縁部絶縁体60に対向するように第1主面3の表層部においてトレンチ41の側壁に沿う領域に形成されたソース領域71を含むことが好ましい。この構成によれば、縁部絶縁体60の深さ位置を基準にして、埋設電極43に対するソース領域71の深さ位置を定めることができる。

[0280] 半導体装置1は、トレンチ41の側方において第1主面3に接続されたソースコンタクト電極97を含むことが好ましい。この構成によれば、縁部絶縁体60が、埋設電極43に対するソースコンタクト電極97の短絡阻止構造として機能する。

[0281] したがって、ソースコンタクト電極97に位置ずれが生じたとしても、ソースコンタクト電極97が縁部絶縁体60に接する範囲において、埋設電極43に対するソースコンタクト電極97の短絡が抑制される。つまり、半導体装置1は、縁部絶縁体60に機械的に接続されたソースコンタクト電極97を含んでいてもよい。

- [0282] 半導体装置 1 は、埋設電極 4 3 の電極面 5 0 に接続され、埋設電極 4 3 に電位を付与するゲートコンタクト電極 9 2 を含むことが好ましい。この構成によれば、縁部絶縁体 6 0 が、第 1 主面 3 (トレンチ 4 1 外の領域) に対するゲートコンタクト電極 9 2 の短絡阻止構造として機能する。
- [0283] したがって、ゲートコンタクト電極 9 2 に位置ずれが生じたとしても、ゲートコンタクト電極 9 2 が縁部絶縁体 6 0 に接する範囲において、埋設電極 4 3 に対するゲートコンタクト電極 9 2 の短絡が抑制される。つまり、半導体装置 1 は、縁部絶縁体 6 0 に機械的に接続されたゲートコンタクト電極 9 2 を含んでいてもよい。
- [0284] 半導体装置 1 は、第 1 主面 3 の表層部において第 1 主面 3 に沿う水平方向に縁部絶縁体 6 0 に対向する第 1 シリサイド層 7 5 (第 2 シリサイド層 7 6) を含むことが好ましい。この構成によれば、縁部絶縁体 6 0 が、埋設電極 4 3 に対する第 1 シリサイド層 7 5 (第 2 シリサイド層 7 6) の短絡阻止構造として機能する。したがって、埋設電極 4 3 に対する第 1 シリサイド層 7 5 (第 2 シリサイド層 7 6) の短絡が抑制される。
- [0285] 図 1 7 は、半導体装置 1 の製造に使用されるウエハ W を示す概略図である。図 1 7 を参照して、ウエハ W は、この形態では、扁平な円盤状に形成されている。むろん、ウエハ W は、扁平な直方体形状に形成されていてもよい。ウエハ W は、この形態では、シリコン単結晶からなる。
- [0286] ウエハ W は、一方側の第 1 ウエハ主面 1 0 3、他方側の第 2 ウエハ主面 1 0 4、ならびに、第 1 ウエハ主面 1 0 3 および第 2 ウエハ主面 1 0 4 を接続するウエハ側面 1 0 5 を有している。第 1 ウエハ主面 1 0 3 および第 2 ウエハ主面 1 0 4 は、チップ 2 の第 1 主面 3 および第 2 主面 4 にそれぞれ対応している。
- [0287] ウエハ W は、ウエハ側面 1 0 5 において Si 単結晶の結晶方位を示す目印 1 0 6 を有している。目印 1 0 6 は、オリエンテーションフラットおよびオリエンテーションノッチのいずれか一方または双方を含んでいてもよい。オリエンテーションフラットは、平面視において直線状に切り欠かれた切り欠

き部からなる。オリエンテーションノッチは、平面視においてウエハWの中央部に向けて凹形状に切り欠かれた切り欠き部からなる。

[0288] 目印106は、単一または複数のオリエンテーションフラットを含んでもよい。オリエンテーションフラットは、平面視において第1方向Xまたは第2方向Yに延びていてもよい。図17では、オリエンテーションフラットが平面視において第2方向Yに延びている。むろん、目印106は、第1方向Xに延びる第1のオリエンテーションフラット、および、第2方向Yに延びる第2のオリエンテーションフラットを含んでもよい。

[0289] 目印106は、単一または複数のオリエンテーションノッチを含んでもよい。オリエンテーションノッチは、平面視においてウエハWの中央部に向かう先細り形状（テーパ形状または三角形状）に形成されていてもよい。オリエンテーションノッチは、平面視において第1方向Xまたは第2方向Yに窪んでもよい。むろん、目印106は、第1方向Xに窪んだ第1のオリエンテーションノッチ、および、第2方向Yに窪んだ第2のオリエンテーションノッチを含んでもよい。むろん、目印106を有さないウエハWが採用されてもよい。

[0290] ウエハWは、第2ウエハ主面104の表層部に形成されたn型のドレイン領域8を含む。ドレイン領域8は、第2ウエハ主面104の表層部の全域において第2ウエハ主面104に沿って延びる層状に形成され、第2ウエハ主面104およびウエハ側面105から露出している。ドレイン領域8は、この形態では、n型の半導体基板（Si基板）によって形成されている。

[0291] ウエハWは、第1ウエハ主面103の表層部に形成されたn型のドリフト領域9を含む。ドリフト領域9は、第1ウエハ主面103の表層部の全域において第1ウエハ主面103に沿って延びる層状に形成され、第1ウエハ主面103およびウエハ側面105から露出している。ドリフト領域9は、ウエハW内においてドレイン領域8に電氣的に接続されている。ドリフト領域9は、この形態では、n型のエピタキシャル層（Siエピタキシャル層）によって形成されている。

- [0292] ウエハWは、第1ウエハ主面103に設定された複数のデバイス領域107および複数の切断予定ライン108を含む。複数のデバイス領域107および複数の切断予定ライン108は、たとえば、第1ウエハ主面103に形成されたアライメントマーク等によって区画（設定）される。各デバイス領域107は、半導体装置1に対応する領域である。
- [0293] 複数のデバイス領域107は、平面視において四角形状にそれぞれ設定されている。複数のデバイス領域107は、この形態では、平面視において第1方向Xおよび第2方向Yに沿って行列状に配列されている。複数のデバイス領域107は、平面視において第1ウエハ主面103の周縁から内方に間隔を空けてそれぞれ配列されている。複数の切断予定ライン108は、複数のデバイス領域107を区画するように第1方向Xおよび第2方向Yに沿って延びる格子状に設定されている。
- [0294] 複数のデバイス領域107は、この形態では、複数の第1デバイス領域107Aおよび複数の第2デバイス領域107Bを含む。第1デバイス領域107Aは、第1ウエハ主面103の内方部に配置されたデバイス領域107である。第2デバイス領域107Bは、第1ウエハ主面103の周縁部に配置されたデバイス領域107である。
- [0295] ウエハWの内方部は、ウエハWの中心部を基準にウエハWの直径の25%の半径を有する仮想円VCを描いたとき、当該仮想円VC内に位置された部分によって定義される。ウエハWの直径は、目印106外においてウエハWの中心部を通る弦の長さによって定義される。一方、ウエハWの周縁部は、仮想円VC外に位置された部分によって定義される。仮想円VC上に位置されたデバイス領域107は第1デバイス領域107Aに含まれる。
- [0296] 第1デバイス領域107Aに形成される半導体装置1が第1半導体装置と称され、第2デバイス領域107Bに形成される半導体装置1が第2半導体装置と称されてもよい。製造プロセス途中の所定の構造物を有するウエハWは、「ウエハ構造」、「ウエハ中間体」等と称されてもよい。
- [0297] 図18A～図18Xは、半導体装置1の製造方法を説明するための断面図

である。図19は、ウエハW（ウエハ構造）において、第1デバイス領域107A側のゲート構造40および第2デバイス領域107B側のゲート構造40を比較する断面図である。図18A～図18Xでは、1つのデバイス領域107において1つの分離構造30および1つのゲート構造40が形成される領域が示されている。

[0298] 図18Aを参照して、半導体装置1を製造するにあたり、まず、前述のウエハWが用意される。次に、所定パターンを有する第1マスクM1が、第1ウエハ主面103の上に形成される。第1マスクM1は、無機絶縁膜を含むハードマスクからなってもよい。第1マスクM1は、分離トレンチ31、トレンチ41および接続トレンチ81を形成すべき領域を露出させ、それら以外の領域を被覆するレイアウトを有している。

[0299] 次に、ウエハWの不要な部分が、第1マスクM1を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。これにより、分離トレンチ31、トレンチ41および接続トレンチ81が第1ウエハ主面103に形成される。第1マスクM1は、その後、除去される。

[0300] 次に、図18Bを参照して、所定パターンを有する第2マスクM2が第1ウエハ主面103の上に形成される。第2マスクM2は、有機絶縁膜を含むレジストマスク（イオン注入マスク）であってもよい。第2マスクM2は、高濃度ドリフト領域35を形成すべき領域を露出させ、それ以外の領域を被覆するレイアウトを有している。具体的には、第2マスクM2は、複数のトレンチ41が形成された領域を露出させ、それら以外の領域を被覆している。

[0301] 次に、n型不純物が、第2マスクM2を介するイオン注入法によって第1ウエハ主面103の表層部に導入される。この形態では、n型不純物が、斜めイオン注入法によって第1ウエハ主面103およびトレンチ41の壁面から第1ウエハ主面103の表層部に導入される。

[0302] 斜めイオン注入法では、第1ウエハ主面103に対するn型不純物の相対

的な注入角度が調節され、 $n$ 型不純物が第1ウエハ主面103の表層部に斜めに導入される。つまり、ウエハWは、水平な姿勢で支持されていてもよいし、水平方向に対して斜め傾斜した姿勢で支持されていてもよい。これらの場合において、ウエハWに対する $n$ 型不純物の注入角度が調節される。第1ウエハ主面103の法線を基準角( $0^\circ$ )としたとき、第1ウエハ主面103に対する $n$ 型不純物の注入角度(絶対値)は、 $0^\circ$ を超えて $15^\circ$ 以下であってもよい。

[0303] 注入角度(絶対値)は、 $0^\circ$ を超えて $3^\circ$ 以下、 $3^\circ$ 以上 $6^\circ$ 以下、 $6^\circ$ 以上 $9^\circ$ 以下、 $9^\circ$ 以上 $12^\circ$ 以下、および、 $12^\circ$ 以上 $15^\circ$ 以下のうちの少なくとも1つの範囲に属する値を有していてもよい。注入角度(絶対値)は、 $2^\circ$ 以上 $12^\circ$ 以下であることが好ましい。第2マスクM2は、 $n$ 型不純物の導入後、除去される。その後、熱処理法による $n$ 型不純物の拡散工程を経て、高濃度ドリフト領域35が形成される。

[0304] 次に、図18Cを参照して、比較的厚い第1ベース絶縁膜110が、第1ウエハ主面103の上に形成される。第1ベース絶縁膜110は、分離絶縁膜32、絶縁膜42の第3絶縁膜49、接続絶縁膜82およびフィールド絶縁膜85のベースとなる。

[0305] 第1ベース絶縁膜110は、第1ウエハ主面103、分離トレンチ31の壁面、トレンチ41の壁面および接続トレンチ81の壁面を膜状に被覆する。第1ベース絶縁膜110は、CVD法(Chemical Vapor Deposition method)および/または酸化処理法によって形成されてもよい。酸化処理法は、ウエット酸化処理法および/または熱酸化処理法であってもよい。

[0306] 次に、図18Dを参照して、第1ベース電極111が、第1ウエハ主面103の上に形成される。第1ベース電極111は、分離電極33、埋設電極43の第2電極55および接続電極83のベースとなる。第1ベース電極111は、第1ベース絶縁膜110を挟んで第1ウエハ主面103を被覆し、第1ベース絶縁膜110を挟んで分離トレンチ31、トレンチ41および接続トレンチ81に埋設される。第1ベース電極111は、この形態では、導

電性ポリシリコンを含み、CVD法によって形成される。

[0307] 次に、図18Eを参照して、第1ベース電極111の不要な部分が、エッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。第1ベース電極111は、第1ベース絶縁膜110のうち第1ウエハ主面103を被覆する部分が露出するまで除去される。これにより、分離電極33および接続電極83が形成される。

[0308] 次に、図18Fを参照して、所定パターンを有する第3マスクM3が、第1ベース絶縁膜110の上に形成される。第3マスクM3は、有機絶縁膜を含むレジストマスクであってもよい。第3マスクM3は、第1ベース電極111のうちトレンチ41に埋設された部分を露出させ、第1ベース電極111のうち分離トレンチ31に埋設された部分（つまり分離電極33）および接続トレンチ81に埋設された部分（つまり接続電極83）を被覆するレイアウトを有している。

[0309] 次に、第1ベース電極111の不要な部分が、第3マスクM3を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。これにより、第1ベース電極111のうちトレンチ41に埋設された部分が更に掘り下げられ、埋設電極43の第2電極55が形成される。

[0310] 次に、図18Gを参照して、第1ベース絶縁膜110の不要な部分が、第3マスクM3を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。第1ベース絶縁膜110は、エッチング面が埋設電極43の第2電極55の上端部よりもトレンチ41の底壁側に位置するまで除去される。これにより、分離絶縁膜32、絶縁膜42の第3絶縁膜49、接続絶縁膜82およびフィールド絶縁膜85が形成される。第3マスクM3は、その後、除去される。

[0311] 次に、図18Hを参照して、第1ベース絶縁膜110よりも薄い第2ベー

ス絶縁膜 112 が、第 1 ウエハ主面 103 の上に形成される。第 2 ベース絶縁膜 112 は、絶縁膜 42 の第 2 絶縁膜 48 および中間絶縁膜 56 のベースとなる。第 2 ベース絶縁膜 112 は、CVD 法および／または酸化処理法によって形成されてもよい。酸化処理法は、ウエット酸化処理法および／または熱酸化処理法であってもよい。

[0312] 第 2 ベース絶縁膜 112 は、この形態では、酸化処理法（具体的には熱酸化処理法）によって形成される。第 2 ベース絶縁膜 112 は、トレンチ 41 の壁面のうち第 3 絶縁膜 49 から露出した部分、および、第 2 電極 55 のうち第 3 絶縁膜 49 から露出した部分（上端部）を膜状に被覆する。また、第 2 ベース絶縁膜 112 は、分離電極 33 のうち分離絶縁膜 32 から露出した部分を膜状に被覆し、接続電極 83 のうち接続絶縁膜 82 から露出した部分を膜状に被覆する。

[0313] 第 2 ベース絶縁膜 112 のうちトレンチ 41 の壁面を被覆する部分の酸化は、トレンチ 41 の壁面からウエハ W の内部に向けて進行する。これにより、トレンチ 41 の開口側に比較的幅広の第 2 トレンチ部 45 が区画され、トレンチ 41 の底壁側に第 2 トレンチ部 45 よりも幅狭の第 3 トレンチ部 46 が区画される。

[0314] 次に、図 18I を参照して、第 2 ベース電極 113 が、第 2 ウエハ主面 104 の上に形成される。第 2 ベース電極 113 は、埋設電極 43 の第 1 電極 54 のベースとなる。第 2 ベース電極 113 は、第 2 ベース絶縁膜 112 を挟んで第 1 ウエハ主面 103、分離電極 33 および接続電極 83 を被覆し、第 2 ベース絶縁膜 112 を挟んでトレンチ 41 の開口側に埋設される。第 2 ベース電極 113 は、この形態では、導電性ポリシリコンを含み、CVD 法によって形成される。

[0315] 次に、図 18J を参照して、第 2 ベース電極 113 の不要な部分が、エッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。第 2 ベース電極 113 は、エッチング面が第 1 ウエハ主面 103 よりもトレンチ 41 の底壁側に位置さ

れるまで除去される。これにより、第1電極54および第2電極55を含む埋設電極43が形成される。

[0316] 次に、第2ベース絶縁膜112の不要な部分が、エッチング法によって除去される。具体的には、第2ベース絶縁膜112のうち第1ウエハ主面103を被覆する部分、分離電極33を被覆する部分、接続電極83を被覆する部分、および、トレンチ41内において埋設電極43（第1電極54）から露出した部分が除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。第2ベース絶縁膜112の不要な部分は、第2ベース電極113の除去工程において第2ベース電極113と同時に除去されてもよい。

[0317] 埋設電極43は、第1ウエハ主面103に対してトレンチ41の底壁側に位置された電極面50を有している。電極面50は、トレンチ41の開口側においてトレンチ41の側壁と共に開口リセス51を区画している。図19を参照して、第2デバイス領域107B側の開口リセス51のリセス深さDRは、第1ウエハ主面103の面内に生じるプロセス誤差（面内誤差）に起因して、第1デバイス領域107A側の開口リセス51のリセス深さDRとは異なる値になる。

[0318] 具体的には、第2デバイス領域107B側のリセス深さDRは、第1デバイス領域107A側のリセス深さDRよりも大きくなる。第1デバイス領域107A側のリセス深さDRは、50nm以上300nm以下であってもよい。第2デバイス領域107B側のリセス深さDRは、300nm以上600nm以下であってもよい。

[0319] 埋設電極43は、電極面50のうちトレンチ41の側壁に沿う縁部においてトレンチ41の底壁に向けて窪んだリセス縁部52を有している。埋設電極43は、電極面50の縁部においてトレンチ41の開口側に向けて突出した突出縁部53を有している。前述の通り、第2デバイス領域107B側の開口リセス51のリセス深さDRは、第1デバイス領域107A側の開口リセス51のリセス深さDRよりも大きい。

[0320] したがって、第2デバイス領域107B側のリセス縁部52の深さ位置は、第1デバイス領域107A側のリセス縁部52の深さ位置よりも下方の領域になる。また、第2デバイス領域107B側の突出縁部53の先端部の深さ位置は、第1デバイス領域107A側の突出縁部53の先端部の深さ位置よりも下方の領域になる。その他、電極面50、開口リセス51、リセス縁部52および突出縁部53の説明は、前述の通りであるため、省略される。

[0321] 次に、図18Kを参照して、第2ベース絶縁膜112よりも薄い第3ベース絶縁膜114が、第1ウエハ主面103の上に形成される。第3ベース絶縁膜114は、絶縁膜42の第1絶縁膜47のベースとなる。第3ベース絶縁膜114は、CVD法および／または酸化処理法によって形成されてもよい。酸化処理法は、ウエット酸化処理法および／または熱酸化処理法であってもよい。

[0322] 第3ベース絶縁膜114は、この形態では、酸化処理法（具体的には熱酸化処理法）によって形成される。第3ベース絶縁膜114は、第1ウエハ主面103のうちフィールド絶縁膜85から露出した部分、トレンチ41の壁面のうち第2絶縁膜48から露出した部分、および、埋設電極43（第1電極54）の電極面50を膜状に被覆する。また、第3ベース絶縁膜114は、分離電極33のうち分離絶縁膜32から露出した部分を膜状に被覆し、接続電極83のうち接続絶縁膜82から露出した部分を膜状に被覆する。

[0323] 第3ベース絶縁膜114のうちトレンチ41の壁面を被覆する部分の酸化は、トレンチ41の壁面からウエハWの内部に向けて進行する。これにより、トレンチ41の開口側に比較的幅広の第1トレンチ部44が区画され、トレンチ41の底壁側に第1トレンチ部44よりも幅狭の第2トレンチ部45が区画される。

[0324] 第3ベース絶縁膜114は、リセス絶縁膜57の一部として形成されていてもよい。第3ベース絶縁膜114は、トレンチ41内においてトレンチ41の壁面との間でリセス縁部52に倣う絶縁リセス縁部58を区画している。絶縁リセス縁部58の説明は、前述の通りであるため、省略される。

[0325] 次に、図18Lを参照して、所定パターンを有する第4マスクM4が第1ウエハ主面103の上に形成される。第4マスクM4は、有機絶縁膜を含むレジストマスク（イオン注入マスク）であってもよい。第4マスクM4は、複数のボディ領域65を形成すべき領域を露出させ、それら以外の領域を被覆するレイアウトを有している。具体的には、第4マスクM4は、複数のトレンチ41が形成された領域を露出させ、それら以外の領域を被覆している。

[0326] 次に、p型不純物が、第4マスクM4を介するイオン注入法によって第1ウエハ主面103の表層部に導入される。この形態では、斜めイオン注入法によって、p型不純物が第1ウエハ主面103およびトレンチ41の側壁から第1ウエハ主面103の表層部に導入される。

[0327] 斜めイオン注入法では、第1ウエハ主面103に対するp型不純物の相対的な注入角度が調節され、p型不純物が第1ウエハ主面103の表層部に斜めに導入される。つまり、ウエハWは、水平な姿勢で支持されていてもよいし、水平方向に対して斜め傾斜した姿勢で支持されていてもよい。これらの場合において、ウエハWに対するp型不純物の注入角度が調節される。第1ウエハ主面103の法線を基準角（0°）としたとき、第1ウエハ主面103に対するp型不純物の注入角度（絶対値）は、1°以上10°以下であってもよい。

[0328] 注入角度（絶対値）は、1°以上2.5°以下、2.5°以上5°以下、5°以上7.5°以下、7.5°以上10°以下のうちの少なくとも1つの範囲に属する値を有していてもよい。注入角度（絶対値）は、5°以上10°以下であることが好ましい。第4マスクM4は、p型不純物の導入後、除去される。その後、熱処理法によるp型不純物の拡散工程を経て、ボディ領域65が形成される。

[0329] 次に、図18Mを参照して、第4ベース絶縁膜115が、第1ウエハ主面103の上に形成される。第4ベース絶縁膜115は、縁部絶縁体60の縁部絶縁膜61のベースとなる。第4ベース絶縁膜115は、第3ベース絶縁

膜 1 1 4 を膜状に被覆する。具体的には、第 4 ベース絶縁膜 1 1 5 は、第 3 ベース絶縁膜 1 1 4 を挟んで第 1 ウエハ主面 1 0 3、分離電極 3 3、トレンチ 4 1 の壁面、埋設電極 4 3 の電極面 5 0、接続電極 8 3 およびフィールド絶縁膜 8 5 を膜状に被覆する。

[0330] 第 4 ベース絶縁膜 1 1 5 は、この形態では、絶縁膜 4 2 (第 1 絶縁膜 4 7) とは異なる性質を有する絶縁体を含む。具体的には、第 4 ベース絶縁膜 1 1 5 は、絶縁膜 4 2 (第 1 絶縁膜 4 7) のエッチングレートとは異なるエッチングレートを有する絶縁体を含む。第 4 ベース絶縁膜 1 1 5 は、この形態では、窒化膜 (具体的には窒化シリコン膜) を含み、CVD 法によって形成される。

[0331] 第 4 ベース絶縁膜 1 1 5 は、縁部絶縁体 6 0 の縁部絶縁膜 6 1 として、トレンチ 4 1 内においてトレンチ 4 1 の側壁およびリセス縁部 5 2 の壁面を膜状に被覆している。また、第 4 ベース絶縁膜 1 1 5 は、縁部絶縁膜 6 1 となる部分において第 1 延部 6 1 a、第 2 延部 6 1 b および溝部 6 2 を含む。第 4 ベース絶縁膜 1 1 5 のうちの縁部絶縁膜 6 1 となる部分の説明は、前述の通りであるため、省略される。また、第 4 ベース絶縁膜 1 1 5 のうちの第 1 延部 6 1 a、第 2 延部 6 1 b および溝部 6 2 の説明は、前述の通りであるため、省略される。

[0332] 次に、第 5 ベース絶縁膜 1 1 6 が、第 1 ウエハ主面 1 0 3 の上に形成される。第 5 ベース絶縁膜 1 1 6 は、縁部絶縁体 6 0 の絶縁埋設物 6 3 のベースとなる。第 5 ベース絶縁膜 1 1 6 は、溝部 6 2 を埋めて第 4 ベース絶縁膜 1 1 5 を膜状に被覆する。具体的には、第 5 ベース絶縁膜 1 1 6 は、第 3 ベース絶縁膜 1 1 4 および第 4 ベース絶縁膜 1 1 5 を挟んで第 1 ウエハ主面 1 0 3、分離電極 3 3、トレンチ 4 1 の壁面、埋設電極 4 3 の電極面 5 0、接続電極 8 3 およびフィールド絶縁膜 8 5 を膜状に被覆する。

[0333] 第 5 ベース絶縁膜 1 1 6 は、この形態では、第 4 ベース絶縁膜 1 1 5 とは異なる性質を有する絶縁体を含む。具体的には、第 5 ベース絶縁膜 1 1 6 は、第 4 ベース絶縁膜 1 1 5 のエッチングレートとは異なるエッチングレート

を有する絶縁体を含む。第5ベース絶縁膜116は、この形態では、オルトケイ酸テトラエチル膜（TEOS膜）を含み、CVD法によって形成される。

[0334] 次に、図18Nを参照して、第5ベース絶縁膜116の不要な部分が、エッチング法によって除去される。具体的には、この工程は、第5ベース絶縁膜116のうち溝部62内に位置された部分を残存させるように第5ベース絶縁膜116のうち溝部62外に位置された部分を選択的に除去する工程を含む。

[0335] エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。エッチング法は、異方性のエッチング法であることが好ましい。エッチング法は、異方性のドライエッチング法の一例としてのRIE（Reactive Ion Etching method）であることが特に好ましい。これにより、第5ベース絶縁膜116のうち溝部62外に位置された部分が選択的に除去され、第5ベース絶縁膜116のうち溝部62内に位置された部分が絶縁埋設物63として溝部62内に残存される。

[0336] 次に、第4ベース絶縁膜115の不要な部分が、エッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。エッチング法は、異方性のエッチング法であることが好ましい。エッチング法は、異方性のドライエッチング法の一例としてのRIEであることが特に好ましい。

[0337] この工程は、第4ベース絶縁膜115のうちトレンチ41の側壁を被覆する部分を残存させるように第4ベース絶縁膜115のうちトレンチ41の側壁を被覆する部分以外の部分を選択的に除去する工程を含む。つまり、この工程は、第4ベース絶縁膜115のうちの縁部絶縁膜61となる部分以外の部分を除去する工程を含む。

[0338] 第5ベース絶縁膜116（絶縁埋設物63）は、第4ベース絶縁膜115とは異なるエッチングレートを有している。したがって、第4ベース絶縁膜115の除去工程の間は、溝部62内に第5ベース絶縁膜116（絶縁埋設

物63)が埋設された状態が維持される。これにより、縁部絶縁膜61および絶縁埋設物63を含む積層構造を有する縁部絶縁体60が形成される。縁部絶縁体60は、以降の工程において、リセス縁部52(絶縁リセス縁部58)への導電性残渣物や絶縁性残渣物の侵入を抑制する。

[0339] 次に、図180を参照して、第1バリア絶縁膜117が、第1ウエハ主面103の上に形成される。第1バリア絶縁膜117は、縁部絶縁体60の絶縁埋設物63のベースとなる。第1バリア絶縁膜117は、第1ウエハ主面103の上において分離構造30、接続構造80およびフィールド絶縁膜85を被覆し、トレンチ41内において電極面50および縁部絶縁体60を被覆している。第1バリア絶縁膜117は、この形態では、トレンチ41内において第3ベース絶縁膜114を挟んで電極面50を被覆している。

[0340] 第1バリア絶縁膜117は、この形態では、縁部絶縁膜61(第4ベース絶縁膜115)とは異なる性質を有する絶縁体を含む。具体的には、第1バリア絶縁膜117は、縁部絶縁膜61のエッチングレートとは異なるエッチングレートを有する絶縁体を含む。第1バリア絶縁膜117は、この形態では、オルトケイ酸テトラエチル膜(TEOS膜)を含み、CVD法によって形成される。

[0341] 次に、図18Pを参照して、所定パターンを有する第5マスクM5が第1ウエハ主面103の上に形成される。第5マスクM5は、有機絶縁膜を含むレジストマスク(イオン注入マスク)であってもよい。第5マスクM5は、複数のソース領域71を形成すべき領域を露出させ、それら以外の領域を被覆するレイアウトを有している。具体的には、第5マスクM5は、複数のトレンチ41が形成された領域を露出させ、それら以外の領域を被覆している。

[0342] 次に、n型不純物が、第5マスクM5を介するイオン注入法によって第1ウエハ主面103の表層部に導入される。この形態では、n型不純物が、斜めイオン注入法によって第1ウエハ主面103およびトレンチ41の壁面から第1ウエハ主面103の表層部に導入される。トレンチ41の側壁に向か

う n 型不純物は、絶縁膜 42（第 1 絶縁膜 47）、縁部絶縁体 60 および第 1 バリア絶縁膜 117 を介して第 1 ウエハ主面 103 の表層部に注入される。

[0343] 図 19 を参照して、前述の通り、第 2 デバイス領域 107 B 側のリセス縁部 52（開口リセス 51）の深さは、第 1 デバイス領域 107 A 側のリセス縁部 52（開口リセス 51）の深さよりも大きい。したがって、縁部絶縁体 60 が存在しない場合、第 2 デバイス領域 107 B 側の n 型不純物の導入深さは、比較的深いリセス縁部 52（開口リセス 51）に起因して第 1 デバイス領域 107 A 側の n 型不純物の導入深さよりも大きくなる。

[0344] その結果、第 2 デバイス領域 107 B 側のソース領域 71 の深さが第 1 デバイス領域 107 A 側のソース領域 71 の深さよりも大きくなるため、第 2 デバイス領域 107 B 側のチャンネル長 LC が第 1 デバイス領域 107 A 側のチャンネル長 LC よりも短くなる。つまり、第 1 デバイス領域 107 A および第 2 デバイス領域 107 B の間で複数のソース領域 71 の深さに面内誤差が生じるため、第 1 デバイス領域 107 A および第 2 デバイス領域 107 B の間で複数の半導体装置 1 の電気的特性に面内誤差が生じる。

[0345] これに対して、n 型不純物が縁部絶縁体 60 を介して第 1 ウエハ主面 103 の表層部に導入される場合、n 型不純物の導入が縁部絶縁体 60 によって部分的に遮蔽されるため、n 型不純物の導入深さは縁部絶縁体 60 によって制限される。つまり、第 1 デバイス領域 107 A および第 2 デバイス領域 107 B の双方において、n 型不純物が深く導入されることが抑制される。

[0346] その結果、第 2 デバイス領域 107 B 側のチャンネル長 LC が第 1 デバイス領域 107 A 側のチャンネル長 LC よりも短くなることが抑制される。つまり、第 1 デバイス領域 107 A および第 2 デバイス領域 107 B の間に生じ得る複数のソース領域 71 の面内誤差が抑制されるため、半導体装置 1 の電気的特性の面内誤差が抑制される。

[0347] 斜めイオン注入法では、第 1 ウエハ主面 103 に対する n 型不純物の相対的な注入角度が調節され、n 型不純物が第 1 ウエハ主面 103 の表層部に斜

めに導入される。つまり、ウエハWは、水平な姿勢で支持されていてもよいし、水平方向に対して斜め傾斜した姿勢で支持されていてもよい。これらの場合において、ウエハWに対するn型不純物の注入角度が調節される。第1ウエハ主面103の法線を基準角(0°)としたとき、第1ウエハ主面103に対するn型不純物の注入角度(絶対値)は、5°以上35°以下であってもよい。

[0348] 注入角度(絶対値)は、5°以上10°以下、10°以上15°以下、15°以上20°以下、20°以上25°以下、25°以上30°以下、および、30°以上35°以下のうちの少なくとも1つの範囲に属する値を有していてもよい。注入角度(絶対値)は、10°以上25°以下であることが好ましい。第2マスクM2は、n型不純物の導入後、除去される。その後、熱処理法によるn型不純物の拡散工程を経て、ソース領域71が形成される。

[0349] 次に、図18Qを参照して、所定パターンを有する第6マスクM6が第1ウエハ主面103の上に形成される。第6マスクM6は、有機絶縁膜を含むレジストマスク(イオン注入マスク)であってもよい。第6マスクM6は、複数のコンタクト領域72を形成すべき領域を露出させ、それら以外の領域を被覆するレイアウトを有している。具体的には、第6マスクM6は、複数のトレンチ41が形成された領域を露出させ、それら以外の領域を被覆している。

[0350] 次に、p型不純物が、第6マスクM6を介するイオン注入法によって第1ウエハ主面103の表層部に導入される。この形態では、p型不純物が、斜めイオン注入法によって第1ウエハ主面103およびトレンチ41の壁面から第1ウエハ主面103の表層部に導入される。トレンチ41の側壁に向かうp型不純物は、絶縁膜42(第1絶縁膜47)、縁部絶縁体60および第1バリア絶縁膜117を介して第1ウエハ主面103の表層部に注入される。

[0351] 図19を参照して、前述の通り、第2デバイス領域107B側のリセス縁

部52（開口リセス51）の深さは、第1デバイス領域107A側のリセス縁部52（開口リセス51）の深さよりも大きい。したがって、縁部絶縁体60が存在しない場合、第2デバイス領域107B側のp型不純物の導入深さは、比較的深いリセス縁部52（開口リセス51）に起因して第1デバイス領域107A側のp型不純物の導入深さよりも大きくなる。

[0352] その結果、第2デバイス領域107B側のコンタクト領域72の深さが第1デバイス領域107A側のコンタクト領域72の深さよりも大きくなる。つまり、第1デバイス領域107Aおよび第2デバイス領域107Bの間で複数のコンタクト領域72の深さに面内誤差が生じるため、第1デバイス領域107Aおよび第2デバイス領域107Bの間で複数の半導体装置1の電気的特性に面内誤差が生じる。

[0353] これに対して、p型不純物が縁部絶縁体60を介して第1ウエハ主面103の表層部に導入される場合、p型不純物の導入が縁部絶縁体60によって部分的に遮蔽されるため、p型不純物の導入深さは縁部絶縁体60によって制限される。つまり、第1デバイス領域107Aおよび第2デバイス領域107Bの双方において、p型不純物が深く導入されることが抑制される。つまり、第1デバイス領域107Aおよび第2デバイス領域107Bの間に生じ得る複数のコンタクト領域72の面内誤差が抑制されるため、半導体装置1の電気的特性の面内誤差が抑制される。

[0354] 斜めイオン注入法では、第1ウエハ主面103に対するp型不純物の相対的な注入角度が調節され、p型不純物が第1ウエハ主面103の表層部に導入される。つまり、ウエハWは、水平な姿勢で支持されていてもよいし、水平方向に対して斜め傾斜した姿勢で支持されていてもよい。これらの場合において、ウエハWに対するp型不純物の注入角度が調節される。第1ウエハ主面103の法線を基準角（0°）としたとき、第1ウエハ主面103に対するp型不純物の注入角度（絶対値）は、5°以上35°以下であってもよい。

[0355] 注入角度（絶対値）は、5°以上10°以下、10°以上15°以下、1

5° 以上20° 以下、20° 以上25° 以下、25° 以上30° 以下、および、30° 以上35° 以下のうちの少なくとも1つの範囲に属する値を有していてもよい。注入角度（絶対値）は、10° 以上25° 以下であることが好ましい。

[0356] 第6マスクM6は、p型不純物の導入後、除去される。その後、熱処理法によるp型不純物の拡散工程を経て、コンタクト領域72が形成される。複数のコンタクト領域72の形成工程は、複数のソース領域71の形成工程に先立って実施されてもよい。

[0357] 次に、図18Rを参照して、第1バリア絶縁膜117が除去される。この工程は、第3ベース絶縁膜114を部分的に除去する工程、および、フィールド絶縁膜85を部分的に除去する工程を含んでいてもよい。第1バリア絶縁膜117の形成工程は、必ずしも実施される必要はなく、必要に応じて省略されてもよい。この場合、ソース領域71およびコンタクト領域72は、縁部絶縁体60を介して第1ウエハ主面103の表層部に導入される。

[0358] 次に、図18Sを参照して、第2バリア絶縁膜118が、第1ウエハ主面103の上に形成される。第2バリア絶縁膜118は、第1ウエハ主面103の上において分離構造30、接続構造80およびフィールド絶縁膜85を被覆し、トレンチ41内において電極面50および縁部絶縁体60を被覆している。第2バリア絶縁膜118は、この形態では、縁部絶縁膜61とは異なる性質を有する絶縁体を含む。

[0359] 具体的には、第2バリア絶縁膜118は、縁部絶縁膜61のエッチングレートとは異なるエッチングレートを有する絶縁体を含む。第2バリア絶縁膜118は、この形態では、酸化膜を含み、CVD法によって形成される。第2バリア絶縁膜118を不純物無添加のシリコン酸化膜を含んでいてもよい。不純物無添加のシリコン酸化膜は、USG (Undoped Silicate Glass) 膜と称されてもよい。

[0360] 次に、所定パターンを有する第7マスクM7が第2バリア絶縁膜118の上に形成される。第7マスクM7は、有機絶縁膜を含むレジストマスク（イ

オン注入マスク)であってもよい。第7マスクM7は、複数の第1シリサイド層75および複数の第2シリサイド層76を形成すべき領域を露出させ、それら以外の領域を被覆するレイアウトを有している。

[0361] 具体的には、第7マスクM7は、複数のトレンチ41の間の領域に区画された複数のメサ部を露出させ、それら以外の領域を被覆するレイアウトを有している。次に、第2バリア絶縁膜118の不要な部分が、第7マスクM7を介するエッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。

[0362] 次に、図18Tを参照して、金属膜119が、第1ウエハ主面103の上に形成される。金属膜119は、第1シリサイド層75および第2シリサイド層76のシード金属である。金属膜119は、Ti膜、Ni膜、Co膜、M膜およびW膜のうちの少なくとも1つを含んでいてもよい。金属膜119は、スパッタ法によって形成されてもよい。金属膜119は、第2バリア絶縁膜118および第1ウエハ主面103のうち第2バリア絶縁膜118から露出した部分を被覆する。

[0363] 次に、金属膜119が熱処理法によってウエハWと反応させられ、第1ウエハ主面103の表層部に複数の第1シリサイド層75および複数の第2シリサイド層76が形成される。熱処理法は、RTA法(Rapid Thermal Annealing method)であってもよい。熱処理工程の後、金属膜119のうちの未反応部分が除去される。

[0364] 金属膜119は、エッチング法(ウエットエッチング法および／またはドライエッチング法)によって除去されてもよい。金属膜119の除去工程の後、第2バリア絶縁膜118が除去される。第2バリア絶縁膜118は、エッチング法(ウエットエッチング法および／またはドライエッチング法)によって除去されてもよい。

[0365] 次に、図18Uを参照して、コンタクト絶縁膜87が、第1ウエハ主面103の上に形成される。コンタクト絶縁膜87は、第1ウエハ主面103の上において分離構造30、接続構造80およびフィールド絶縁膜85を被覆

し、トレンチ41内において電極面50および縁部絶縁体60を被覆している。コンタクト絶縁膜87は、この形態では、リセス絶縁膜57（絶縁リセス縁部58）を構成する絶縁体とは異なる絶縁体を含む。コンタクト絶縁膜87は、この形態では、窒化膜（窒化シリコン膜）を含み、CVD法によって形成される。

[0366] 次に、図18Vを参照して、層間膜10のうちの最下層間膜10aが、第1ウエハ主面103の上に形成される。具体的には、最下層間膜10aは、コンタクト絶縁膜87の上に形成される。最下層間膜10aは、この形態では、縁部絶縁体60（縁部絶縁膜61）とは異なる性質を有する絶縁体を含む。具体的には、最下層間膜10aは、縁部絶縁体60（縁部絶縁膜61）のエッチングレートとは異なるエッチングレートを有する絶縁体を含む。最下層間膜10aは、この形態では、酸化膜（具体的には酸化シリコン膜）を含み、CVD法によって形成される。

[0367] 次に、所定パターンを有する第8マスクM8が、最下層間膜10aの上に形成される。第8マスクM8は、複数のゲートコンタクト電極92および複数のソースコンタクト電極97用の複数のコンタクト開口93を形成すべき領域を露出させ、それら以外の領域を被覆するレイアウトを有している。

[0368] 次に、最下層間膜10aの不要な部分が、第8マスクM8を介するエッチング法（たとえば）によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。これにより、最下層間膜10aに複数のコンタクト開口93が形成される。

[0369] この工程において、縁部絶縁体60は、最下層間膜10aとは異なる絶縁材料を含み、最下層間膜10aのエッチングに対するエッチングストップパとして機能する。すなわち、第8マスクM8においてアライメントずれが生じた場合、縁部絶縁体60の直上にコンタクト開口93が形成されることがある。このようなリスクは、トレンチピッチTPが狭ピッチ化するに従って増加する。たとえば、狭ピッチは、トレンチピッチTPがゲート構造40のゲート幅WG未満である場合の状態をいう。

- [0370] 縁部絶縁体60の直上にコンタクト開口93が形成された場合、最下層間膜10aに係るエッチャントがコンタクト開口93を介して縁部絶縁体60に接触する。縁部絶縁体60の絶縁材料が最下層間膜10aの絶縁材料と同質である場合、縁部絶縁体60の一部または全部は最下層間膜10aに係るエッチャントによって除去される。
- [0371] しかし、縁部絶縁体60は最下層間膜10aの絶縁材料とは異質の絶縁材料を含むため、エッチングに起因する縁部絶縁体60の不所望な消失が抑制される。これにより、最下層間膜10aに係るエッチャントがリセス縁部52に入り込むことが抑制される。つまり、最下層間膜10aに係るエッチャントに起因する絶縁膜42（第1絶縁膜47や第2絶縁膜48等）の不所望な消失も抑制される。
- [0372] 次に、図18Wを参照して、ベースコンタクト電極120が、最下層間膜10aの上に形成される。ベースコンタクト電極120は、複数のゲートコンタクト電極92および複数のソースコンタクト電極97のベースになる。ベースコンタクト電極120は、複数のコンタクト開口93に埋設され、最下層間膜10aを被覆するように形成される。
- [0373] ベースコンタクト電極120は、最下層間膜10a側からこの順に積層された第1電極膜94および第2電極膜95を含む積層構造を有している。第1電極膜94はスパッタ法によって形成され、第2電極膜95はスパッタ法によって形成されてもよい。
- [0374] 次に、図18Xを参照して、ベースコンタクト電極120の不要な部分が、エッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。ベースコンタクト電極120は、最下層間膜10aが露出するまで除去される。これにより、複数のゲートコンタクト電極92および複数のソースコンタクト電極97が形成される。
- [0375] その後、ウエハWに対して残りの製造プロセスが実施され、ウエハWが複数の切断予定ライン108に沿って切断される。これにより、1枚のウエハ

Wから複数の半導体装置1が製造される。

[0376] 図20は、チャンネル長LCおよびリセス深さDRの関係を示すグラフである。図20において、縦軸はチャンネル長LCを示し、横軸は開口リセス51のリセス深さDRを示している。横軸左側に近づくほどウエハWの中央部に近づき、横軸右側に近づくほどウエハWの周縁部に近づく。

[0377] 図20に示されるグラフは、第1特性S1および第2特性S2を含む。第1特性S1は縁部絶縁体60を有さない場合のチャンネル長LCの特性を示し、5つの白丸プロット点によって構成されている。第2特性S2は縁部絶縁体60を有する場合のチャンネル長LCの特性を示し、5つの黒丸プロット点によって構成されている。

[0378] 第1特性S1を参照して、縁部絶縁体60を有さない場合、ウエハWの中央部から周縁部に近づくに従って、リセス深さDR（リセス縁部52の深さ位置）が増加すると同時にボディ領域65の底部に対するソース領域71の深さ位置が増加し、チャンネル長LCが減少した。

[0379] つまり、第2デバイス領域107Bのリセス深さDR（リセス縁部52の深さ位置）は、第1デバイス領域107Aのリセス深さDR（リセス縁部52の深さ位置）よりも大きかった。また、第2デバイス領域107Bのチャンネル長LCは、第1デバイス領域107Aのチャンネル長LCよりも小さかった。

[0380] 具体的な数値を参照すると、第1特性S1の場合、リセス深さDRが200nmから400nmに増加すると、チャンネル長LCは730 $\mu$ mから580 $\mu$ mに低下した。つまり、100nmを1単位とした場合、単位リセス深さDR当たりのチャンネル長LCの低下量は、50nm以上100nm以下（具体的には75nm程度）であった。

[0381] 第1デバイス領域107A側のリセス深さDRおよび第2デバイス領域107B側のリセス深さDRの差分値が0nmを超えて100nm以下である場合、第1デバイス領域107Aに係るチャンネル長LCおよび第2デバイス領域107Bに係るチャンネル長LCの差分値は50nm以上100nm以下

の範囲に収まる。

- [0382] また、リセス深さDRの差分値が100nm以上200nm以下である場合、チャンネル長LCの差分値は100nm以上200nm以下の範囲に収まる。つまり、リセス深さDRの差分値が0nmを超えて200nm以下である場合、チャンネル長LCの差分値は50nm以上200nm以下の範囲に収まる。
- [0383] 一方、第2特性S2を参照して、縁部絶縁体60を有する場合、ウエハWの中央部から周縁部に近づくに従って、リセス深さDR（リセス縁部52の深さ位置）が増加すると同時にボディ領域65の底部に対するソース領域71の深さ位置が増加し、チャンネル長LCが減少した。
- [0384] つまり、第2デバイス領域107Bのリセス深さDR（リセス縁部52の深さ位置）は、第1デバイス領域107Aのリセス深さDR（リセス縁部52の深さ位置）よりも大きかった。また、第2デバイス領域107Bのチャンネル長LCは、第1デバイス領域107Aのチャンネル長LCよりも小さかった。しかし、第2特性S2に係るチャンネル長LCの低下量（低下率）は、第1特性S1に係るチャンネル長LCの低下量（低下率）未満である。
- [0385] 具体的な数値を参照すると、第2特性S2の場合、リセス深さDRが200nmから400nmに増加すると、チャンネル長LCは775 $\mu$ mから765 $\mu$ mに低下した。つまり、100nmを1単位とした場合、単位リセス深さDR当たりのチャンネル長LCの低下量は、5nm以上25nm以下（具体的には10nm程度）であった。
- [0386] 第1デバイス領域107A側のリセス深さDRおよび第2デバイス領域107B側のリセス深さDRの差分値が0nmを超えて100nm以下である場合、第1デバイス領域107Aに係るチャンネル長LCおよび第2デバイス領域107Bに係るチャンネル長LCの差分値は5nm以上25nm以下の範囲に収まる。
- [0387] また、リセス深さDRの差分値が100nm以上200nm以下である場合、チャンネル長LCの差分値は10nm以上50nm以下の範囲に収まる。

つまり、リセス深さDRの差分値が0 nmを超えて200 nm以下である場合、チャンネル長LCの差分値は5 nm以上50 nm以下の範囲に収まる。

[0388] 以上のように、半導体装置1の製造方法によれば、半導体装置1に対して述べられた上述の効果と同様の効果が奏される。また、半導体装置1の製造方法によれば、ウエハWにおけるチャンネル長LCの面内ばらつきを抑制できる。また、半導体装置1の製造方法によれば、ウエハWにおけるチャンネル長LCの面内ばらつきが抑制されたウエハ構造を製造し、提供できる。

[0389] たとえば、チャンネル長LCの面内ばらつきを抑制することにより、ゲート閾値電圧の面内ばらつきを抑制できる。ゲート閾値電圧の面内ばらつきは、第1デバイス領域107A側のゲート閾値電圧および第2デバイス領域107B側のゲート閾値電圧の差分値（絶対値）によって算出されてもよい。縁部絶縁体60が存在しない場合のゲート閾値電圧の面内ばらつきは、0.05 V以上0.1 V以下である。

[0390] 一方、縁部絶縁体60が形成された場合のゲート閾値電圧の面内ばらつきは、0.001 V以上0.02 V以下である。ゲート閾値電圧の面内ばらつきは、0.001 V以上0.005 V以下、0.005 V以上0.01 V以下、0.01 V以上0.015 V以下、および、0.015 V以上0.02 V以下のいずれか1つの範囲に属する値を有していてもよい。ゲート閾値電圧の面内ばらつきは、0.015 V以下に調節されることが好ましい。

[0391] 以下、図21～図25を参照して、ゲート構造40の複数の他の形態例が示される。図21～図25に示される複数の形態例は、それぞれ独立して前述の形態に適用されてもよい。むしろ、図21～図25に示される複数の形態例のうち少なくとも2つが組み合わされた形態例が、前述の形態に適用されてもよい。図21～図25に示される構造は、前述の製造工程においてプロセス条件を適宜調節することによって得られる。

[0392] 図21は、ゲート構造40の他の形態例を示す断面図である。前述の形態に係る埋設電極43は、電極面50の縁部において開口側に突出した突出縁部53を有していた。しかし、図21を参照して、埋設電極43は、必ずし

も電極面50において突出縁部53を有している必要はない。つまり、埋設電極43は、リセス縁部52よりもトレンチ41の開口側（第1主面3側）に位置された電極面50を有していてもよい。

[0393] 図22は、ゲート構造40の他の形態例を示す断面図である。前述の形態に係るゲート構造40は、第1トレンチ部44、第2トレンチ部45および第3トレンチ部46を有するトレンチ41を含んでいた。しかし、図22を参照して、ゲート構造40は、第1トレンチ部44、第2トレンチ部45および第3トレンチ部46を有さないトレンチ41を含んでいてもよい。

[0394] トレンチ41は、この形態では、断面視においてトレンチ41の開口側から底壁側に向けて徐々に狭まる開口幅を有するテーパ形状に形成されている。むろん、トレンチ41は、第1主面3に対してほぼ垂直に形成されていてもよい。

[0395] 図23は、ゲート構造40の他の形態例を示す断面図である。前述の形態に係る絶縁埋設物63は、断面視において溝部62のほぼ全域に埋設されていた。つまり、コンタクト絶縁膜87は、縁部絶縁膜61のうち溝部62外の領域を被覆していた。しかし、図23を参照して、絶縁埋設物63は、断面視において溝部62の開口端部から溝部62の底壁側に間隔を空けて溝部62に埋設されていてもよい。つまり、絶縁埋設物63は、断面視において溝部62の開口端部を露出させている。

[0396] 一方、コンタクト絶縁膜87は、この形態では、縁部絶縁膜61の上から溝部62内に入り込む部分を有している。コンタクト絶縁膜87のうち溝部62内に位置された部分は溝部62内において絶縁埋設物63を被覆している。コンタクト絶縁膜87は、溝部62内において縁部絶縁膜61（第1延部61aおよび第2延部61b）に直接接していてもよい。また、コンタクト絶縁膜87は、溝部62内において絶縁埋設物63に直接接していてもよい。

[0397] 図24は、ゲート構造40の他の形態例を示す断面図である。前述の形態に係る縁部絶縁体60は、縁部絶縁膜61および絶縁埋設物63を含む積層

構造を有していた。しかし、図24を参照して、縁部絶縁体60は、絶縁埋設物63を有さず、縁部絶縁膜61のみからなる単層構造を有していてもよい。

[0398] 一方、コンタクト絶縁膜87は、この形態では、縁部絶縁膜61の上から溝部62内に入り込む部分を有している。コンタクト絶縁膜87は、溝部62内において縁部絶縁膜61（第1延部61aおよび第2延部61b）に直接接していてもよい。

[0399] 図25は、ゲート構造40の他の形態例を示す断面図である。前述の形態に係る埋設電極43は、ポリシリコン（第1電極54）が露出した電極面50を有していた。しかし、図25を参照して、埋設電極43は、電極面50の表層部に形成されたシリサイド埋設層130を有していてもよい。

[0400] シリサイド埋設層130は、電極面50（第1電極54）の表層部を金属材料によってシリサイド化した領域からなる。つまり、シリサイド埋設層130は、埋設電極43（第1電極54）の不純物を含むポリサイドからなる。シリサイド埋設層130は、 $TiSi$ 層、 $TiSi_2$ 層、 $NiSi$ 層、 $CoSi$ 層、 $CoSi_2$ 層、 $MoSi_2$ 層および $WSi_2$ 層のうちの少なくとも1つを含んでいてもよい。

[0401] シリサイド埋設層130は、電極面50の全域から露出していてもよい。シリサイド埋設層130は、リセス縁部52の少なくとも一部または全部を形成していてもよい。シリサイド埋設層130は、突出縁部53の少なくとも一部または全部を形成していてもよい。コンタクト絶縁膜87のうち電極面50を被覆する部分は、シリサイド埋設層130を被覆していてもよい。シリサイド埋設層130は、第1シリサイド層75および第2シリサイド層76と同時に形成されてもよい。

[0402] 前述の形態は、さらに他の形態で実施できる。たとえば、前述の形態では、出力領域6および制御領域7が1つのチップ2に形成された例が示された。しかし、制御領域7を有さず、出力領域6を有する半導体装置1が採用されてもよい。また、出力領域6を有さず、制御領域7を有する半導体装置1

が採用されてもよい。むろん、出力領域 6 を有する半導体装置 1 および制御領域 7 を有する半導体装置 1 は、半導体モジュールや半導体回路等に組み込まれることによって、図 3 に示されるような IPD を構成してもよい。

- [0403] 前述の形態では、複数系統の出力トランジスタ 15 が示された。しかし、1 系統の出力トランジスタ 15 が採用されてもよい。この場合、第 2 系統トランジスタ 16 B が第 1 系統トランジスタ 16 A として形成され、出力トランジスタ 15 用の全てのゲート構造 40 が同時にオンオフ制御される。
- [0404] むろん、前述の形態において、3 系統以上の出力トランジスタ 15 が採用されてもよい。この場合、3 系統以上の系統を構成する系統トランジスタ 16 用の複数のグループ領域 77 が設けられると同時に、当該グループ領域 77 に対応した 3 系統以上のゲート配線 91 が設けられる。
- [0405] 前述の形態では、電流モニタ回路 20 を有する構成が示された。電流モニタ回路 20 は、複数の単位トランジスタ 17 のうちの少なくとも 1 つの単位トランジスタ 17 を利用して形成されていてもよい。
- [0406] 前述の形態では、第 1 電極 54 および第 2 電極 55 が同電位である例が示された。しかし、第 2 電極 55 にソース電位が印加されてもよい。この場合、ソース配線 96 がソースコンタクト電極 97 を介して接続電極 83 に電氣的に接続される。
- [0407] 前述の形態では、ソース端子 11 が出力端子からなり、ドレイン端子 13 が電源端子からなる例が示された。しかし、ソース端子 11 がグランド端子からなり、ドレイン端子 13 が出力端子からなる形態が採用されてもよい。この場合、半導体装置 1 は、負荷（誘導性負荷 L）およびグランドの間に電氣的に介装されるローサイドスイッチングデバイスとなる。
- [0408] 前述の形態では、第 1 導電型が n 型であり、第 2 導電型が p 型である例が示された。しかし、第 1 導電型が p 型、第 2 導電型が n 型であってもよい。この場合の具体的な構成は、前述の説明および添付図面において、n 型領域を p 型領域に置き換えると同時に、p 型領域を n 型領域に置き換えることによって得られる。

- [0409] 前述の形態では、第1方向Xおよび第2方向Yが第1～第4側面5A～5Dの延在方向によって規定された。しかし、第1方向Xおよび第2方向Yは、互いに交差（具体的には直交）する関係を維持する限り、任意の方向であってもよい。たとえば、第1方向Xは第3側面5C（第4側面5D）の延在方向であり、第2方向Yは第1側面5A（第2側面5B）の延在方向であってもよい。また、第1方向Xは第1～第4側面5A～5Dに交差する方向であり、第2方向Yは第1～第4側面5A～5Dに交差する方向であってもよい。
- [0410] 以下、この明細書および添付図面から抽出される特徴例が示される。以下、括弧内の英数字は前述の形態における対応構成要素等を表すが、各項目（Clause）の範囲を前述の形態に限定する趣旨ではない。以下の項目に係る「半導体装置」は、必要に応じて「半導体スイッチング装置」、「半導体モジュール」、「電子回路」、「半導体回路」、「インテリジェントパワーデバイス」、「インテリジェントパワーモジュール」、「インテリジェントパワースイッチ」、「ウエハ構造」、「ウエハ中間体」等に置き換えられてもよい。
- [0411] [A1] 主面（3）を有するチップ（2）と、前記主面（3）に形成され、側壁および底壁を有するトレンチ（41）と、前記トレンチ（41）に埋設された埋設電極（43）であって、前記主面（3）よりも前記底壁側に位置された電極面（50）、および、前記電極面（50）のうち前記側壁に沿う縁部において前記底壁に向けて窪んだリセス縁部（52）を有する前記埋設電極（43）と、前記リセス縁部（52）に埋設された縁部絶縁体（60）と、を含む、半導体装置（1）。
- [0412] [A2] 前記縁部絶縁体（60）は、前記トレンチ（41）の前記側壁および前記リセス縁部（52）の壁面に沿って膜状に形成された縁部絶縁膜（61）を含む、A1に記載の半導体装置（1）。
- [0413] [A3] 前記埋設電極（43）は、シリコンを含み、前記縁部絶縁膜（61）は、窒化物を含む、A2に記載の半導体装置（1）。

- [0414] [A 4] 前記縁部絶縁膜 (6 1) は、前記トレンチ (4 1) の前記側壁を膜状に被覆する第 1 延部 (6 1 a)、および、前記第 1 延部 (6 1 a) に対して傾斜するように前記リセス縁部 (5 2) の壁面を膜状に被覆する第 2 延部 (6 1 b) を含む、A 2 または A 3 に記載の半導体装置 (1)。
- [0415] [A 5] 前記第 1 延部 (6 1 a) は、前記トレンチ (4 1) 内で途切れ、前記第 2 延部 (6 1 b) は、前記トレンチ (4 1) 内で途切れている、A 4 に記載の半導体装置 (1)。
- [0416] [A 6] 前記第 1 延部 (6 1 a) は、前記トレンチ (4 1) の開口側に位置された第 1 上端部を有し、前記第 2 延部 (6 1 b) は、前記第 1 上端部よりも前記トレンチ (4 1) の前記底壁側に位置された第 2 上端部を有している、A 4 または A 5 に記載の半導体装置 (1)。
- [0417] [A 7] 前記縁部絶縁膜 (6 1) は、前記リセス縁部 (5 2) の上において前記リセス縁部 (5 2) の底部に向けて窪んだ溝部 (6 2) を区画している、A 2 ~ A 6 のいずれか一つに記載の半導体装置 (1)。
- [0418] [A 8] 前記縁部絶縁体 (6 0) は、前記溝部 (6 2) に埋設された埋設物 (6 3) を含む、A 7 に記載の半導体装置 (1)。
- [0419] [A 9] 前記埋設物 (6 3) は、前記縁部絶縁膜 (6 1) とは異なる絶縁材料を含む、A 8 に記載の半導体装置 (1)。
- [0420] [A 1 0] 前記埋設物 (6 3) は、酸化物を含む、A 8 または A 9 に記載の半導体装置 (1)。
- [0421] [A 1 1] 前記埋設物 (6 3) は、前記酸化物としてのオルトケイ酸テトラエチルを含む、A 1 0 に記載の半導体装置 (1)。
- [0422] [A 1 2] 前記埋設電極 (4 3) は、前記電極面 (5 0) の前記縁部において前記トレンチ (4 1) の開口側に向けて突出し、前記トレンチ (4 1) の前記側壁との間で前記リセス縁部 (5 2) を区画する突出縁部 (5 3) を含む、A 1 ~ A 1 1 のいずれか一つに記載の半導体装置 (1)。
- [0423] [A 1 3] 前記トレンチ (4 1) は、他の部分 (4 5、4 6) よりも幅広に形成された開口端 (4 4) を有し、前記リセス縁部 (5 2) は、前記トレ

ンチ（４１）の前記開口端（４４）に沿って区画されている、Ａ１～Ａ１２のいずれか一つに記載の半導体装置（１）。

[0424] [A 1 4] 前記トレンチ（４１）の前記側壁を被覆する絶縁膜（４２）をさらに含み、前記埋設電極（４３）は、前記トレンチ（４１）内において前記絶縁膜（４２）に接し、前記縁部絶縁体（６０）は、前記リセス縁部（５２）内において前記絶縁膜（４２）に接している、Ａ１～Ａ１３のいずれか一つに記載の半導体装置（１）。

[0425] [A 1 5] 前記トレンチ（４１）内において前記電極面（５０）および前記縁部絶縁体（６０）を膜状に被覆するコンタクト絶縁膜（８７）をさらに含む、Ａ１～Ａ１４のいずれか一つに記載の半導体装置（１）。

[0426] [A 1 6] 前記コンタクト絶縁膜（８７）は、前記トレンチ（４１）内において前記主面（３）よりも前記電極面（５０）側に位置された膜面を有している、Ａ１５に記載の半導体装置（１）。

[0427] [A 1 7] 前記主面（３）に沿う水平方向に前記埋設電極（４３）および前記縁部絶縁体（６０）に対向するように前記主面（３）の表層部において前記トレンチ（４１）の前記側壁に沿う領域に形成されたソース領域（７１）をさらに含む、Ａ１～Ａ１６のいずれか一つに記載の半導体装置（１）。

[0428] [A 1 8] 前記トレンチ（４１）の側方において前記主面（３）に接続されたコンタクト電極（９７）をさらに含む、Ａ１～Ａ１７のいずれか一つに記載の半導体装置（１）。

[0429] [A 1 9] 前記主面（３）の表層部において前記主面（３）に沿う水平方向に前記縁部絶縁体（６０）に対向するシリサイド層（７５、７６）をさらに含む、Ａ１～Ａ１８のいずれか一つに記載の半導体装置（１）。

[0430] [A 2 0] 前記トレンチ（４１）内において前記縁部絶縁体（６０）から間隔を空けて前記電極面（５０）に接続された内側コンタクト電極（９２）をさらに含む、Ａ１～Ａ１９のいずれか一つに記載の半導体装置（１）。

[0431] [A 2 1] 複数の前記トレンチ（４１）が間隔を空けて前記主面（３）に形成され、複数の前記埋設電極（４３）が、複数の前記トレンチ（４１）に

それぞれ埋設され、複数の前記縁部絶縁体（60）が、複数の前記トレンチ（41）内において複数の前記リセス縁部（52）にそれぞれ埋設されている、A1～A20のいずれか一つに記載の半導体装置（1）。

[0432] [A22] 複数の前記トレンチ（41）は、各前記トレンチ（41）の幅（WG）未満の間隔（P）を空けて前記主面（3）に形成されている、A21に記載の半導体装置（1）。

[0433] [A23] 前記主面（3）において複数の前記トレンチ（41）の間に区画されたメサ部と、複数の前記トレンチ（41）から間隔を空けて前記メサ部に接続されたコンタクト電極（97）と、をさらに含む、A21またはA22に記載の半導体装置（1）。

[0434] [A24] 主面（3）を有するチップ（2）と、前記主面（3）に形成され、側壁および底壁を有するトレンチ（41）と、前記トレンチ（41）に埋設された埋設電極（43）であって、前記主面（3）よりも前記底壁側に位置された電極面（50）、および、断面視において前記電極面（50）の両サイドの縁部において前記底壁に向けて窪んだ複数のリセス縁部（52）を有する前記埋設電極（43）と、断面視において複数の前記リセス縁部（52）にそれぞれ埋設された複数の縁部絶縁体（60）と、複数の前記縁部絶縁体（60）から間隔を空けて前記電極面（50）の内方部に機械的および電氣的に接続されたコンタクト電極（92）と、を含む、半導体装置（1）。

[0435] [B1] 主面（103）を有するウエハ（W）と、前記主面（103）の内方部に設定された第1デバイス領域（107A）と、前記主面（103）の周縁部に設定された第2デバイス領域（107B）と、前記第1デバイス領域（107A）および前記第2デバイス領域（107B）において前記主面（103）にそれぞれ形成され、側壁および底壁を有する複数のトレンチ（41）と、複数の前記トレンチ（41）に埋設された複数の埋設電極（43）であって、前記主面（103）よりも前記底壁側に位置された電極面（50）、および、前記電極面（50）のうち前記側壁に沿う縁部において前

記底壁に向けて窪んだりセス縁部（52）をそれぞれ有する複数の前記埋設電極（43）と、複数の前記トレンチ（41）内において複数の前記リセス縁部（52）にそれぞれ埋設された複数の縁部絶縁体（60）と、を含む、ウエハ構造。

[0436] [B2] 複数の前記縁部絶縁体（60）は、対応する前記トレンチ（41）の前記側壁および対応する前記リセス縁部（52）の壁面に沿って膜状に形成された縁部絶縁膜（61）をそれぞれ含む、B1に記載のウエハ構造。

[0437] [B3] 複数の前記縁部絶縁体（60）は、前記リセス縁部（52）の底部に向けて窪むように前記縁部絶縁膜（61）によって区画された溝部（62）をそれぞれ有している、B2に記載のウエハ構造。

[0438] [B4] 複数の前記縁部絶縁体（60）は、前記溝部（62）に埋設された埋設物（63）をそれぞれ含む、B3に記載のウエハ構造。

[0439] [B5] 前記第2デバイス領域（107B）側の前記電極面（50）は、前記第1デバイス領域（107A）側の前記電極面（50）よりも複数の前記トレンチ（41）の前記底壁側に位置されている、B1～B4のいずれか一つに記載のウエハ構造。

[0440] [B6] 前記第2デバイス領域（107B）側の前記リセス縁部（52）は、前記第1デバイス領域（107A）側の前記リセス縁部（52）よりも複数の前記トレンチ（41）の前記底壁側に位置されている、B1～B5のいずれか一つに記載のウエハ構造。

[0441] [B7] 前記第1デバイス領域（107A）において前記トレンチ（41）に沿う領域に形成された第1チャンネルと、前記第2デバイス領域（107B）において前記トレンチ（41）に沿う領域に形成された第2チャンネルと、をさらに含む、B1～B6のいずれか一つに記載のウエハ構造。

[0442] [B8] 前記第2チャンネルのチャンネル長（LC）は、前記第1チャンネルのチャンネル長（LC）よりも短い、B7に記載のウエハ構造。

[0443] [B9] 前記第1チャンネルの前記チャンネル長（LC）に対する前記第2チャンネルの前記チャンネル長（LC）の差分値は、5nm以上50nm以下であ

る、B 8に記載のウエハ構造。

[0444] [B 1 0] 前記第1デバイス領域(107A)側のゲート閾値電圧に対する前記第2デバイス領域(107B)側のゲート閾値電圧の差分値は、0.001V以上0.02V以下である、B1~B9のいずれか一つに記載のウエハ構造。

[0445] [B 1 1] 前記第1デバイス領域(107A)および前記第2デバイス領域(107B)において前記主面(103)の表層部に形成された第1導電型(n型)のドリフト領域(9)と、前記第1デバイス領域(107A)および前記第2デバイス領域(107B)において複数の前記トレンチ(41)に沿うように前記ドリフト領域(9)の表層部に形成された第2導電型(p型)の複数のボディ領域(65)と、前記第1デバイス領域(107A)および前記第2デバイス領域(107B)において複数の前記トレンチ(41)に沿うように前記ボディ領域(65)の表層部にそれぞれ形成された第1導電型(n型)の複数のソース領域(71)と、をさらに含む、B1~B10のいずれか一つに記載のウエハ構造。

[0446] [B 1 2] 複数の前記トレンチ(41)の前記側壁をそれぞれ被覆する複数の絶縁膜(42)をさらに含み、複数の前記埋設電極(43)は、対応する前記トレンチ(41)内において対応する前記絶縁膜(42)に接し、複数の前記縁部絶縁体(60)は、対応する前記リセス縁部(52)内において対応する前記絶縁膜(42)に接している、B1~B11のいずれか一つに記載のウエハ構造。

[0447] [B 1 3] 前記第1デバイス領域(107A)の前記トレンチ(41)内において前記電極面(50)および前記縁部絶縁体(60)を膜状に被覆し、前記第2デバイス領域(107B)の前記トレンチ(41)内において前記電極面(50)および前記縁部絶縁体(60)を膜状に被覆するコンタクト絶縁膜(87)をさらに含む、B1~B12のいずれか一つに記載のウエハ構造。

[0448] [B 1 4] 前記第1デバイス領域(107A)および前記第2デバイス領

域（107B）において複数の前記トレンチ（41）の側方において前記主面（103）に接続された複数のコンタクト電極（97）をさらに含む、B1～B13のいずれか一つに記載のウエハ構造。

[0449] [B15] 前記第1デバイス領域（107A）および前記第2デバイス領域（107B）の前記主面（103）の表層部において前記主面（103）に沿う水平方向に対応する前記縁部絶縁体（60）に対向する複数のシリサイド層（75、76）をさらに含む、B1～B14のいずれか一つに記載のウエハ構造。

[0450] 以上、具体的な形態が詳細に説明されたが、これらは技術的内容を明示する具体例に過ぎない。この明細書から抽出される種々の技術的思想は、明細書内の説明順序、形態例の順序、変形例の順序等に制限されずにそれらの間で適宜組み合わせ可能である。

### 符号の説明

[0451]	1	半導体装置
	2	チップ
	3	第1主面
	9	ドリフト領域
	41	トレンチ
	42	絶縁膜
	43	埋設電極
	44	第1トレンチ部
	45	第2トレンチ部
	46	第3トレンチ部
	50	電極面
	52	リセス縁部
	53	突出縁部
	54	第1電極
	55	第2電極

6 0	縁部絶縁体
6 1	縁部絶縁膜
6 1 a	第 1 延部
6 1 b	第 2 延部
6 2	溝部
6 3	絶縁埋設物
6 5	ボディ領域
7 1	ソース領域
7 5	第 1 シリサイド層
7 6	第 2 シリサイド層
8 7	コンタクト絶縁膜
9 2	ゲートコンタクト電極
9 7	ソースコンタクト電極
1 0 3	第 1 ウエハ主面
1 0 7 A	第 1 デバイス領域
1 0 7 B	第 2 デバイス領域
L C	チャンネル長
T P	トレンチピッチ
W	ウエハ
W G	ゲート幅

## 請求の範囲

- [請求項1] 主面を有するチップと、  
前記主面に形成され、側壁および底壁を有するトレンチと、  
前記トレンチに埋設された埋設電極であって、前記主面よりも前記底壁側に位置された電極面、および、前記電極面のうち前記側壁に沿う縁部において前記底壁に向けて窪んだりセス縁部を有する前記埋設電極と、  
前記リセス縁部に埋設された縁部絶縁体と、を含む、半導体装置。
- [請求項2] 前記縁部絶縁体は、前記トレンチの前記側壁および前記リセス縁部の壁面に沿って膜状に形成された縁部絶縁膜を含む、請求項1に記載の半導体装置。
- [請求項3] 前記埋設電極は、シリコンを含み、  
前記縁部絶縁膜は、窒化物を含む、請求項2に記載の半導体装置。
- [請求項4] 前記縁部絶縁膜は、前記トレンチの前記側壁を膜状に被覆する第1延部、および、前記第1延部に対して傾斜するように前記リセス縁部の壁面を膜状に被覆する第2延部を含む、請求項2または3に記載の半導体装置。
- [請求項5] 前記第1延部は、前記トレンチ内で途切れ、  
前記第2延部は、前記トレンチ内で途切れている、請求項4に記載の半導体装置。
- [請求項6] 前記第1延部は、前記トレンチの開口側に位置された第1上端部を有し、  
前記第2延部は、前記第1上端部よりも前記トレンチの前記底壁側に位置された第2上端部を有している、請求項4または5に記載の半導体装置。
- [請求項7] 前記縁部絶縁膜は、前記リセス縁部の上において前記リセス縁部の底部に向けて窪んだ溝部を区画している、請求項2～6のいずれか一項に記載の半導体装置。

- [請求項8] 前記縁部絶縁体は、前記溝部に埋設された埋設物を含む、請求項7に記載の半導体装置。
- [請求項9] 前記埋設物は、前記縁部絶縁膜とは異なる絶縁材料を含む、請求項8に記載の半導体装置。
- [請求項10] 前記埋設物は、酸化物を含む、請求項8または9に記載の半導体装置。
- [請求項11] 前記埋設物は、前記酸化物としてのオルトケイ酸テトラエチルを含む、請求項10に記載の半導体装置。
- [請求項12] 前記埋設電極は、前記電極面の前記縁部において前記トレンチの開口側に向けて突出し、前記トレンチの前記側壁との間で前記リセス縁部を区画する突出縁部を含む、請求項1～11のいずれか一項に記載の半導体装置。
- [請求項13] 前記トレンチは、他の部分よりも幅広に形成された開口端を有し、前記リセス縁部は、前記トレンチの前記開口端に沿って区画されている、請求項1～12のいずれか一項に記載の半導体装置。
- [請求項14] 前記トレンチの前記側壁を被覆する絶縁膜をさらに含み、前記埋設電極は、前記トレンチ内において前記絶縁膜に接し、前記縁部絶縁体は、前記リセス縁部内において前記絶縁膜に接している、請求項1～13のいずれか一項に記載の半導体装置。
- [請求項15] 前記トレンチ内において前記電極面および前記縁部絶縁体を膜状に被覆するコンタクト絶縁膜をさらに含む、請求項1～14のいずれか一項に記載の半導体装置。
- [請求項16] 前記コンタクト絶縁膜は、前記トレンチ内において前記主面よりも前記電極面側に位置された膜面を有している、請求項15に記載の半導体装置。
- [請求項17] 前記主面に沿う水平方向に前記埋設電極および前記縁部絶縁体に対向するように前記主面の表層部において前記トレンチの前記側壁に沿う領域に形成されたソース領域をさらに含む、請求項1～16のいずれ

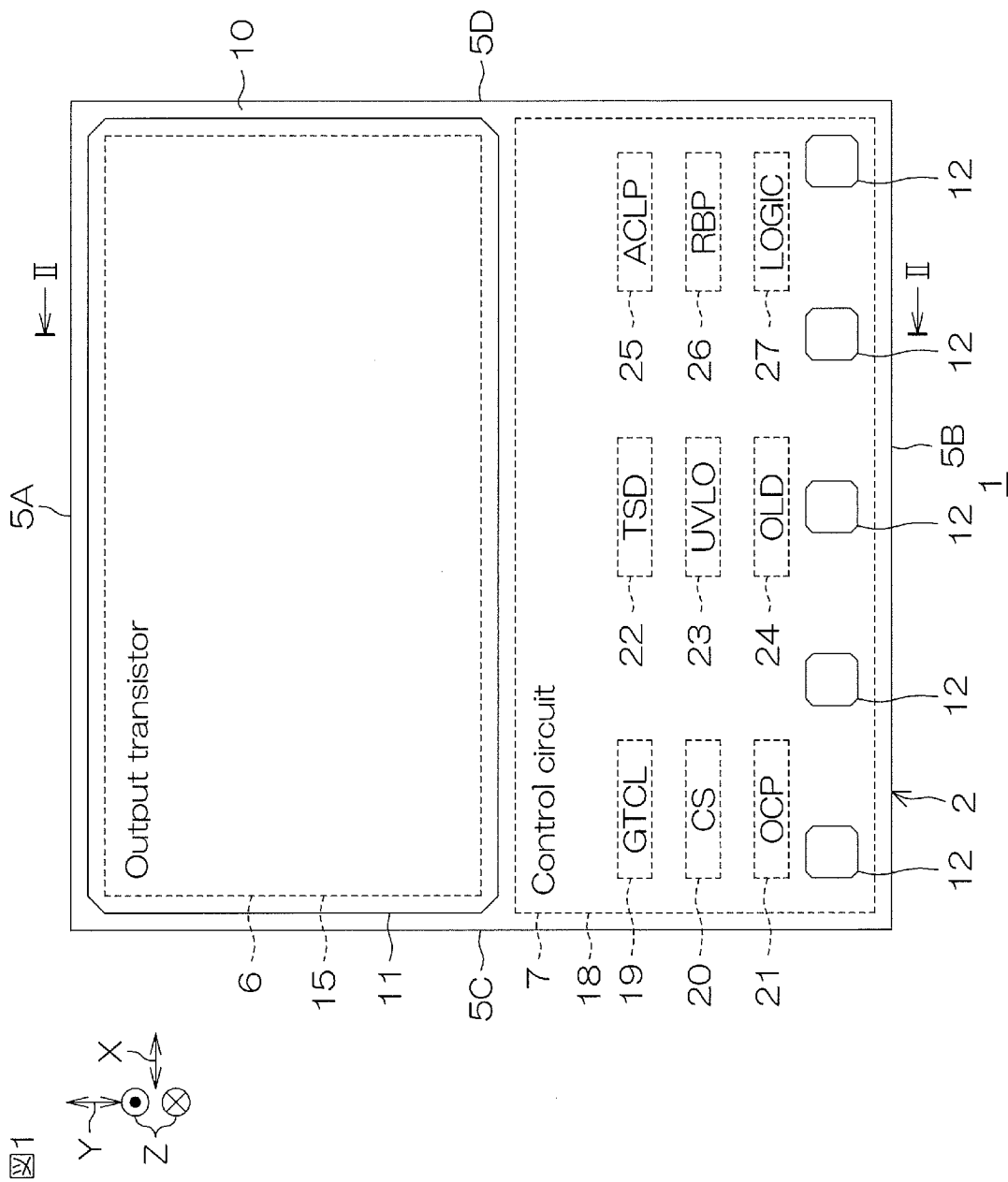
れか一項に記載の半導体装置。

[請求項18] 前記トレンチの側方において前記主面に接続された外側コンタクト電極をさらに含む、請求項1～17のいずれか一項に記載の半導体装置。

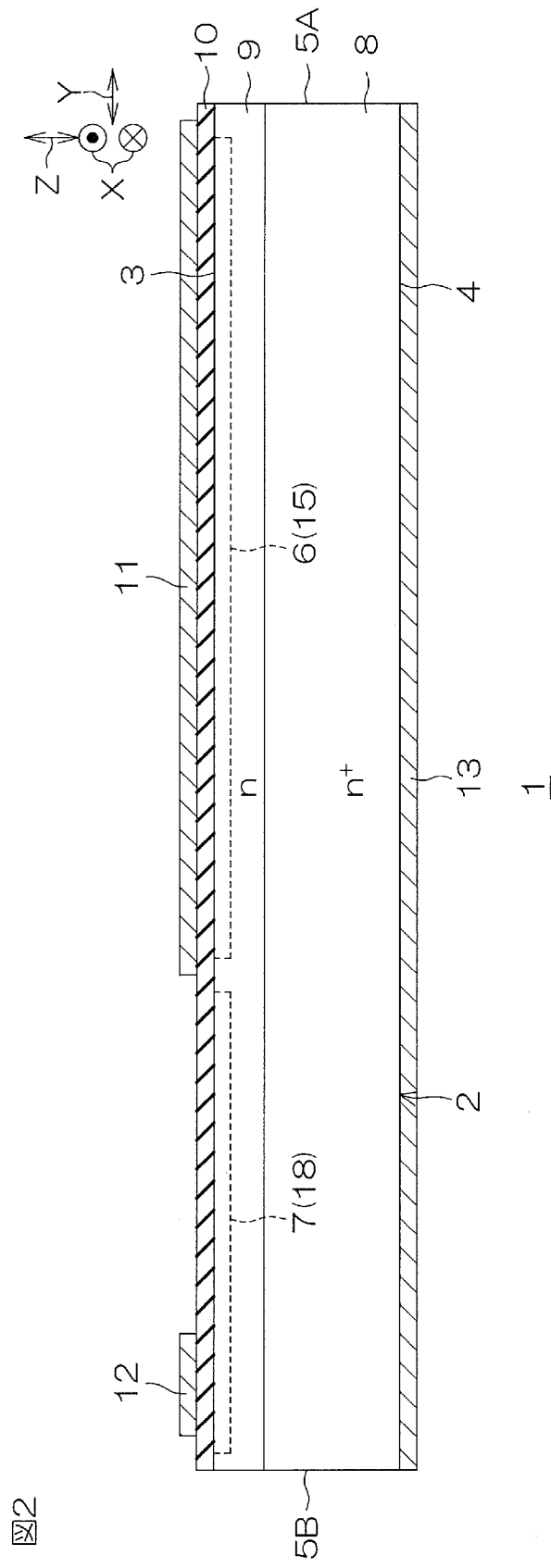
[請求項19] 前記主面の表層部において前記主面に沿う水平方向に前記縁部絶縁体に対向するシリサイド層をさらに含む、請求項1～18のいずれか一項に記載の半導体装置。

[請求項20] 前記トレンチ内において前記縁部絶縁体から間隔を空けて前記電極面に接続された内側コンタクト電極をさらに含む、請求項1～19のいずれか一項に記載の半導体装置。

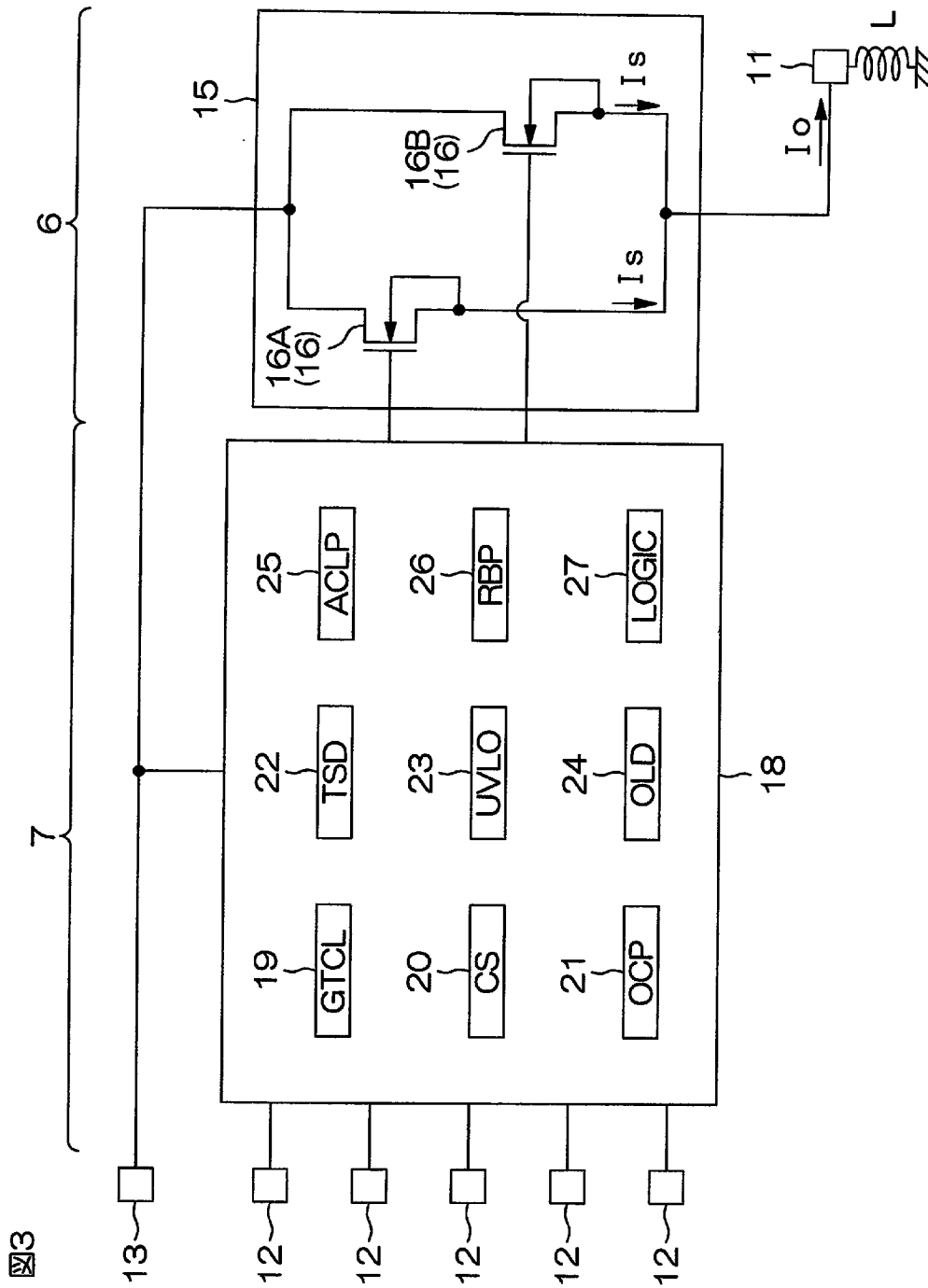
[図1]



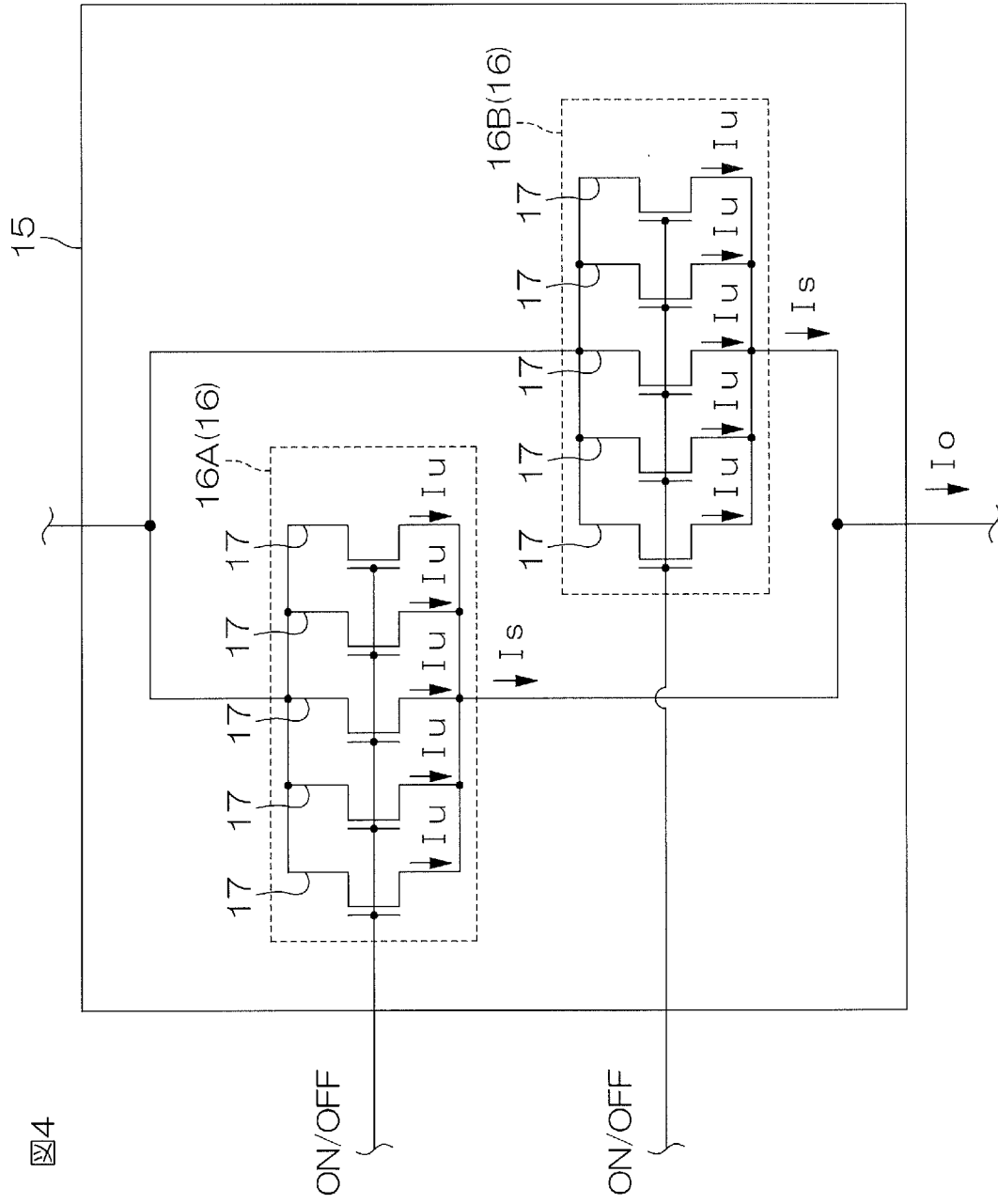
[図2]



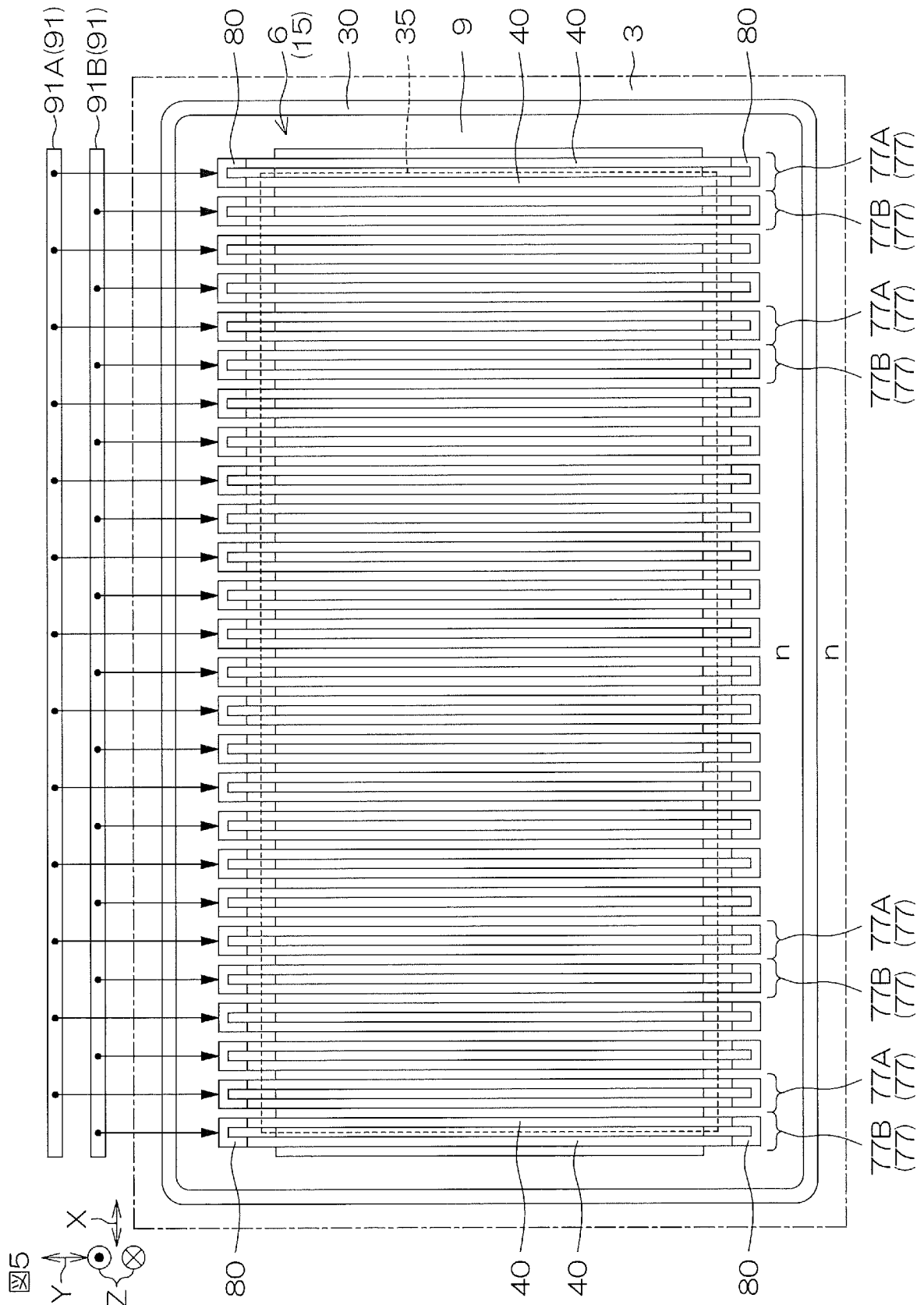
[図3]



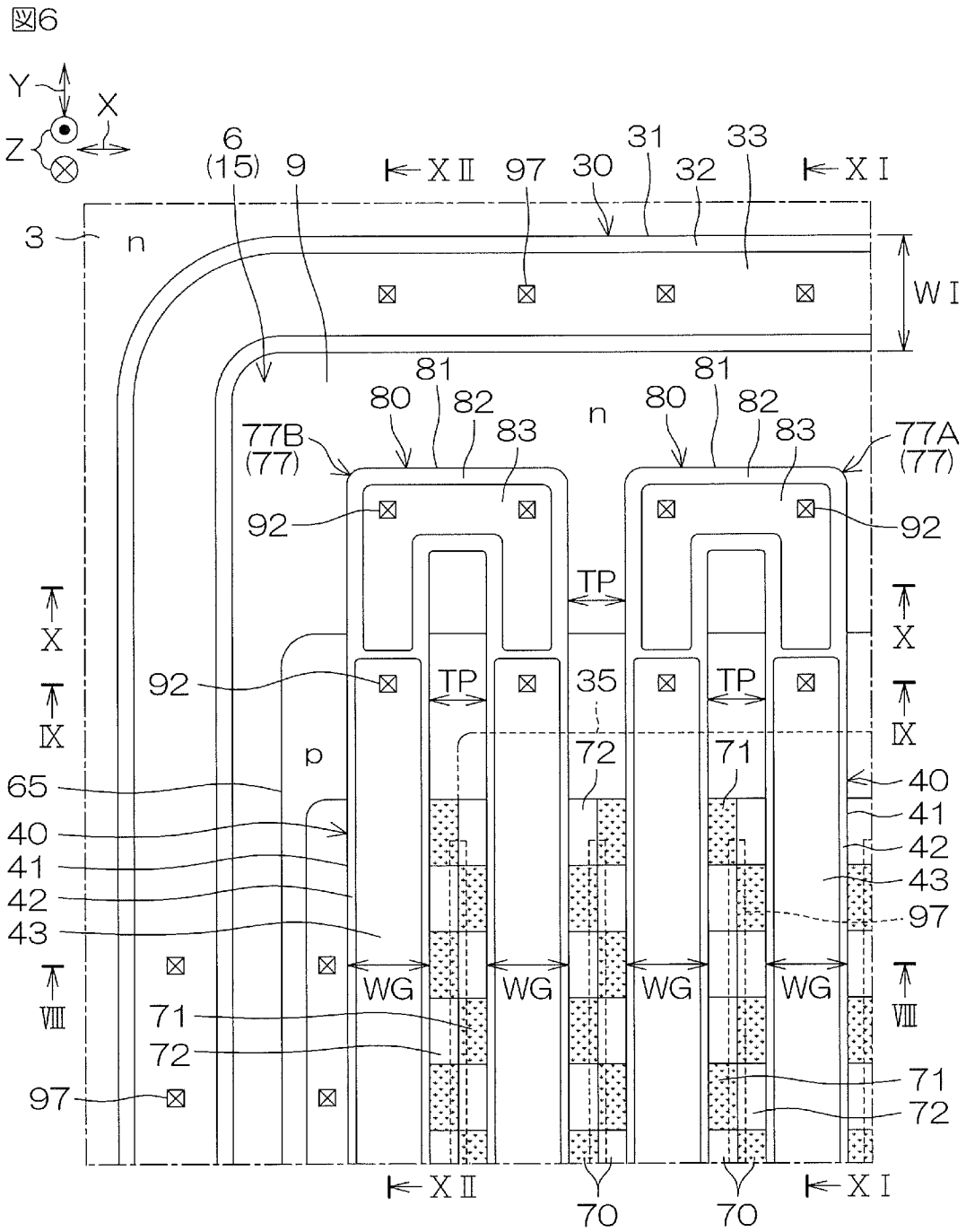
[図4]



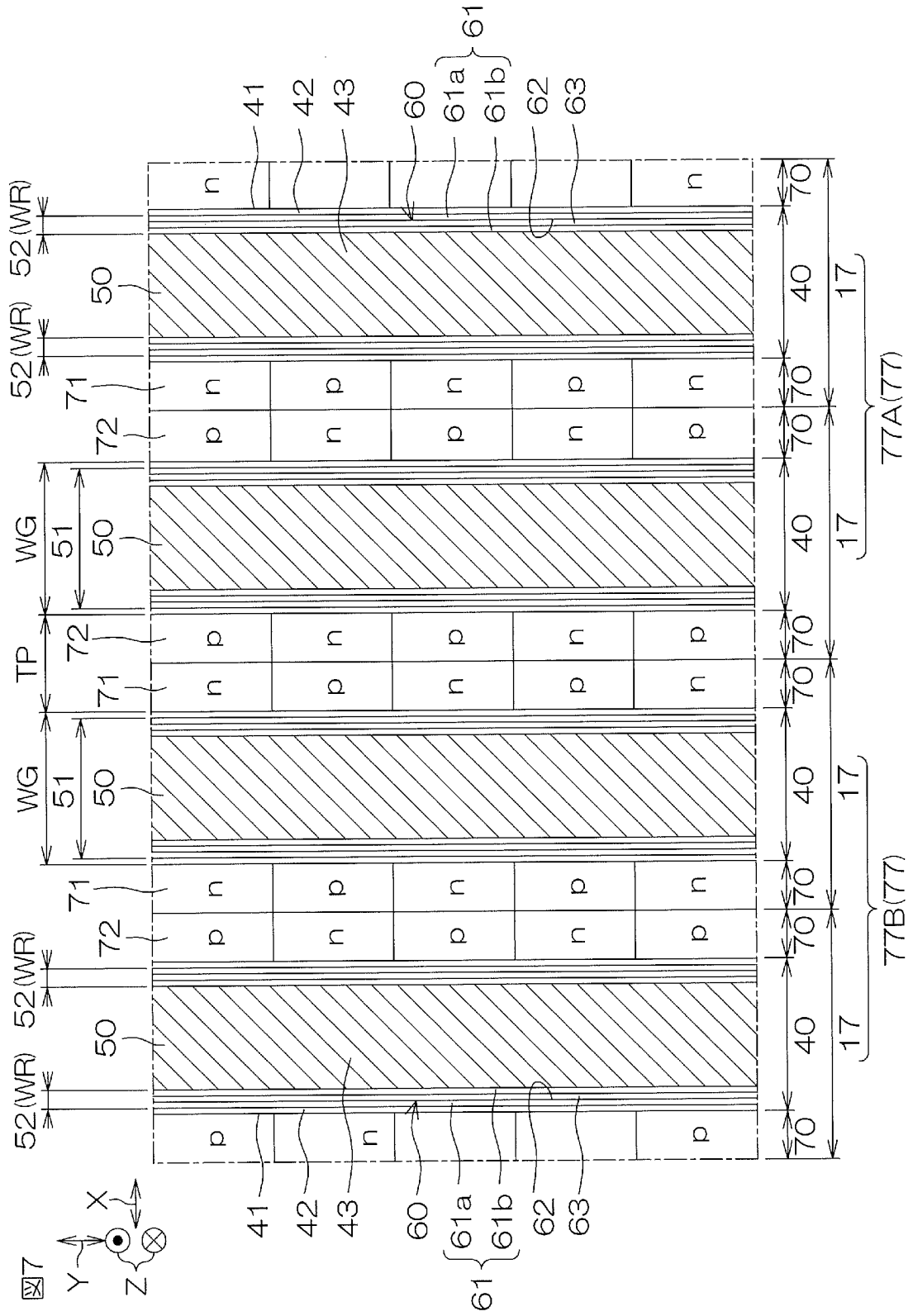
[図5]



[図6]



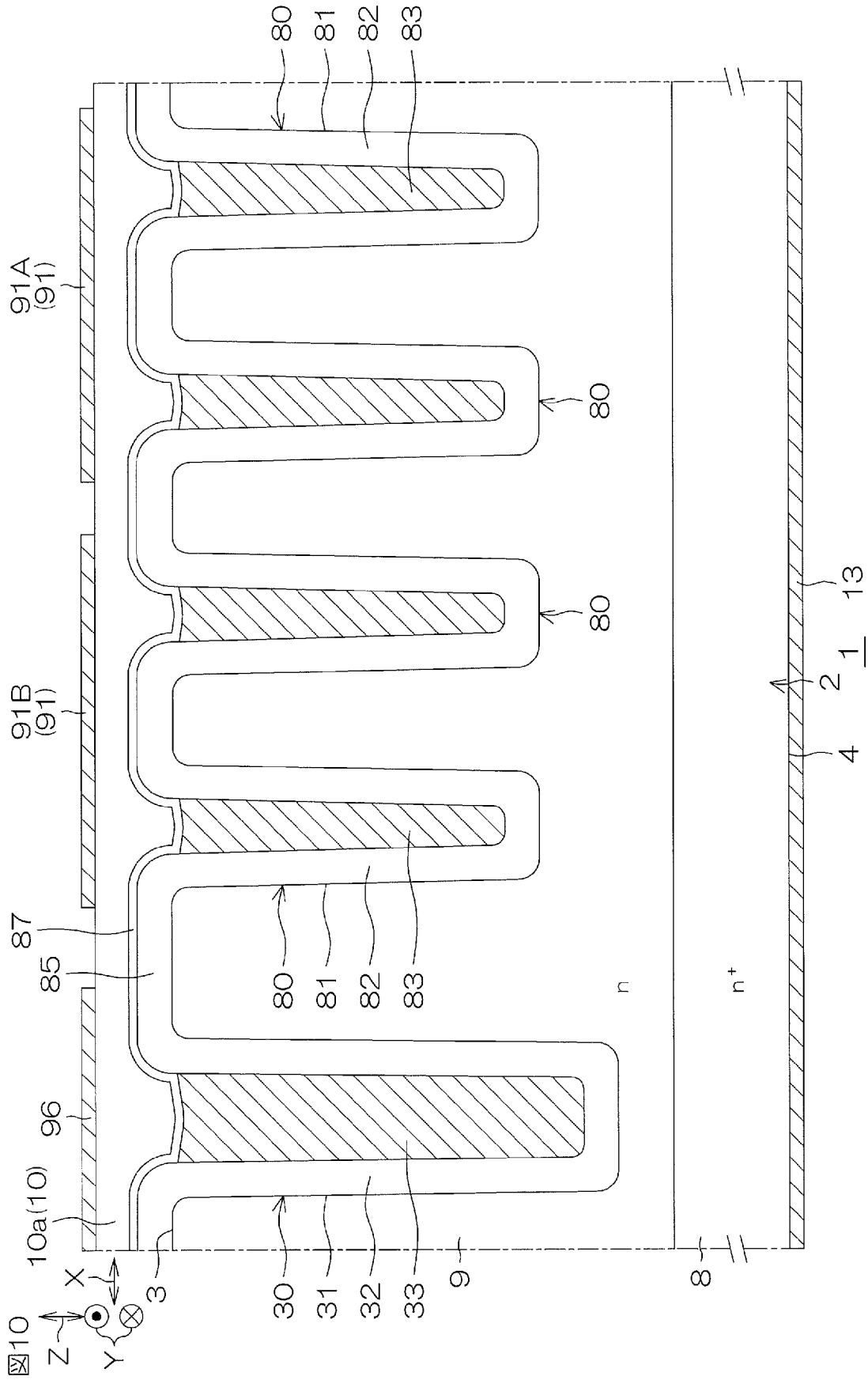
[図7]



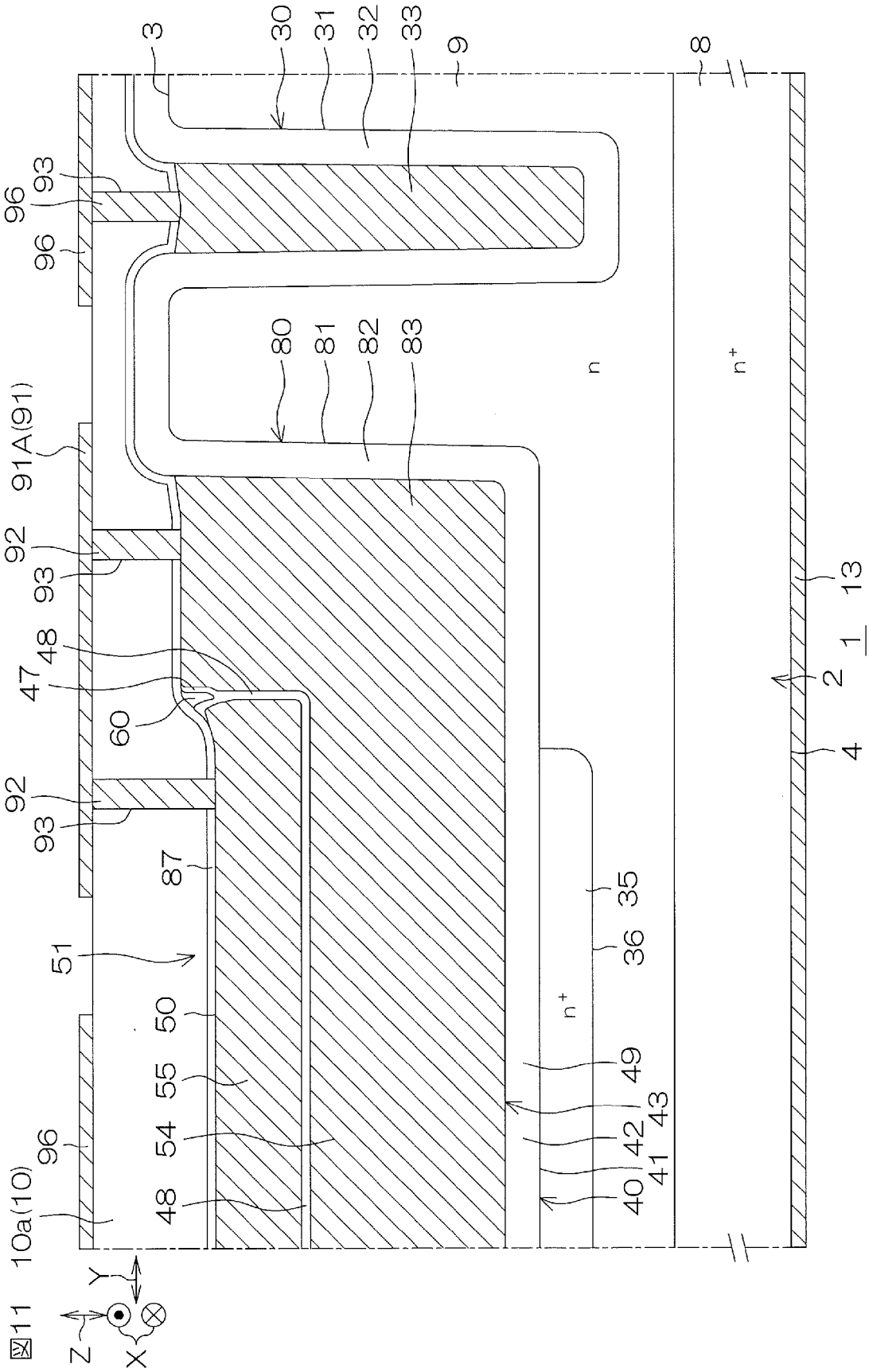




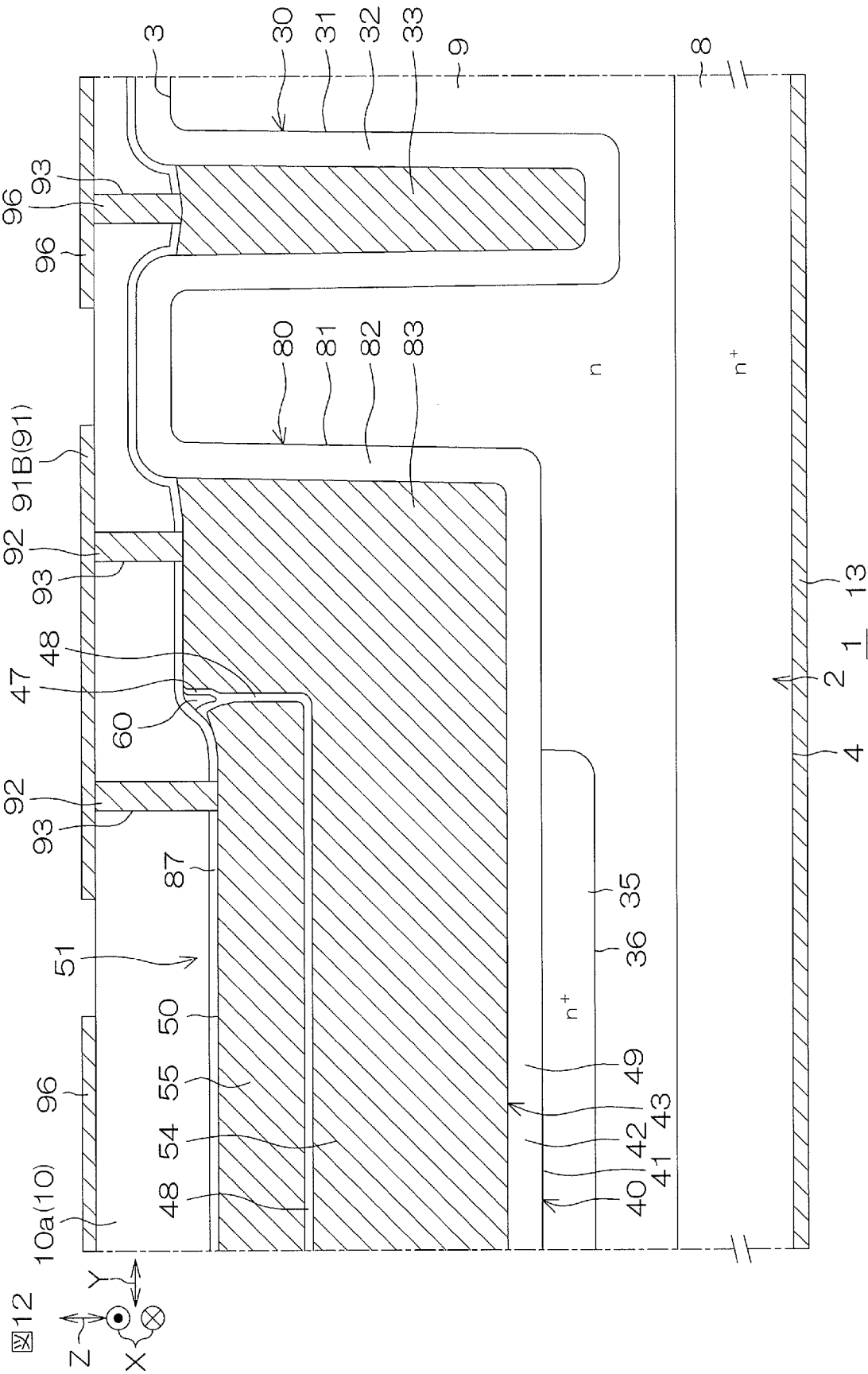
[図10]



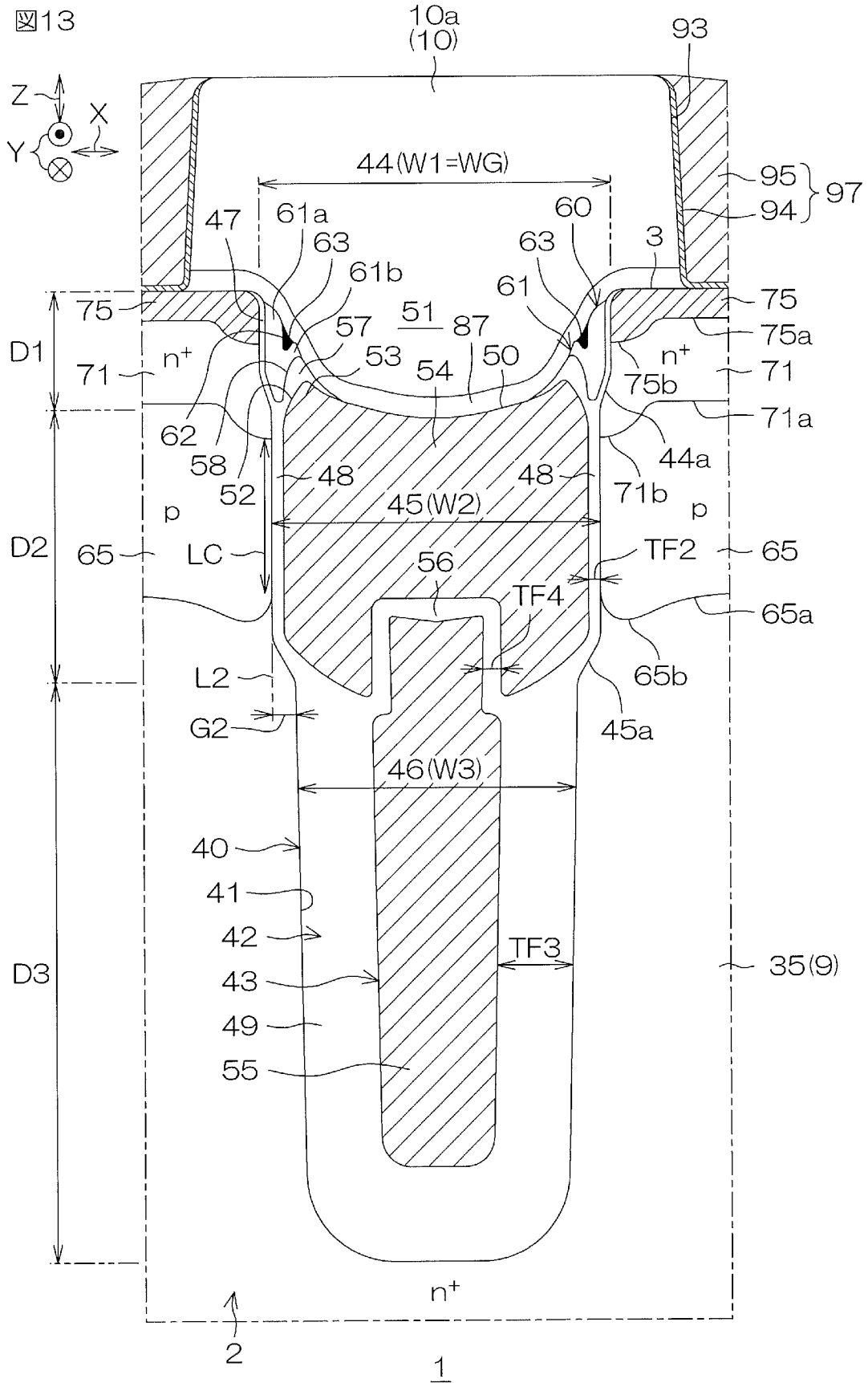
[図11]



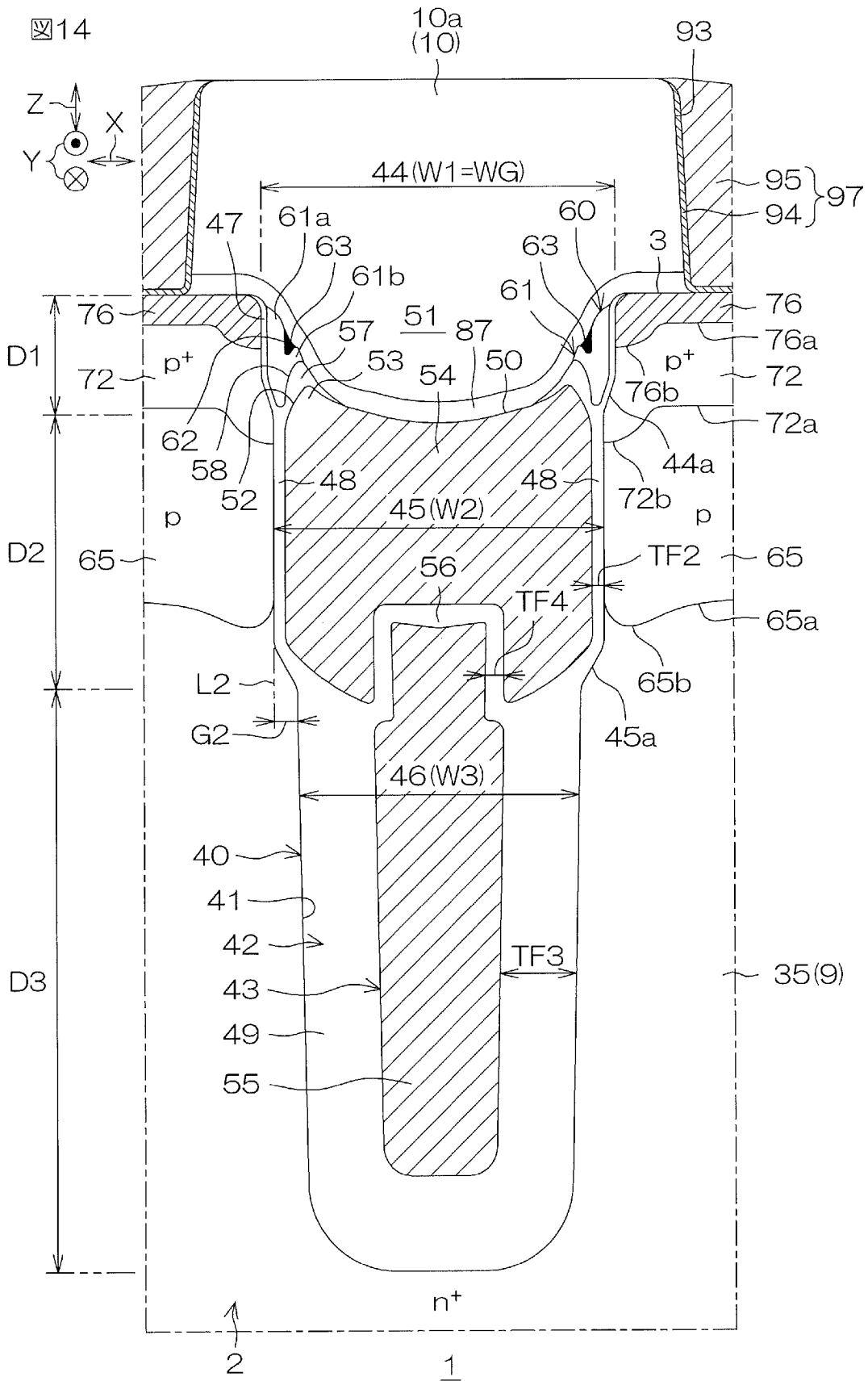
[圖12]



[図13]



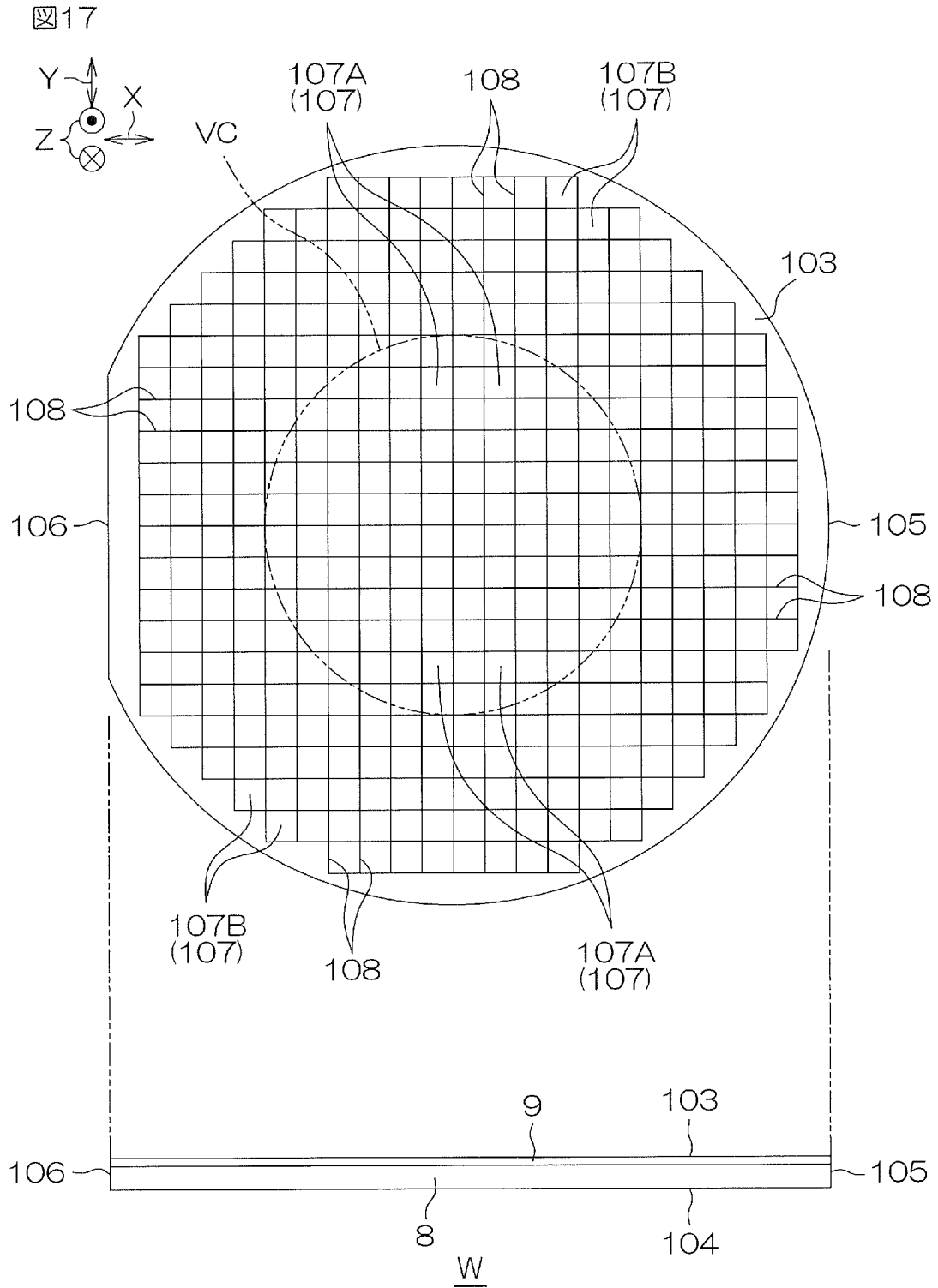
[圖14]




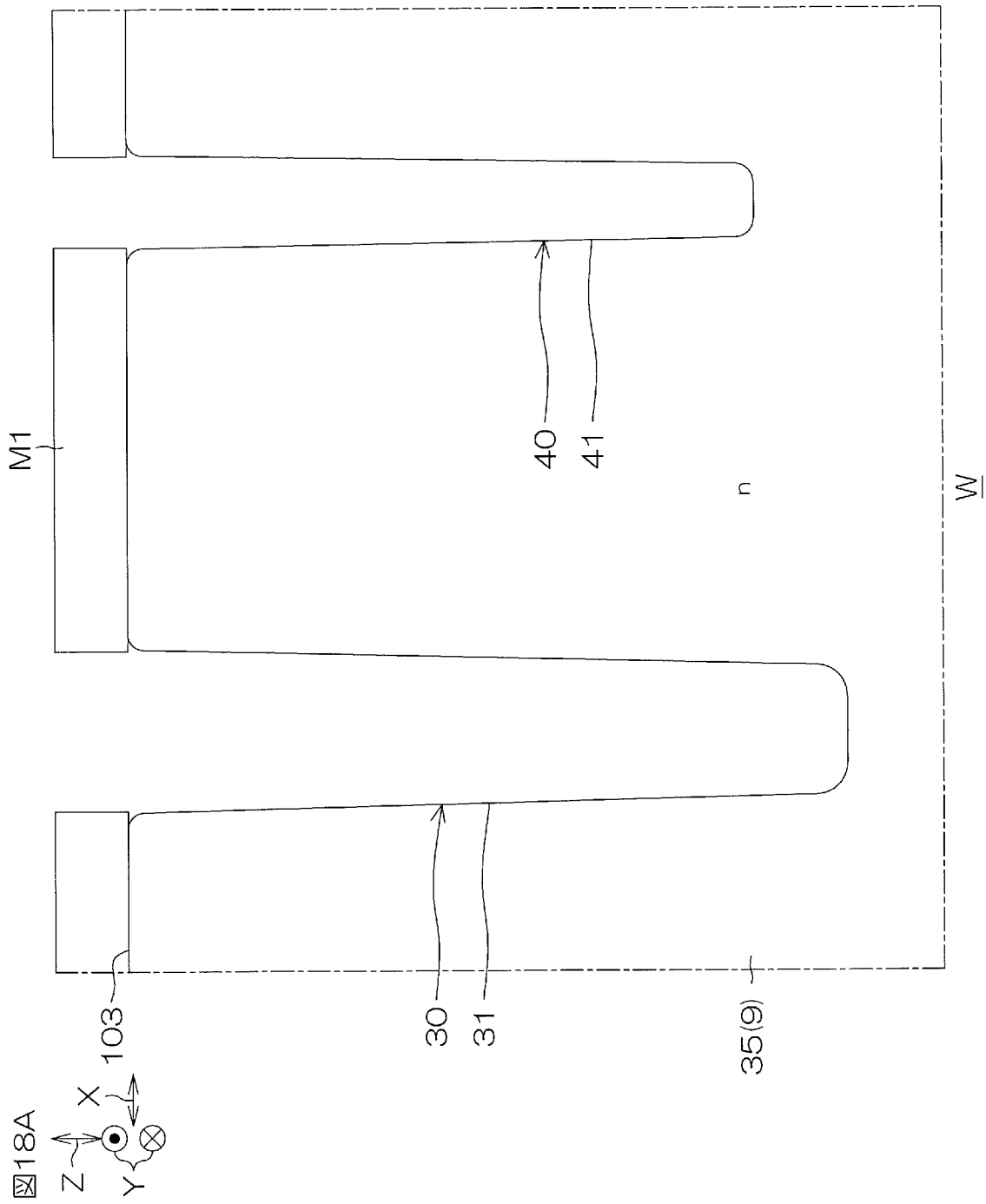





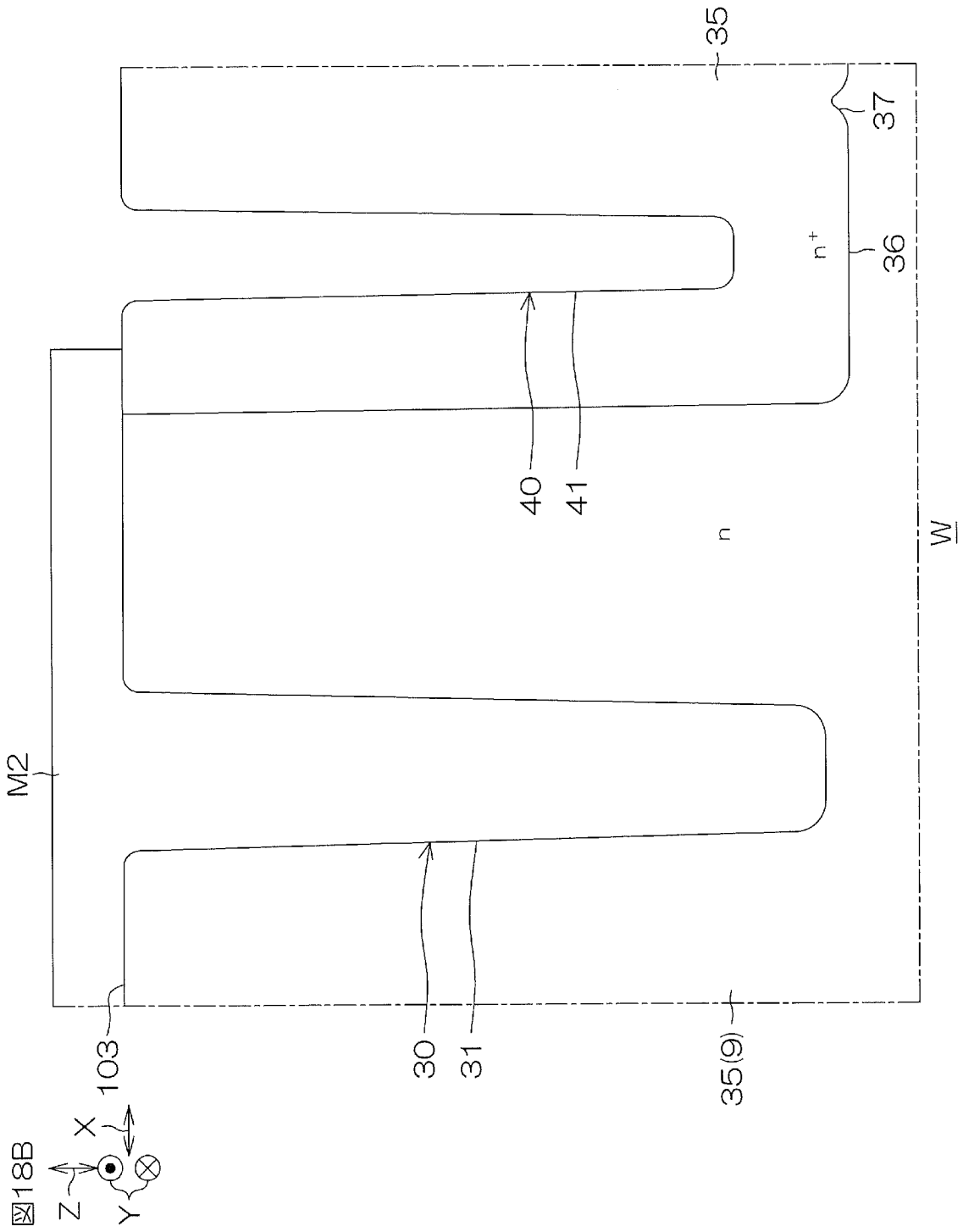
[図17]



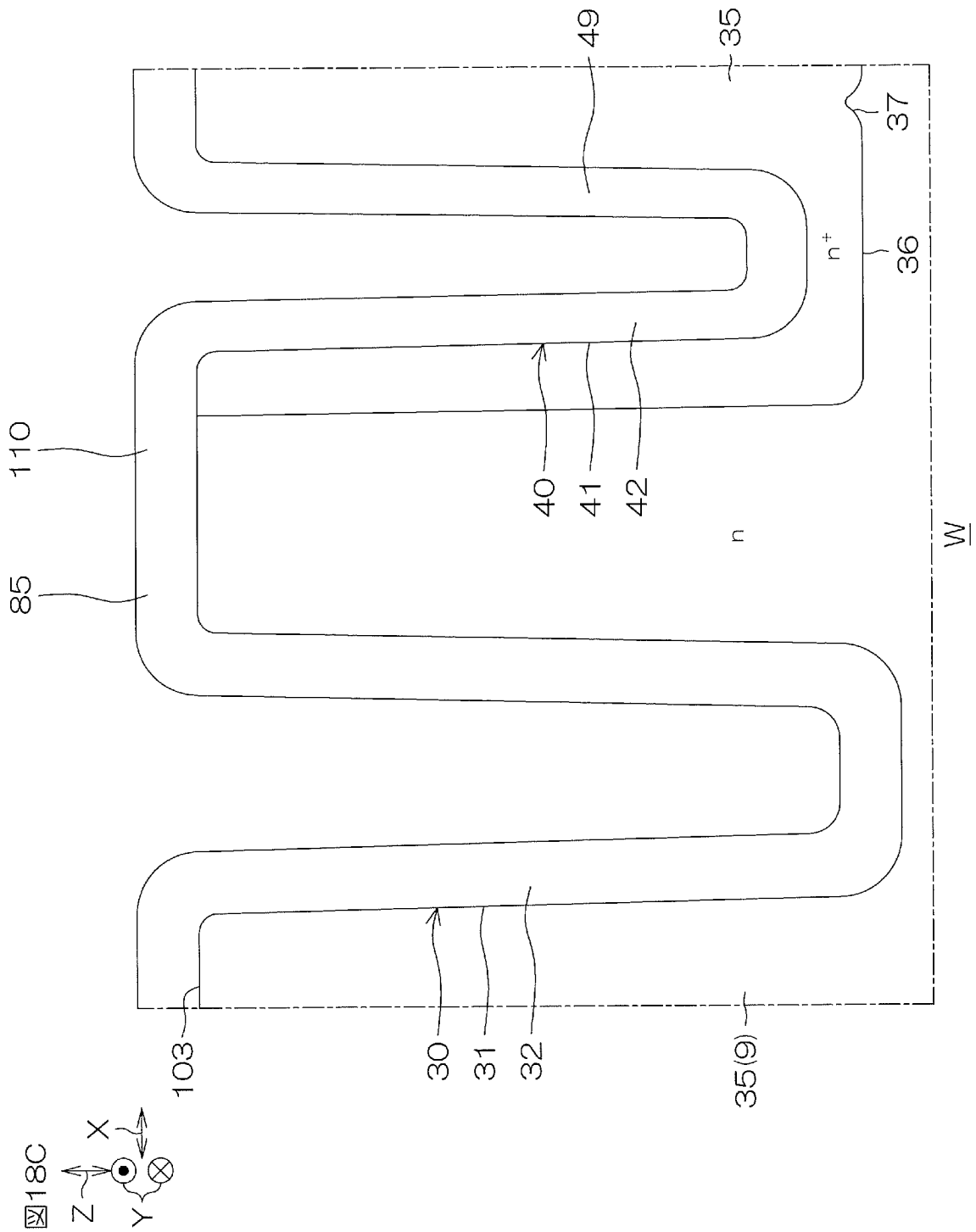
[18A]




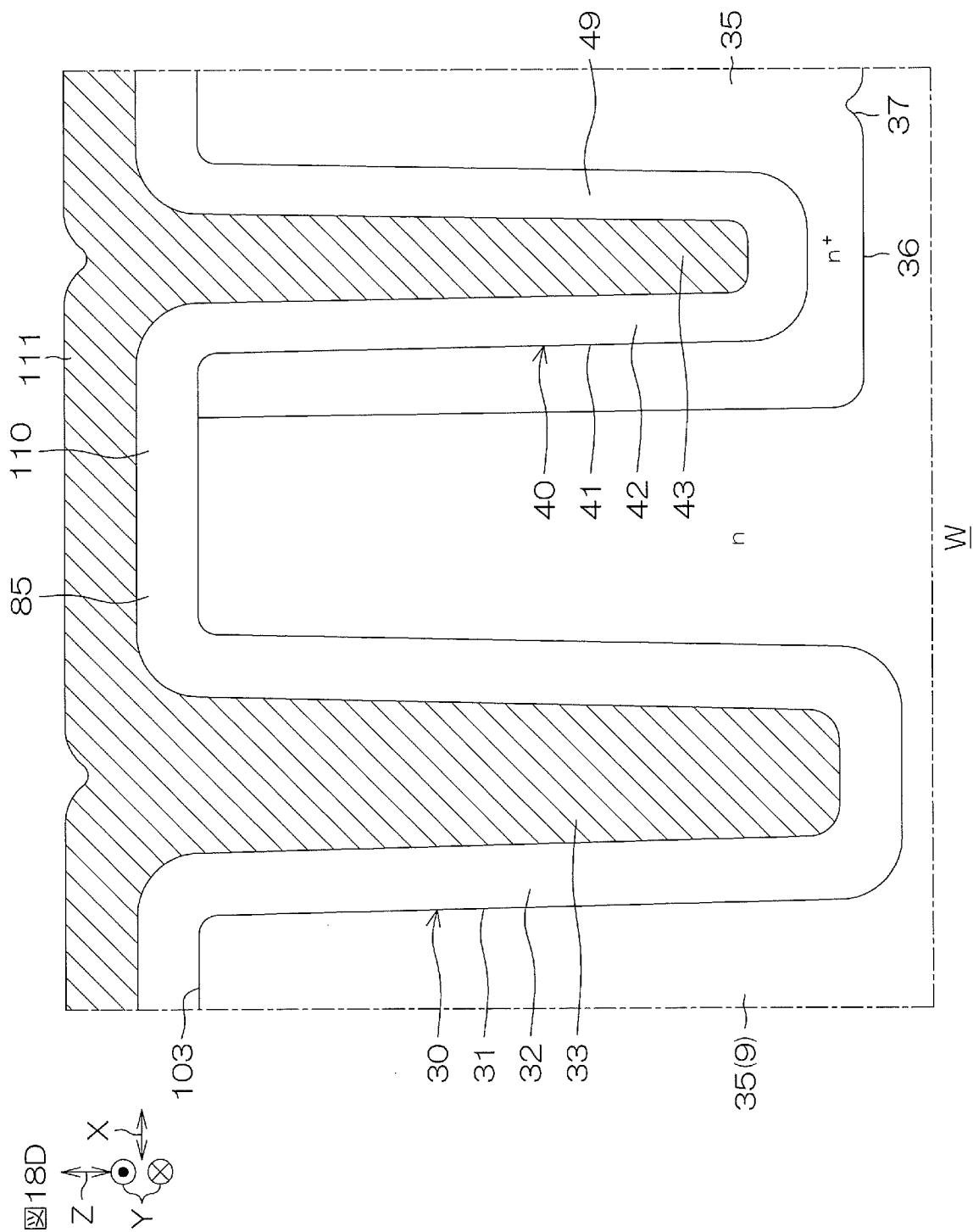
[18B]



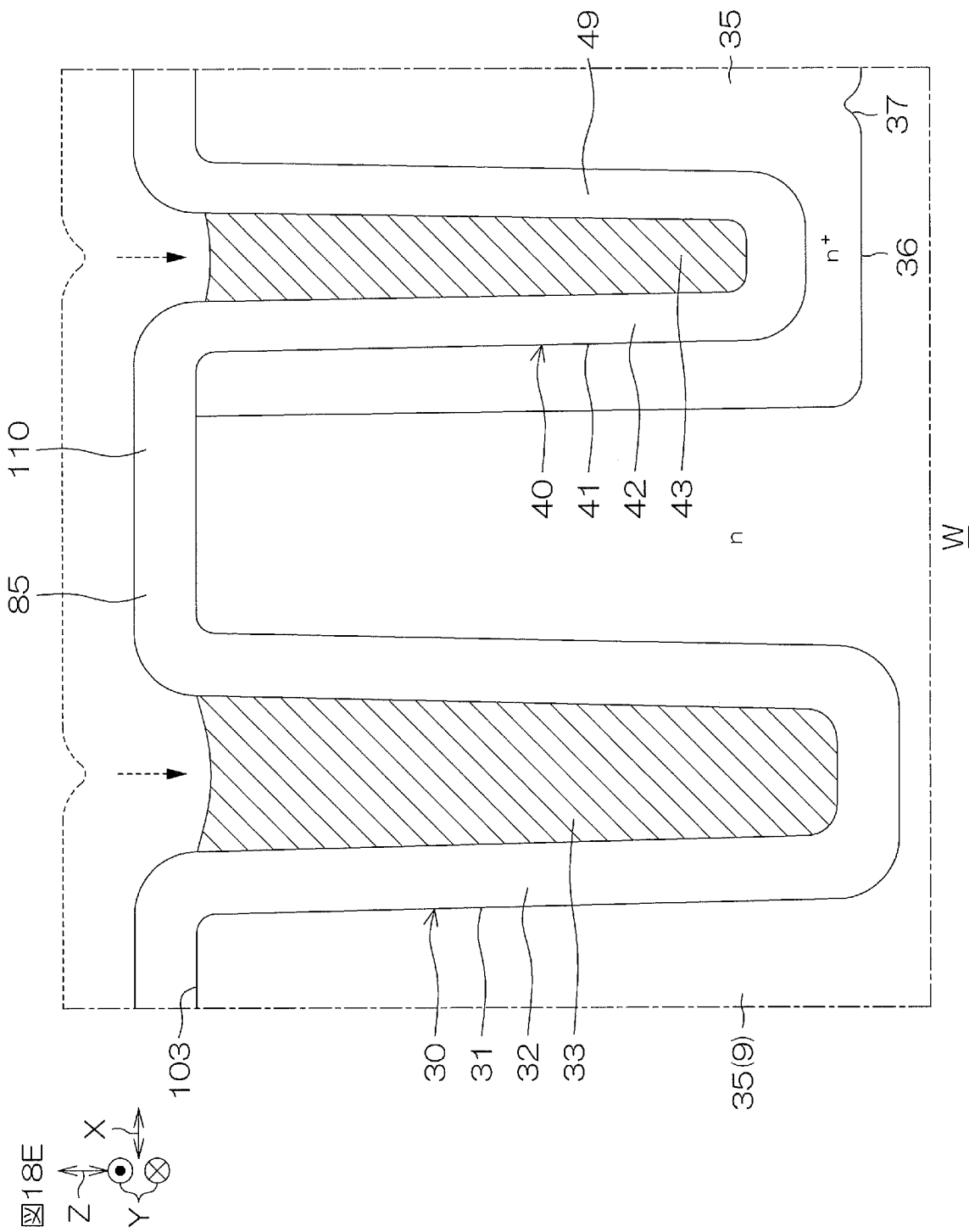
[18C]




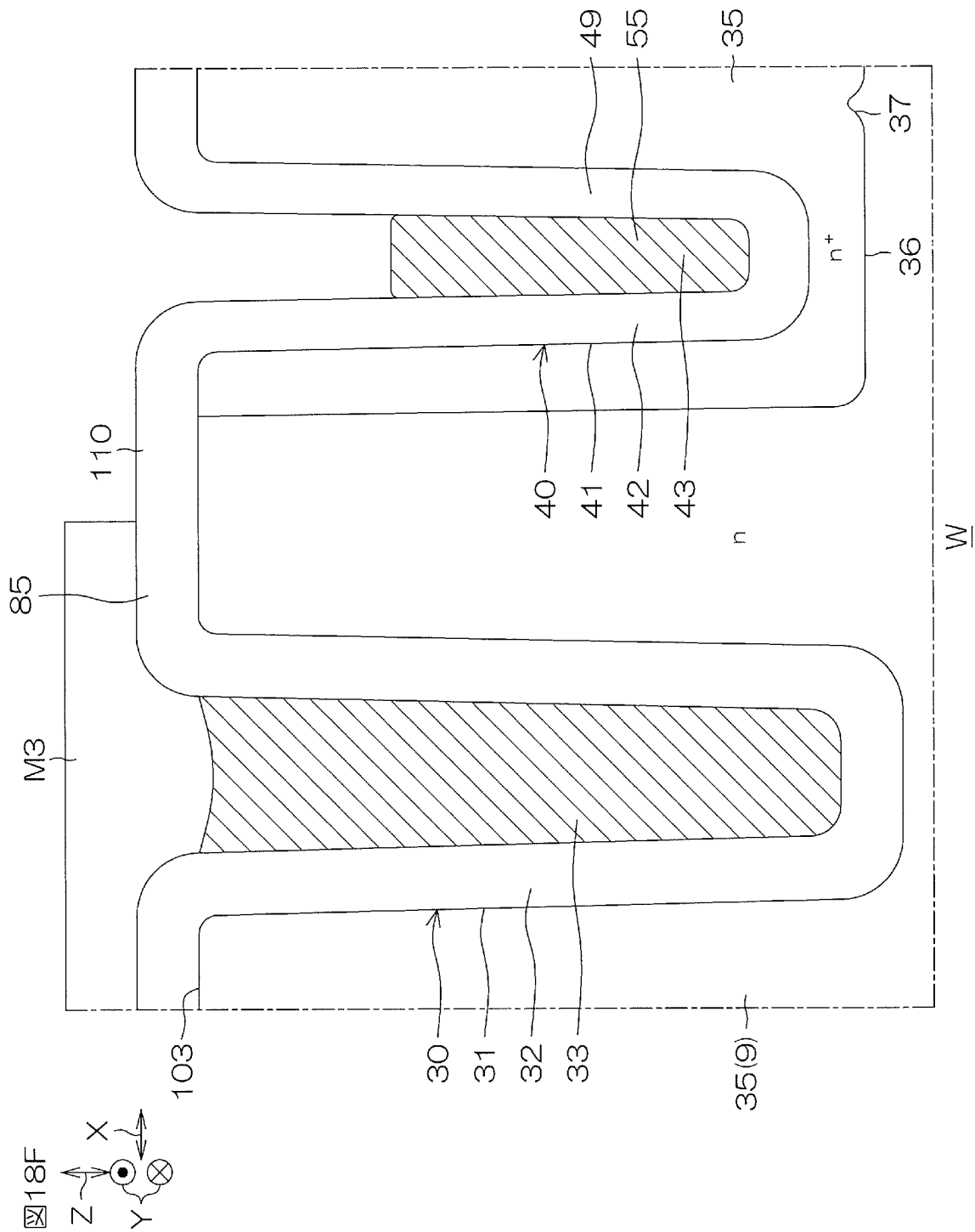
[18D]




[18E]

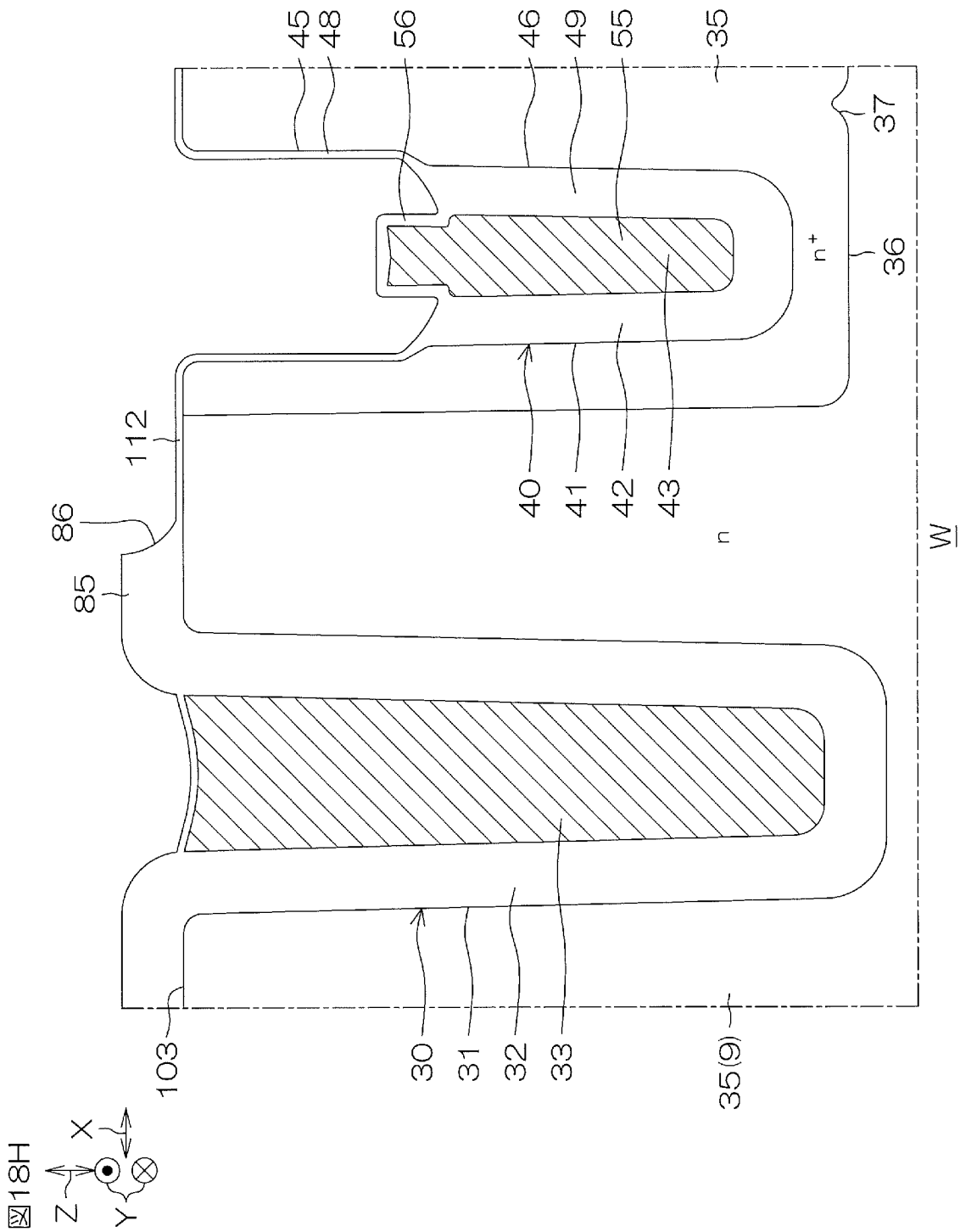


[ 18F]



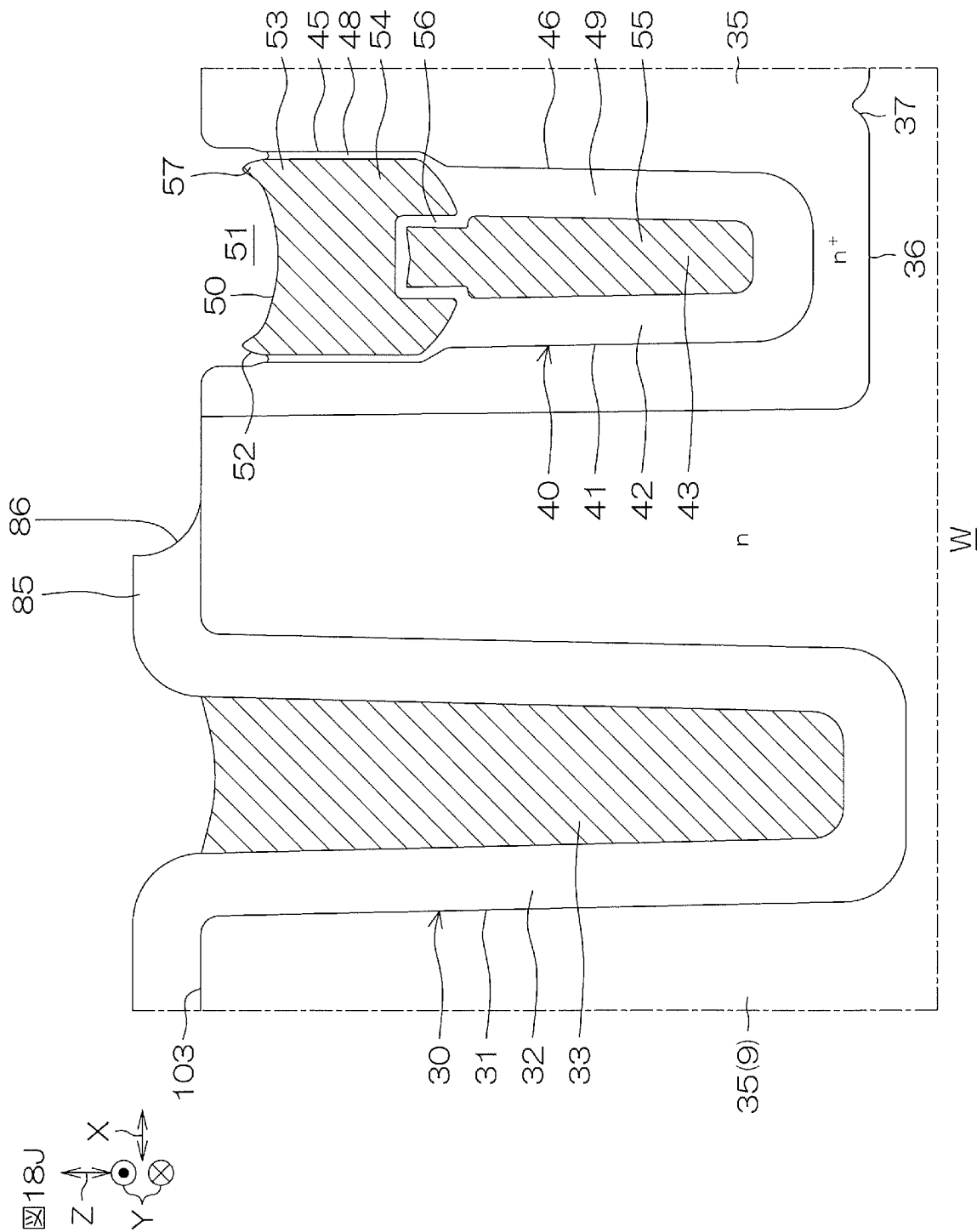



[18H]

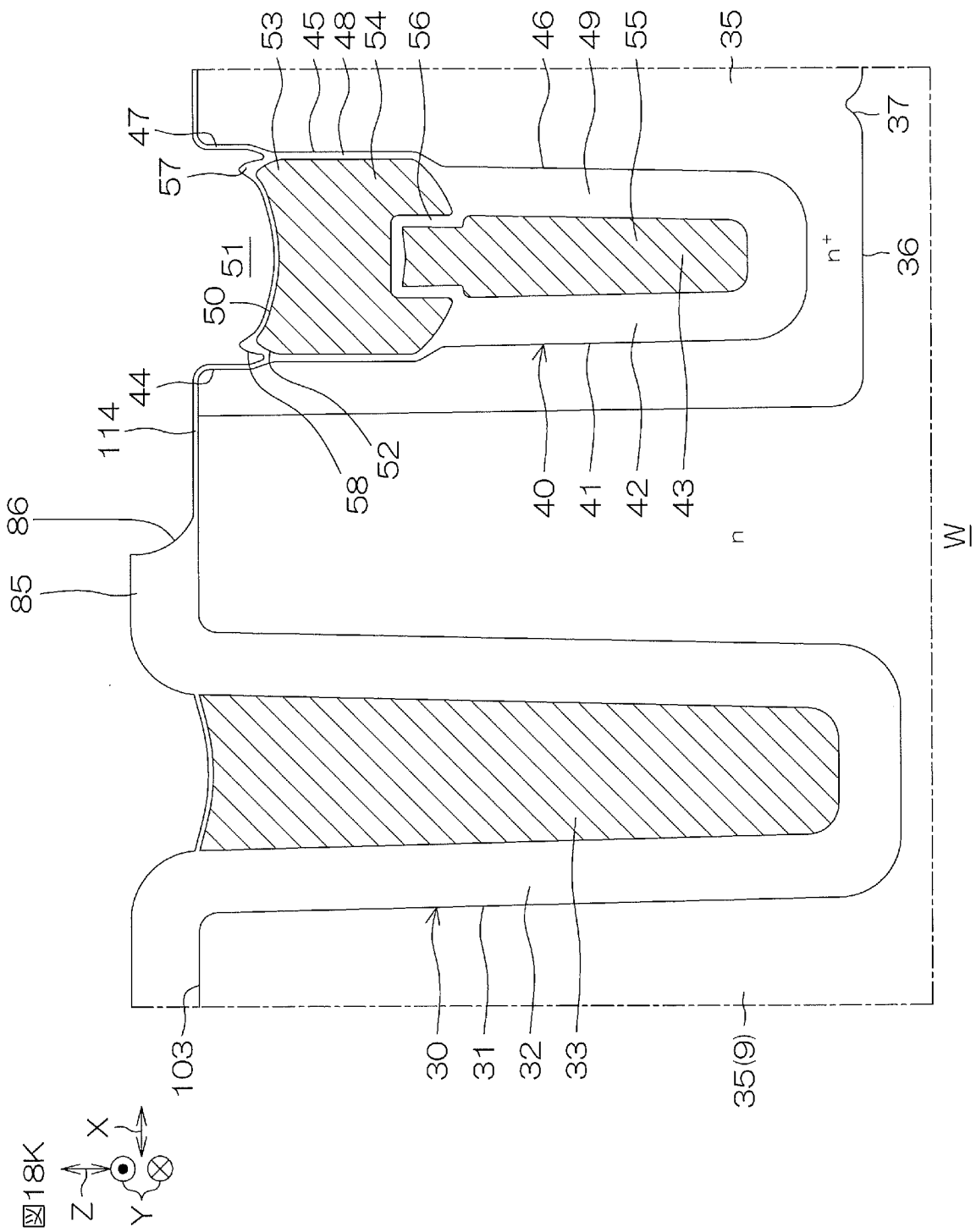




[18J]




[18K]

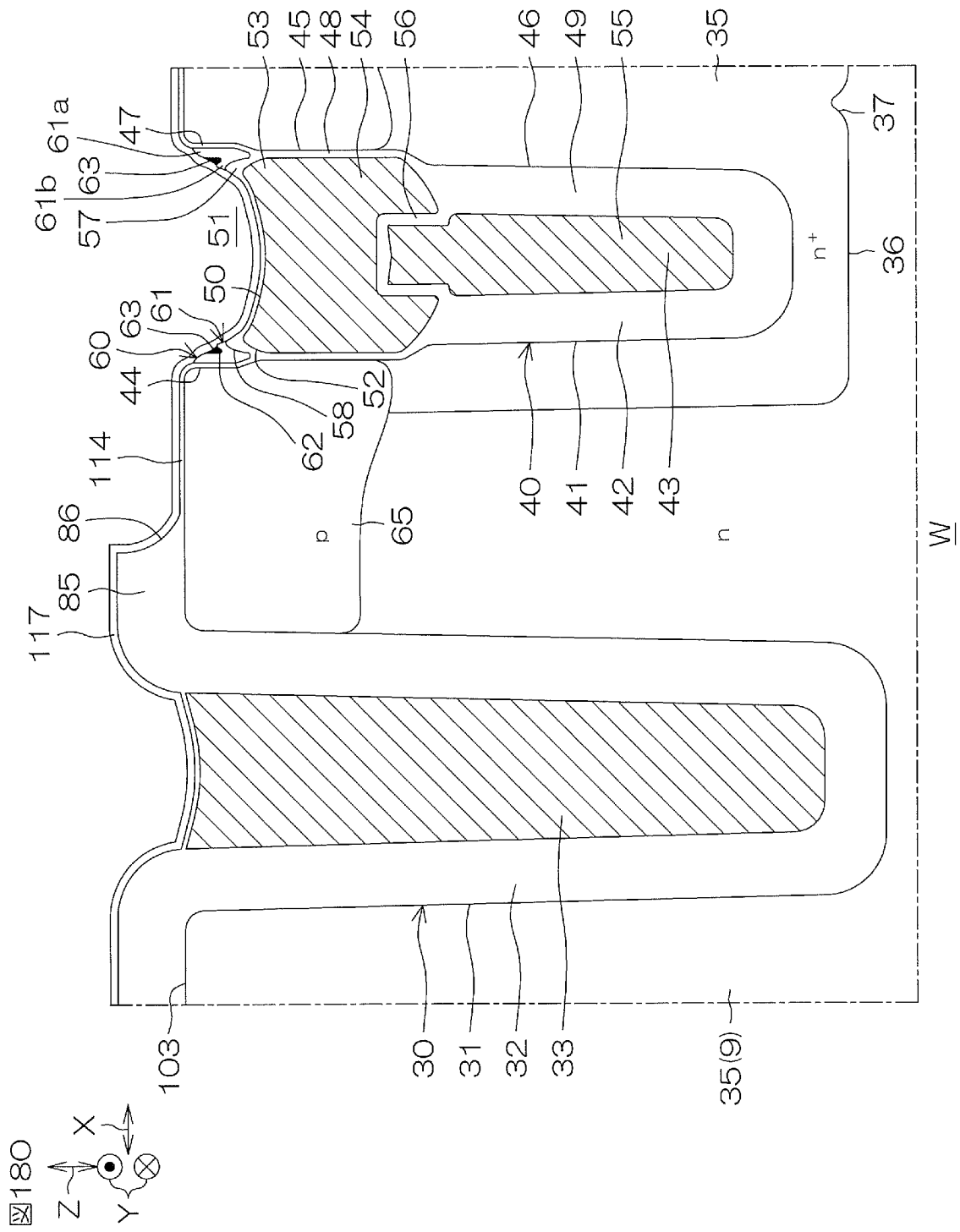







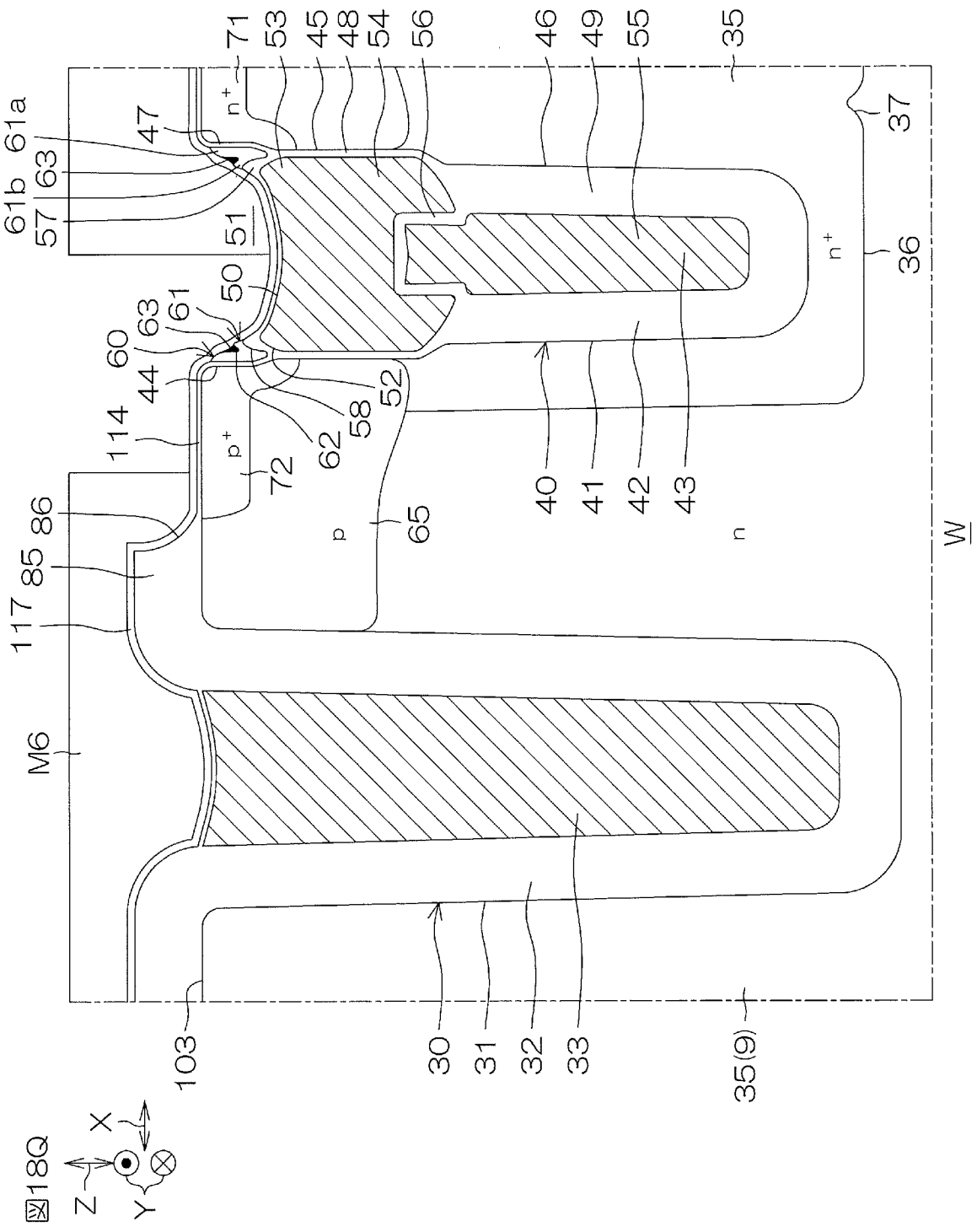



[180]

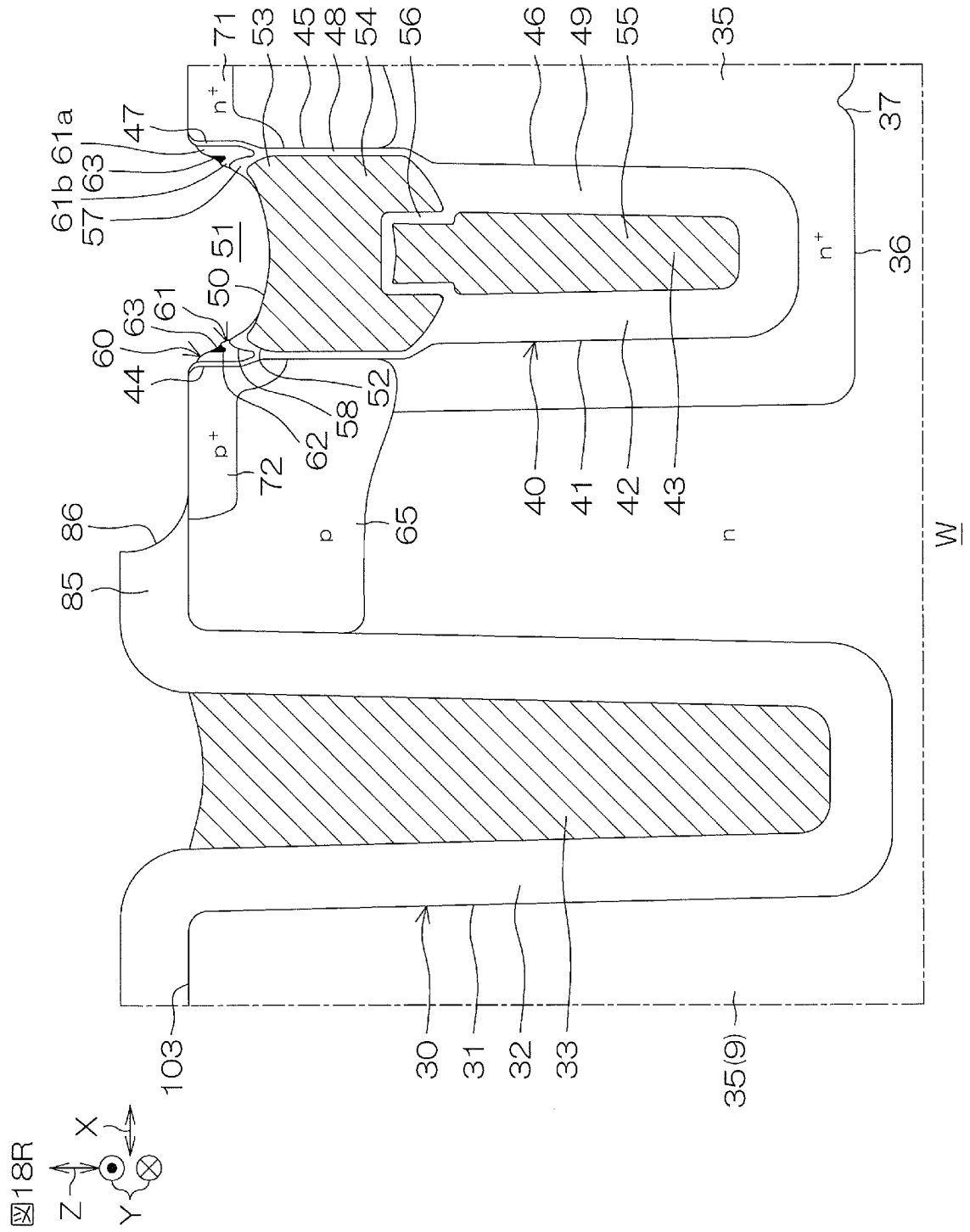




[ 18Q]



[ 18R]

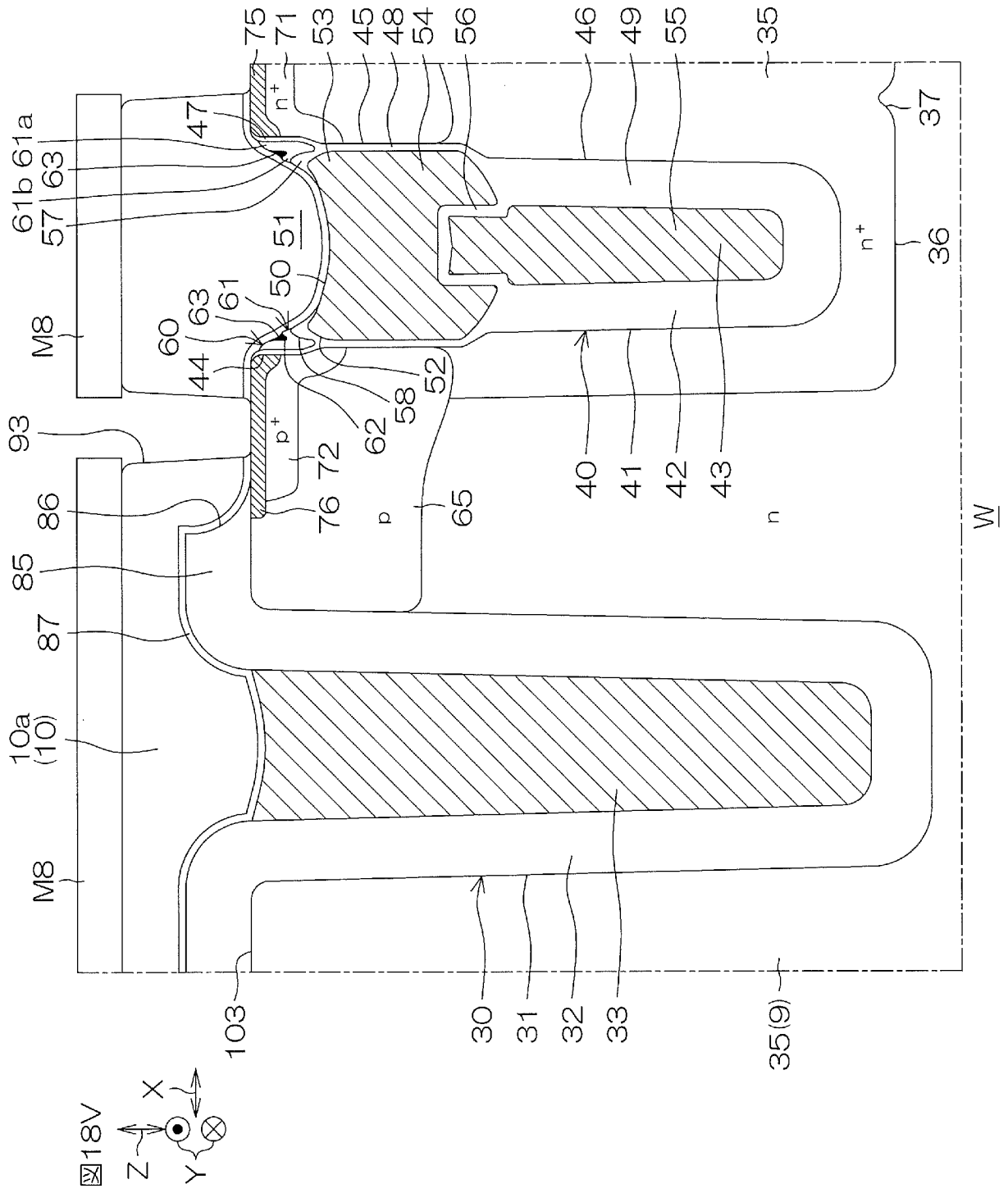





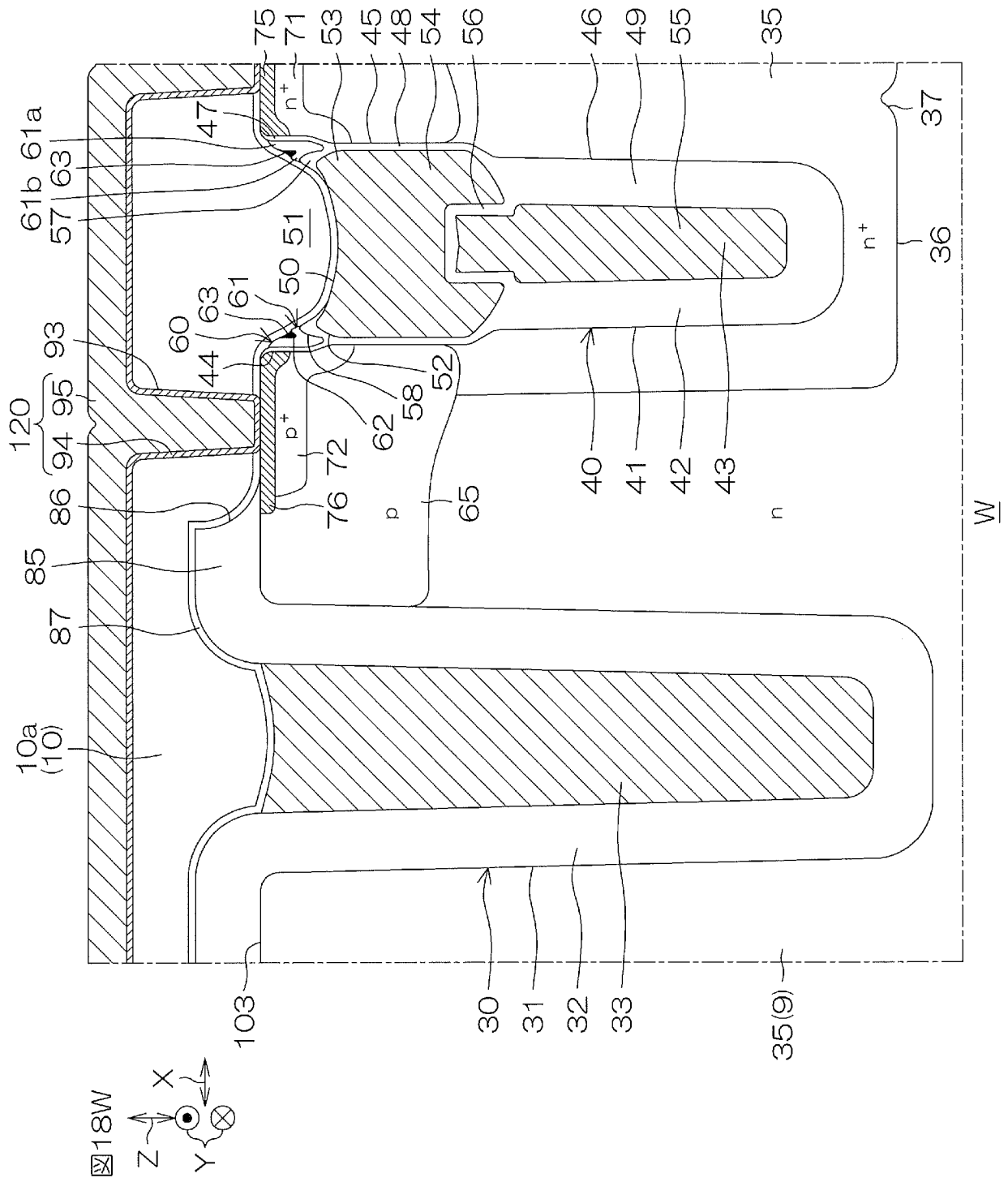




[18V]

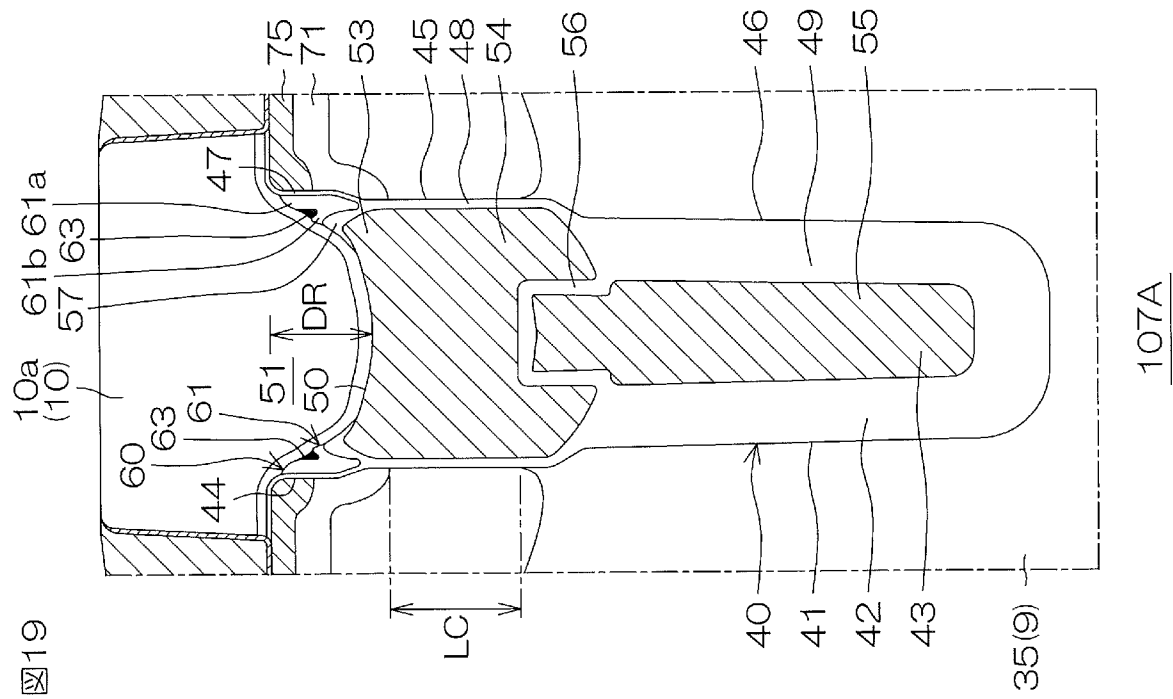
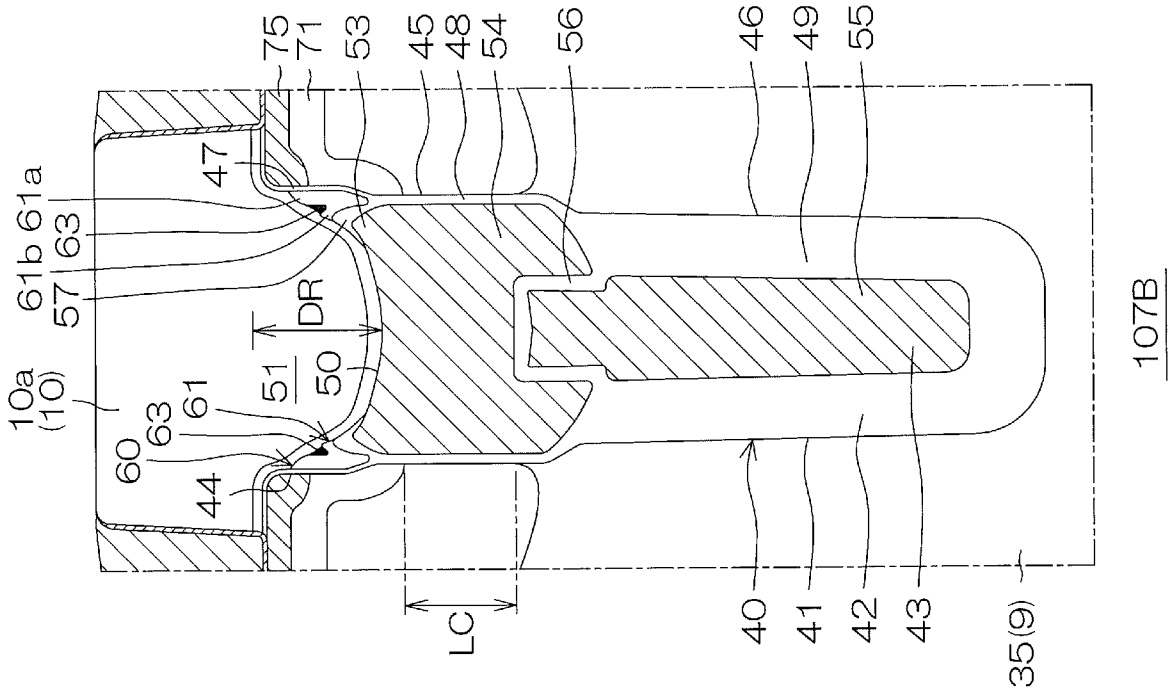


[ 18W]

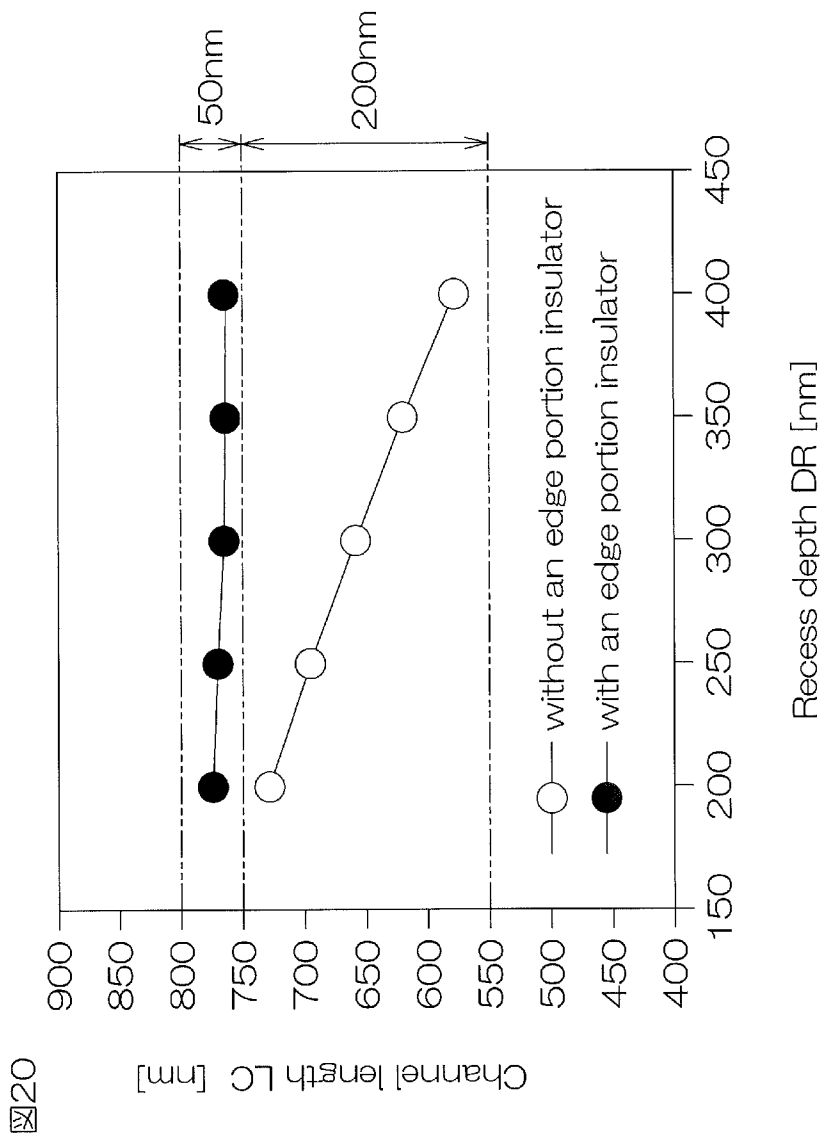




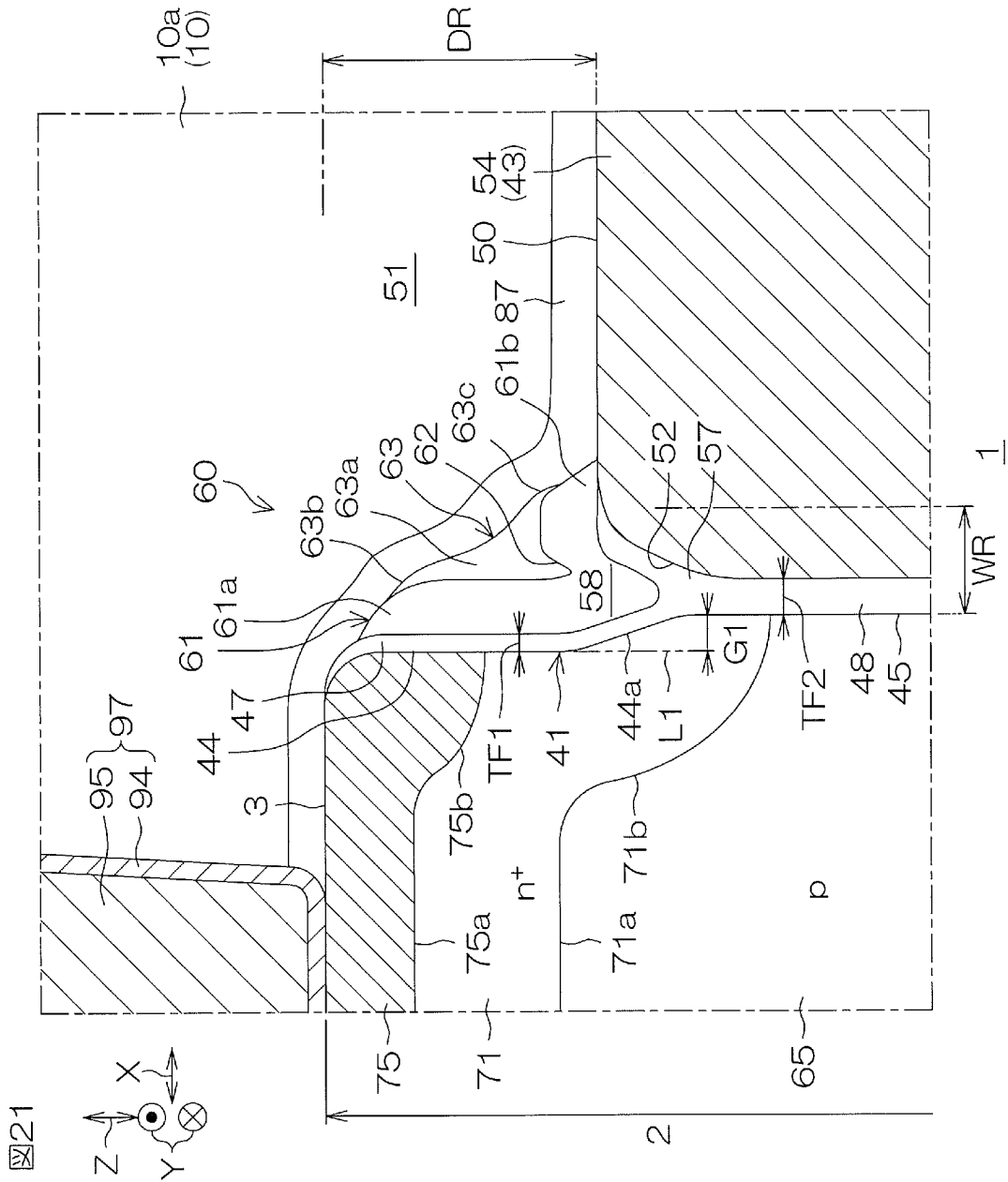
[圖19]



[図20]

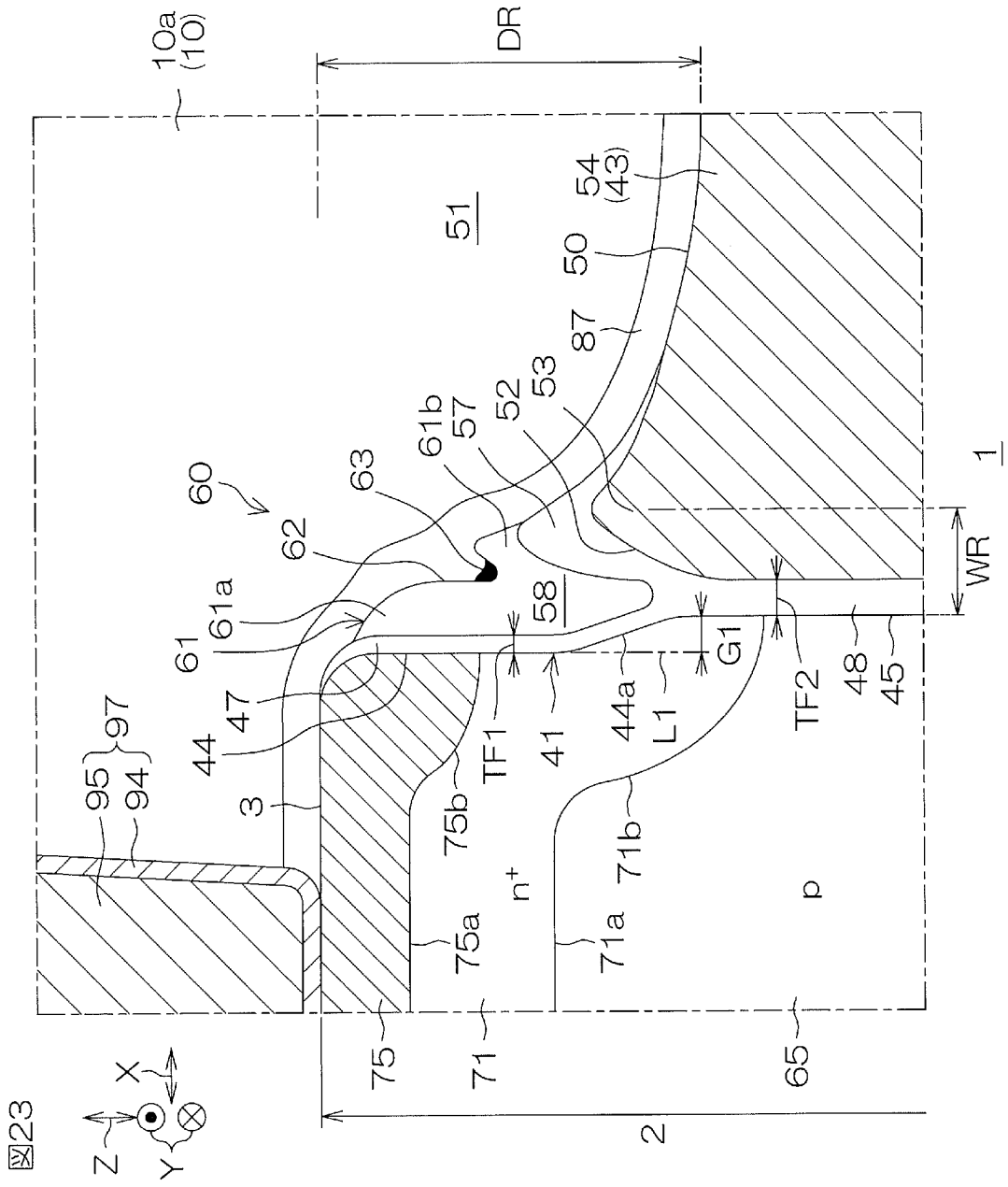


[圖21]



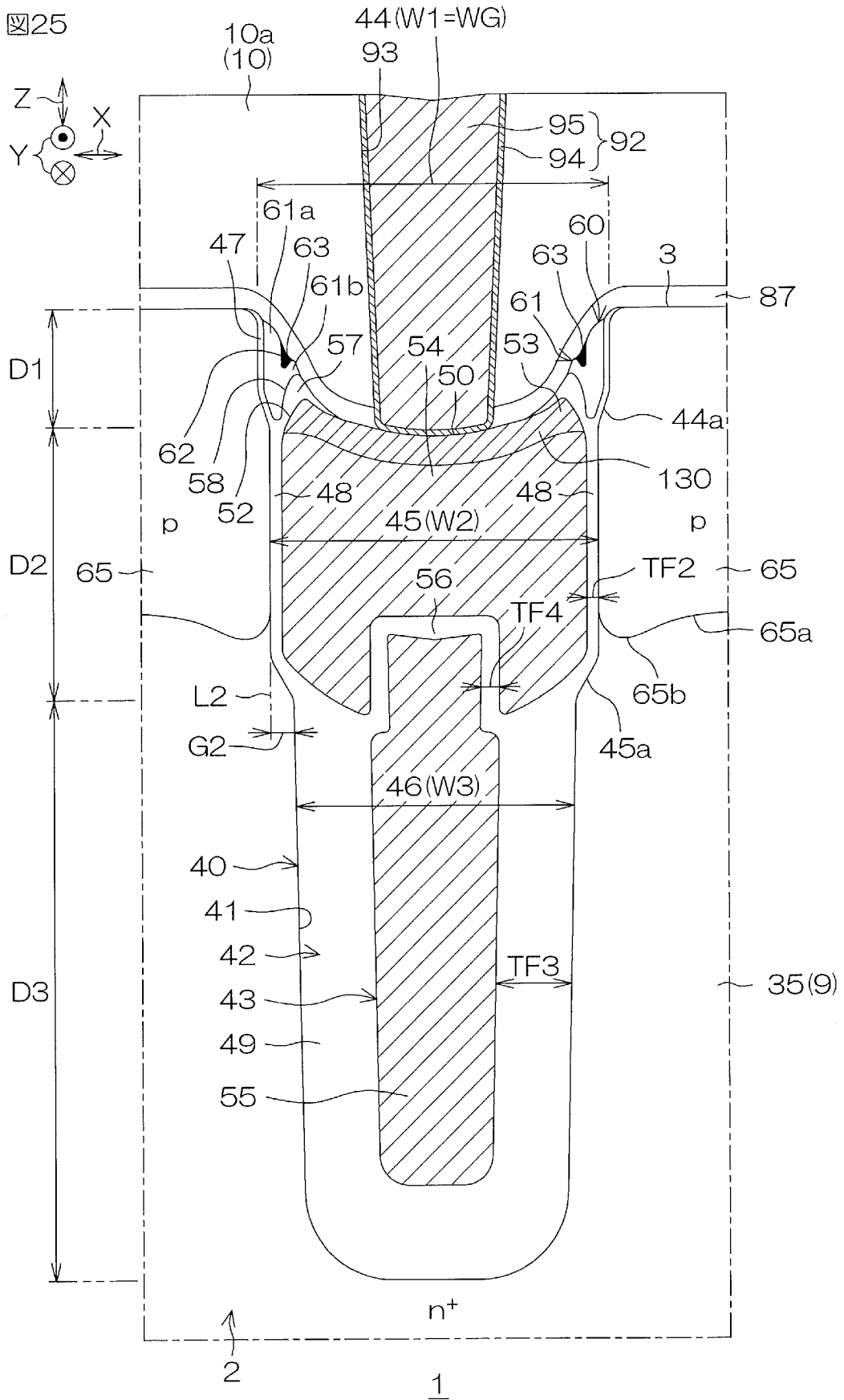


[]23





[図25]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/042566

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 29/78</i> (2006.01)i; <i>H01L 21/336</i> (2006.01)i; <i>H01L 21/76</i> (2006.01)i; <i>H01L 29/06</i> (2006.01)i; <i>H01L 29/12</i> (2006.01)i FI: H01L29/78 652K; H01L29/06 301M; H01L29/06 301V; H01L29/78 652B; H01L29/78 652C; H01L29/78 652F; H01L29/78 652J; H01L29/78 652R; H01L29/78 652S; H01L29/78 652T; H01L29/78 653C; H01L29/78 658F		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L29/78; H01L21/336; H01L21/76; H01L29/06; H01L29/12		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2022/024812 A1 (ROHM CO., LTD.) 03 February 2022 (2022-02-03) paragraphs [0010]-[0236], fig. 8, 14	1-3, 12-18, 20
Y	paragraphs [0010]-[0236], fig. 8, 14	19
A	paragraphs [0010]-[0236], fig. 8, 14	4-11
Y	JP 2019-129300 A (TOYOTA MOTOR CORP) 01 August 2019 (2019-08-01) paragraphs [0016]-[0017], fig. 1	19
A	paragraphs [0016]-[0017], fig. 1	4-11
A	WO 2022/024813 A1 (ROHM CO., LTD.) 03 February 2022 (2022-02-03) entire text, all drawings	4-11
A	WO 2020/235629 A1 (ROHM CO., LTD.) 26 November 2020 (2020-11-26) entire text, all drawings	4-11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>22 January 2024</b>		Date of mailing of the international search report <b>30 January 2024</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/JP2023/042566**

<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2020-027856 A (ROHM CO., LTD.) 20 February 2020 (2020-02-20) entire text, all drawings	4-11
A	JP 2019-161200 A (ROHM CO., LTD.) 19 September 2019 (2019-09-19) entire text, all drawings	4-11
A	JP 2019-161199 A (ROHM CO., LTD.) 19 September 2019 (2019-09-19) entire text, all drawings	4-11
A	JP 2018-129378 A (ROHM CO., LTD.) 16 August 2018 (2018-08-16) entire text, all drawings	4-11
A	JP 2021-150536 A (TOSHIBA CORP) 27 September 2021 (2021-09-27) entire text, all drawings	4-11

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2023/042566**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2022/024812	A1	03 February 2022	US 2023/0170410 A1 paragraphs [0074]-[0300], fig. 8, 14 CN 115699333 A	
JP	2019-129300	A	01 August 2019	WO 2019/146300 A1 paragraphs [0019]-[0020], fig. 1	
WO	2022/024813	A1	03 February 2022	US 2023/0197786 A1 entire text, all drawings CN 115917757 A	
WO	2020/235629	A1	26 November 2020	US 2022/0069088 A1 entire text, all drawings CN 113574655 A	
JP	2020-027856	A	20 February 2020	US 2021/0234007 A1 entire text, all drawings WO 2020/032206 A1 CN 112640048 A	
JP	2019-161200	A	19 September 2019	US 2020/0243641 A1 entire text, all drawings WO 2018/212282 A1 CN 110637374 A	
JP	2019-161199	A	19 September 2019	US 2020/0243641 A1 entire text, all drawings WO 2018/212282 A1 CN 110637374 A	
JP	2018-129378	A	16 August 2018	US 2018/0226480 A1 entire text, all drawings	
JP	2021-150536	A	27 September 2021	US 2021/0296490 A1 entire text, all drawings CN 113497115 A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 21/76(2006.01)i; H01L 29/06(2006.01)i;                  H01L 29/12(2006.01)i                  FI: H01L29/78 652K; H01L29/06 301M; H01L29/06 301V; H01L29/78 652B; H01L29/78 652C; H01L29/78 652F;                  H01L29/78 652J; H01L29/78 652R; H01L29/78 652S; H01L29/78 652T; H01L29/78 653C; H01L29/78 658F</p>																										
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/78; H01L21/336; H01L21/76; H01L29/06; H01L29/12</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2024年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2024年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2024年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2024年	日本国実用新案登録公報	1996 - 2024年	日本国登録実用新案公報	1994 - 2024年																
日本国実用新案公報	1922 - 1996年																									
日本国公開実用新案公報	1971 - 2024年																									
日本国実用新案登録公報	1996 - 2024年																									
日本国登録実用新案公報	1994 - 2024年																									
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>WO 2022/024812 A1 (ローム株式会社) 03.02.2022 (2022 - 02 - 03) [0010]-[0236], 図8, 14</td> <td>1-3, 12-18, 20</td> </tr> <tr> <td>Y</td> <td>[0010]-[0236], 図8, 14</td> <td>19</td> </tr> <tr> <td>A</td> <td>[0010]-[0236], 図8, 14</td> <td>4-11</td> </tr> <tr> <td>Y</td> <td>JP 2019-129300 A (トヨタ自動車株式会社) 01.08.2019 (2019 - 08 - 01) [0016]-[0017], 図1</td> <td>19</td> </tr> <tr> <td>A</td> <td>[0016]-[0017], 図1</td> <td>4-11</td> </tr> <tr> <td>A</td> <td>WO 2022/024813 A1 (ローム株式会社) 03.02.2022 (2022 - 02 - 03) 全文, 全図</td> <td>4-11</td> </tr> <tr> <td>A</td> <td>WO 2020/235629 A1 (ローム株式会社) 26.11.2020 (2020 - 11 - 26) 全文, 全図</td> <td>4-11</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	WO 2022/024812 A1 (ローム株式会社) 03.02.2022 (2022 - 02 - 03) [0010]-[0236], 図8, 14	1-3, 12-18, 20	Y	[0010]-[0236], 図8, 14	19	A	[0010]-[0236], 図8, 14	4-11	Y	JP 2019-129300 A (トヨタ自動車株式会社) 01.08.2019 (2019 - 08 - 01) [0016]-[0017], 図1	19	A	[0016]-[0017], 図1	4-11	A	WO 2022/024813 A1 (ローム株式会社) 03.02.2022 (2022 - 02 - 03) 全文, 全図	4-11	A	WO 2020/235629 A1 (ローム株式会社) 26.11.2020 (2020 - 11 - 26) 全文, 全図	4-11
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																								
X	WO 2022/024812 A1 (ローム株式会社) 03.02.2022 (2022 - 02 - 03) [0010]-[0236], 図8, 14	1-3, 12-18, 20																								
Y	[0010]-[0236], 図8, 14	19																								
A	[0010]-[0236], 図8, 14	4-11																								
Y	JP 2019-129300 A (トヨタ自動車株式会社) 01.08.2019 (2019 - 08 - 01) [0016]-[0017], 図1	19																								
A	[0016]-[0017], 図1	4-11																								
A	WO 2022/024813 A1 (ローム株式会社) 03.02.2022 (2022 - 02 - 03) 全文, 全図	4-11																								
A	WO 2020/235629 A1 (ローム株式会社) 26.11.2020 (2020 - 11 - 26) 全文, 全図	4-11																								
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。</p> <p><input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																										
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技术水準を示すもの</p> <p>“D” 国際出願で出願人が先行技術文献として記載した文献</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&amp;” 同一パテントファミリー文献</p>																										
<p>国際調査を完了した日</p> <p>22.01.2024</p>	<p>国際調査報告の発送日</p> <p>30.01.2024</p>																									
<p>名称及びあて先</p> <p>日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>鈴木 智之 5F 1163</p> <p>電話番号 03-3581-1101 内線 3559</p>																									

C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2020-027856 A (ローム株式会社) 20.02.2020 (2020 - 02 - 20) 全文, 全図	4-11
A	JP 2019-161200 A (ローム株式会社) 19.09.2019 (2019 - 09 - 19) 全文, 全図	4-11
A	JP 2019-161199 A (ローム株式会社) 19.09.2019 (2019 - 09 - 19) 全文, 全図	4-11
A	JP 2018-129378 A (ローム株式会社) 16.08.2018 (2018 - 08 - 16) 全文, 全図	4-11
A	JP 2021-150536 A (株式会社東芝) 27.09.2021 (2021 - 09 - 27) 全文, 全図	4-11

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/042566

引用文献			公表日	パテントファミリー文献			公表日
WO	2022/024812	A1	03.02.2022	US	2023/0170410	A1	
					[0074]-[0300], 図8, 14		
				CN	115699333	A	
JP	2019-129300	A	01.08.2019	WO	2019/146300	A1	
					[0019]-[0020], 図1		
WO	2022/024813	A1	03.02.2022	US	2023/0197786	A1	
					全文, 全図		
				CN	115917757	A	
WO	2020/235629	A1	26.11.2020	US	2022/0069088	A1	
					全文, 全図		
				CN	113574655	A	
JP	2020-027856	A	20.02.2020	US	2021/0234007	A1	
					全文, 全図		
				WO	2020/032206	A1	
				CN	112640048	A	
JP	2019-161200	A	19.09.2019	US	2020/0243641	A1	
					全文, 全図		
				WO	2018/212282	A1	
				CN	110637374	A	
JP	2019-161199	A	19.09.2019	US	2020/0243641	A1	
					全文, 全図		
				WO	2018/212282	A1	
				CN	110637374	A	
JP	2018-129378	A	16.08.2018	US	2018/0226480	A1	
					全文, 全図		
JP	2021-150536	A	27.09.2021	US	2021/0296490	A1	
					全文, 全図		
				CN	113497115	A	