



(12)发明专利申请

(10)申请公布号 CN 107068662 A

(43)申请公布日 2017. 08. 18

(21)申请号 201610884451.5

(74)专利代理机构 北京邦信阳专利商标代理有限公司 11012

(22)申请日 2012.07.11

代理人 黄泽雄 郑世奇

(30)优先权数据

- 61/506,889 2011.07.12 US
- 61/542,495 2011.10.03 US
- 61/542,553 2011.10.03 US
- 61/542,488 2011.10.03 US
- 13/346,185 2012.01.09 US

(51)Int.Cl.

- H01L 25/065(2006.01)
- H01L 25/18(2006.01)
- G11C 5/04(2006.01)
- H01L 23/00(2006.01)
- H01L 23/13(2006.01)
- H01L 23/31(2006.01)
- H01L 23/36(2006.01)
- H01L 23/498(2006.01)

(62)分案原申请数据

201280044481.5 2012.07.11

(71)申请人 英闻萨斯有限公司

地址 美国加利福尼亚州

(72)发明人 贝尔加桑·哈巴 韦勒·佐尼

理查德·德威特·克里斯普

伊利亚斯·穆罕默德

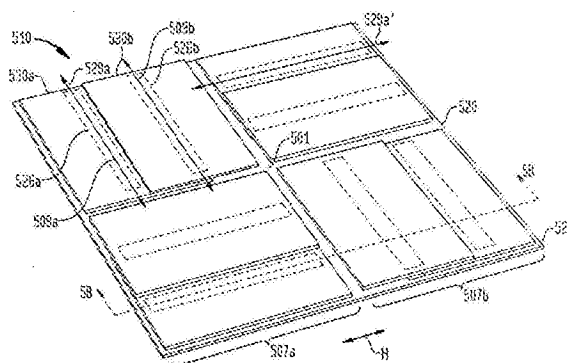
权利要求书3页 说明书16页 附图13页

(54)发明名称

封装中的存储器模块

(57)摘要

一种微电子封装510可以包括:具有相对的第一表面521和第二表面527的衬底520,至少两个微电子元件对507a、512b,暴露在第二表面的多个端子525。每个微电子元件对507可以包括上微电子元件530b和下微电子元件530a。微电子元件对507可以在平行于衬底520的第一表面521的水平方向H上彼此完全间隔开。每个下微电子元件530a可以具有前表面531以及在前表面上的多个触点535。每个上微电子元件530b的表面531可以至少部分地覆盖衬底520的第一表面521和与其成对的下微电子元件530a。



1. 一种微电子封装,包括:

衬底,所述衬底具有相对的第一表面和第二表面;

至少两个微电子元件对,每个微电子元件对包括上微电子元件和下微电子元件,所述微电子元件对在平行于所述衬底的所述第一表面的水平方向上彼此完全间隔开,每个下微电子元件具有前表面以及在所述前表面上的多个触点,所述下微电子元件的所述前表面布置在平行于所述第一表面并覆盖所述第一表面的单个平面中,每个所述上微电子元件的表面覆盖所述衬底的所述第一表面并至少部分地覆盖与其成对的所述下微电子元件,所述微电子元件一起用于主要提供存储器存储阵列功能;

多个端子,所述多个端子暴露在所述第二表面处,所述端子用于将所述微电子封装连接至所述微电子封装外部的至少一个部件;以及

电连接件,所述电连接件从每个下微电子元件的所述触点的至少一些延伸至所述端子的至少一些。

2. 根据权利要求1所述的微电子封装,其中第一微电子元件对和第二微电子元件对的所述下微电子元件的所述多个触点的至少一些布置成分别限定第一轴线和第二轴线的各个触点列,所述第一轴线和所述第二轴线彼此横切。

3. 根据权利要求1所述的微电子封装,其中第一微电子元件对和第二微电子元件对的所述下微电子元件的所述多个触点的至少一些布置成分别限定第一轴线和第二轴线的各个触点列,所述第一轴线和所述第二轴线彼此平行。

4. 根据权利要求1所述的微电子封装,其中所述至少两个微电子元件对包括四个微电子元件对,其中每个所述下微电子元件的所述多个触点的至少一些布置成分别限定第一轴线、第二轴线、第三轴线以及第四轴线的触点列,所述第一轴线与所述第三轴线彼此平行,所述第二轴线与所述第四轴线横切于所述第一轴线与所述第三轴线。

5. 根据权利要求1所述的微电子封装,其中所述端子布置成面阵,所述端子具有彼此共面的暴露的接触表面。

6. 根据权利要求1所述的微电子封装,其中每个所述上微电子元件覆盖在所述衬底的所述第一表面和所述第二表面之间延伸的至少一个第一孔,其中所述电连接件包括具有与所述至少一个第一孔对齐的至少部分的第一引线。

7. 根据权利要求6所述的微电子封装,其中每个所述下微电子元件覆盖在所述衬底的所述第一表面和所述第二表面之间延伸的至少一个第二孔,其中所述电连接件包括具有与所述至少一个第二孔对齐的至少部分的第二引线。

8. 根据权利要求7所述的微电子封装,其中所述引线的至少一些包括延伸穿过所述第一孔或所述第二孔的至少一个的线键合。

9. 根据权利要求7所述的微电子封装,其中所有的所述引线为延伸穿过所述至少一个第一孔的线键合。

10. 根据权利要求7所述的微电子封装,其中所述引线的至少一些包括引线键合。

11. 根据权利要求6的微电子封装,其中每个上微电子元件具有暴露在所述上微电子元件的所述前表面处并且布置成靠近所述前表面的边缘设置的至少一个触点列的多个触点,每个触点列设置在对应的一个所述下微电子元件的边缘之外。

12. 根据权利要求1所述的微电子封装,其中所述微电子封装包括四个微电子元件对,

其中每个微电子元件的所述触点包括八位数据I/O触点。

13. 根据权利要求1所述的微电子封装,其中所述微电子封装包括四个微电子元件对,其中每个微电子元件的所述触点包括九位数据I/O触点。

14. 根据权利要求1所述的微电子封装,其中所述微电子封装包括九个微电子元件,其中每个微电子元件的所述触点包括八位数据I/O触点。

15. 根据所述权利要求1所述的微电子封装,其中所述微电子封装包括两个微电子元件对,其中每个微电子元件的所述触点包括八位数据I/O触点。

16. 根据权利要求1所述的微电子封装,其中所述微电子封装包括两个微电子元件对,其中每个微电子元件的所述触点包括十六位数据I/O触点。

17. 根据权利要求1所述的微电子封装,进一步包括缓冲元件,缓冲元件电连接至所述微电子封装中的所述端子的至少一些以及一个或多个所述微电子元件,所述缓冲元件用于再生在所述微电子封装的一个或多个所述端子处接收的至少一个信号。

18. 根据权利要求17所述的微电子封装,其中所述缓冲元件安装至所述衬底的所述第一表面。

19. 根据权利要求17所述的微电子封装,其中所述缓冲元件安装至所述衬底的所述第二表面。

20. 根据权利要求17所述的微电子封装,其中所述至少一个信号包括传递至所述微电子封装的所有指令信号、地址信号、库地址信号以及时钟信号,所述指令信号为写使能的行地址选通和列地址选通信号,所述时钟信号为用于采样所述地址信号的采样时钟。

21. 根据权利要求17所述的微电子封装,其中所述至少一个信号包括由所述微电子封装接收的所有数据信号。

22. 根据权利要求1所述的微电子封装,进一步包括安装至所述衬底且用于存储识别信息的非易失性存储元件,所述非易失性存储元件电连接至一个或多个所述微电子元件。

23. 根据权利要求1所述的微电子封装,进一步包括温度传感器。

24. 根据权利要求1所述的微电子封装,进一步包括安装至所述衬底的解耦电容元件,所述解耦电容元件电连接至一个或多个所述微电子元件。

25. 根据权利要求1所述的微电子封装,其中所述衬底为基本由在所述衬底的平面内具有小于12ppm/°C的热膨胀系数的材料组成的元件。

26. 根据权利要求1所述的微电子封装,其中所述衬底包括基本由在所述衬底的平面内具有小于30ppm/°C的热膨胀系数的材料组成的介电元件。

27. 根据权利要求1所述的微电子封装,其中所述微电子元件用于一起作为可寻址的存储器模块,所述微电子封装用于存储在每个所述微电子元件中所接收的数据的部分,其中所述微电子封装用于作为双列直插式存储器模块。

28. 根据权利要求1所述的微电子封装,其中每个所述微电子元件用于主要提供存储器存储阵列功能。

29. 根据权利要求1所述的微电子封装,其中每个所述微电子元件包括动态随机存取存储器(DRAM)集成电路芯片。

30. 根据权利要求1所述的微电子封装,其中每个所述微电子元件在功能上和机械上等同于其他所述微电子元件。

31. 根据权利要求1所述的微电子封装,其中所述衬底的所述第二表面具有占据所述第二表面的中心部分的中心区域,其中所述端子的至少一些为设置在所述中心区域的第一端子。

32. 根据权利要求1所述的微电子封装,进一步包括与至少一个所述微电子元件热连通的散热器。

33. 根据权利要求32所述的微电子封装,其中所述散热器至少部分地覆盖每个所述上微电子元件的后表面。

34. 根据权利要求33所述的微电子封装,其中所述散热器至少部分地覆盖每个所述下微电子元件的所述后表面。

35. 一种微电子组件,包括多个根据权利要求1所述的微电子封装,进一步包括具有板触点的电路板,其中,所述封装的所述端子键合至所述板触点。

36. 根据权利要求35所述的微电子组件,其中所述电路板具有共用电接口,共用电接口用于将信号传输至每个所述微电子封装并传输来自每个所述微电子封装的信号。

37. 根据权利要求35所述的微电子组件,其中所述电路板为母板。

38. 根据权利要求35所述的微电子组件,其中所述电路板为用于附接至母板的模块。

39. 根据权利要求35所述的微电子组件,进一步包括缓冲元件,缓冲元件安装至所述电路板并电连接至所述微电子封装的至少一些,所述缓冲元件用于再生在所述微电子封装的一个或多个所述端子处接收的至少一个信号。

40. 根据权利要求39所述的微电子组件,其中所述至少一个信号包括传递至所述微电子组件的所有指令信号、地址信号、库地址信号,以及时钟信号,所述指令信号为写使能的行地址选通信号和列地址选通信号,所述时钟信号为用于采样所述地址信号的采样时钟。

41. 根据权利要求39所述的微电子组件,其中所述至少一个信号包括由所述微电子组件接收的所有数据信号。

42. 一种模块,包括多个根据权利要求35所述的微电子组件,每个微电子组件电联接至第二电路板,第二电路板用于将信号传输至每个所述微电子组件并传输来自每个所述微电子组件的信号。

43. 一种系统,包括根据权利要求1所述的微电子封装以及电连接至所述微电子封装的一个或多个其他电子部件。

44. 根据权利要求43所述的系统,进一步包括壳体,所述微电子封装以及所述其他电子部件安装至所述壳体。

封装中的存储器模块

[0001] 相关申请

[0002] 本申请是申请日为2012年7月11日、申请号为CN201280044481.5、名称为“封装中的存储器模块”的专利申请的分案申请。该母案申请是2012年1月9日申请的美国专利申请No.13/346,185的继续申请,要求2011年10月3日申请的美国临时专利申请No.61/542,488、No.61/542,495以及No.61/542,553,以及2011年7月12日申请的美国临时专利申请No.61/506,889的申请日的权益,其公开内容通过引用并入该母案申请文中。

技术领域

[0003] 本申请的主题涉及微电子封装及包含微电子封装的组件。

背景技术

[0004] 半导体芯片通常设为单独的预封装单元。标准芯片具有带有大的前面的扁平矩形体,该前面具有连接至芯片的内部电路的触点。每个单独的芯片典型地包含在具有连接至芯片的触点的外部端子的封装中。端子(即封装的外部连接点)再用于电连接至电路板(例如印刷电路板)。在很多常规的设计中,芯片封装在电路板中占用的面积比芯片本身的面积大很多。如参考具有前面的扁平芯片的本公开所使用的,“芯片的面积”应被理解为指的是所述前面的面积。

[0005] 在“倒装芯片”设计中,芯片的前面面对封装介电元件的面,即,封装的衬底,芯片上的触点通过焊料凸点或其他连接元件直接地键合至衬底的面上的触点。衬底再可通过覆盖衬底的外部端子键合至电路板。“倒装芯片”设计提供相对紧凑的布置;每个封装占用的电路板的面积等于或稍大于芯片的前面的面积,例如在共同转让的美国专利No.5,148,265、No.5,148,266和No.5,679,977中的某些实施例中所公开的,其公开内容通过引用并入本文。某些创新的安装技术提供的紧密度接近或等于常规倒装芯片键合的紧密度。可以在等于或稍大于芯片本身的面积的电路板的面积中容置单个芯片的封装通常被称为“芯片级封装”。

[0006] 在任何的芯片的物理布置中,尺寸都是重要的考虑因素。随着便携式电子装置的快速发展,对于芯片的更紧凑的物理布置的需求越发强烈。仅仅举例来说,通常被称为“智能手机”的装置将手机的功能与强大的数据处理器、存储器以及辅助装置(例如全球定位系统接收器、电子照相机和局域网络连接件以及高分辨率显示器和关联的图像处理芯片)集成。在袖珍型装置中,这些装置可提供例如全互联网连接、包括全分辨率视频的娱乐、导航、电子银行等功能。复杂的便携式装置要求将众多芯片封装到很小的空间中。而且,一些芯片具有很多通常被称为“I/O”的输入和输出连接件。这些I/O必须与其他芯片的I/O互连。形成互连的部件不应当大大增加组件的尺寸。类似需求出现在其他应用中,例如,数据服务器(如在需要提升性能以及减小尺寸的互联网搜索引擎中使用的数据服务器)。

[0007] 包含存储器存储阵列的半导体芯片(特别是动态随机存取存储(DRAM)芯片以及闪存芯片)通常封装在单芯片或多芯片封装和组件中。每个封装具有多个用于在端子和封装

中的芯片之间承载信号、电源电压以及地电位的电连接件。该电连接件可以包括不同种类的导体,例如在相对于芯片的触点支承表面的水平方向上延伸的水平导体(例如,迹线、梁式引线等),在相对于芯片的表面的垂直方向上延伸的垂直导体(例如,孔),以及在相对于芯片的表面的水平方向和垂直方向上延伸的线键合。

[0008] 将封装中的信号传输到多芯片封装的芯片提出了特别的挑战,尤其是对于被封装中两个或更多个芯片共用的信号(例如,时钟信号以及存储芯片的地址信号和选通信号)。这种多芯片封装中,封装的端子和芯片之间的连接路径的长度可以改变。不同的路径长度可以导致信号在端子和每个芯片之间花费更长或更短的时间传输。信号从一点到另一点的传输时间称为“传播延迟”,并且是导体长度、导体结构以及与其紧邻的其他介电结构或导电结构的函数。

[0009] 两个不同信号到达特定位置的时间差也被称为“偏差”。特定信号到达两个或更多个位置的时间上的偏差是由于传播延迟以及特定信号开始向位置传输的时间所导致的。偏差可以影响或不影响电路性能。当同步的信号组中的所有信号一起偏移时,偏差通常对性能的影响较小,这种情况下,操作所需的所有信号需要时一起到达。但是,当操作所需的同步信号组的不同信号在不同时间到达时,情况就不是这样了。这种情况下,偏差影响性能,因为除非所需所有信号都到达,否则不能执行操作。本文描述的实施例可包括共同待决的美国临时专利申请No.61/506,889 (TESSERA 3.8-664) 中公布的将偏差最小化的特征,其公开内容通过引用并入本文。

[0010] 常规微电子封装可包括用于主要提供存储器存储阵列功能的微电子元件,即,包括比提供任何其他功能的有源装置多的提供存储器存储阵列功能的有源装置的微电子元件。微电子元件可以是或包括DRAM芯片、或这样的半导体芯片的堆叠的电互连组件。典型地,这个封装的所有端子布置成靠近安装有微电子组件的封装衬底的一个或多个外边缘的列组。

[0011] 鉴于上述背景,可对多芯片微电子封装及组件进行一些改进以提高电性能。本发明的这些特性将通过下面描述的微电子封装和组件的构造获得。

发明内容

[0012] 根据本发明的方面,一种微电子封装可以包括:具有相对的第一表面和第二表面的衬底;至少两个微电子元件对,每个微电子元件对包括上微电子元件和下微电子元件;暴露在第二表面处的多个端子;以及从每个下微电子元件的触点的至少一些延伸至端子的至少一些的电连接件。微电子元件对可以在平行于衬底的第一表面的水平方向上彼此完全间隔开。每个下微电子元件可以具有前表面以及在前表面上的多个触点。下微电子元件的前表面可以布置在平行于并覆盖第一表面的单个平面中。每个上微电子元件的表面可以覆盖衬底的第一表面并可以至少部分地覆盖与其成对的下微电子元件。微电子元件可以一起用于主要提供存储器存储阵列功能。端子可以用于将微电子封装连接至微电子封装外部的至少一个部件。

[0013] 在特定的实施例中,第一微电子元件对和第二微电子元件对的下微电子元件的多个触点的至少一些可以布置成分别限定第一轴线和第二轴线的各个触点列。第一轴线和第二轴线可以彼此横切。在一个示例中,第一轴线和第二轴线可以彼此正交。在示例性实施例

中,第一微电子元件对和第二微电子元件对的下微电子元件的多个触点的至少一些可以布置成分别限定第一轴线和第二轴线的各个触点列。第一轴线和第二轴线可以彼此平行。在特定的示例中,至少两个微电子元件对可以包括四个微电子元件对。

[0014] 在一个实施例中,每个下微电子元件的多个触点的至少一些可以布置成分别限定第一轴线、第二轴线、第三轴线以及第四轴线的触点列。第一轴线与第三轴线可以彼此平行。第二轴线与第四轴线可以横切于第一轴线与第三轴线。在特定的实施例中,至少一个微电子元件对的下微电子元件可以为靠近第二下微电子元件设置的第一下微电子元件。第二下微电子元件的前表面可以布置在平行于第一表面的单个平面中。至少部分地覆盖第一下微电子元件的上微电子元件也可以至少部分地覆盖第二下微电子元件。

[0015] 在示例性实施例中,端子可以布置成面阵。端子可以具有彼此共面的暴露的接触表面。在特定的示例中,电连接件可以包括在每个下微电子元件的触点与在衬底的第一表面处暴露的导电键合焊盘之间延伸的倒装芯片连接件。在一个实施例中,每个上微电子元件可以覆盖在衬底的第一表面和第二表面之间延伸的至少一个第一孔。电连接件可以包括具有与至少一个第一孔对齐的至少部分的第一引线。在特定的实施例中,每个下微电子元件可以覆盖在衬底的第一表面和第二表面之间延伸的至少一个第二孔。电连接件可以包括具有与至少一个第二孔对齐的至少部分的第二引线。

[0016] 在一个示例中,每个下微电子元件的前表面可以面对衬底的第一表面,并且每个上微电子元件的前表面可以部分地覆盖与其成对的下微电子元件的后表面,以使每个上微电子元件的前表面处的触点设置在与成对的下微电子元件的边缘外。在示例性实施例中,每个上微电子元件的触点可以覆盖至少一个第一孔的对应的一个并且每个下微电子元件的触点可以覆盖至少一个第二孔的对应的一个。每对上微电子元件和上微电子元件的对应的第一孔和第二孔可以彼此间隔开。

[0017] 在特定的示例中,每个上微电子元件的触点的至少一些可以成列地设置在各个上微电子元件的前表面的中心区域中。每个上微电子元件的触点列可以在至少一个第一孔的对应一个的长度的方向上延伸。在一个实施例中,每个下微电子元件的触点的至少一些可以成列地设置在各个下微电子元件的前表面的中心区域中。每个下微电子元件的触点列可以在至少一个第二孔的对应一个的长度的方向上延伸。在特定的实施例中,每个第一孔可以具有在横切于第一孔的长度的方向上的宽度。每个第一孔的宽度不大于对应一个覆盖第一孔的上微电子元件在与第一孔的宽度相同的方向上的宽度。

[0018] 在一个示例中,引线的至少一些可以包括延伸穿过第一孔或第二孔的至少一个的线键合。在示例性实施例中,所有的引线可以为延伸穿过至少一个第一孔的线键合。在特定的示例中,所有的第一引线可以延伸穿过至少一个第一孔,并且所有的第二引线可以延伸穿过至少一个第二孔。在一个实施例中,引线的至少一些可以包括引线键合。在特定的示例中,每个上微电子元件可以具有暴露在上微电子元件的前表面处并且布置成靠近前表面的边缘设置的至少一个触点列的多个触点。每个触点列可以设置在对应一个下微电子元件的边缘之外。

[0019] 在特定的示例中,至少一个微电子元件对的下微电子元件可以为靠近第二下微电子元件设置的第一下微电子元件。第二下微电子元件的前表面可以布置在平行于第一表面的单个平面中。至少部分地覆盖第一下微电子元件的后表面的上微电子元件的前表面也可

以至少部分地覆盖第二下微电子元件的后表面,以使上微电子元件的前表面处的触点设置在第二下微电子元件的边缘之外。在一个实施例中,每个第二下微电子元件可以覆盖在衬底的第一表面与第二表面之间延伸的至少一个第三孔。电连接件可以包括具有与至少一个第三孔对齐的至少部分的第三引线。

[0020] 在示例性实施例中,每个上微电子元件、每个第一下微电子元件以及每个第二下微电子元件的触点的至少一些可以成列地设置在各个微电子元件的前表面的中心区域内。每个上微电子元件、每个第一下微电子元件以及每个第二下微电子元件的触点列可以在各个至少一个第一孔、至少一个第二孔以及至少一个第三孔的对应的一个的长度的方向上延伸。在一个示例中,每个第一孔、每个第二孔以及每个第三孔可以具有在横切于各自的长度的方向上的宽度。每个孔的宽度可以不大于对应的一个覆盖孔的微电子元件在与孔的宽度相同的方向上的宽度。在特定的示例中,所有的第一引线可以延伸穿过至少一个第一孔,所有的第二引线可以延伸穿过至少一个第二孔,以及所有的第三引线可以延伸穿过至少一个第三孔。

[0021] 在特定的实施例中,微电子封装可以包括四个微电子元件对。每个微电子元件的触点可以包括八位数据I/O触点。可选地,每个微电子元件的触点可以包括九位数据I/O触点。在一个实施例中,微电子封装可以包括九个微电子元件。每个微电子元件的触点可以包括八位数据I/O触点。在示例性实施例中,微电子封装可以包括两个微电子元件对。每个微电子元件的触点可以包括八位数据I/O触点。可选地,每个微电子元件的触点可以包括十六位数据I/O触点。

[0022] 在一个示例中,微电子封装也可以包括缓冲元件,缓冲元件电连接至微电子封装中的端子的至少一些以及一个或多个微电子元件。缓冲元件可以用于再生在微电子封装的一个或多个端子处接收的至少一个信号。在特定的实施例中,缓冲元件可以安装至衬底的第一表面。在示例性实施例中,缓冲元件可以安装至衬底的第二表面。在一个实施例中,至少一个信号可以包括传递至微电子封装的所有地址信号。在特定的示例中,至少一个信号可以包括传递至微电子封装的所有指令信号、地址信号、库地址信号以及时钟信号,指令信号为写使能的行地址选通信号和列地址选通信号,时钟信号为用于采样地址信号的采样时钟。

[0023] 在示例性实施例中,至少一个信号可以包括由微电子封装接收的所有数据信号。在一个实施例中,微电子封装也可以包括安装至衬底且用于存储识别信息的非易失性存储元件。非易失性存储元件可以电连接至一个或多个微电子元件。在特定的示例中,微电子封装也可以包括温度传感器。在特定的实施例中,微电子元件也可以包括安装至衬底的解耦电容元件。解耦电容元件可以电连接至一个或多个微电子元件。在一个实施例中,衬底可以为基本由在衬底的平面内具有小于12ppm/°C的热膨胀系数的材料组成的元件。在特定的实施例中,衬底可以包括基本由在衬底的平面内具有小于30ppm/°C的热膨胀系数的材料组成的介电元件。

[0024] 在一个示例中,微电子元件可以用于一起作为可寻址的存储器模块。微电子封装可以用于存储在每个微电子元件中所接收的数据的部分。在一个实施例中,微电子封装可以用于作为双列直插式存储器模块。在示例性实施例中,微电子封装可以具有与双列直插式存储器模块相同的指令和信号接口并且用于传递与双列直插式存储器模块等量的数据。

在特定的实施例中,每个微电子元件可以用于主要提供存储器存储阵列功能。在一个示例中,每个微电子元件可以包括动态随机存取存储器(DRAM)集成电路芯片。在特定的示例中,每个微电子元件在功能上和机械上可以等同于其他微电子元件。

[0025] 在特定的实施例中,衬底的第二表面可以具有占据第二表面的中心部分的中心区域。端子的至少一些可以为设置在中心区域的第一端子。在一个实施例中,至少两个微电子元件对可以包括四个微电子元件对。每个微电子元件对可以至少部分地覆盖在衬底的第一表面和第二表面之间延伸的孔。每个孔可以具有限定各个第一轴线、第二轴线、第三轴线,以及第四轴线的长度。第一轴线与第三轴线可以彼此平行。第二轴线与第四轴线可以横切于第一轴线与第三轴线。中心区域可以由第一轴线、第二轴线、第三轴线以及第四轴线界定。

[0026] 在示例性实施例中,每个孔可以为外孔。每个微电子元件对可以至少部分地覆盖靠近对应的一个外孔的且在衬底的第一表面和第二表面之间延伸的内孔。每个内孔均可以具有限定轴线的长度,该轴线比由对应的一个外孔的长度限定的轴线更接近衬底的质心。在一个实施例中,第一端子可以用于承载传递至微电子封装的所有地址信号。

[0027] 在特定的示例中,第一端子可以用于承载传递至微电子封装的指令信号、地址信号、库地址信号、以及时钟信号的至少一些,指令信号为写使能的行地址选通信号和列地址选通信号,时钟信号为用于采样地址信号的采样时钟。第一端子可以由至少两个微电子元件共享。在一个示例中,第一端子可以由每个微电子元件共享。在示例性实施例中,微电子封装也可以包括与至少一个微电子元件热连通的散热器。在特定的实施例中,散热器可以至少部分地覆盖每个上微电子元件的后表面。在一个实施例中,散热器可以至少部分地覆盖每个下微电子元件的后表面。

[0028] 根据本发明的方面,一种微电子组件可以包括多个如上所述的微电子封装。微电子组件也可以包括具有板触点的电路板。封装的端子可以键合至板触点。在一个实施例中,电路板可以具有共用电接口,共用电接口用于将信号传输至每个微电子封装并传输来自每个微电子封装的信号。在示例性实施例中,每个微电子封装可以构造成具有与双列直插式存储器模块相同的功能。在特定的示例中,电路板可以为母板。在一个示例中,电路板可以为用于附接至母板的模块。

[0029] 在特定的实施例中,微电子组件也可以包括缓冲元件,缓冲元件安装至电路板并电连接至微电子封装的至少一些。缓冲元件可以用于再生在微电子封装的一个或多个端子处接收的至少一个信号。在一个示例中,至少一个信号可以包括传递至微电子组件的所有指令信号、地址信号、库地址信号以及时钟信号,指令信号为写使能的行地址选通信号和列地址选通信号,时钟信号为用于采样地址信号的采样时钟。在示例性实施例中,至少一个信号可以包括由微电子组件接收的所有数据信号。

[0030] 根据本发明的方面,一种模块可以包括多个如上所述的微电子组件。每个微电子组件可以电联接至第二电路板,第二电路板用于将信号传输至每个微电子组件并传输来自每个微电子组件的信号。本发明的进一步的方面可以提供一种系统,该系统包含根据本发明前述方面的微电子封装、根据本发明的前述方面的复合芯片、或结合电连接至其的其他电子部件的微电子组件和复合芯片。例如,系统设置在和/或安装至可为便携式壳体的单个壳体中。根据本发明此方面的优选实施例的系统较可比的常规系统更加紧凑。

附图说明

- [0031] 图1A是根据本发明实施例的微电子封装的透视示意图；
- [0032] 图1B是沿着图1A的线1B-1B所取的图1A的微电子封装的侧剖视图；
- [0033] 图1C是示出微电子元件的位置的图1A的微电子封装的仰视图；
- [0034] 图2A是根据另一个实施例的具有倒装芯片安装至衬底的微电子元件的微电子封装的透视示意图；
- [0035] 图2B是沿着图2A的线2B-2B所取的图2A的微电子封装的侧剖视图；
- [0036] 图2C和图2D是具有至少部分地覆盖对应的下微电子元件的一个或多个上微电子元件的图2A的微电子封装的变型的侧剖视图；
- [0037] 图3A至图3D是根据进一步实施例的示出键合窗与中心区域的位置的具有四个微电子元件的微电子封装的俯视图；
- [0038] 图4A和图4B是根据更进一步实施例的示出键合窗和中心区域的位置的具有三个微电子元件的微电子封装的俯视图；
- [0039] 图5A是根据本发明又另一个实施例的具有堆叠微电子元件的微电子封装的透视示意图；
- [0040] 图5B是沿着图5A的线5B-5B所取的图5A的微电子封装的侧剖视图；
- [0041] 图5C是示出微电子元件的位置的图5A的微电子封装的仰视图；
- [0042] 图6A是根据又另一个实施例的具有堆叠微电子元件的微电子封装的透视示意图；
- [0043] 图6B是沿着图6A的线6B-6B所取的图6A的微电子封装的侧剖视图；
- [0044] 图6C是示出微电子元件的位置的图6A的微电子封装的仰视图；
- [0045] 图7是根据再另一个实施例的具有堆叠的微电子元件的微电子封装的透视示意图；
- [0046] 图8A是具有安装至电路板的多个微电子封装的微电子组件的透视示意图；
- [0047] 图8B是图8A的微电子组件的仰视图；
- [0048] 图8C至图8E是根据进一步实施例的具有安装至电路板的多个微电子封装的微电子组件的透视示意图；
- [0049] 图9是根据一个实施例的包括多个模块的系统的示意图。

具体实施方式

[0050] 本发明的某些实施例提供一种封装或微电子组件，其中微电子元件（例如，半导体芯片或半导体芯片的堆叠布置）用于主要提供存储器存储阵列功能。在这种微电子元件中，其中配置（即构造和与其他装置互连）为提供存储器存储阵列功能的有源装置（例如，晶体管）的数量大于用于提供任何其他功能的有源装置的数量。因此，在一个示例中，微电子元件（例如，DRAM芯片）可具有存储器存储阵列功能作为它的主要功能或唯一功能。可选地，在另一个示例中，该微电子元件可具有混合用途并可包括用于提供存储器存储阵列功能的有源装置，并也可包括用于提供例如处理器功能或信号处理器功能或图形处理功能等另一功能的其他有源装置。在此情况中，微电子源件仍具有比用于提供微电子元件的任何其他功能的有源装置多的用于提供存储器存储阵列功能的有源装置。

[0051] 本发明的实施例提供的封装具有多于一个半导体芯片,即,其中的微电子元件。多芯片封装可以减小将其中的芯片连接至电路板(例如,通过端子阵列(如,球栅阵列、平面栅阵列或针栅阵列等)将封装电地及机械地连接至其上的印刷线路板)所需的面积或空间的大小。该连接空间被特别地限制在小的或便携的计算装置中,计算装置为例如,手持装置,例如,典型地将个人电脑的功能和同更宽广的世界的无线连接相结合的“智能手机”或平板电脑。多芯片封装可以特别地用于制造大量可用于系统的相对便宜的存储器,如先进的高性能的动态随机存取存储器(“DRAM”)芯片,例如,DDR3型DRAM芯片及其后续芯片。

[0052] 通过在封装上提供共用端子,使至少一些信号通过该共用端子往返于封装中的两个或更多个芯片,可以减少将多芯片封装连接至电路板所需的面积的大小。但是,使用支持高性能操作的方式这样做也提出了挑战。为了避免不期待的效应,如由于无端接的短截线而产生的信号的不期待的反射,迹线、孔以及将封装外部的端子与电路板上的总体布线电连接的电路板上的其他导体切不可太长。散热也对高级芯片提出了挑战,因此,最好是每个芯片的至少一个大的平整表面与散热器相联接,或暴露于已安装系统内部的流体或空气或与已安装系统内部的流体或空气热连通。下面描述的封装可以有助于促进这些目标的实现。

[0053] 图1A至1C示出根据本发明的实施例的特别类型的微电子封装10。如图1A至图1C所示,微电子封装10可以包括封装结构,例如,具有相对的第一表面21和第二表面22的衬底20。在一些情况下,衬底20可以主要由在衬底的平面上(在平行于衬底的第一表面21的方向上)具有低热膨胀系数(CTE)(即,热膨胀系数低于百万分之十二每摄氏度,下文中为“ppm/°C”)的材料组成,该材料为如,半导体材料(例如,硅)或介电材料(例如,陶瓷材料或二氧化硅(例如,玻璃))。可选地,衬底20可以包括薄片状的衬底,该衬底20可以基本由聚合物材料(例如,聚酰亚胺、环氧树脂、热塑性塑料、热固性塑料)或其他合适的聚合物材料组成,或该衬底20包括复合聚合物-无机材料或基本由复合聚合物-无机材料组成,复合聚合物-无机材料为例如BT树脂(双马来酰亚胺三嗪树脂)的玻璃增强结构或环氧玻璃,例如,FR-4等。在一个示例中,该衬底20基本由在衬底20的平面内,即在沿衬底20的表面的方向上,热膨胀系数低于30ppm/°C的材料组成。

[0054] 在图1A至图1C中,平行于衬底20的第一表面21的方向在本文中称为“水平”或“横向”方向,而垂直于第一表面21的方向在本文中称为向上或向下方向并且在本文中也称为“竖直”方向。本文中所提到的方向是在涉及到的结构的参考系中的方向。因此,这些方向可为相对于重力参考系中的一般的“上”或“下”方向的任何定向。

[0055] 一个特征设置在比另一特征“在表面上”更高的高度的描述意为一个特征在相同的垂直方向上离表面的距离比另一个特征大。相反地,一个特征设置在比另一个特征“在表面上”更低的高度的描述意为一个特征在相同的垂直方向上离表面的距离比另一个特征小。

[0056] 至少一个孔26可在衬底20的第一表面21和第二表面22之间延伸。如图1A所示,衬底20可具有四个延伸穿过其的孔26。衬底20可具有多个端子25(例如,其上的导电焊盘、焊区、或导电柱或导电引脚)。该端子25可以暴露在衬底20的第二表面22处。端子25可以用作端点,用于将微电子封装10与外部部件例如电路板(例如,印刷线路板、柔性电路板、插座、其他微电子组件或封装、内插器或无源部件组件等)(例如,图8A所示的电路板)的对应的导

电元件连接。在一个示例中,该电路板可为母板或DIMM模块板。在特定的实施例中,端子可布置成面阵(例如,球栅阵列(BGA)(包括下述的接合元件11),平面栅阵列(LGA),或针栅阵列(PGA)等)。在一个实施例中,端子25可沿衬底20的第二表面22的外围布置。

[0057] 在示例性实施例中,端子25可包括由例如,铜、铜合金、金、镍以及类似的导电材料制成的大体上刚性的柱体。端子25可例如通过将导电材料镀进抗蚀剂掩膜的开口中形成,或通过形成例如铜、铜合金、镍或其组合制成的柱体形成。该柱体可以例如通过将金属薄片或其他金属结构负刻成柱体而形成,所述柱体延伸远离衬底20,并作为端子用于例如将微电子封装10与外部部件(例如下述的电路板860)电互连。端子25可为具有其他结构的大体上刚性的柱体,如美国专利No.6,177,636所述,其公开内容通过引用并入本文。在一个示例中,端子25可以具有彼此共面的暴露的接触表面。

[0058] 微电子封装10可包括接合元件11,接合元件11附接至用于与外部部件连接的端子25。接合元件11可以是,例如,键合金属块(例如,焊料、锡、铜、共晶成分或其组合),或另一种接合材料(例如,导电胶或导电粘合剂)。在特定的实施例中,在端子25与外部部件(例如,图8A所示的电路板860)的触点之间的接合件可包括导电基体材料,例如在共同所有的美国专利申请13/155,719与13/158,797中所描述的,其公开内容通过引用并入本文。在特定的实施例中,接合件可具有类似结构或用本文所描述的方式形成。

[0059] 如本公开所使用的,导电元件“暴露于”结构的表面的描述表示导电元件可与在垂直于表面的方向上从结构外部朝向表面移动的理论点接触。因此,暴露在结构的表面处的端子或其他导电元件可从该表面突出;可与该表面平齐;或可相对该表面凹陷并通过结构中的孔或凹陷暴露。

[0060] 端子25可包括暴露在衬底20的第二表面22的中心区域23中的第一端子25a以及暴露在中心区域23外的第二表面22的外围区域28中的第二端子25b。如图1A至图1C所示的布置可提供微电子元件30以及相对广阔的中心区域23的紧凑布置,而无需微电子元件覆盖任何其他微电子元件。

[0061] 第一端子25a可用于承载从外部部件传递至微电子封装10的所有指令信号、地址信号、库地址信号以及时钟信号。例如,在包括动态存储器存储阵列(例如,用于动态随机存取存储器(DRAM)的)的微电子元件中,当该微电子元件是动态随机存取存储器的存储装置时,指令信号是由微电子封装10内的微电子元件使用的写使能的行地址选通信号和列地址选通信号。其他信号(例如ODT(片内终结)信号、片选信号、时钟使能信号)不是需要由第一端子25a承载的指令信号的部分。

[0062] 时钟信号可为用于采样地址信号的采样时钟。至少一些第二端子25b可用于承载除由第一端子25a承载的指令信号、地址信号和时钟信号外的信号。信号或参考电位(例如片选信号、复位信号、电源电压(例如,Vdd、Vddq)以及地电位(例如,Vss和Vssq))可由第二端子25b承载;这些信号或参考电位无需由第一端子25a承载。

[0063] 在特定的示例中,例如图1C所示的示例中,第二端子25b可设置成在每个外围区域28内的至少一个列。在一个示例中,用于承载除了指令信号、地址信号和时钟信号之外的信号的至少一些第二端子25b可暴露在衬底20的第二表面22的中心区域23内。

[0064] 微电子封装10也可包括多个微电子元件30,每个微电子元件30均具有面对衬底20的第一表面21的前表面31。在一个示例中,每个微电子元件30可为裸芯片或微电子单元,每

个裸芯片或微电子单元包括存储器存储元件,例如动态随机存取存储器(DRAM)存储阵列或用于主要作为DRAM存储阵列(例如,DRAM集成电路芯片)。如在本文所使用的,“存储器存储元件”指布置成阵列的多个存储单元,和可用于存储和提取数据的电路(例如,用于通过电接口的数据的传输的电路)。在特定的示例中,微电子封装10可包括在单列直插式存储器模块(SIMM)或双列直插式存储器模块(DIMM)内。

[0065] 在特定的示例中,包括存储器存储元件的微电子元件30可至少具有存储器存储阵列功能,但微电子元件可以不是全功能存储芯片。该微电子元件本身可以不具有缓冲功能,但可电连接至微电子元件堆叠内的其他微电子元件,其中,堆叠中的至少一个微电子元件具有缓冲功能(缓冲微电子元件可以是缓冲芯片、全功能存储芯片或控制芯片)。

[0066] 在其他示例中,本文所描述的任一封装内的一个或多个微电子元件可包括比提供任何其他功能的有源装置(例如,闪存、DRAM或其他类型的存储器)更多数量的提供存储器存储阵列功能的有源装置,并可和构造为主要提供逻辑功能的另一微电子元件或“逻辑芯片”一起布置在封装中。在特定的实施例中,逻辑芯片可以是可编程的元件或处理器元件,例如微处理器或其他通用的运算元件。逻辑芯片可以是微控制元件、图形处理器、浮点处理器、协处理器、数字信号处理器等。在特定的实施例中,逻辑芯片主要执行硬件状态机功能,或进行硬编码从而用于特别的功能或目的。可选地,逻辑芯片可以是特定用途集成电路(ASIC)或现场可编程门阵列(FPGA)芯片。在该变型中,封装则可以是“系统级封装”(SIP)。

[0067] 在另一个变型中,本文所述的任一封装内的微电子元件可具有嵌入其中的逻辑和存储功能,例如在相同的微电子元件中具有嵌入其中的一个或多个关联的存储器存储阵列的可编程处理器。有时,该微电子元件可以称为“片上系统”(SOC),因为逻辑(例如处理器)是和其他电路(例如存储器存储阵列)或用于执行一些其他功能(可以是专门的功能)的电路一起嵌入的。

[0068] 在特定的示例中,每个微电子元件30在功能上和机械上等同于其他微电子元件,以使每个微电子元件可以具有在前表面31处具有相同功能的导电触点35的相同图案,尽管每个微电子元件的长度、宽度和高度的具体尺寸可以与其他微电子元件不同。

[0069] 每个微电子元件30可具有暴露在微电子元件的前表面31处的多个导电触点35。每个微电子元件30的触点35可布置成设置于占据前表面的区域的中心部分的前表面31的中心区域36内的一个或多个列。中心区域36,例如,可以占据包括位于微电子元件30的相对的外围边缘32a、32b之间的最短距离的中间三分之一的前表面31的区域。每个微电子元件30的前表面31可认为具有靠近外围边缘32a的第一外围区域、靠近另一外围边缘32b的第二外围区域以及第一外围区域与第二外围区域之间的中心区域36。如图1B所示,每个微电子元件30的触点35可以与至少一个孔26对齐。

[0070] 如本文所使用的,微电子元件的表面或面的中心区域36(例如,微电子元件30的前表面31)意为设置在表面的第一外围区域和第二外围区域之间的表面的部分,外围区域靠近微电子元件的各个相对的第一外围边缘和第二外围边缘(例如,微电子元件30的相对的外围边缘32a、32b)设置,其中第一外围区域和第二外围区域以及中心区域的每个具有相等的宽度,以使中心区域占据延伸该微电子元件的相对的第一外围边缘和第二外围边缘之间的最短距离的中间三分之一的表面的面积。

[0071] 在特定的实施例中,微电子封装10可具有四个微电子元件30,每个微电子元件的

触点35包括八位数据I/O触点。在另一个实施例中,微电子封装10可具有四个微电子元件30,每个微电子元件的触点35包括十六位数据I/O触点。在特定的示例中,微电子封装10(以及本文所描述的任何其他的微电子封装)可用于在时钟周期内并行地传递(即由封装接收或从封装传输)32位数据比特。在另一个示例中,微电子封装10(以及本文所描述的任何其他的微电子封装)可用于在时钟周期内并行地传递64位数据比特。其他位数据传递量是可能的,在此无限制地仅提到其中的几个传递量。例如,微电子封装10(以及本文所描述的任何其他的微电子封装)可用于每个时钟周期传递72位数据比特,该72位数据比特可以包括代表数据的一组64位基本比特以及为用于64位基本比特的纠错码(ECC)比特的8位比特。96位数据比特、108位比特(数据比特和ECC比特)、128位数据比特以及144比特(数据比特和ECC比特)是每周期的数据传递宽度的其他示例,微电子封装10(以及本文所描述的任何其他的微电子封装)可用于支持该示例。

[0072] 在图1A至图1C的实施例中,通过封装的第一端子25a的至少一些信号可为至少两个微电子元件30共用。这些信号可通过在平行于衬底20的第二表面32的方向上从第一端子25a延伸到微电子元件30的对应的触点35的连接件(如导电迹线)发送。微电子封装10可通过封装的共用第一端子25a而不是通过封装的两个或更多个端子(每个端子专用于其中一个特定的微电子元件),发送多个微电子元件30共用的信号。通过该方法,由该端子25占据的衬底20的区域的大小可减小。

[0073] 图1A示出类似于风车形状的衬底20上的微电子元件30a、30b、30c以及30d的特别的布置。在此情况中,每个微电子元件30的多个触点35的至少一些可布置成限定各个第一轴线29a、第二轴线29b、第三轴线29c以及第四轴线29d(全体称为轴线29)的各个触点列。在图1A所示的示例中,第一轴线29a和第三轴线29c可以彼此平行,第二轴线29b和第四轴线29d可以彼此平行,并且第一轴线和第三轴线可横切于第二轴线和第四轴线。在特定的实施例中,第一轴线29a和第三轴线29c与第二轴线29b和第四轴线29d正交。在一个示例中,第一轴线29a、第二轴线29b、第三轴线29c以及第四轴线29d的每个可由孔26a、孔26b、孔26c以及孔26d中的对应的一个孔的长度限定,以使孔26可布置成如上所述的风车构造。

[0074] 在图1A所示的特定示例中,每个微电子元件30的轴线29可等分各个微电子元件并可恰好横穿微电子封装10内的另一个微电子元件的区域。例如,第一轴线29a可等分第一微电子元件30a并恰好横穿另一个微电子元件30的区域。类似地,第二轴线29b可等分第二微电子元件30b并恰好横穿另一个微电子元件30的区域。同样地,第三轴线29c可等分第三微电子元件30c并恰好横穿另一个微电子元件30的区域。同样地,第四轴线29d可等分第四微电子元件30d并恰好横穿另一个微电子元件30的区域。

[0075] 触点35与端子25之间的电连接件可以包括可选引线(例如,线键合40或其他可能的结构),其中引线的至少部分与至少一个孔26对齐。例如,如图1B所示,至少一些电连接件可包括延伸超过衬底内的孔26的边缘的、并接合至触点35与衬底的导电元件24的线键合40。在一个实施例中,至少一些电连接件可包括引线键合。该连接件可包括沿导电元件24与端子25之间的衬底20的第一表面21和第二表面22的之一或两者延伸的引线。在特定的示例中,该引线可电连接在每个微电子元件30的触点35和端子25之间,每个引线具有与至少一个孔26对齐的部分。

[0076] 在一个示例中,每个孔26可以具有在横切于各自轴线29的方向上的宽度,每个孔

的宽度均不大于至少部分地覆盖孔的微电子元件30在与孔的宽度相同的方向上的宽度。

[0077] 在一个示例中,一个或多个另外的芯片30'可安装至衬底20,具有面对衬底20的第一表面21(图1A)或第二表面22的表面31'。该另外的芯片30'可以是键合至暴露在衬底20的第一表面21处的导电触点的倒装芯片。

[0078] 一个或多个另外的芯片30'可以是缓冲芯片,缓冲芯片可用于帮助为每个微电子元件30提供关于微电子封装10外部的部件的信号隔离。在一个示例中,该缓冲芯片或缓冲元件可电连接至微电子封装10内的至少一些端子25以及一个或多个微电子元件30,缓冲元件用于再生在微电子封装10的一个或多个端子处接收的至少一个信号。在一个示例中,其中微电子封装10为注册DIMM,至少一个信号可以包括传递至封装的所有指令信号、地址信号、库地址信号以及时钟信号,指令信号为写使能的行地址选通信号和列地址选通信号,时钟信号是用于采样地址信号的采样时钟。在特定的示例中,当微电子封装10为低负载DIMM(LRDIMM)时,至少一个信号可以包括由微电子封装接收的所有数据信号。

[0079] 在特定的实施例中,一个或多个另外的芯片30'可以为解耦电容。取代或者除了前面提到的缓冲芯片,可以在微电子元件30之间设置一个或多个解耦电容。该解耦电容可电连接至外部电源以及微电子封装10内的接地母线。

[0080] 在一个实施例中,一个另外的芯片30'可为安装至衬底20并用于永久存储微电子封装10的识别信息(例如微电子封装的数据宽度和深度)的非易失性存储元件,例如电可擦除可编程只读存储器(EEPROM)。该非易失性存储元件可电连接至一个或多个微电子元件30。

[0081] 在一个示例中,一个另外的芯片30'可为温度传感器。该温度传感器可电连接至一个或多个微电子元件30。在一个示例中,温度传感器可包括二极管并可安装至衬底29。在特定的实施例中,一个另外的芯片30'可为安装至衬底20的串行存在检测元件。

[0082] 微电子封装10可进一步包括微电子元件30的前表面31与衬底20的第一表面21之间的粘合剂12。微电子封装10也可包括可选地覆盖、部分地覆盖,或不覆盖微电子元件30的后表面32的密封剂(未示出)。例如,在图1A至1C所示的封装中,密封剂可以流动、模板印刷、丝网印刷或点胶到微电子元件30的后表面32上。在另一个示例中,密封剂可为通过包胶模(overmold)在微电子元件30的后表面32上形成的成型化合物。

[0083] 在上述实施例的变型中,将微电子元件的触点不设置在微电子元件的表面的中心区域是可能的。更确切地,触点可设置成靠近微电子元件的边缘的一行或多行。在另一个变型中,微电子元件的触点可靠近该微电子元件的两个相对的边缘设置。在又一个变型中,微电子元件的触点可靠近任何两个边缘设置,或靠近该微电子元件的多于两个边缘设置。在此情况中,衬底内孔的位置可对应于靠近微电子元件的这个或这些边缘设置的触点的位置进行改变。

[0084] 图2A和图2B示出关于图1A至图1C的上述实施例的变型,其中微电子元件230倒装芯片键合至衬底220的第一表面221。在该实施例中,微电子元件230和衬底220之间的电连接件包括在每个微电子元件的触点和暴露在衬底的第一表面221处的导电键合焊盘之间延伸的倒装芯片连接件。

[0085] 图2C示出关于图2A和图2B的上述实施例的变型,其中一个或多个微电子元件230是下微电子元件230',并且微电子封装210'包括上微电子元件230a、230b、230c,每个上微

电子元件具有至少部分地覆盖下微电子元件的后表面232的表面。如图2C所示,上微电子元件230a、230b、230c通过延伸穿过下微电子元件的至少一个导电通孔209与下微电子元件230'电连接。在特定的实施例中,下微电子元件230"可以线键合至暴露在衬底220的第二表面222处的导电触点。

[0086] 图2D示出关于图2A和图2B的上述实施例的变型,其中一个或多个微电子元件230是下微电子元件230",微电子封装210"包括上微电子元件230a和230b,每个上微电子元件具有至少部分地覆盖下微电子元件的后表面232的表面。如图2D所示,上微电子元件230a和230b通过在上微电子元件的触点235与暴露在下微电子元件230"的后表面232处的导电元件245之间延伸的线键合240与下微电子元件230"电连接。在特定的实施例中,下微电子元件230"可以线键合至暴露在衬底220的第二表面222处的导电触点。

[0087] 图3A至图3D示出图1A至图1C中所示的相对于衬底的第一表面具有不同的微电子元件位置的微电子封装10的另外的变型。在图3A至图3D中,各个微电子封装301、302、303以及304均包括第四微电子元件330,每个微电子元件具有通过各自的孔326线键合至暴露在衬底320的第二表面处的导电触点的触点。孔326可限定衬底的第二表面的中心区域323的部分边界,连接到至少两个微电子元件330的共享第一端子可以位于该部分边界处。

[0088] 在图3A中,微电子封装301具有与图1A至图1C的微电子元件30相似的布置的微电子元件330,但每个微电子元件330均具有大致的矩形形状,所以在位于微电子元件之间的衬底320的第一表面处几乎没有空间。

[0089] 在图3B中,每个微电子元件330具有方向平行于各自孔326的长度的第一边缘332a以及相对的边缘332b。每个微电子元件330的第一边缘332a可限定不延伸穿过任何其他微电子元件的区域的轴线329。在该实施例中,在位于微电子元件330之间的衬底320的第一表面处存在更大的空间,并且衬底的第二表面的中心区域323可以相对较大。

[0090] 在图3C中,每个微电子元件330可以覆盖各自的孔326,孔326限定不延伸穿过任何其他微电子元件的区域的轴线329。但是,与图3B相比,两个微电子元件330a和330c已移至更靠近衬底320的第一表面的中心。每个微电子元件330具有方向平行于各自的孔326的长度的第一边缘332a和相对的边缘332b。第一微电子元件330a和第三微电子元件330c的第一边缘332a可限定延伸穿过第二微电子元件330b和第四微电子元件330d的区域的各自的轴线329a和329c。

[0091] 图3D为图3C的变型,其中两个微电子元件330a和330c已移至更靠近衬底320的第一表面的中心。第一微电子元件330a和第三微电子元件330b可覆盖各自的孔326a和326c,孔326a和326c限定延伸穿过第二微电子元件330b和第四微电子元件330d的区域的各自的轴线329和329'。同样,每个微电子元件330具有方向平行于各自的孔326的长度的第一边缘332a和相对的边缘332b。第一微电子元件330a和第三微电子元件330c的第一边缘332a可限定也延伸穿过第二微电子元件330b和第四微电子元件330d的区域的各自的轴线329a和329c。

[0092] 图4A和4B示出包含有具有布置在平行于衬底420的第一表面的单个平面内的前表面的三个微电子元件的图1A至图1C所示的微电子元件10的另外的变型。在图4A中,微电子封装401具有安装至衬底410的第一侧的三个微电子元件430。第一个微电子元件430a可具有至少部分地覆盖并电连接于第一微电子元件的另外的微电子元件,例如,以图2C或图2D

中所示的方式。第二个微电子元件430b可以是例如控制器。在图4B中,微电子封装402与图1A至图1C所示的微电子封装10相同,除了风车构造的一个微电子元件430被省略,剩余三个微电子元件具有布置在平行于衬底420的第一表面的单个平面内的前表面。

[0093] 图5A至图5C示出关于图1A至图1C的上述实施例的变型。微电子封装510类似于图1A至图1C所示的微电子封装10。但是,封装510包含下微电子元件530a和上微电子元件530b的多个对507。在每个对507中,上微电子元件530b的前表面531至少部分地覆盖下微电子元件530a的表面532,该表面532可为该下微电子元件530a的后表面。微电子元件的相邻对507,例如第一对507a和第二对507b在平行于衬底520的第一表面521的水平方向H上彼此完全间隔开。在特定的示例中,微电子元件530a和530b可包括比提供任何其他功能的有源装置更多数量的提供存储器存储阵列功能的有源装置。

[0094] 在一个实施例中,微电子封装510可具有八个微电子元件530(包括四个下微电子元件530a和四个上微电子元件530b),每个微电子元件包括八位数据I/O触点。在另一个实施例中,微电子封装510可具有八个微电子元件530(包括四个下微电子元件530a和四个上微电子元件530b),每个微电子元件包括九位数据I/O触点。

[0095] 在特定的示例中,暴露在微电子元件的相邻对中的下微电子元件530a的前表面531处的至少一些导电触点535可布置成限定第一轴线529a和第二轴线529a'的各个触点列。如图5A所示,该第一轴线529a和第二轴线529a'可以彼此横切。在特定的示例中,第一轴线529a和第二轴线529a'可彼此正交。在一个实施例中,第一轴线529a和第二轴线529a'可以彼此平行。

[0096] 在一个实施例中,每个微电子元件对507至少部分地覆盖在衬底520的第一表面521和第二表面522之间延伸的外孔526a。每个外孔526a可以具有限定在平行于第一表面和第二表面的方向上延伸的外部轴线509a的长度。四个外部轴线509a可以布置成如上描述的风车构造,其中外部轴线509a可布置成两个平行的外部轴线对,每对横切于另一对。占据衬底520的第二表面522的中心部分的中心区域523可由四个外部轴线509a界定,如图5C所示。暴露在衬底520的第二表面522的中心区域523处的至少一些端子525可以是具有与上述的第一端子25a类似功能的第一端子。

[0097] 在示例性实施例中,每个微电子元件对507也可至少部分地覆盖靠近相同的微电子元件对中的对应的一个外孔526a且在衬底520的第一表面521和第二表面522之间延伸的内孔526b,如图5A所示。每个内孔526b可具有限定在平行于第一表面和第二表面的方向上延伸的轴线509b的长度,每个内部轴线509b离衬底的质心501比由对应的一个外孔526a的长度限定的轴线509a近。

[0098] 如图5A所示,每个下微电子元件530a覆盖外孔526a,并且每个上微电子元件530b覆盖内孔526b。在特定的实施例中,每个上微电子元件530b可覆盖外孔526a,每个下微电子元件530a可覆盖内孔526b。在一个示例中,一个或多个下微电子元件530a可覆盖对应的外孔526a,并且其他下微电子元件可覆盖对应的内孔526b,而一个或多个上微电子元件530b可覆盖对应的外孔,其他上微电子元件可覆盖对应的内孔。

[0099] 在特定的实施例中,每个上微电子元件530b可覆盖第一孔,第一孔可为内孔526b或外孔526a。每个第一孔可以具有在横切于它的长度方向上的宽度,每个第一孔的宽度不大于覆盖第一孔的对应的一个上微电子元件530b在与第一孔的宽度相同的方向上的宽度。

[0100] 在一个示例中,每个下微电子元件530a可覆盖第二孔,第二孔可以是内孔526b或外孔526a。每个第二孔可以具有在横切于它的长度方向上的宽度,每个第二孔的宽度不大于覆盖第二孔的对应的一个下微电子元件530a在与第二孔的宽度相同的方向上的宽度。

[0101] 间隔件514可以位于上微电子元件530b的前表面531和衬底520的第一表面521的部分之间,利用或不利用位于间隔件和衬底的第一表面之间的粘合剂512。该间隔件514可以由例如,介电材料(例如,二氧化硅)、半导体材料(例如,硅)或者一层或多层粘合剂制成。如果间隔件514包括粘合剂,粘合剂可将上微电子元件530b连接至衬底520。在一个实施例中,间隔件514可具有与在微电子元件的前表面531和后表面532之间的下微电子元件530a的厚度T2大体相同的在大体垂直于衬底520的第一表面521的垂直方向V上的厚度T1。在特定的实施例中,例如,当间隔件514由粘合剂材料制成时,间隔件514可以在没有粘合剂512(例如上述的粘合剂12)的情况下使用。

[0102] 图6A至图6C示出关于图5A至图5C的上述实施例的变型。微电子封装610与图5A至图5C所示的微电子封装510相似,除了在微电子封装610中,上微电子元件630b的前表面631至少部分地覆盖两个下微电子元件630a的后表面632。所有的下微电子元件630a可以具有布置在平行于衬底620的第一表面621的单个平面内的前表面631。

[0103] 图7示出了关于图5A至图5C的上述实施例的另一个变型。微电子封装710与图5A至图5C所示的微电子封装510相同,除了微电子封装710包括三个微电子元件对707,每对具有下微电子元件739a和上微电子元件730b。取代第四个微电子元件对707,微电子封装710包括由两个下微电子元件730a和一个对应的上微电子元件730b组成的组,该上微电子元件730b具有至少部分地覆盖每个上微电子元件的后表面732的前表面731。在一个示例中,微电子封装710可以具有九个微电子元件730,每个微电子元件730包括八位数据I/O触点。

[0104] 现在参考图8A和图8B,微电子组件801可以包括可以安装至共用电路板860的多个微电子封装810。每个微电子封装810如图1A至图1C的微电子封装10所示,但该微电子封装810可以是以上参考图1A至图7描述的任何微电子封装。电路板860可以具有相对的第一表面861和第二表面862以及暴露在各个第一表面和第二表面处的多个导电板触点。微电子封装810可通过例如在图1B中所示的可在每个微电子封装的端子和板触点之间延伸的接合件11安装至板触点。如图8B所示,第一微电子封装810a的衬底的第二表面以及第二微电子封装810b的衬底的第二表面可至少部分彼此覆盖。在特定的示例中,电路板860可以包括具有低于30ppm/°C的CTE的元件。在一个实施例中,该元件可基本由半导体、玻璃、陶瓷或液晶聚合物材料组成。

[0105] 在特定的实施例中,电路板860可以具有多个平行的暴露的边缘触点850,边缘触点850靠近第一表面861和第二表面862中的至少一个的插入边缘851,用于当微电子组件801插入插座时与插座(图9所示)的对应触点相配合。边缘触点850的一些或全部可暴露在微电子组件801的第一表面861或第二表面862之一或两者处。在一个示例中,电路板860可以是母板。在示例性实施例中,电路板860是可以用于附接至另一个电路板(例如母板)的模块(例如存储子系统)。电路板860至另一个电路板的附接可如下所述。

[0106] 暴露的边缘触点850以及插入边缘851的尺寸形成为插入至系统的其他连接件的对应的插座,例如可以设置在母板上。该暴露的边缘触点850可以适于与在该插座连接件内的多个对应的弹簧触点(图9)配合。该弹簧触点可以设置在每个槽的单侧或多侧从而与对

应的一个暴露的边缘触点850配合。在一个示例中,至少一些边缘触点850可用于承载各自边缘触点和一个或多个微电子封装810之间的至少一个信号或参考电位。在特定的实施例中,微电子组件801可具有与双列直插式存储器模块相同的信号接口。

[0107] 图8C至图8E示出图8A和图8B中所示的微电子组件801的变型,该微电子组件包括如图5A至图5C的微电子封装510所示的微电子封装810'。在图8C中,微电子封装802具有安装至电路板860的第一侧861的五个微电子封装810'。

[0108] 在图8D中,微电子封装803具有安装至电路板860的第一表面861的五个微电子封装810',并且示出另外的芯片830' (例如图1A中所示的另外的芯片30'),芯片830' 具有面对电路板的第一表面的表面。该另外的芯片830' 可以是以上参考图1A至图1C所描述的任何类型的另外的芯片,包括,例如,可用于帮助为每个微电子封装810' 提供关于微电子组件803外部的部件的信号隔离的缓冲芯片。在一个示例中,另外的芯片830' 可以包括存储控制器。

[0109] 在图8E中,微电子封装804具有均安装至各自插座805的五个微电子封装810',并且每个插座均安装至电路板860的第一表面861。

[0110] 以上参考图1至图8E描述的微电子封装和微电子组件可用在各种电子系统(例如图9所示的系统900)的构造中。例如,根据本发明的进一步的实施例的系统900包括多个模块或部件906(例如以上所描述的微电子封装和微电子组件)以及其他电子部件908和910。

[0111] 系统900可以包括多个插座905,每个插座包括在插座的一侧或两侧的多个触点907,以使每个插座905可以适于与对应的模块或部件906的对应的暴露的边缘触点或暴露的模块触点配合。在示出的示例性系统900中,系统可以包括电路板或母板902(例如柔性印刷电路板),电路板可包括将模块或部件906相互互连的多个导体904(其中之一描绘在图9中)。该电路板902可以将信号传输至包括在系统900中的每个微电子封装10或110或传输来自包括在系统900中的每个微电子封装10或110的信号。但是,这仅仅是示例性的;任何用于制造模块或部件906之间的电连接件的合适的结构均可使用。在特定的示例中,不是具有通过插座905联接至电路板902的模块或部件906,可以将一个或多个模块或部件906(例如微电子封装10)直接安装至电路板902。

[0112] 在特定的实施例中,系统900也可以包括处理器(例如半导体芯片908),以使每个模块或部件906可以用于在时钟周期内并行地传递N位数据比特,并且处理器可以用于在时钟周期内并行地传递M位数据比特,M大于或等于N。

[0113] 在一个示例中,系统900可以包括用于在时钟周期内并行地传递32位数据比特的处理器908,并且系统也可以包括四个模块906(例如参考图1A到图1C描述的模块10),每个模块906用于在时钟周期内并行地传递八位数据比特(即,每个模块906可以包括第一微电子元件和第二微电子元件,两个微电子元件的每个用于在时钟周期内并行地传递四位数据比特)。

[0114] 在另一个示例中,系统900可以包括用于在时钟周期内并行地传递64位数据比特的处理器芯片908,系统也可以包括四个模块906(例如参考图9所描述的部件1000),每个模块906用于在时钟周期内并行地传递十六位数据比特(即,每个模块906可以包括两组第一微电子元件和第二微电子元件,四个微电子元件的每个用于在时钟周期内并行地传递四位数据比特)。

[0115] 在图9示出的示例中,部件908是半导体芯片,部件910是显示屏,但是在系统900中

可以使用任何其他部件。当然,尽管为了描述的清楚性,图9中仅示出两个另外的部件908和910,但系统900可以包括任何数量的该部件。

[0116] 模块或部件900以及部件908和910可以安装在用虚线示意性示出的共用壳体901中且必要时彼此电互连以形成期望的电路。壳体901被示为在例如移动电话或个人数字助理中可用类型的便携式壳体,屏幕910可以暴露在壳体的表面处。在结构906包括光敏元件(例如成像芯片)的实施例中,还可以设置用于将光发送到该结构的透镜911或其他光学装置。另外,图9中所示的简化系统仅仅是示例性的;可以使用上述的结构形成其他系统,包括通常被认为是固定结构的系统,例如台式电脑、路由器等。

[0117] 在前述的任何或全部的微电子封装中,一个或多个微电子元件的后表面完成制造后可以至少部分地暴露在微电子封装的外表面处。因此,在以上关于图1A描述的微电子封装10内,微电子元件30的后表面32可以部分地或完全地暴露在完成的微电子封装10内的密封剂的外表面处。

[0118] 在上述的任何实施例中,微电子封装可以包括部分地或完全地由任何合适的导热材料制成的散热器。合适的导热材料的示例包括,但不限于,金属、石墨、导热粘合剂(例如,导热环氧树脂、焊料等等)或这些材料的组合。在一个示例中,散热器可以是大体连续的金属片。

[0119] 在一个实施例中,散热器可以包括靠近一个或多个微电子元件设置的金属层。金属层可以暴露在微电子元件的后表面处。可选地,散热器可包括至少覆盖微电子元件的后表面的包胶模或密封剂。在一个示例中,散热器可以与每个微电子元件(例如,图5A和图5B所示的下微电子元件530a和/或上微电子元件530b)的前表面和后表面的至少一个热连通。散热器可以在相邻的微电子元件的一个的相邻边缘之间延伸。散热器可以改善向周围环境的散热能力。

[0120] 在特定的实施例中,由金属或其他导热材料制成的预先形成的散热器可以使用导热材料(例如,导热粘合剂或导热润滑油)附接至或设置在一个或多个微电子元件的后表面。如果存在粘合剂,该粘合剂可以是允许散热器和散热器所附接的微电子元件之间相对移动的柔性材料,例如,以适应柔性附接的元件之间的不同的热膨胀。散热器可以是单片结构。可选地,散热器可包括彼此间隔开的多个散热片部分。在特定的实施例中,散热器可以是或包括直接接合至一个或多个微电子元件(例如图5A和图5B所示的下微电子元件530a和/或上微电子元件530b)的后表面的至少部分的焊料层。

[0121] 尽管此处已经参考特定实施例对本发明进行了描述,应该理解的是这些实施例仅是对本发明的原理和应用的说明。因此,应理解的是,在不脱离通过所附权利要求限定的本发明的精神和范围的情况下,可以对上述说明性实施例进行各种修改以及可以设计其他布置。

[0122] 应理解的是,此处阐述的各个从属权利要求和特征可以以与原始权利要求提出的不同的方式相组合。还应理解的是,关于各个实施例描述的特征可与所述实施例的其他特征共享。

[0123] 工业实用性

[0124] 本发明具有广泛的工业实用性,包括但不限于微电子封装及制造微电子封装的方法。

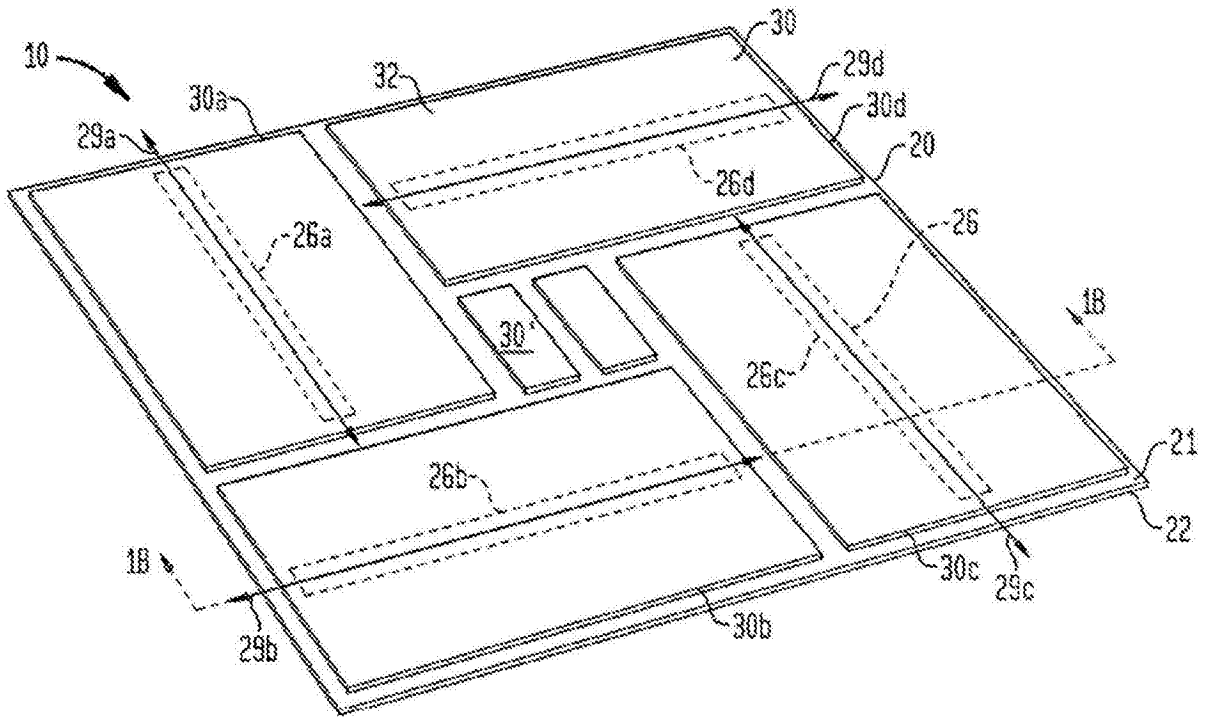


图1A

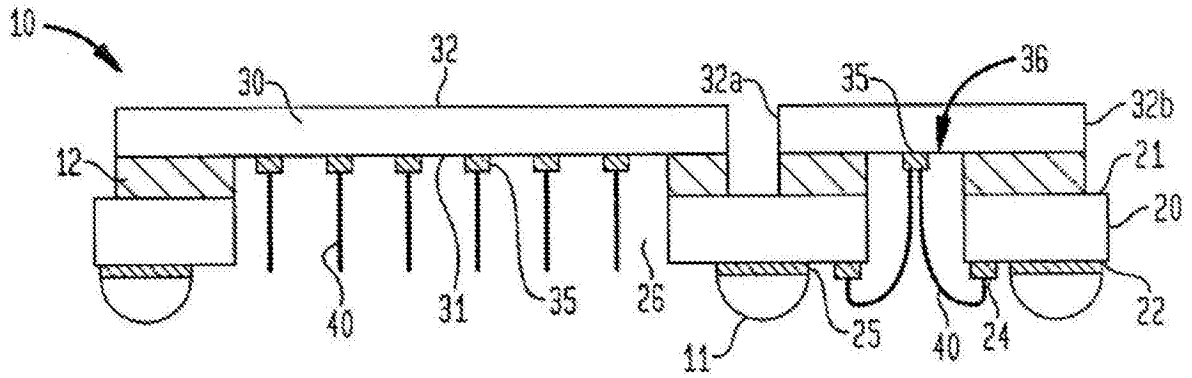


图1B

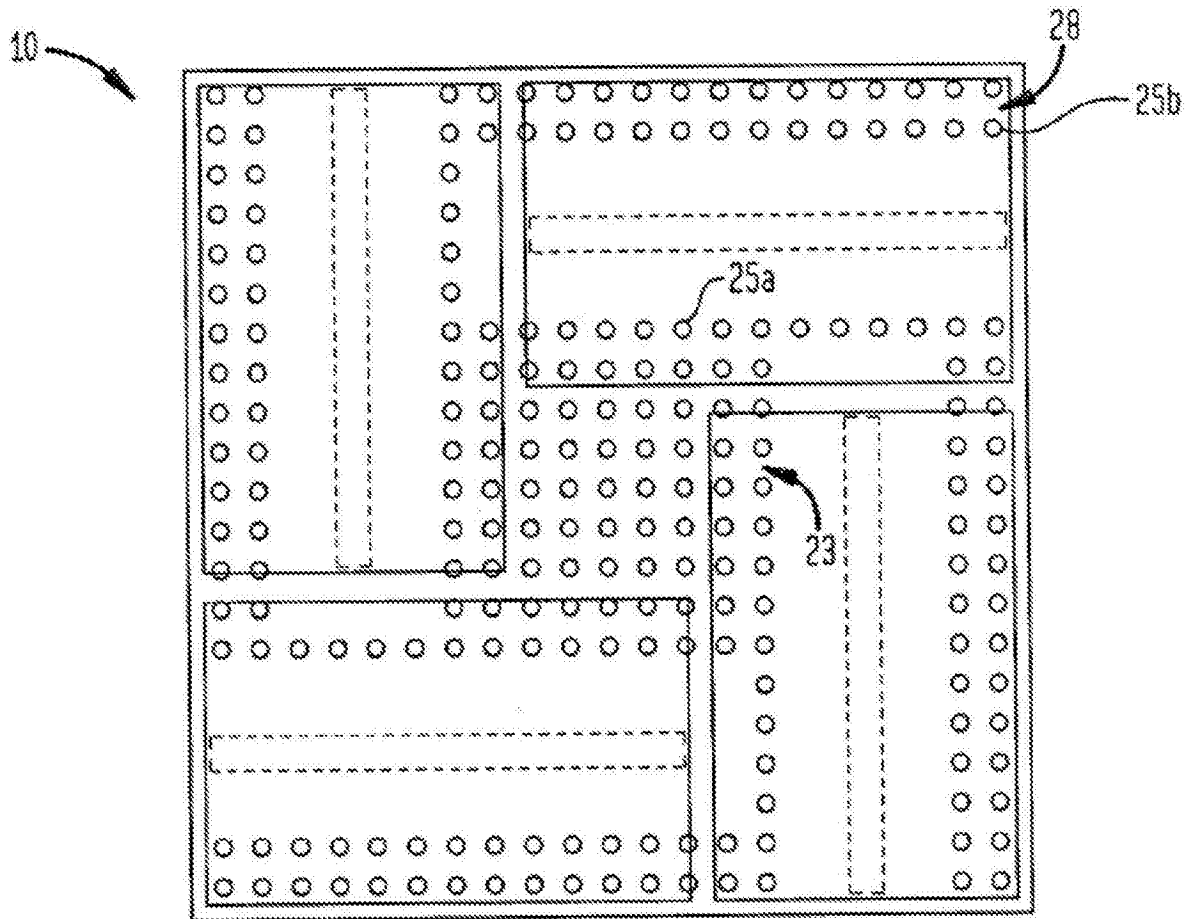


图1C

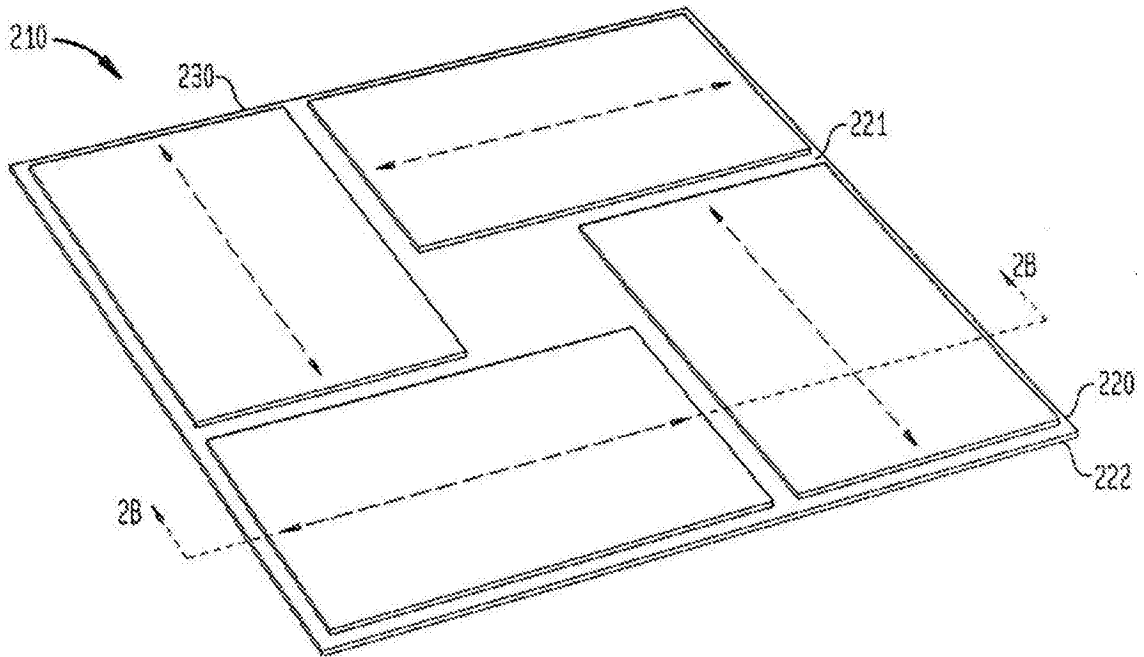


图2A

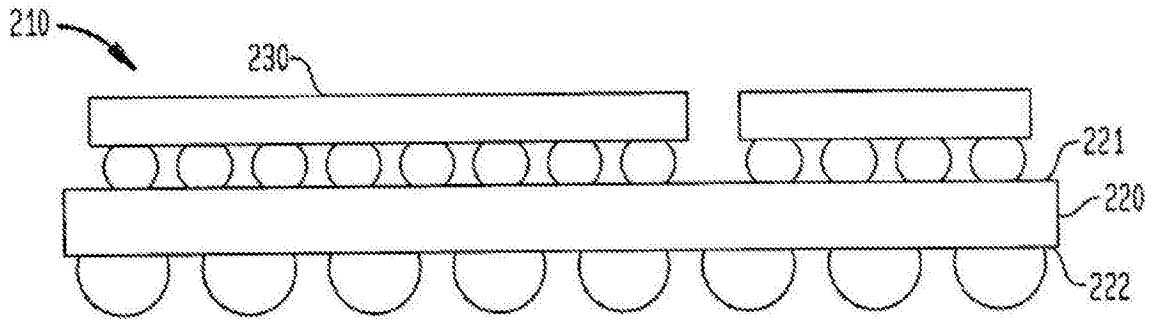


图2B

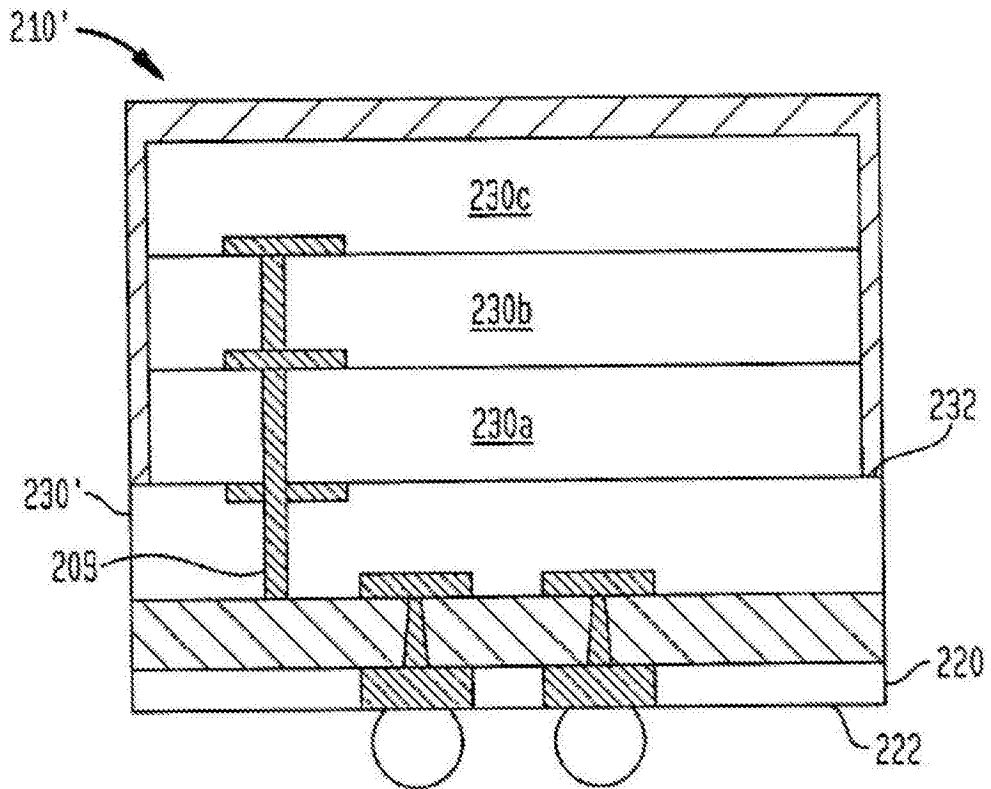


图2C

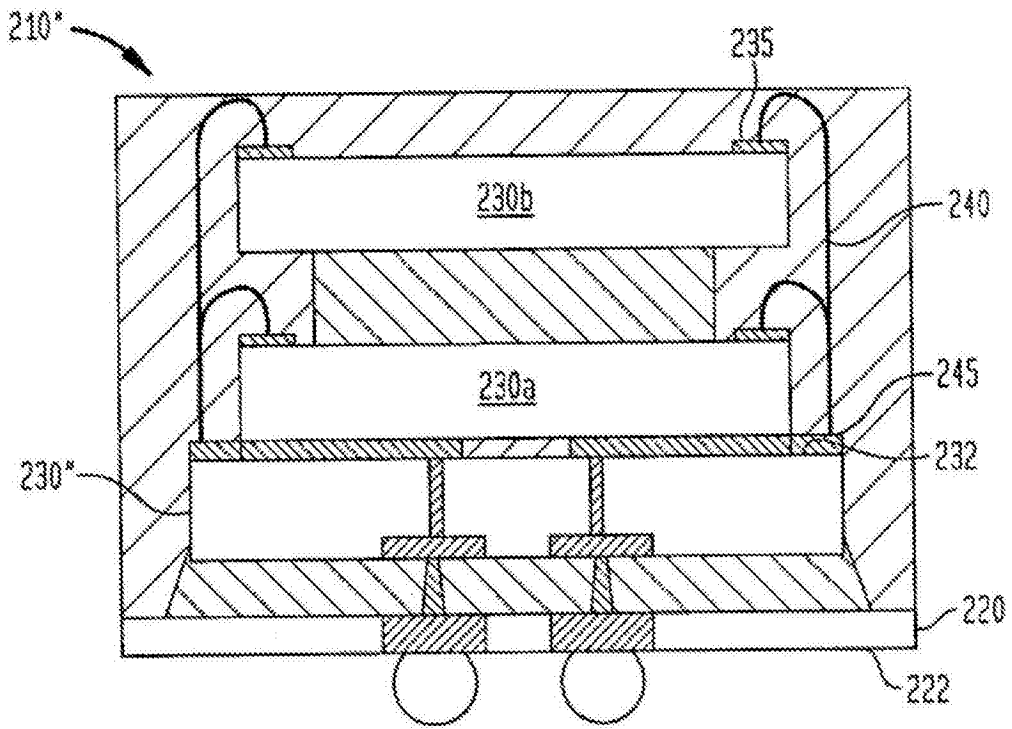


图2D

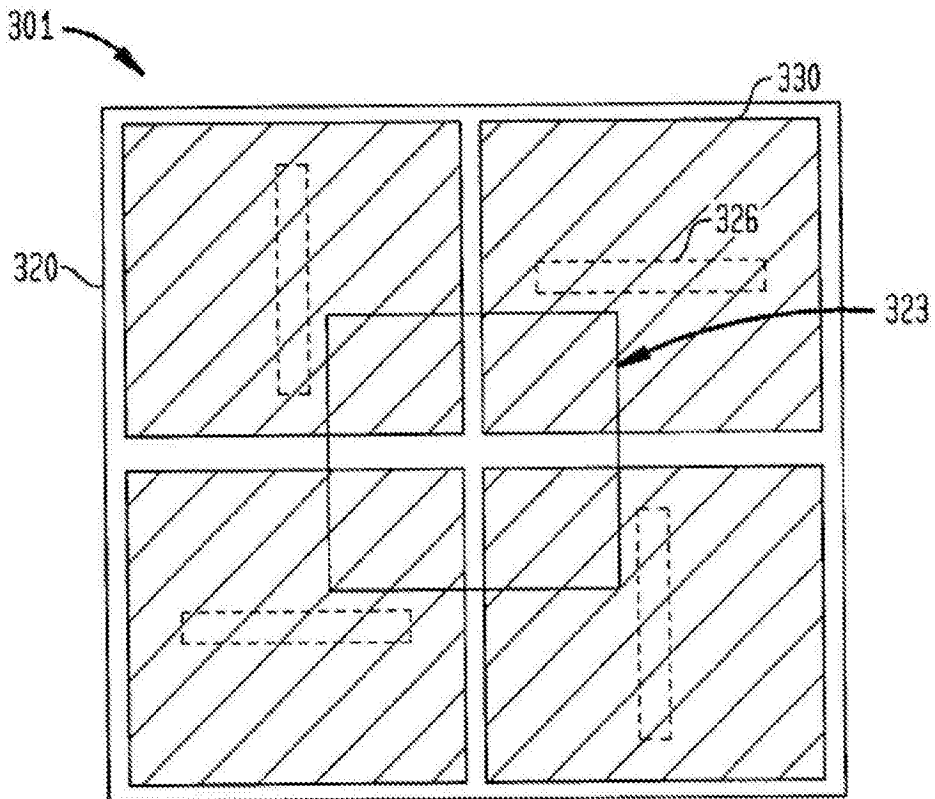


图3A

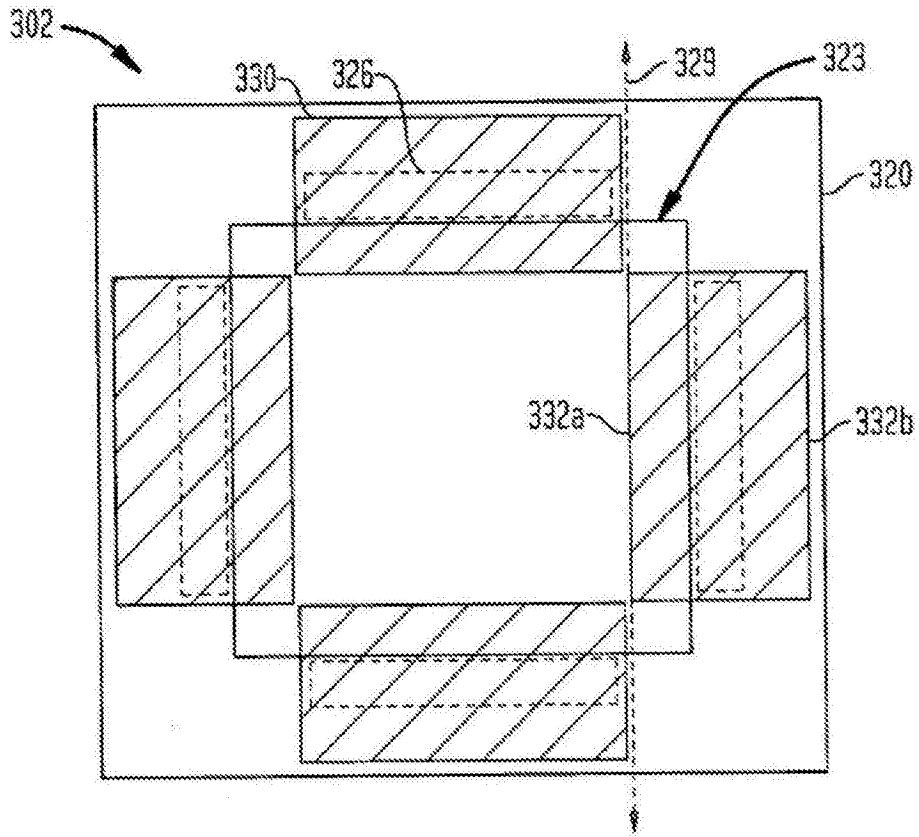


图3B

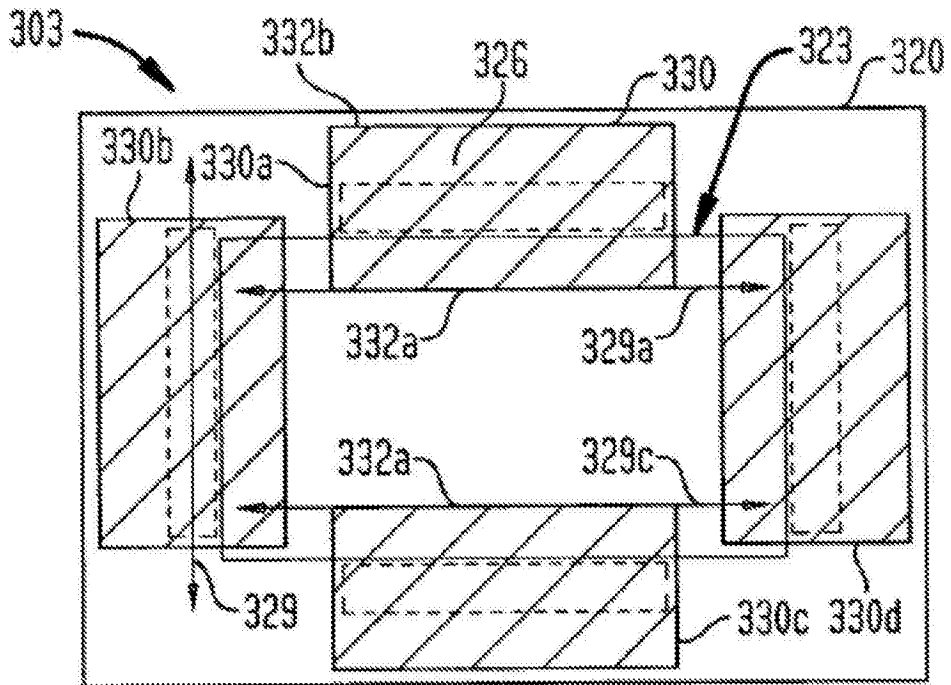


图3C

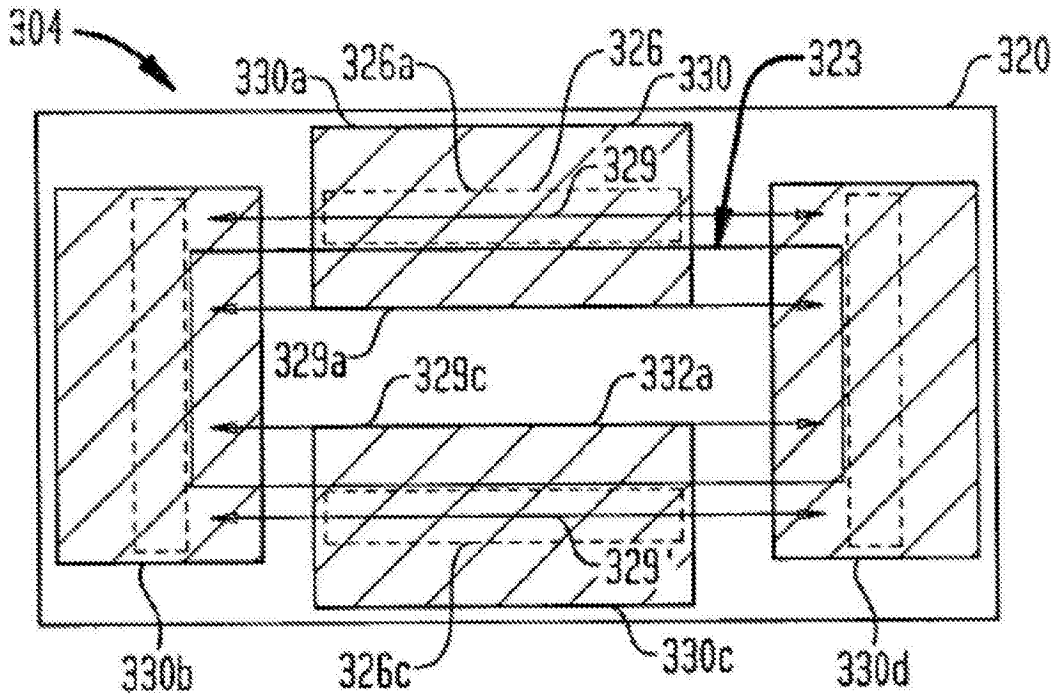


图3D

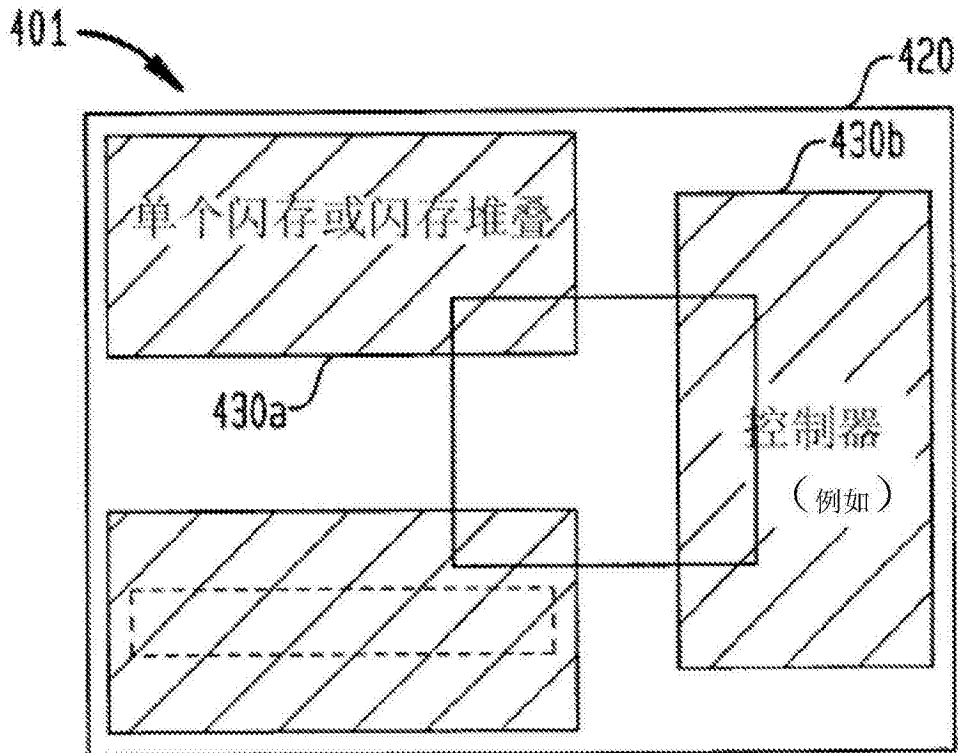


图4A

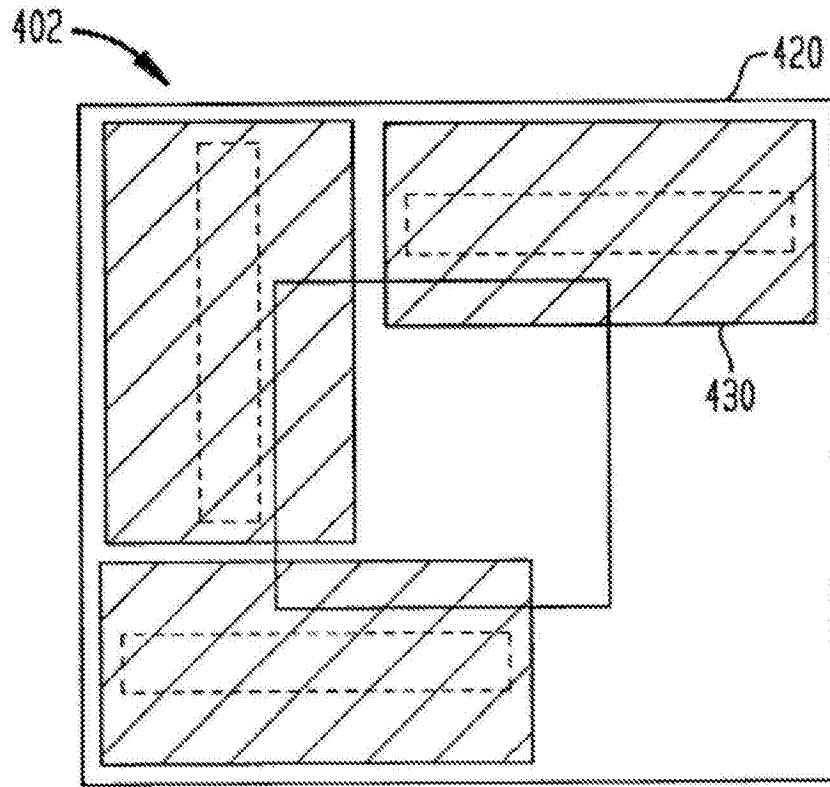


图4B

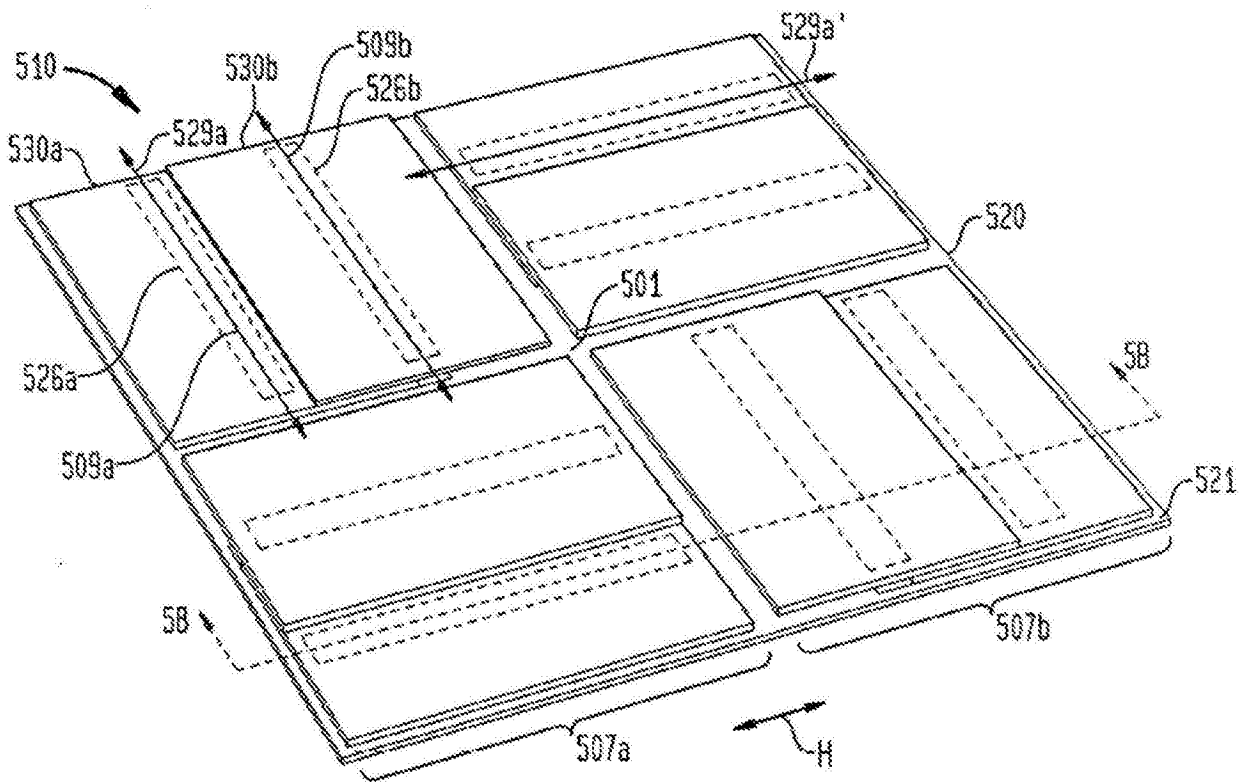


图5A

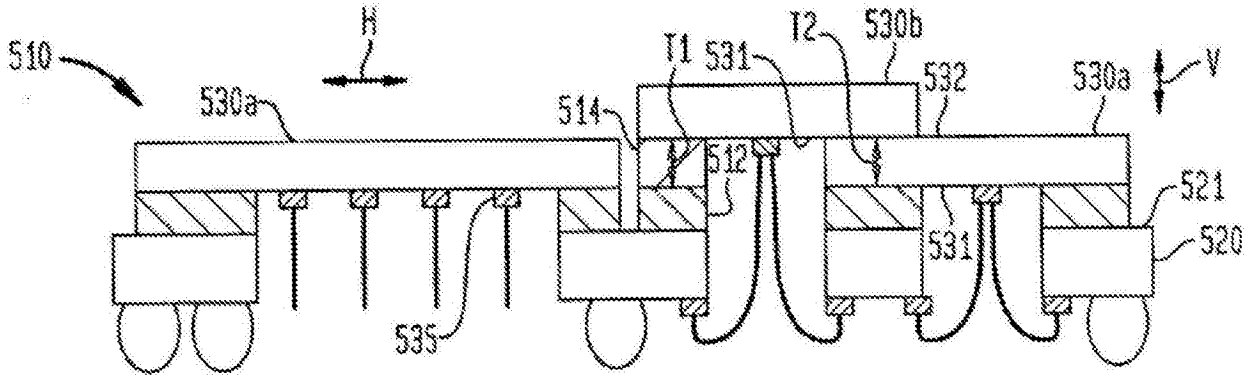


图5B

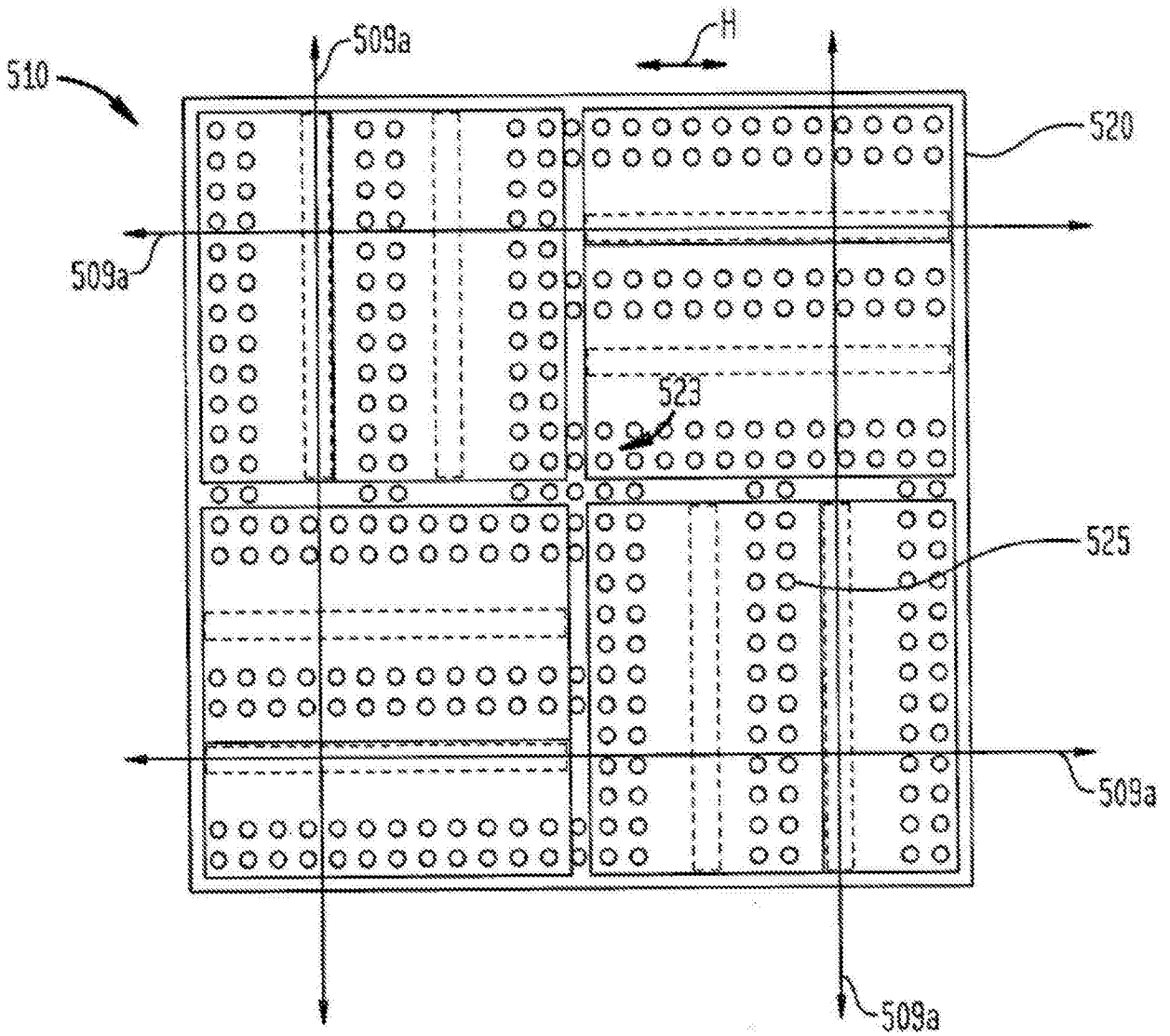


图5C

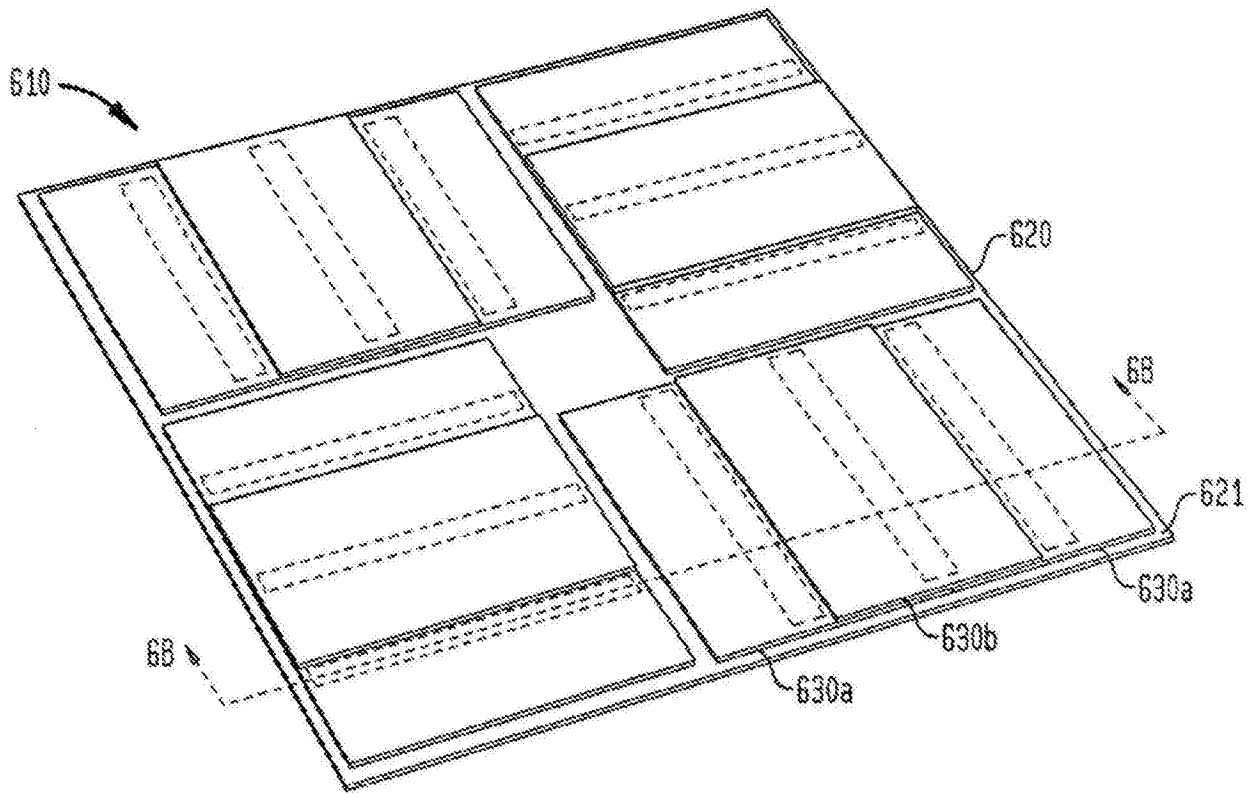


图6A

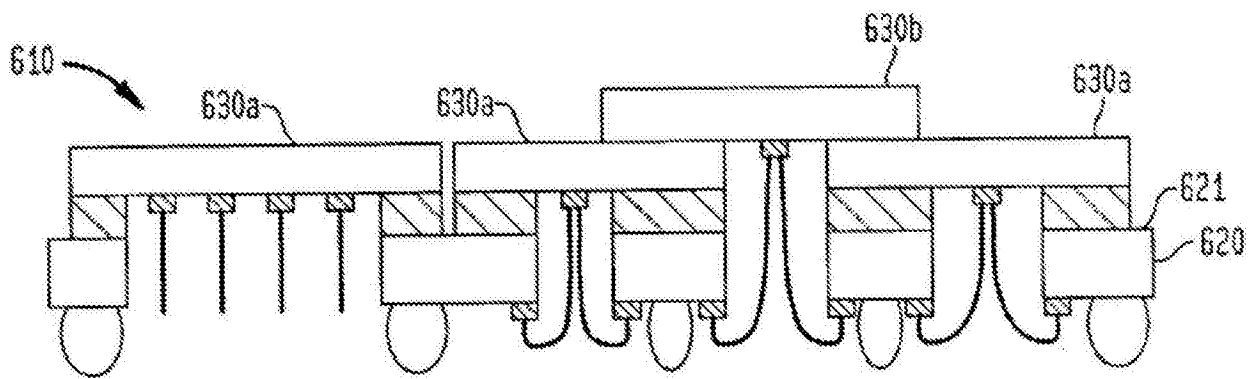


图6B

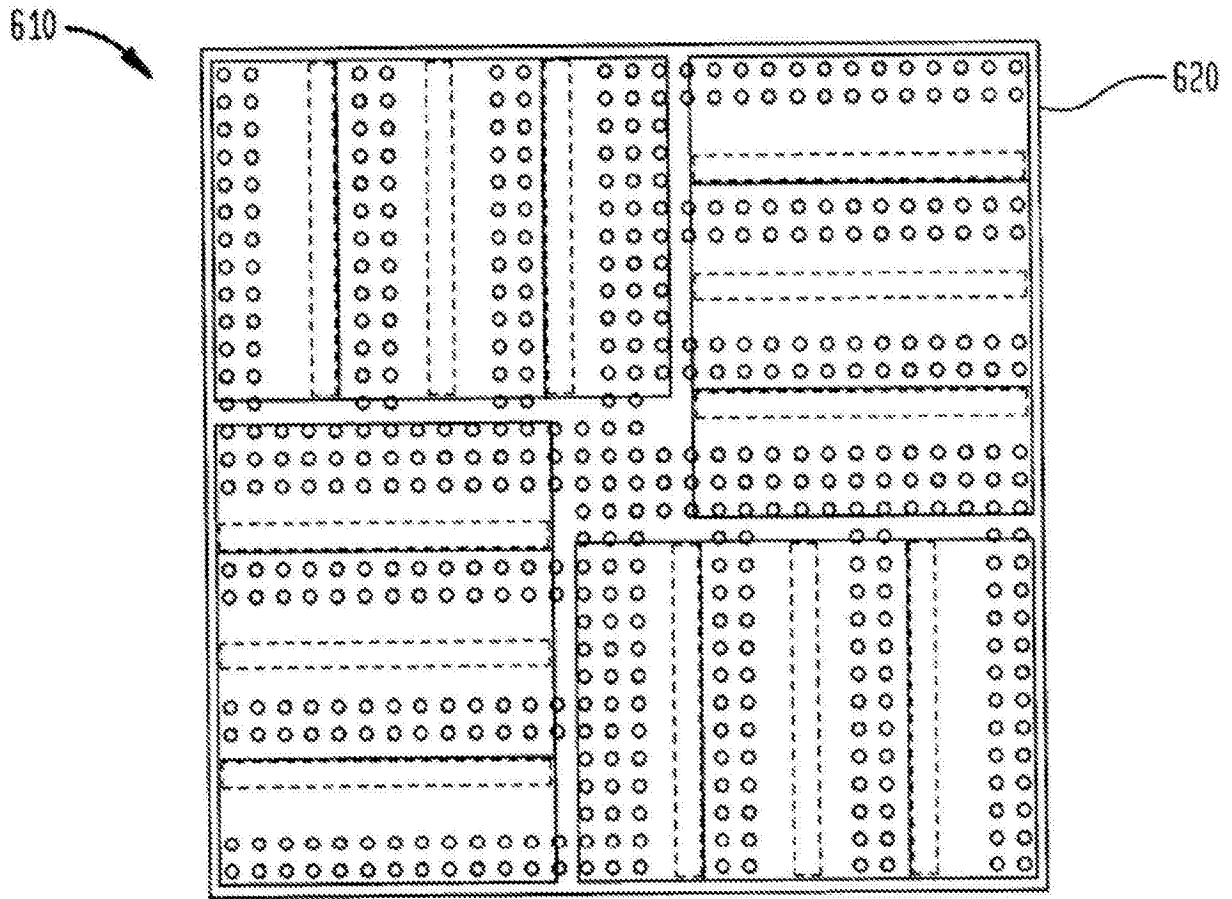


图6C

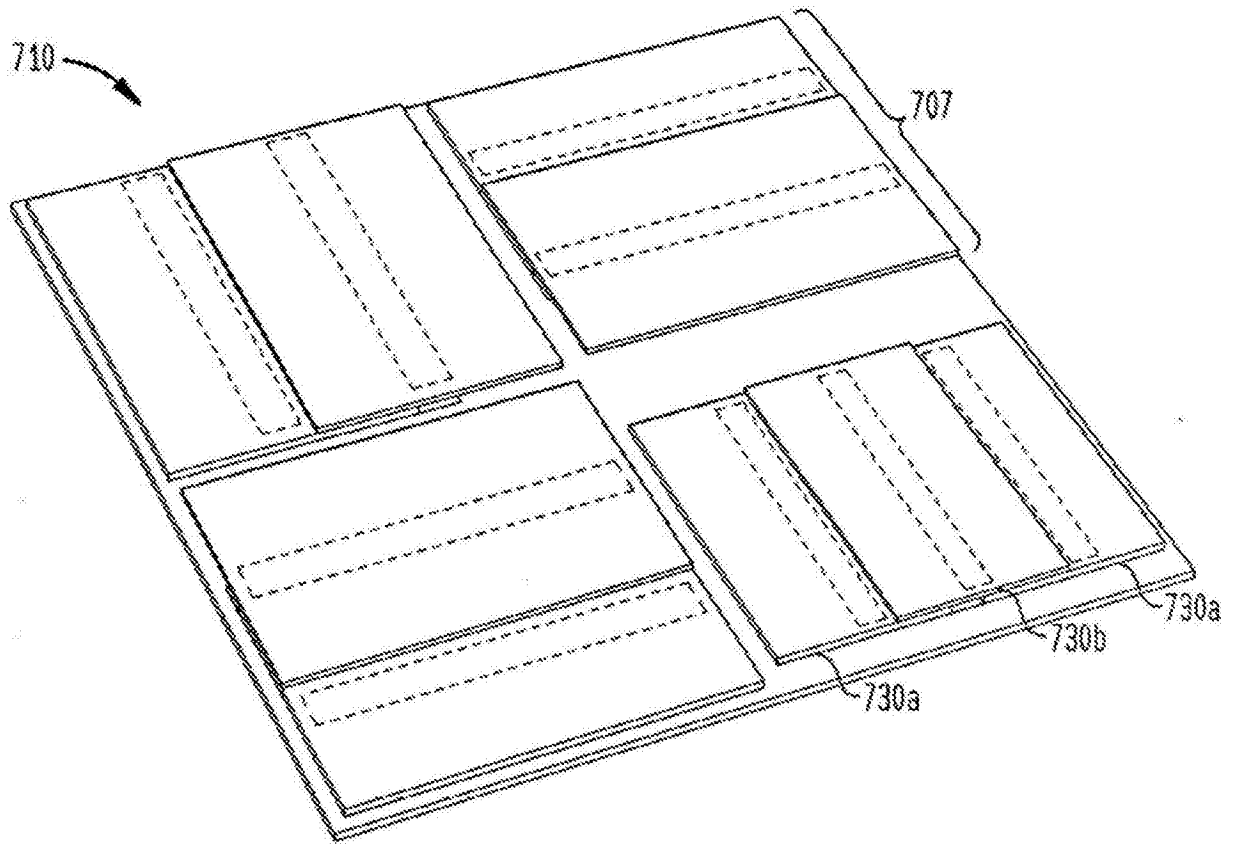


图7

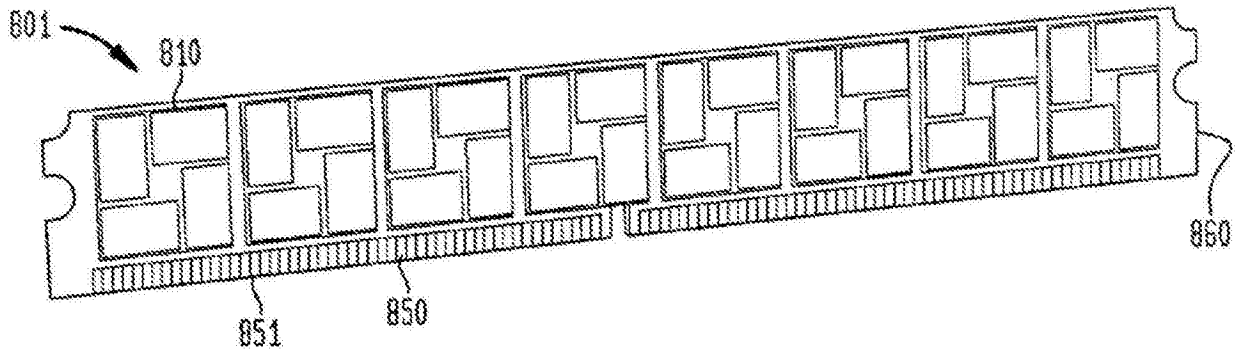


图8A

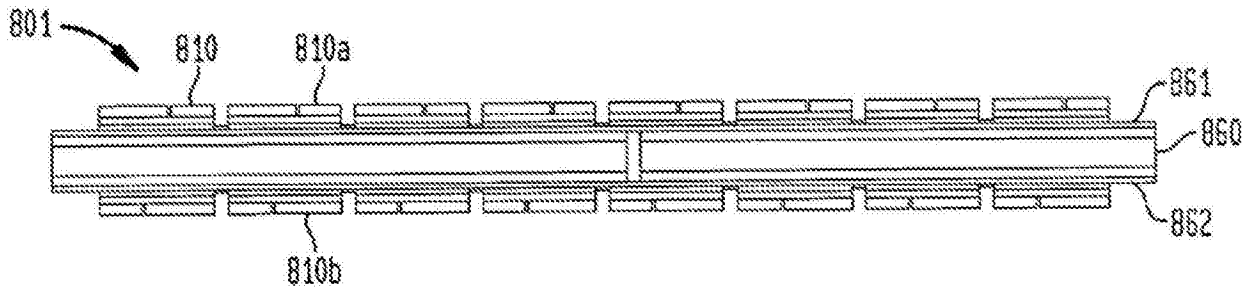


图8B

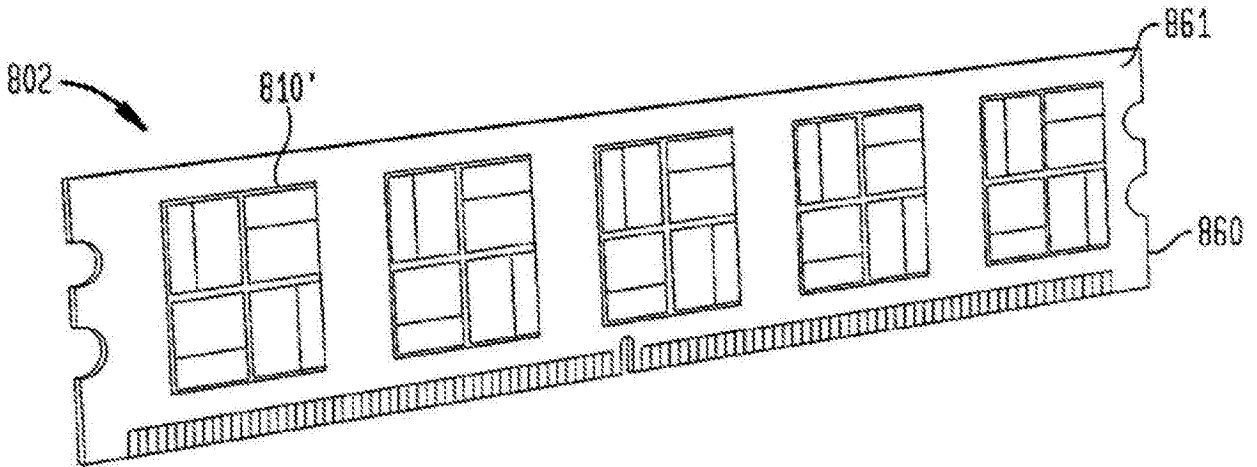


图8C

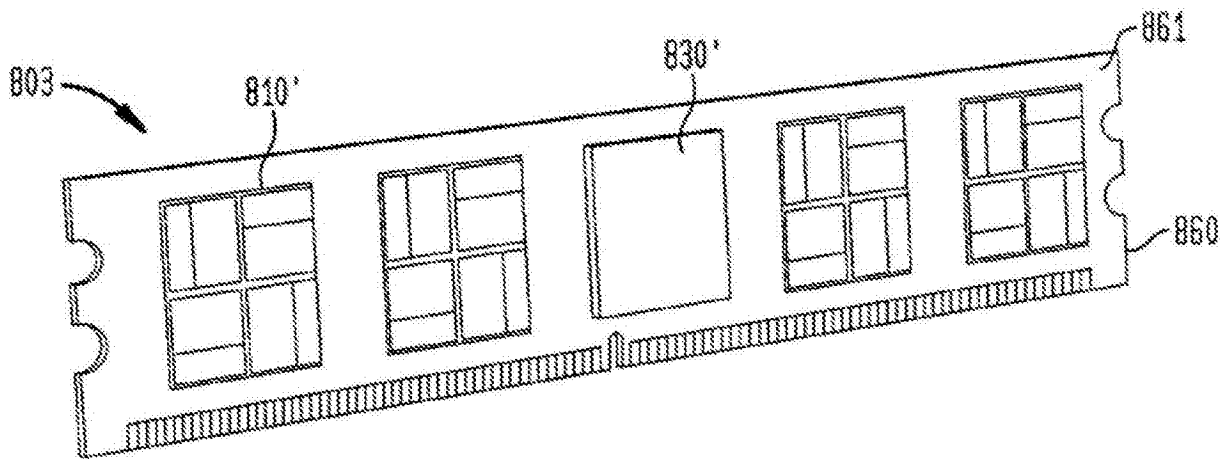


图8D

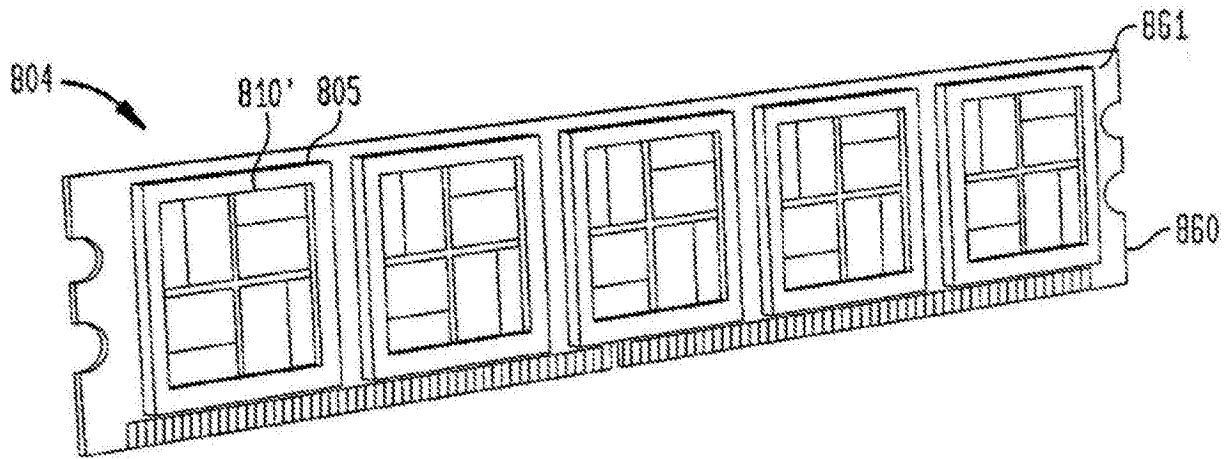


图8E

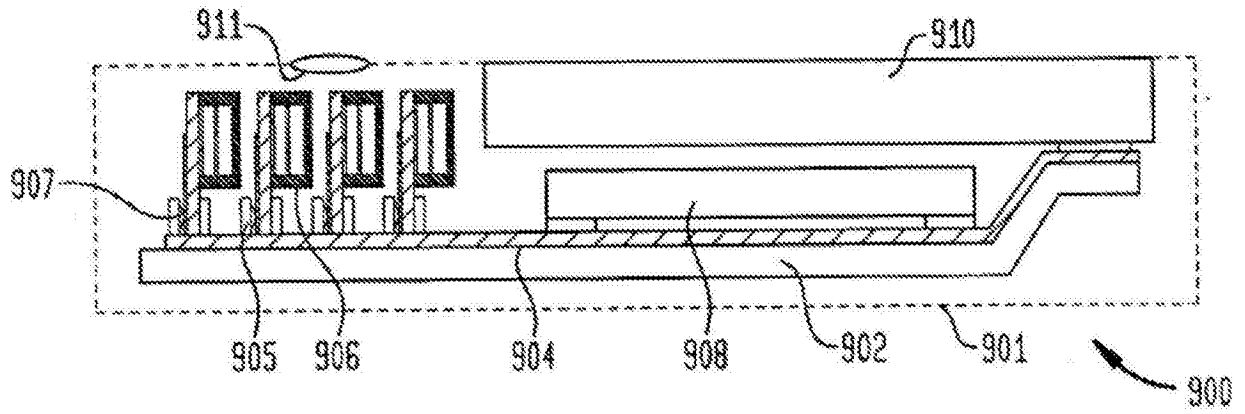


图9