

298665

申請日期	85. 4. 30.
案 號	85105156
類 別	1701/328

298665

A4
C4

公告本

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置
	英 文	"SEMICONDUCTOR DEVICE"
二、發明 人	姓 名	安德瑞那斯·威廉·路迪克胡茲
	國 籍	荷蘭
	住、居所	荷蘭恩特荷芬市格諾內梧茲路1號
三、申請人	姓 名 (名稱)	荷蘭商飛利浦電子股份有限公司
	國 籍	荷蘭
	住、居所 (事務所)	荷蘭恩特荷芬市格諾內梧茲路1號
	代 表 人 姓 名	傑·伊·姆·葛拉瑪

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

歐盟 國(地區) 申請專利，申請日期：1995.3.23 案號：95200726.8，☐有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明與一半導體裝置有關，此裝置有一半導體主體，在表面上有一橫向絕緣閘雙極電晶體(LIGBT)之電路元件，同時包括一第一導電型之表面層，與表面鄰接並在與表面相對之一邊經pn接面併入第二導電型(與第一導電型相反)之區域(以下簡稱為基板)。此電路元件於表面層中置有第二導電型之基極區、由基極區中所提供第一導電型表面區形式之源極、由鄰接基極區第一導電型表面區之一部分所形成之漂移區、藉漂移區與基極區隔開且包含第二導電型表面區之排流及由漂移區與源極區間基極區之一部分所形成波道區上方之絕緣閘電極。此種裝置曾揭露於由Robinson及其同仁所發表之「具有經改進門鎖特色之橫向絕緣閘電晶體」一文中，該文發表於IEDM Tech. Dig.雜誌之第744-747頁，於1985年出版。

此種電路元件在文獻中有多種不同之縮寫名稱，例如LIGBT(橫向絕緣閘雙極電晶體)、LIGT(橫向絕緣閘電晶體)以及LIGR(橫向絕緣閘整流器)等。此種元件通常是由-LDMOST-(橫向DMOST)所形成，其中之排流形成一整流器接頭(例如一個pn接面)而和DMOST之漂移區相接。在「接通電源」(on)之狀態下，此一整流器接頭即變成前向偏壓，同時也會將少數載子注入漂移區，從而漂移區之導電性即會增高。此外，更可藉著二極體作用(如此即可經由MOS波道供應電子)及雙極電晶體作用(使排流如同一射極，而DMOST之基極區域則如被注入之充電載子之集極)以增進此種效應。由於打開電源時的低電阻和橫向結

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

構，這些元件特別適於切換積體電路中之強勁電流。在這些電路元件中可能會發生一個問題，即寄生pnpn效應(在一個n波道電晶體中)，通常被稱為閃鎖，因而會損傷甚至摧毀電晶體。

在上述Robinson之論文中提出有數點建議來抑制此種pnpn(或在互補時則為npnp)效應。該論文圖2b中所提出之建議係在p型基極區域不朝向排流之側面提供一相當深之p型表面區，自該表面延伸至p型基板中。如該文所指出，此一方法較為無效，因為寄生npn電晶體之基極電阻 r_{bb} 仍然相當高。根據該文所提出之另一項建議(示於圖2c中)，在整個基極區域下方，介於p型基板和n型表面層間之介面處提供一p型埋入層，此層自基板伸入p型基極區域中。此方法對抑制閃鎖情形相當有效，但它仍有很大的缺點，因為隱藏層能增加DMOST之臨界電壓，從而降低特定開電極之波道電流。此外，埋入層之存在可能為形成表面層之晶膜層之厚度有所限制。舉例來說，在高電壓用途中，可能需要使用非常厚的晶膜層。

本發明之目的在提供一項本文首段所述之半導體裝置，該裝置中之閃鎖情形可有效加以抑制，而上述已知裝置之結構和運作方面之缺點則可予以避免。

根據此一目的之本發明半導體裝置之特徵在於其源極包含數個在表面處看彼此相鄰且相隔一段距離之次區域，同時其基極區域包含第一和第二次區域，其中之第一次區域自表面向下伸入表面層一較小深度，並將上述源極之次區

五、發明說明(3)

域與表面層分開，而基極區域之第二次區域自表面向下伸入表面層一相當大之深度，同時在表面處看，該第二次區域是以橫向自源極之各個次區域間較第一次區域之毗鄰部份更加深入漂移區。由於較深之第二次區域(其電阻係數相當低)和波道一樣置於基極區域之同一側，因此可保持較低之寄生npn電晶體基極電阻，因而可有效避免寄生pnnp作用。由於此一降低電阻區域位於實際波道區域旁，所以電晶體之臨界電壓不會或幾乎不會受到第二次區域之影響。此外，第二次區域可由一適當深度和摻雜濃度之表面區域所形成，而對其他參數(如表面層之厚度)之選擇可保有相當大之自由度。

在此提供一項具有特別優點之具體實例，即LIGHT可輕易地併入積體電路，而第二個次區域可與島絕緣同時形成。此項具體實例之特徵在於基極區域之第二個次區域是與第二導電型之基板導電相連。

根據本發明裝置之一重要具體實例其特徵在於其第一導電型之源極之各個次區域被第二導電型基極區域之插入部份所分隔。伸入不同次區域之源極之次區域會降低基板區域中之電阻，因而更抑制了寄生pnnp(或npnp)效應。

另外，在實際情況中亦發現，閃鎖情形可能在較大之電晶體中，例如具有較高W/l比率之電晶體中，於較低之電流密度時發生，而較不會在較小的電晶體中發生。根據本發明半導體裝置之另一具體實例其特徵在於上述源極之每個次區域皆提供有一鎮流電阻。本發明係根據一項認識，

五、發明說明(4)

即大電晶體和小電晶體間之閃鎖作用之差異可能是由熱效應所引起：即大電晶體中心之溫度可能較邊緣處之溫度稍高，因此局部基極電阻也變得較高，而中心部位之pnpn效應也較早開始。鎮流電阻提供了一個負回饋，因而局部降低了源極區和基極區域間pn接面上之電壓。

在此將參考數項具體實例及附圖來詳細說明本發明，其中：

圖1為根據本發明之半導體裝置之設計圖；

圖2為取自線II-II部份本裝置之橫截面圖；

圖3為取自線III-III部份本裝置之橫截面圖；

圖4為本裝置之寄生pnpn之一個同等電路圖；

圖5為根據本發明半導體裝置之第二項具體實例之設計圖；

圖6為根據本發明半導體裝置之另一具體實例之設計圖。

上述各圖僅為圖示說明，並未按實際比例繪製。尤其是垂直方向之尺寸已予特別放大。此外，圖中僅顯示出本裝置包含有LIGBT之部份。從下列說明中，熟於此項技術者即可看出，LIGBT可與其他電路元件形成積體電路之一部份。由於這些元件，例如雙極電晶體、二極體、電阻器等，均可以已知的方法製造，此處不再深入討論這些元件。

圖1至圖3為本發明裝置之第一個具體實例。此裝置包含一個半導體主體1，此主體在本例中是由矽製成，但亦可由任何其他適當的已知半導體物質製成。半導體主體包含

五、發明說明(5)

一個第一導電型之表面層3(在此例中為n型)，連接表面2並位於面離該表面之側，透過一個pn接面4而併入第二導電型(在此例中為p型)之區域5(以下稱為基板)中。LIGHT實際上是由一在n型表面層3中所提供且包含p型基極區域6之橫向DMOST(LDMOST)架構所形成。一個n型表面區7置於基極區域6中，藉p型區域6而與n型表面層隔開，並形成電晶體之源極區。LDMOST架構更包含一個由鄰接基極區域6之表面層3之部份8所形成之漂移區。而在另一側，漂移區與電晶體之排流相鄰，在LIGHT中常稱為陽極，同時包含一p型表面區9，形成與漂移區8之pn接面10。

源極區7和基極區6與使介於區域6和7間之pn接面短路之源極接點11導電相連。漂移區8和已大量攙雜過的n型接觸區13與排流接點12相連接，同時與使pn接面10短路之區域9連接。電晶體更包含有一個在波道區15之上所置之開電極14，波道區15是由位於源極7和漂移區8間之基極區域6之一部份所形成。開電極14以開介質16而與波道區15隔開，該開介質16通常是由氧化矽所形成。

源極區包含數個次區域，這些次區域在圖1中以7a，7b，7c等符號表示，同時，自表面處看，這些次區域彼此相鄰，並互相隔開一段距離。基極區域6是由第一個次區域6a和第二個次區域6b所組成，此二區域在圖1以虛線顯示，以便清楚識別。形成電晶體波道區15之第一個次區域6a自半導體主體之表面2向下延伸較淺深度而進入表面層3。第二個次區域6b則自表面2以較深深度伸入表面層3。

五、發明說明(6)

如圖1所清楚顯示，次區域6b自7a，7b等次區域間，較之基極區域中較淺的第一次區域6a之鄰接部份更深遠地橫向伸入漂移區8中。

為清楚說明此處所述LIGBT之效應，圖4顯示了寄生pnpn之同等電路圖。pnp電晶體 T_1 是由p型區9，n型漂移區8和p型基極6所形成，分別成為pnp電晶體之射極、基極和集極。npn電晶體 T_2 則包含n型區域7、p型區6和n型漂移區8，分別形成npn電晶體之射極、基極和集極。被陽極區9注入漂移區8、並被p型基極區域收集之電洞在源極區7之下通過，而流向接點11。在圖4中以R代表相對應之電阻。此電阻愈大，pnpn電晶體將按比例以較低電流導電。低電阻次區域6b之出現顯著降低了基極區域中之電阻R。LIGBT之臨界電壓則同時由次區域6a之濃度來決定，而可保持在所需之低值。

另外，也可在基板5和表面層3之間使用p型埋入區18而更加降低上述電阻。上述埋入區如圖2所示可延伸在整個基極區6之下方。

本LIGBT之實例適於在高電壓之運作，因此，在開始製造時就使用一相當高電阻(電阻率約為公分90歐姆)之p型基板5。p型埋入區(如埋入區18)是以眾所熟知之方式形成，在半導體主體置有其他電路元件(如雙極電晶體)之他處則為n型。一個n型表面層3(例如23微米厚)以約每公分60歐姆之電阻率，如晶膜般地沉澱在基板5之上。因此，厚度和摻雜濃度應為對高電壓元件可利用文獻中熟知之更

五、發明說明(7)

換表面原則在崩潰現象發生前，至少自基板局部耗盡整個晶膜層之厚度。在下一步驟中，透過擴散硼原子，提供了較深的p型次區域6b。此時，可在此擴散過程的同時，形成島絕緣區，將晶膜層細分成互相絕緣之島。凸出的指狀物6b和指狀區間之空間隙寬度大約為30微米。然後以熱氧化之方法長出厚度0.1微米之氮氧化物16，從而一層多晶矽(以下簡稱為poly)會被沉澱、攪雜並定樣，以獲得LIGBT之閘電極14，若有必要也可獲得更多電路元件之部份。然後在n型區7和13形成之後、提供p型區6a和9。在表面上即會覆蓋一氧化物和(或)氮化物之介質層，並於其中以一般方法提供接觸窗。接下來就沉澱並定樣一摺有矽之金屬層A1以取得接點。請注意，LIGBT之源極和排流接點11和12延伸至漂移區之上方，因此形成一電場平板，而得到較佳之電場分佈和較高之崩潰電壓。

在此處所述之實例中，源極區7形成一連續區，在此區中電晶體在指狀區6b處之臨界電壓較在指狀區6b間區域中之電壓有所增加。在圖5則更進一步地降低圖4中之電阻R，藉此可更為增加通過LIGBT之電流，而避免門鎖現象。圖中僅示出源極區7和基極區域6。其餘元件則與圖1中相對應之元件完全相同，並未在圖5中示出以求清晰。基極區域6仍包含一界定LDMOST臨界電壓之較淺p型區6a及較深區6b，其中有凸起且深入漂移區8且為陽極(未示出)注入漂移區之電洞形成一集極之指狀物。源極區並不像前例會形成一連續區，但它在此處包含一些獨立且被p型基

五、發明說明(8)

極區域6互相分離之區域7a、7b和7c。雖然在此建構中LDMOST之波道長度比前例中之波道長度小，但由於在區6b中之高臨界電壓，其對通過電晶體之電流影響相當小。相較之下，在p型指狀物6b區內若無n型區即會顯著降低基極電阻R。

在實務中更進一步發現，使閃鎖發生之通過LIGBT之電流階度在大型電晶體中通常較在小型電晶體中為低。可能的解釋是，由於LIGBT之中心部份與四周相比，其散熱較差，因此在中心部位之溫度較四周要高，而局部電阻R(見圖4)亦是如此。此種效應可藉由npn次電晶體射極路徑中之電阻而抵消，此等次電晶體之射極均由每個次區域7a、7b等所形成。此電阻也可由區域7a、7b、7c本身之內部電阻取得。此一做法在具體實例之計劃圖(圖6)中示出。在此圖中已繪出基極區域之較深次區域之指狀區6b以及次區域7a和7b。這些次區域中有窄化的部份19，使得電阻可達一適當值。本圖亦示出接觸窗20，在其中基極區域6和源極7與源極接點11(未示於圖中)相連。由於接觸窗20在窄化部份19之區域處提供一種壓縮狀況，所以源極接點11僅會在21之區域處與次區域7a和7b等接觸。若提供一層約10歐姆之電阻，就可能達成在每30微米之區中僅有數十歐姆之射極串聯電阻，這在大多數情況下即已足夠。

須知本發明並不僅限此處所提出之具體實例，對熟於此項技術者而言，在本發明範疇內亦可有許多變化。因此，上述具體實例中之導電類型可以相反。此外，在此所述具

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

體實例中之p型陽極區9，可能以數個彼此相鄰且被插入其間之n型表面層3所隔離之次區域形成。如1990年4月4日之歐洲專利申請中(申請號EP-A10 361 589)所述，此種將陽極再加分割可對LIGHT之速度有相當改進，特別是在電晶體關掉後。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: 半導體裝置)

本發明係關於一含有一LDMOST結構之橫向絕緣閘雙極電晶體(LIGBT)，於該LDMOST中之排流/陽極9、13略有將電荷載子注入漂移區8之pn接面。為了防止門鎖，LDMOST之基極區域6置有與基極區相同導電類型且局部以相當遠之深度伸入漂移區之深長區6b。此等區域收集由陽極注入漂移區之電荷載子而為這些電荷載子形成至源極接點11之低電阻連接。因係僅局部提供此等區域，LDMOST之臨界電壓不會或至少實質上不會受到深長區之影響。在一項修改中，源極區內置有一鎮流串聯電阻而使得門鎖在高溫時亦可被抵消。

英文發明摘要(發明之名稱: "SEMICONDUCTOR DEVICE")

The invention relates to an LIGBT comprising an LDMOST structure in which the drain/anode 9, 13 is provided with a pn junction which injects charge carriers into the drift region 8. To prevent latch-up, the base region 6 of the LDMOST is provided with deep zones 6b of the same conductivity type as the base region which extend locally comparatively far into the drift region. These zones collect charge carriers injected by the anode into the drift region and form a low-ohmic connection to the source contact 11 for these charge carriers. Since these zones are provided locally only, the threshold voltage of the LDMOST is not or at least substantially not influenced by the deep zones. In a modification, a ballast series resistance is provided in the source zone, so that latch-up is counteracted also at high temperatures.

Fig. 1.

六、申請專利範圍

1. 一種半導體裝置，具有一半導體主體，在其表面具有一 LIGHT 類型(橫向絕緣開雙極電晶體)之電路元件，同時包含一個第一導電類型之表面層，鄰接表面並在相對於此表面之一側透過一個pn接面而併入第二且屬相對導電類型之區域(以下稱為基板)，此電路元件包含在表面層中提供之第二導電型基極區域和在基極區域中提供之表面區域形式之第一導電型源極，以及一個由鄰接基極區域之第一導電型之一部份表層所形成之漂移區和一個藉著漂移區而與基極區域隔開且包含第二導電型表面區之排流，還包含一個在一波道區上方之絕緣開電極，該波道區是由位於漂移區和源極區之間之基極區域之一部份所形成，其特徵在於源極包含數個次區域，這些次區域自表面處看是彼此相鄰且相隔一段距離，同時其基極區域包含第一和第二次區域，第一個次區域自表面向下以不大之深度伸入表面層，並將上述源極之次區域與表面層分開，而基極區域之第二個次區域自表面向下以相當大之深度伸入表面層，同時從表面看，第二個次區域在源極之次區域間，以較第一個次區域之鄰接部份更大之深度橫向伸入漂移區。
2. 根據申請專利範圍第1項之半導體裝置，其特徵為基極區域之第二個次區域與第二導電型之基板導電相連。
3. 根據申請專利範圍第1或2項之半導體裝置，其特徵為第一導電型之源極之次區域被基極區中插入之第二導電型部份隔開。

六、申請專利範圍

4. 根據申請專利範圍第1或2項之半導體裝置，其特徵為在表面區和基板區之間提供一第二導電型之埋入區，此區之摻雜濃度較基板為高，且自基板伸入表面層之一部份，並更進一步伸至至少整個基極區下方之大部份。
5. 根據申請專利範圍第1或2項之半導體裝置，其特徵為源極之每個次區域均提供有一個鎔流電阻。
6. 根據申請專利範圍第1或2項之半導體裝置，其特徵為該電路元件形成積體電路之一部份，為此目的表面層被再分為若干島，藉著從表面向下延伸通過整個表面層之厚度而達基板之第二導電型絕緣區來提供更多電路元件。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

851-5156

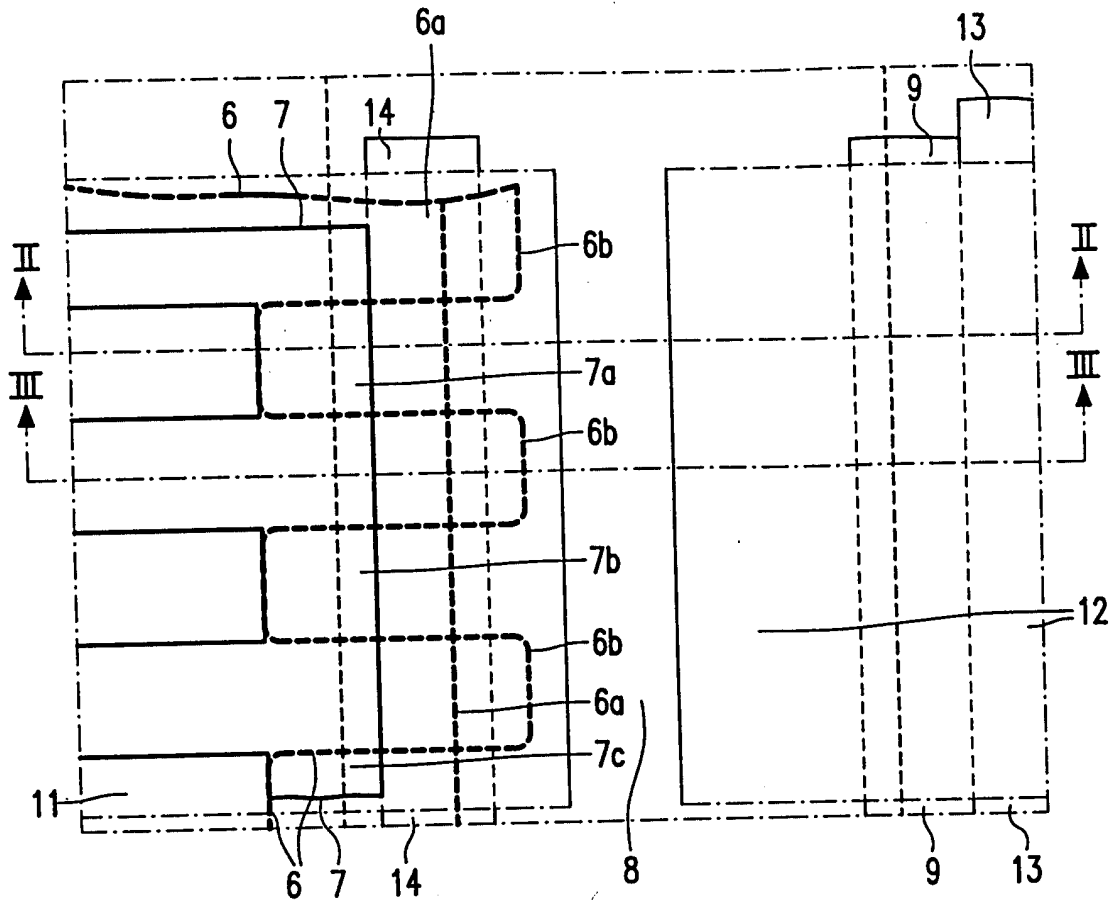


圖 1

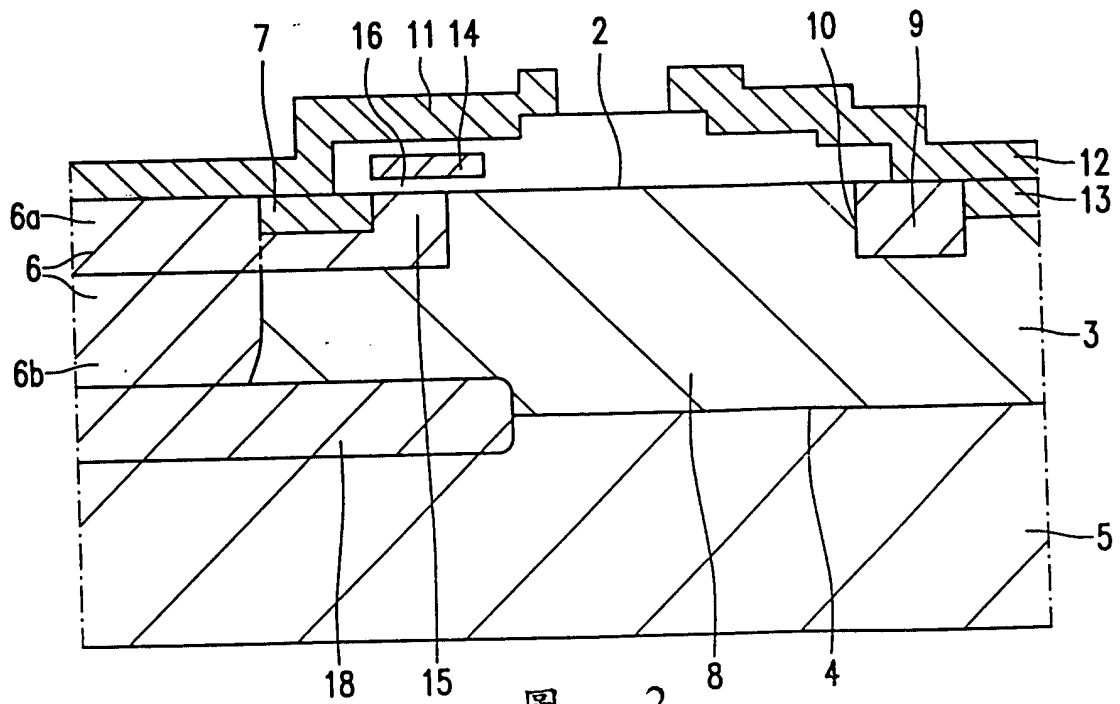


圖 2

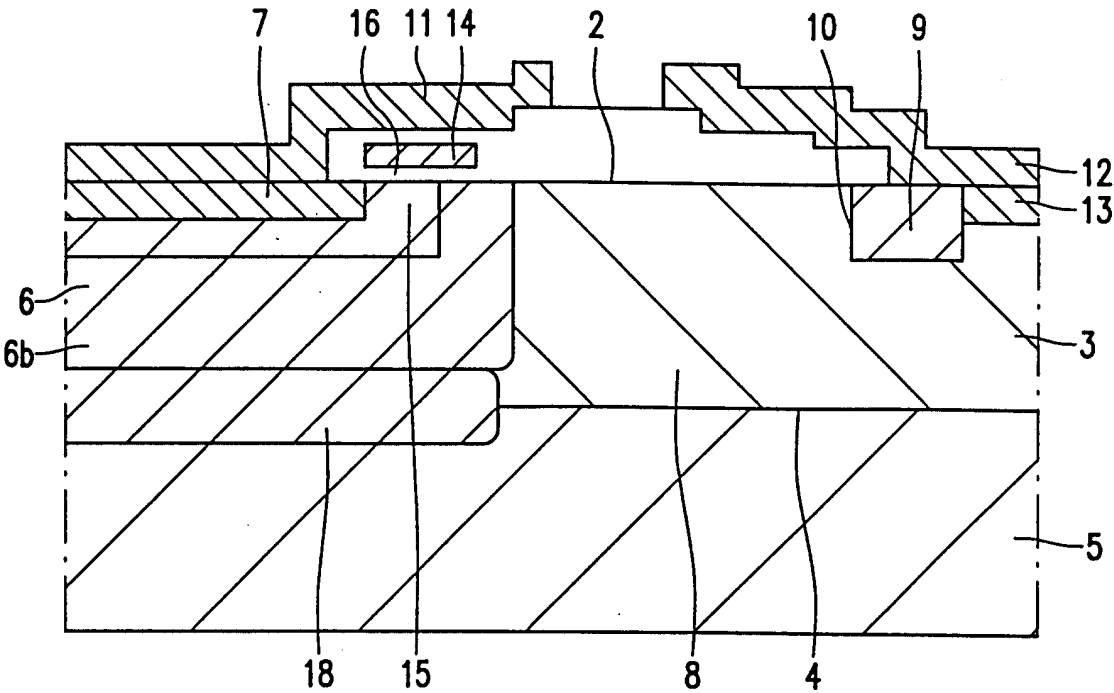


圖 3

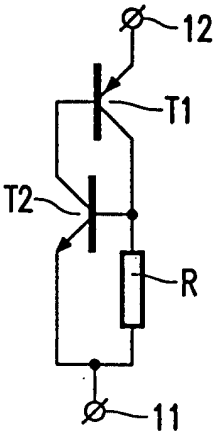


圖 4

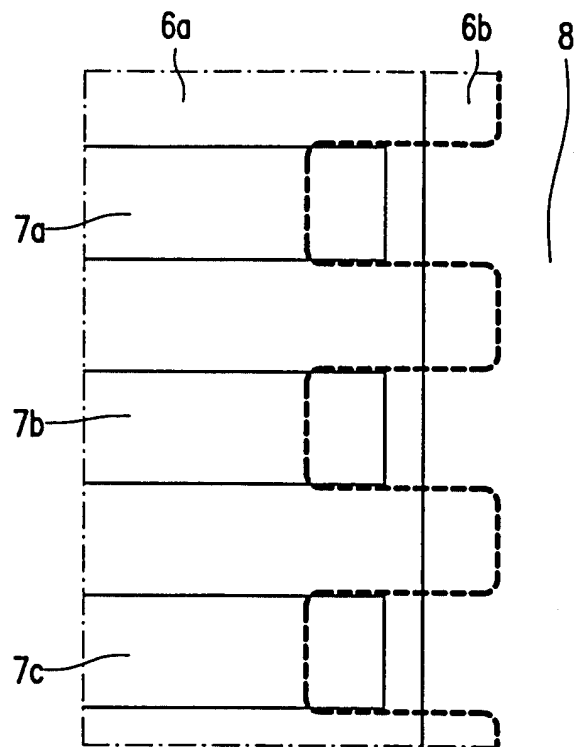


圖 5

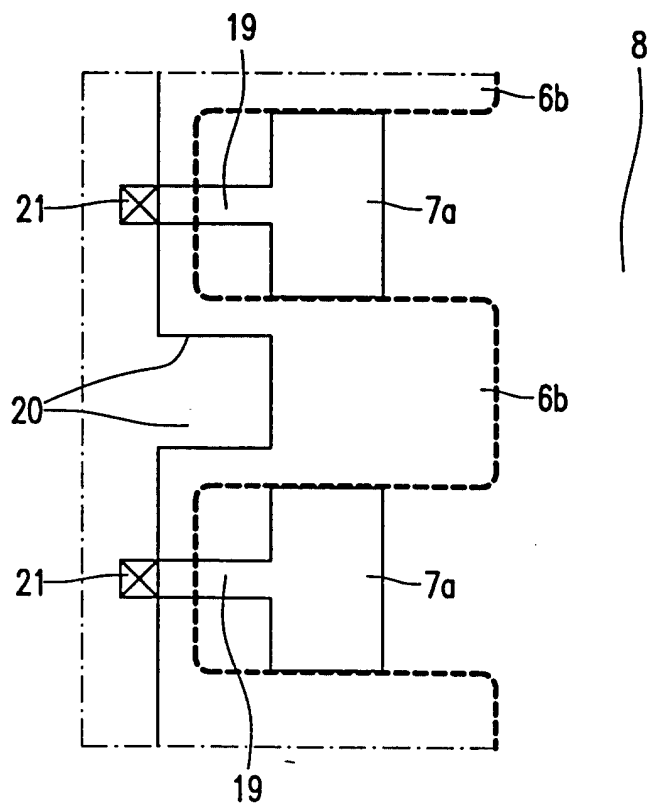


圖 6