

【特許請求の範囲】

【請求項 1】

基板上に形成されたキャリア走行層と、
 前記キャリア走行層上に形成され前記キャリア走行層よりもバンドギャップエネルギーが高いキャリア供給層と、
 前記キャリア供給層から前記キャリア走行層の表面または内部に到る深さまで形成されたりセス部と、
 前記キャリア供給層上に形成されたドレイン電極と、
 前記リセス部内を覆うように形成された第 1 絶縁膜と、
 前記第 1 絶縁膜上に形成され、前記ドレイン電極側のキャリア供給層と重畳するように延設したゲート電極と、
 前記ゲート電極と前記ドレイン電極側のキャリア供給層との間に形成され前記第 1 絶縁膜よりも誘電率が高い第 2 絶縁膜と、
 を備えることを特徴とする電界効果トランジスタ。

【請求項 2】

前記ゲート電極は、別体で構成され前記ドレイン電極側に延設する延設部を有することを特徴とする請求項 1 に記載の電界効果トランジスタ。

【請求項 3】

前記第 1 絶縁膜と前記第 2 絶縁膜との境界が前記ドレイン電極側のキャリア供給層上に位置することを特徴とする請求項 2 に記載の電界効果トランジスタ。

【請求項 4】

前記ゲート電極は階段構造を有しており、前記階段構造の所定の段が、前記第 1 絶縁膜と前記第 2 絶縁膜との境界の延長面から前記ドレイン電極側に延設していることを特徴とする請求項 1 ~ 3 のいずれか一つに記載の電界効果トランジスタ。

【請求項 5】

前記第 1 絶縁膜と前記第 2 絶縁膜との少なくとも一部が重畳していることを特徴とする請求項 1 ~ 4 のいずれか一つに記載の電界効果トランジスタ。

【請求項 6】

前記キャリア走行層および前記キャリア供給層が III 族窒化物系化合物半導体からなることを特徴とする請求項 1 ~ 5 のいずれか一つに記載の電界効果トランジスタ。

【請求項 7】

前記第 1 絶縁膜が SiO_2 からなり、前記第 2 絶縁膜が SiN または Al_2O_3 からなることを特徴とする請求項 1 ~ 6 のいずれか一つに記載の電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ヘテロ構造を有する電界効果トランジスタに関するものである。

【背景技術】

【0002】

化学式 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{As}_u\text{P}_v\text{N}_{1-u-v}$ (ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $x + y \leq 1$ 、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $u + v \leq 1$) で表される III 族窒化物系化合物半導体に代表されるワイドバンドギャップ半導体は、高い絶縁破壊耐圧、良好な電子輸送特性、良好な熱伝導度を持つので、高温、大パワー、あるいは高周波用半導体デバイスの材料として非常に魅力的である。また、たとえば $\text{AlGaIn}/\text{GaIn}$ ヘテロ構造を有する電界効果トランジスタ (Field Effect Transistor: FET) は、ピエゾ効果によって、ヘテロ接合の界面に 2 次元電子ガスが発生している。この 2 次元電子ガスは、高い電子移動度とキャリア密度を有しており、多くの注目を集めている。また、 $\text{AlGaIn}/\text{GaIn}$ ヘテロ構造を用いたヘテロ接合 FET (HFET) は、低いオン抵抗、および速いスイッチング速度を持ち、高温動作が可能である。これらの特徴は、パワースイッチング応用に非常に好適である。

【 0 0 0 3 】

また、横型素子において、ノーマリオフ型の動作を実現するために、M O S (Metal O xide Semiconductor) F E T 構造が用いられている。たとえば、特許文献 1 には、ハイブリッド M O S H E M T (High Electron Mobility Transistor) 構造と呼ばれる構造を有するノーマリオフ型の電界効果トランジスタが開示されている。この電界効果トランジスタは、キャリア供給層とキャリア走行層とをゲート付近のみににおいてエッチングしてリセス部を形成し、ノーマリオフ型の動作を実現している。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

10

【 特許文献 1 】 国際公開第 2 0 0 3 / 0 7 1 6 0 7 号

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

しかしながら、特許文献 1 に開示される構造の電界効果トランジスタでは、2 次元電子ガスがリセス部で分断されている。そのため、大きなドレイン電圧を印加した場合、2 次元電子ガスがゲート側から空乏するような電位が形成される。その結果、オン抵抗が増大するという問題がある。

【 0 0 0 6 】

以下、具体的に説明する。図 1 1 は、従来構造の電界効果トランジスタのゲート部における電位およびゲート - ドレイン間のポテンシャルを示す図である。図 1 1 は、アンドープの G a N からなるキャリア走行層 2 1 とアンドープの A l G a N からなるキャリア供給層 2 2 a、2 2 b とからなるヘテロ構造にリセス部 2 3 が形成され、リセス部 2 3 において S i O₂ からなる絶縁膜 2 4 とゲート電極 2 5 とによって M O S 構造が形成され、さらにソース電極 2 6、ドレイン電極 2 7 が形成された構造を示している。

20

【 0 0 0 7 】

また、グラフ G 1 はゲート部における絶縁膜 2 4 にかかる電位の分布を示している。グラフ G 2 はゲート - ドレイン間の 2 次元電子ガスに対するポテンシャルの分布を示している。また、ゲート電極 2 5 にはゲート電圧 V g、ドレイン電極 2 7 にはドレイン電圧 V d が印加されているとする。V g d はゲート - ドレイン間電圧を示している。また、矢印 L

30

【 0 0 0 8 】

グラフ G 1 に示すように、絶縁膜 2 4 にかかる電位は、ゲート部のドレイン側の端部に近づくにつれて小さくなるように分布している、このため、ゲート部のドレイン側のキャリア走行層 2 1 では、2 次元電子ガスの電子濃度が薄くなり、グラフ G 2 に示すように、2 次元電子ガスのゲート側の端部に電子を掃き出すようなポテンシャルドロップが生じる。その結果、領域 A 2 に示すような、横方向から 2 次元電子ガスを空乏化するような電界が生じるため、2 次元電子ガスがゲート側から空乏化し、オン抵抗が増大することとなる。

【 0 0 0 9 】

40

この空乏化は、ゲート側に 2 次元電子ガスが蓄積するようなポテンシャルを形成するような素子構造を採用することによって解決出来ると考えられる。そのためには、たとえばゲート電極と 2 次元電子ガスとが重なる領域ができるようにゲート電極をキャリア供給層上まで延設したフィールドプレート構造を採用して、ゲート側の領域での 2 次元電子ガスに対する電位を変化させて、空乏化を防ぐ方法が考えられる。

【 0 0 1 0 】

しかしながら、従来構造の電界効果トランジスタにおいて、単にゲート電極を延設してフィールドプレート構造を採用しただけでは、以下の問題が生じると考えられる。すなわち、フィールドプレートと 2 次元電子ガスとの間の絶縁膜が薄い場合、オフ状態ではフィールドプレートの先端に従来構造の場合よりの大きな電界が集中するようになり、素子の

50

耐圧が劣化する。また、この耐圧の劣化を防止するためにキャリア供給層とゲート電極の延設部との間の絶縁膜を厚くすると、２次元電子ガスに対するゲート側の領域の電位を十分に变化させることができず、２次元電子ガスの空乏化を防ぐことができない。しかし、電位を十分に变化させるために絶縁膜を高誘電率の材料にすると、膜質の問題によりゲート部における絶縁膜とチャネルが形成されるキャリア走行層との間の信頼性の確保が難しいという問題が発生する。

【００１１】

本発明は、上記に鑑みてなされたものであって、オン抵抗が低く耐圧および信頼性が高い電界効果トランジスタを提供することを目的とする。

【課題を解決するための手段】

10

【００１２】

上述した課題を解決し、目的を達成するために、本発明に係る電界効果トランジスタは、基板上に形成されたキャリア走行層と、前記キャリア走行層上に形成され前記キャリア走行層よりもバンドギャップエネルギーが高いキャリア供給層と、前記キャリア供給層から前記キャリア走行層の表面または内部に到る深さまで形成されリセス部と、前記キャリア供給層上に形成されたドレイン電極と、前記リセス部内を覆うように形成された第１絶縁膜と、前記第１絶縁膜上に形成され、前記ドレイン電極側のキャリア供給層と重畳するように延設したゲート電極と、前記ゲート電極と前記ドレイン電極側のキャリア供給層との間に形成され前記第１絶縁膜よりも誘電率が高い第２絶縁膜と、を備えることを特徴とする。

20

【００１３】

また、本発明に係る電界効果トランジスタは、上記の発明において、前記ゲート電極は、別体で構成され前記ドレイン電極側に延設する延設部を有することを特徴とする。

【００１４】

また、本発明に係る電界効果トランジスタは、上記の発明において、前記第１絶縁膜と前記第２絶縁膜との境界が前記ドレイン電極側のキャリア供給層上に位置することを特徴とする。

【００１５】

また、本発明に係る電界効果トランジスタは、上記の発明において、前記ゲート電極は階段構造を有しており、前記階段構造の所定の段が、前記第１絶縁膜と前記第２絶縁膜との境界の延長面から前記ドレイン電極側に延設していることを特徴とする。

30

【００１６】

また、本発明に係る電界効果トランジスタは、上記の発明において、前記第１絶縁膜と前記第２絶縁膜との少なくとも一部が重畳していることを特徴とする。

【００１７】

また、本発明に係る電界効果トランジスタは、上記の発明において、前記キャリア走行層および前記キャリア供給層がⅢⅢⅢ族窒化物系化合物半導体からなることを特徴とする。

【００１８】

また、本発明に係る電界効果トランジスタは、上記の発明において、前記第１絶縁膜が SiO_2 からなり、前記第２絶縁膜が SiN または Al_2O_3 からなることを特徴とする。

40

【発明の効果】

【００１９】

本発明によれば、オン抵抗が低く耐圧および信頼性が高い電界効果トランジスタを実現できるという効果を奏する。

【図面の簡単な説明】

【００２０】

【図１】図１は、実施の形態１に係る MOSFET の模式的な断面図である。

【図２】図２は、図１に示す MOSFET の製造方法の一例を説明する図である。

50

【図 3】図 3 は、図 1 に示す MOSFET の製造方法の一例を説明する図である。

【図 4】図 4 は、図 1 に示す MOSFET の製造方法の一例を説明する図である。

【図 5】図 5 は、図 1 に示す MOSFET の製造方法の一例を説明する図である。

【図 6】図 6 は、実施の形態 1 の変形例に係る MOSFET の模式的な断面図である。

【図 7】図 7 は、実施の形態 2 に係る MOSFET の模式的な断面図である。

【図 8】図 8 は、図 7 に示す MOSFET の製造方法の一例を説明する図である。

【図 9】図 9 は、図 7 に示す MOSFET の製造方法の一例を説明する図である。

【図 10】図 10 は、図 7 に示す MOSFET の製造方法の一例を説明する図である。

【図 11】図 11 は、従来構造の電界効果トランジスタのゲート部における電位およびゲート - ドレイン間のポテンシャルを示す図である。

10

【発明を実施するための形態】

【0021】

以下に、図面を参照して本発明に係る電界効果トランジスタの実施の形態を詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。また、以下では、MOS 型電界効果トランジスタを適宜 MOSFET と記載する。

【0022】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 に係る MOSFET の模式的な断面図である。この MOSFET 100 は、(111) 面を主表面とする Si からなる基板 1 上に、AlN 層を最下層とする AlN / GaN の積層構造からなるバッファ層 2 を介して形成されたキャリア走行層 3 と、キャリア走行層 3 上に形成されたキャリア供給層 4 a、4 b とを備えている。

20

【0023】

キャリア走行層 3 は、アンドープの GaN からなり、厚さがたとえば 2 nm 以上 500 nm 以下、望ましくは 5 nm 以上 80 nm 以下のものである。また、キャリア供給層 4 a、4 b は、キャリア走行層 3 を構成する GaN よりもバンドギャップエネルギーが高い、アンドープの AlGaIn からなり、厚さが 1 ~ 50 nm、好ましくは 20 ~ 25 nm のものである。また、キャリア供給層 4 a、4 b は、Al 組成比が 0.25 であるが、Al 組成比については特に限定されず、たとえば 0.01 ~ 0.99 とできる。また、キャリア供給層 4 a、4 b は、キャリア走行層 3 の表面に到る深さまで形成されたりセス部 5 によって離隔している。リセス部 5 の幅は、たとえば 2 μm 程度である。

30

【0024】

キャリア走行層 3 のキャリア供給層 4 a、4 b とのヘテロ接合界面には、キャリア走行層 3 とキャリア供給層 4 a、4 b とのエネルギーバンドギャップの違いに起因して、2 次元電子ガス G a、G b が発生している。これらの 2 次元電子ガス G a、G b は、リセス部 5 の存在によって分断されている。

【0025】

さらに、MOSFET 100 は、キャリア供給層 4 a、4 b 上にリセス部 5 を挟むように形成されたソース電極 10 およびドレイン電極 11 と、キャリア供給層 4 a、4 b の一部およびリセス部 5 内を覆うように形成された第 1 絶縁膜 6 と、第 1 絶縁膜 6 上に形成されたゲート電極 7 と、キャリア供給層 4 a、4 b 上に形成された第 2 絶縁膜 8 a、8 b とを備えている。

40

【0026】

ゲート電極 7 は延設部 9 を有しており、ドレイン電極 11 側のキャリア供給層 4 a と重畳するように延設している。また、第 2 絶縁膜 8 a は、ゲート電極 7 とキャリア供給層 4 a との間に形成されている。

【0027】

なお、ソース電極 10 およびドレイン電極 11 は、キャリア供給層 4 a、4 b とオーミック接触する Ti / Al の積層構造からなる。ゲート電極 7 はリン (P) などの不純物を添加したポリシリコンからなる。延設部 9 はニッケル (Ni) などの金属のシリサイドか

50

らなり、ゲート電極 7 とは別体で構成されているが、ゲート電極 7 と同電位でありゲート電極 7 の一部として機能する。また、第 1 絶縁膜 6 は膜厚が $20\text{ nm} \sim 200\text{ nm}$ の SiO_2 からなり、第 2 絶縁膜 8 a、8 b は膜厚が $50\text{ nm} \sim 800\text{ nm}$ の SiO_2 よりも誘電率が高い Al_2O_3 や SiN からなる。

【0028】

ここで、リセス部 5 には、ゲート電極 7、第 1 絶縁膜 6、キャリア走行層 3 による MOS 構造が形成されている。これによって、ゲート電圧の印加によってリセス部 5 の直下にチャンネルが形成されるノーマリオフ型の動作が実現される。第 1 絶縁膜 6 は膜質が良い SiO_2 からなるため、MOSFET 100 の信頼性は高いものとなる。

【0029】

一方、第 2 絶縁膜 8 a は、ゲート電極 7 の延設部 9 とドレイン電極 11 側のキャリア供給層 4 a とが重畳する領域 SA1 (好ましくは、幅 $1\text{ }\mu\text{m} \sim 6\text{ }\mu\text{m}$) に形成されており、かつ第 1 絶縁膜 6 よりも誘電率が高いものである。その結果、たとえばゲート電圧を 10 V 、ドレイン電圧を 3 V 以上 5 V 以下として動作させる際に、ドレイン電圧が高い場合に、オフ状態での耐圧の劣化を防止するために第 2 絶縁膜 8 a を厚くしても、2 次元電子ガス Ga のゲート側端部における空乏化を防止することができるため、MOSFET 100 はオン抵抗が低く耐圧が高いものとなる。

【0030】

したがって、本実施の形態 1 に係る MOSFET 100 は、オン抵抗が低く耐圧および信頼性が高いものとなる。

【0031】

(製造方法)

つぎに、本実施の形態 1 に係る MOSFET 100 の製造方法について説明する。図 2 ~ 図 5 は、MOSFET 100 の製造方法の一例を説明する図である。なお、以下では、有機金属気相成長 (MOCVD) 法を用いた場合について説明するが、結晶成長方法は特に限定はされない。

【0032】

はじめに、図 2 に示すように、(111) 面を主表面とする Si からなる基板 1 を MOCVD 装置内に導入し、基板 1 上に AlN/GaN の積層構造からなるバッファ層 2、アンドープの GaN からなるキャリア走行層 3、アンドープの AlGaN からなるキャリア供給層 4 を順次形成する。なお、原料としてはトリメチルガリウム (TMG)、トリメチルアルミニウム (TMA)、アンモニア (NH_3) を適宜組み合わせる。

【0033】

つぎに、図 3 に示すように、キャリア供給層 4 上に SiO_2 膜を形成し、フォトリソグラフィ技術を用いて、リセス部 5 を形成するためのパターンを施したマスク M を作製し、その後選択エッチングを行ってリセス部 5 を形成する。これによって、キャリア供給層 4 は分離され、キャリア供給層 4 a、4 b が形成される。

【0034】

つぎに、図 4 に示すように、マスク M を除去し、RCA 洗浄を行った後、キャリア供給層 4 a、4 b およびリセス部 5 内を覆うように SiO_2 からなる第 1 絶縁膜 6 を形成する。さらにリセス部 5 の第 1 絶縁膜 6 上にポリシリコンからなるゲート電極 7 を形成する。

【0035】

つぎに、図 5 に示すように、ゲート電極 7 をマスクとしてゲート電極 7 の直下以外の第 1 絶縁膜 6 を除去した後、 SiO_2 膜を形成し、ソース電極 10 およびドレイン電極 11 を形成すべき領域の SiO_2 膜を除去し、スパッタ法とリフトオフ法とを用いてキャリア供給層 4 a、4 b 上にそれぞれソース電極 10 およびドレイン電極 11 を形成し、オーミック接触のための 600°C 、10 分のアニールを行なう。さらに、その後、残りの SiO_2 膜を除去し、ソース電極 10 とドレイン電極 11 との間に Al_2O_3 または SiN からなる第 2 絶縁膜 8 を形成する。

【0036】

その後、ゲート電極 7 の一部が露出するように第 2 絶縁膜 8 の一部を除去し、スパッタ法とリフトオフ法とを用いて延設部 9 を形成する。これによって、図 1 に示す MOSFET 100 が完成する。

【0037】

(変形例)

図 6 は、実施の形態 1 の変形例に係る MOSFET の模式的な断面図である。図 6 に示すように、この MOSFET 200 は、図 1 に示す実施の形態 1 に係る MOSFET 100 において、第 2 絶縁膜 8 a、8 b を Al_2O_3 や SiN からなる第 2 絶縁膜 12 a、12 b に置き換え、延設部 9 を金属シリサイドからなる延設部 13 に置き換えた構成を有している。

10

【0038】

この MOSFET 200 は、ゲート電極 7 と延設部 13 とを合わせた構造が全体的にドレイン電極 11 側に向かって階段構造を有している。ここで、この階段構造は、2 段目の段 13 a が、第 1 絶縁膜 6 と第 2 絶縁膜 12 a との境界の延長面 S からドレイン電極 11 側に延設する構造となっている。このような構造とすることで、2 段目の段 13 a 全体が、第 2 絶縁膜 12 a を挟んでキャリア供給層 4 a と重畳する領域 SA2 (好ましくは、幅 $1\mu m \sim 6\mu m$) を形成し、2 次元電子ガスの空乏化の防止に寄与することとなる。

【0039】

なお、ゲート電極の階段構造がさらに多段構造の場合は、3 段目の以上の任意の段が当該延長面からドレイン電極側に延設するような構造としてもよい。

20

【0040】

(実施の形態 2)

図 7 は、本発明の実施の形態 2 に係る MOSFET の模式的な断面図である。図 7 に示すように、この MOSFET 300 は、図 1 に示す実施の形態 1 に係る MOSFET 100 において、第 2 絶縁膜 8 a、8 b を Al_2O_3 や SiN からなる第 2 絶縁膜 14 a、14 b に置き換え、第 1 絶縁膜 6 を SiO_2 からなる第 1 絶縁膜 15 に置き換え、ゲート電極 7 および延設部 9 を、不純物を添加したポリシリコンからなるゲート電極 16 に置き換えた構成を有している。

【0041】

リセス部 5 では、リセス部 5 内を覆うように膜質の良い第 1 絶縁膜 15 が形成されているため、MOSFET 100 の信頼性は高いものとなる。一方、第 2 絶縁膜 14 a は、ゲート電極 16 のドレイン電極 11 側に延設した部分とキャリア供給層 4 a とが重畳する領域 SA3 (好ましくは、幅 $1\mu m \sim 6\mu m$) に形成されており、かつ第 1 絶縁膜 15 よりも誘電率が高いものである。その結果、この MOSFET 300 は、実施の形態 1 に係る MOSFET 100 と同様に、オン抵抗が低く耐圧が高いものとなる。したがって、本実施の形態 2 に係る MOSFET 300 は、オン抵抗が低く耐圧および信頼性が高いものとなる。

30

【0042】

また、この MOSFET 300 は、ゲート電極 16 が単体のものから構成されているので、その構成および製造工程が簡易なものとなる。

40

【0043】

なお、領域 SA3 からドレイン電極 11 側においては、第 1 絶縁膜 15 と第 2 絶縁膜 14 a とが重畳している。第 1 絶縁膜 15 と第 2 絶縁膜 14 a との上下関係は特に限定されないが、第 2 絶縁膜 14 a が Al_2O_3 や SiN の場合は、AlGaN であるキャリア供給層 4 a に対して良好な膜質にできるため、第 2 絶縁膜 14 a がキャリア供給層 4 a と接触するように重畳するほうが好ましい。

【0044】

(製造方法)

つぎに、本実施の形態 2 に係る MOSFET 300 の製造方法について説明する。図 8 ~ 図 10 は、MOSFET 300 の製造方法の一例を説明する図である。

50

【0045】

はじめに、図8に示すように、図2に示すMOSFET100を製造する場合と同様に、基板1上にバッファ層2、キャリア走行層3、キャリア供給層4を順次形成し、さらに Al_2O_3 またはSiNからなる第2絶縁膜14を形成する。

【0046】

つぎに、図9に示すように、フォトリソグラフィ技術を用いて第2絶縁膜14の一部を除去し、第2絶縁膜14a、14bを形成した後に、全面に SiO_2 膜を形成し、フォトリソグラフィ技術と選択エッチングとにより、リセス部5を形成する。これによって、キャリア供給層4は分離され、キャリア供給層4a、4bが形成される。

【0047】

つぎに、図10に示すように、RCA洗浄を行った後、第2絶縁膜14a、14b、キャリア供給層4a、4bおよびリセス部5内を覆うように SiO_2 からなる第1絶縁膜15を形成する。

【0048】

つぎに、リセス部5の第1絶縁膜15上にポリシリコンからなるゲート電極16を形成し、ソース電極10およびドレイン電極11を形成すべき領域の第1絶縁膜15、第2絶縁膜14a、14bを除去し、スパッタ法とリフトオフ法とを用いてキャリア供給層4a、4b上にそれぞれソース電極10およびドレイン電極11を形成し、オーミック接触のための600、10分のアニールを行なう。これによって、図7に示すMOSFET300が完成する。

【0049】

なお、上記実施の形態では、リセス部はキャリア走行層の表面に到る深さまで形成したものであるが、キャリア走行層の内部に到る深さまで形成してもよい。また、第1絶縁膜と第2絶縁膜との境界は、ドレイン電極側のキャリア供給層上に位置すれば特に限定はされないが、キャリア供給層上における延設したゲート電極と第2絶縁膜とが重畳する領域の幅が $1\mu m \sim 6\mu m$ になるようにすることが好ましい。

【0050】

また、上記実施の形態は、キャリア走行層がGaNからなり、キャリア供給層がAlGaNからなるものであるが、キャリア走行層やキャリア供給層の材料としては、所望の導電型やバンドギャップエネルギーを有する他のIII族窒化物系化合物半導体材料や、ヘテロ構造を形成できるGaAs系、InP系、SiGe系などの材料を適宜用いることができる。また、ゲート電極はポリシリコンに限らず、金属シリサイドなどの金属材料を用いてもよい。また、第1絶縁膜としては、使用する半導体材料に対して所望の信頼性を実現できる膜質のものであれば特に限定されず、たとえば SiO_2 、 Al_2O_3 、SiN、 HfO_2 を使用できる。第2絶縁膜としては、第1絶縁膜よりも誘電率が高いものであれば特に限定されず、たとえばSiN、 Al_2O_3 、 Sc_2O_3 、 ZrO_2 、 HfO_2 、 Ta_2O_5 を使用できる。

【0051】

また、上記各実施形態の基板についても、Si基板に限らず、所望の半導体材料を結晶成長させることが可能な基板を用いることができ、たとえばIII族窒化物系化合物半導体材料であればSiC基板、サファイア基板、GaN基板、MgO基板、ZnO基板などを用いることができる。

【0052】

また、上記各実施形態の各構成要素を適宜組み合わせる構成したものも本発明に含まれる。たとえば、実施の形態2において、ゲート電極の延設部を別体で構成してもよいし、ゲート電極を階段構造として、所定の段が第1絶縁膜と第2絶縁膜との境界の延長面からドレイン電極側に延設するようにしてもよい。

【符号の説明】

【0053】

1 基板

10

20

30

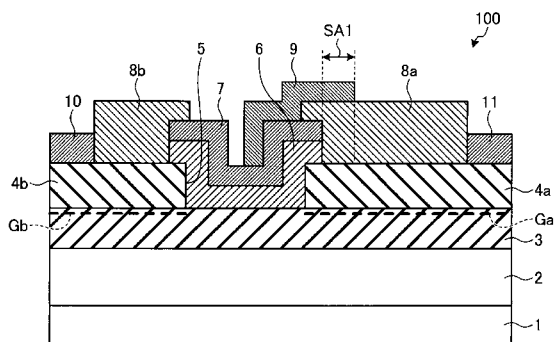
40

50

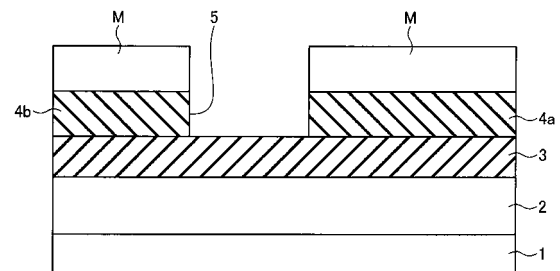
- 2 バッファ層
 3 キャリア走行層
 4、4 a、4 b キャリア供給層
 5 リセス部
 6、15 第1絶縁膜
 7、16 ゲート電極
 8、8 a、8 b、12 a、12 b、14、14 a、14 b 第2絶縁膜
 9、13 延設部
 10 ソース電極
 11 ドレイン電極
 13 a 段
 100 ~ 300 MOSFET
 G a、G b 2次元電子ガス
 M マスク
 S 延長面
 S A 1 ~ S A 3 領域

10

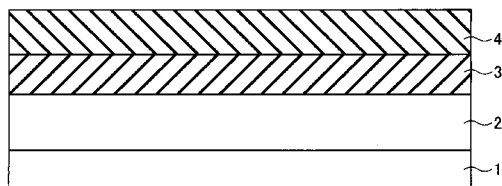
【図1】



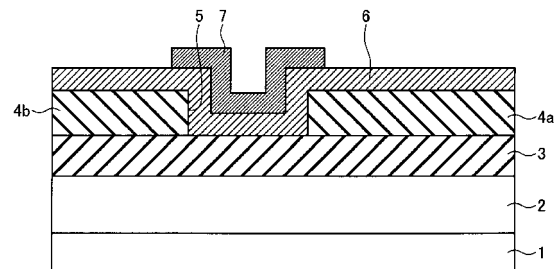
【図3】



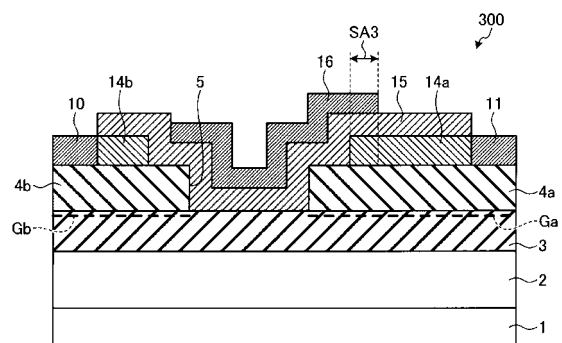
【図2】



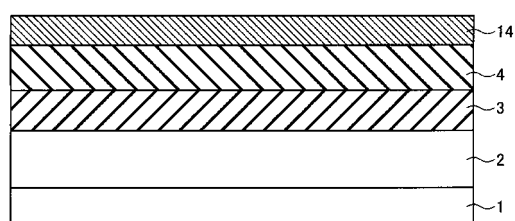
【図4】



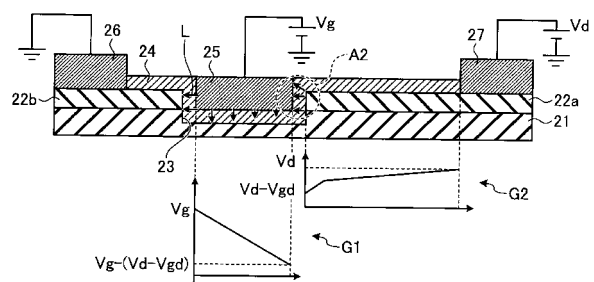
【圖 7】



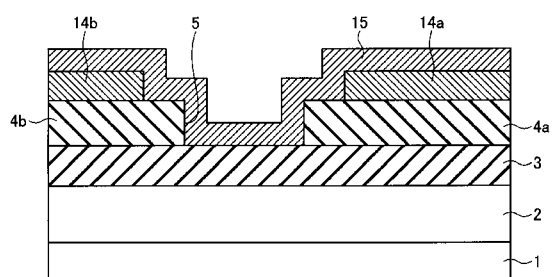
【圖 8】



【 図 1 1 】



【 図 1 0 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 6 1 6 U

(72)発明者 池田 成明

神奈川県横浜市西区岡野 2 丁目 4 番 3 号 次世代パワーデバイス技術研究組合内

(72)発明者 上野 勝典

神奈川県横浜市西区岡野 2 丁目 4 番 3 号 次世代パワーデバイス技術研究組合内

F ターム(参考) 5F102 FA01 FA02 GB01 GC01 GD10 GJ02 GJ03 GJ04 GJ10 GK04
GK08 GL04 GM04 GN04 GQ01 GR01 GR04 GR11 GS03 GS06
GT08 GV06 GV07 GV08 GV09 HC11 HC15
5F110 AA03 AA07 AA11 CC01 DD01 DD04 DD05 DD12 EE05 EE09
EE14 EE22 EE44 FF01 FF02 FF03 FF35 GG04 GG58 HK03
HK04 HK11 HK21 HK33 HK42 HM12 QQ14
5F140 AA30 AC36 BA02 BA06 BA09 BA10 BA17 BA20 BB18 BD07
BD11 BE02 BF04 BF11 BF18 BF42 BF43 BG30 BH30 BH47
BJ07 BJ11 BJ15 BK29 BK38 CE02