

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 6 月 30 日 (30.06.2016)



(10) 国际公布号
WO 2016/101719 A1

- (51) 国际专利分类号:
H01L 29/786 (2006.01) *H01L 21/28* (2006.01)
- (21) 国际申请号: PCT/CN2015/094175
- (22) 国际申请日: 2015 年 11 月 10 日 (10.11.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410806984.2 2014 年 12 月 22 日 (22.12.2014) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 石磊 (SHI, Lei); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 许晓伟 (XU, Xiaowei); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号 4-1105 室, Beijing 100089 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。
- 本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: ARRAY SUBSTRATE, MANUFACTURING METHOD THEREOF AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制作方法和显示装置

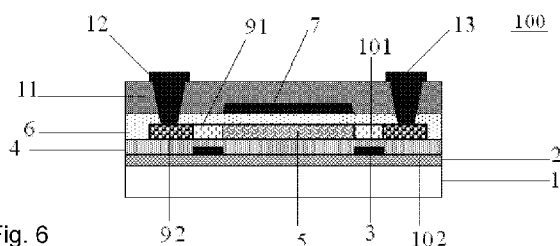


图 6 / Fig. 6

(57) Abstract: Provided are an array substrate, manufacturing method thereof and display device comprising the array substrate, the array substrate comprising: a substrate (1), and a first gate electrode (3), a first gate insulation layer (4), an active layer (5), a second gate insulation layer (6), a second gate electrode (7), a third gate insulation layer (11), a source electrode and a drain electrode (12, 13) are sequentially disposed on the substrate. Areas at the outer two sides of an area of the active layer corresponding to the second gate electrode are source and drain lightly doped areas (91, 101) and source and drain heavily doped areas (92, 102) respectively, the source electrode and the drain electrode being electrically connected to the source heavily doped area and the drain heavily doped area. The first gate electrode is disposed below the drain lightly doped area corresponding to the drain electrode or the first gate electrode comprises a first sub-part (31) and a second sub-part (32) of the first gate electrode, the first sub-part and the second sub-part being respectively disposed below the source lightly doped area and the drain lightly doped area corresponding to the source electrode and the drain electrode.

(57) 摘要: 提供了一种阵列基板及其制作方法和包括该阵列基板的显示装置。该阵列基板包括基板 (1), 基板上依次设有第一栅极 (3)、第一栅绝缘层 (4)、有源层 (5)、第二栅绝缘层 (6)、第二栅极 (7)、第三栅绝缘层 (11) 和源、漏电极 (12, 13), 有源层的与第二栅极相对应的区域的外部两侧区域分别为源、漏轻掺杂区域 (91, 101) 和源、漏重掺杂区域 (92, 102), 源、漏电极与源、漏重掺杂区域电连接; 第一栅极设置于漏电极所对应的漏轻掺杂区域的下方或第一栅极包括第一栅极第一子部分 (31) 和第一栅极第二子部分 (32), 分别设置于源、漏电极对应的源轻掺杂区域和漏轻掺杂区域的下方。

阵列基板及其制作方法和显示装置

本申请要求于 2014 年 12 月 22 日递交的、申请号为 201410806984.2、发明名称为“一种显示装置、阵列基板及其制作方法”的中国专利申请的优先权，其全部内容通过引用并入本申请中。

技术领域

本发明涉及显示工艺技术领域，特别涉及一种阵列基板及其制作方法和具有所述阵列基板的显示装置。

背景技术

在 LCD（液晶显示器）或 OLED（有机发光二极管）显示器中，每个像素点都是由集成在像素点后面的 TFT（Thin Film Transistor，薄膜场效应晶体管）来驱动，从而可以以高速度、高亮度、高对比度显示屏幕信息。在现有的技术中，多采用多晶硅或非晶硅来制造 TFT。多晶硅的载流子迁移率为 $10\text{-}200\text{cm}^2/\text{V}$ ，明显高于非晶硅的载流子迁移率($1\text{cm}^2/\text{V}$)，所以多晶硅相对于非晶硅具有更高的电容性和存储性。

对于 LCD 和 OLED，TFT 一般形成于玻璃基板上，由于玻璃的热力学限制，多晶硅 TFT 的结晶特性及离子注入后退火的过程往往不能得到有效的恢复，在反偏电压的情况下会出现较大的漏电流，影响 TFT 的正常使用。

为了抑制 TFT 的漏电流，一般采用在 TFT 的栅极和源、漏极间进行轻掺杂的方式，尤其是在一些短沟道的情况下，轻掺杂漏区(Lightly Doped Drain, LDD) 的宽度范围仅为 $0.3\text{-}1\mu\text{m}$ 。由于轻掺杂漏区的设置，在 TFT 正常工作时，往往开态电流会受到影响，导致正常工作的 TFT 电阻过大，功耗增大。

发明内容

由此，本发明旨在提供一种阵列基板及其制作方法和具有所述阵列基板的显示装置，以克服现有技术中由于为了降低 TFT 关态电流而设置的轻掺杂漏区（LDD）结构所导致的 TFT 工作时开态电流降低的问题。

根据本发明一方面，提供一种阵列基板包括基板，所述基板上依次设有第一栅极、第一栅绝缘层，所述第一栅绝缘层上设有有源层，所述有源层上依次设有第二栅绝缘层、第二栅极、第三栅绝缘层和源、漏电极，所述源、漏电极在第三栅绝缘层上；

所述有源层的与第二栅极相对应的区域的外部两侧区域分别为源、漏轻掺杂区域和源、漏重掺杂区域，其中，源轻掺杂区域和漏轻掺杂区域紧邻第二栅极，源重掺杂区域紧邻所述源轻掺杂区域并且所述漏重掺杂区域紧邻所述漏轻掺杂区域，所述源、漏电极与所述源、漏重掺杂区域电连接；

其中，所述第一栅极设置于所述漏电极所对应的漏轻掺杂区域的下方或所述第一栅极包括第一栅极第一子部分和第一栅极第二子部分，分别设置于所述源、漏电极对应的源轻掺杂区域和漏轻掺杂区域的下方。

优选地，所述有源层为由非晶化的氧化物通过晶化处理后形成的多晶状态有源层。

优选地，所述有源层为低温多晶硅。

优选地，所述第三栅绝缘层和第二栅绝缘层上设有过孔，所述源、漏电极通过过孔与源、漏重掺杂区域接触连接。

优选地，所述基板和第一栅极之间还设有缓冲层。

根据本发明的另一方面，还提供一种显示装置，包括上述的阵列基板。

根据本发明的再一方面，还提供一种阵列基板的制作方法，包括：

在基板上形成第一栅极的图形；

在完成上述步骤的基板上形成第一栅绝缘层；

在完成上述步骤的基板上形成有源层，

在完成上述步骤的基板上形成第二栅绝缘层；

在完成上述步骤的基板上形成第二栅极的图形；

对有源层的与第二栅极相对应的区域的外部两侧区域进行源、漏重掺杂和源、漏轻掺杂，其中源轻掺杂区域和漏轻掺杂区域紧邻与第二栅极相对应的有源层，源重掺杂区域紧邻所述源轻掺杂区域并且所述漏重掺杂区域紧邻所述漏轻掺杂区域；

在完成上述步骤的基板上形成第三栅绝缘层，并且形成过孔，

在完成上述步骤的基板上形成源、漏电极的图形，所述源、漏电极与所述源、漏重掺杂区域通过过孔电连接；

其中，所述第一栅极设置于所述漏电极所对应的漏轻掺杂区域的下方或所述第一栅极包括第一栅极第一子部分和第一栅极第二子部分，分别设置于所述源、漏电极对应区域的源轻掺杂区域和漏轻掺杂区域的下方。

优选地，所述有源层为由非晶化的氧化物通过晶化处理工艺形成的多晶状态有源层。

优选地，有源层为低温多晶硅，且所述晶化处理工艺为准分子激光退火。

优选地，所述对有源层的与第二栅极相对应的区域的外部两侧区域进行源、漏重掺杂和源、漏轻掺杂的步骤具体包括：

待第二栅极刻蚀完成后，保留光刻胶，其中所述光刻胶与第二栅极之间存在临界尺寸（CD）偏差，对未被光刻胶阻挡的有源层区域进行重掺杂处理；

剥离光刻胶，对未被第二栅极阻挡的有源层区域再次进行轻掺杂处理。

通过本发明的阵列基板，设置第一栅极 3（底栅）和第二栅极 7（顶栅）并且采用 LDD 结构。一方面，结合底栅结构的工作原理，在 TFT 工作时，即顶栅加有栅压时，底栅也同时打开，令 LDD 区域也感生出载流子，这样 LDD 区域在底栅电场的作用下，加上轻掺杂区域产生的载流子，即可避免由于轻掺杂而导致的开态电流 I_{on} 降低的不利后果；另一方面，当 TFT 的顶栅电场去除后，其处于关闭状态，此时底栅也撤去其电场，降低了 TFT 关态漏电流，即，正好利用了 LDD 结构能够降低关态漏电流 I_{off} 的优点。

附图说明

图 1~图 6 为根据本发明一实施例的阵列基板的各个制作步骤中的结构示意图；

图 7 为根据本发明另一实施例的阵列基板的结构示意图；

图 8 为根据本发明实施例的阵列基板的制作方法的流程图。

具体实施方式

下面结合附图和实施例，对本发明的具体实施方式作进一步详细描述。以下实施例用于说明本发明，但不是用来限制本发明的范围。

如图 6 所示，本发明实施例提供一种阵列基板 100，包括基板 1，所述基板 1 上设有（可选的）缓冲层 2、第一栅极 3（即底栅）和第一栅绝缘层 4，所述第一栅绝缘层 4 上设有有源层 5，所述有源层 5 上依次设有第二栅绝缘层 6、第二栅极 7（即顶栅）、第三栅绝缘层 11、源电极 12 和漏电极 13，所述源电极 12 和漏电极 13 在第三栅绝缘层 11 上。该有源层 5 的与第二栅极 7 相对应的区域的外部两侧区域分别为源、漏轻掺杂区域 91 和 101 以及源、漏重掺杂区域 92 和 102，其中，该源轻掺杂区域 91 和漏轻掺杂区域 101 紧邻有源层 5 的与第二栅极 7 相对应的部分且分别处于该部分的两侧，源重掺杂区域 92 紧邻所述源轻掺杂区域 91 并且所述漏重掺杂区域 102 紧邻所述漏轻掺杂区域 101。源、漏电极 12 和 13 与所述源、漏重掺杂区域 92 和 102

电连接。

需要说明的是，该第一栅极 3 分为两个部分，包括第一栅极第一子部分 31 和第一栅极第二子部分 32，分别设置于所述源、漏电极 12 和 13 对应的轻掺杂区域的下方，即，分别位于源轻掺杂区域 91 和漏轻掺杂区域 101 的下方。

本实施例的阵列基板中，设置第一栅极 3（底栅）和第二栅极 7（顶栅）并且采用 LDD 结构。一方面，结合底栅结构的工作原理，在 TFT 工作时，即顶栅加有栅压时，底栅也同时打开，令 LDD 区域也感生出载流子，这样 LDD 区域在底栅电场的作用下，加上轻掺杂区域产生的载流子，即可避免由于轻掺杂而导致的开态电流 I_{on} 降低的不利后果；另一方面，当 TFT 的顶栅电场去除后，其处于关闭状态，此时底栅也撤去其电场，降低了 TFT 关态漏电流，即，正好利用了 LDD 结构能够降低关态漏电流 I_{off} 的优点。

在一实施例中，所述有源层 5 为由非晶化的氧化物通过晶化处理后形成的多晶状态有源层，其中，该有源层 5 为低温多晶硅。

在一实施例中，所述第三栅绝缘层 11 和第二栅绝缘层 6 上设有过孔 16 和 17，所述源电极 12 和漏电极 13 分别通过过孔 16 和 17 与源、漏重掺杂区域 92 和 102 接触连接。其中，所述源、漏重掺杂区域 92 和 102 位于源、漏轻掺杂区域 91 和 101 外侧，远离所述有源层 5。

在本发明提供的阵列基板中，通过 LDD 结构降低 TFT 关态漏电流，同时通过底栅结构提高 TFT 开态电流，从而提高了产品良品率。

如图 7 所示，示出了根据本发明另一实施例的阵列基板的结构示意图。在本实施例中，第一栅极 3 只有一部分，其设置于所述漏电极 13 所对应的漏轻掺杂区域 101 下方即可。

同样地，在本实施例的阵列基板中，同时设置该第一栅极 3 和第二栅极 7，并且利用 LDD 降低关态电流的优点。一方面，结合底栅结构的工作原理，在 TFT 工作时，即顶栅加有栅压时，底栅也同时打开，令 LDD 区域也感生出载流子，这样 LDD 区域在底栅电场的作用下，加上轻掺杂区域产生的载流子，即可避免由于轻掺杂而导致的开态电流 I_{on} 降低的不利后果。另一方面，当 TFT 的顶栅电场去除后，其处于关闭状态，此时底栅也撤去其电场，降低了 TFT 关态漏电流，即，正好利用了 LDD 结构能够降低关态漏电流 I_{off} 的优点。

另外，本发明实施例还提供一种显示装置，包括前述任一实施例所述的阵列基

板。该阵列基板包括但不限于液晶显示器、液晶电视、液晶显示屏等设备，还可以为数码相框、电子纸、手机等需要显示模组的显示装置。

下面将参考图 8，描述根据本发明实施例的阵列基板的制作方法，具体步骤包括：

步骤 S31、在基板上形成第一栅极的图形；可选地，也可以先在基板上形成缓冲层，然后在缓冲层上形成第一栅极的图形；根据需要，可以在基板或缓冲层上形成包括第一栅极第一子部分和第一栅极第二子部分的第一栅极结构，也可以形成仅有一个部分的第一栅极结构；

步骤 S32、在完成上述步骤的基板上形成第一栅绝缘层；

步骤 S33、在完成上述步骤的基板上形成有源层；

步骤 S34、在完成上述步骤的基板上形成第二栅绝缘层；

步骤 S35、在完成上述步骤的基板上形成第二栅极的图形；

步骤 S36、对有源层的与第二栅极相对应的区域的外部两侧区域进行源、漏重掺杂和源、漏轻掺杂，其中源轻掺杂区域和漏轻掺杂区域紧挨有源层的与第二栅极相对应的部分并且分别处于该部分的两侧，源重掺杂区域紧挨所述源轻掺杂区域并且所述漏重掺杂区域紧挨所述漏轻掺杂区域；

步骤 S37、在完成上述步骤的基板上形成第三栅绝缘层，并形成过孔；

步骤 S38、在完成上述步骤的基板上形成源、漏电极图形，所述源、漏电极与所述源、漏重掺杂区域通过过孔电连接；

其中，所述第一栅极设置于所述漏电极对应的漏轻掺杂区域下方。在还一实施例中，当所述第一栅极分为两个部分，即包括第一栅极第一子部分 31 和第一栅极第二子部分 32 时，第一栅极的这两个子部分分别设置于所述源、漏电极对应的轻掺杂区域下方。

在一实施例中，所述有源层为由非晶化的氧化物通过晶化处理工艺形成的多晶状态有源层，该有源层为低温多晶硅，且所述晶化处理工艺为准分子激光退火，利于各膜层之间的贴附。

在一实施例中，例如如图 3 所示，对有源层的与第二栅极相对应的区域的外部两侧区域进行源、漏重掺杂和源、漏轻掺杂的步骤 S36 具体包括：

待第二栅极刻蚀完成后，保留光刻胶 8，所述光刻胶 8 与第二栅极 7 之间存在临界尺寸（CD）偏差 14，对未被光刻胶 8 阻挡的有源层区域进行重掺杂处理；

剥离光刻胶 8，对未被第二栅极 7 阻挡的有源层区域再次进行轻掺杂处理。

本发明提供的阵列基板的制作方法中，通过 LDD 结构降低 TFT 关态漏电流，同时通过底栅结构提高 TFT 开态电流，从而提高了产品良品率。

下面结合附图 1-6 具体描述根据本发明实施例的阵列基板的制作方法的一个具体实例，包括如下步骤：

步骤 S1、在玻璃基板 1 上利用等离子体增强化学气相沉积（PECVD）沉积缓冲层 2，该缓冲层 2 的材料可以选用 SiN_x、SiO_x 或两者的混合材料；

步骤 S2、在完成步骤 S1 的基础上采用溅射方法制作第一栅极 3（即底栅），通过光刻、刻蚀工艺，形成底栅图形，如图 1 所示。在该示例中，第一栅极 3 分为两个部分，分别设置于后续源、漏电极对应的轻掺杂区域下方。

步骤 S3、利用 PECVD 方法制作第一栅绝缘层 4，再利用 PECVD 制作有源层 5，之后再通过晶化技术，如准分子激光退火（ELA）技术，使非晶化的有源层形成多晶状态，如图 2 所示。

步骤 S4、在完成上述步骤的基板上利用 PECVD 方法制作第二栅绝缘层 6，再利用溅射技术制作第二栅极 7（即顶栅），之后利用光刻、刻蚀工艺形成顶栅图形，且在湿刻完顶栅结构后不进行去除光刻胶 8 工艺，即保留光刻胶 8，该光刻胶 8 与第二栅极 7 之间存在 CD 偏差 14（Critical Dimension Bias，临界尺寸偏差），如图 3 所示。

步骤 S5、在完成上述步骤的基板上，在未被光刻胶 8 阻挡的有源层上进行源、漏重掺杂，形成源、漏重掺杂区域 92 和 102，其目的是实现和金属电极的良好接触，在进行完重掺杂工艺后去除光刻胶 8，之后对未被第二栅极 7 阻挡的有源层部分进行轻掺杂，形成 LDD 结构，其中，源、漏重掺杂区域不会被轻掺杂工艺所影响，如图 4 所示。其中，源轻掺杂区域 91 和漏轻掺杂区域 101 紧挨第二栅极 7，源重掺杂区域 92 紧挨所述源轻掺杂区域 91 并且所述漏重掺杂区域 102 紧挨所述漏轻掺杂区域 101。

需要说明的是，本步骤中进行的源、漏重掺杂和轻掺杂处理，采用现有工艺方法即可，本专利申请中的改进点为源、漏重掺杂和轻掺杂处理的位置关系，而不在工艺本身。

步骤 S6、在完成上述步骤的基板上，利用 PECVD 工艺制做第三栅绝缘层 11，之后进行源、漏金属电极过孔的光刻、刻蚀工艺，形成过孔 16 和 17，如图 5 所示。

步骤 S7、在完成上述步骤的基板上，沉积源、漏金属薄膜，利用溅射工艺制作

源、漏金属电极层，并利用光刻、刻蚀工艺形成源电极 12 和漏电极 13 的图形，如图 6 所示。

以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本发明技术原理的前提下，还可以做出若干改进和变型，这些改进和变型也应视为本发明的保护范围。

权 利 要 求

1、一种阵列基板，包括基板，所述基板上依次设有第一栅极、第一栅绝缘层，所述第一栅绝缘层上设有有源层，所述有源层上依次设有第二栅绝缘层、第二栅极、第三栅绝缘层和源、漏电极，所述源、漏电极在第三栅绝缘层上；

所述有源层的与第二栅极相对应的区域的外部两侧区域分别为源、漏轻掺杂区域和源、漏重掺杂区域，其中，源轻掺杂区域和漏轻掺杂区域紧邻第二栅极，源重掺杂区域紧邻所述源轻掺杂区域并且所述漏重掺杂区域紧邻所述漏轻掺杂区域，所述源、漏电极与所述源、漏重掺杂区域电连接；

其中，所述第一栅极设置于所述漏电极所对应的漏轻掺杂区域的下方；或所述第一栅极包括第一栅极第一子部分和第一栅极第二子部分，分别设置于所述源、漏电极对应的源轻掺杂区域和漏轻掺杂区域的下方。

2、根据权利要求 1 所述的阵列基板，其中，所述有源层为由非晶化的氧化物通过晶化处理后形成的多晶状态有源层。

3、根据权利要求 2 所述的阵列基板，其中，所述有源层为低温多晶硅。

4、根据权利要求 1 所述的阵列基板，其中，所述第三栅绝缘层和第二栅绝缘层上设有过孔，所述源、漏电极通过过孔与源、漏重掺杂区域接触连接。

5、如权利要求 1 所述的阵列基板，其中，所述基板和第一栅极之间还设有缓冲层。

6、一种显示装置，包括权利要求 1-5 任一项所述的阵列基板。

7、一种阵列基板的制作方法，包括：

在基板上形成第一栅极的图形；

在完成上述步骤的基板上形成第一栅绝缘层；

在完成上述步骤的基板上形成有源层；

在完成上述步骤的基板上形成第二栅绝缘层；

在完成上述步骤的基板上形成第二栅极的图形；

对有源层的与第二栅极相对应的区域的外部两侧区域进行源、漏重掺杂和源、漏轻掺杂，其中源轻掺杂区域和漏轻掺杂区域紧邻与第二栅极相对应的有源层，源重掺杂区域紧邻所述源轻掺杂区域并且所述漏重掺杂区域紧邻所述漏轻掺杂区域；

在完成上述步骤的基板上形成第三栅绝缘层，并且形成过孔；

在完成上述步骤的基板上形成源、漏电极的图形，所述源、漏电极与所述源、漏重掺杂区域通过过孔电连接；

其中，所述第一栅极设置于所述漏电极所对应的漏轻掺杂区域的下方或所述第一栅极包括第一栅极第一子部分和第一栅极第二子部分，分别设置于所述源、漏电极对应区域的源轻掺杂区域和漏轻掺杂区域的下方。

8、根据权利要求 7 所述的制作方法，其中，所述有源层为由非晶化的氧化物通过晶化处理工艺形成的多晶状态有源层。

9、根据权利要求 8 所述的制作方法，其中，所述有源层为低温多晶硅，且所述晶化处理工艺为准分子激光退火。

10、根据权利要求 7 所述的制作方法，其中，所述对有源层的与第二栅极相对应的区域的外部两侧区域进行源、漏重掺杂和源、漏轻掺杂的步骤包括：

待第二栅极刻蚀完成后，保留光刻胶，其中所述光刻胶与第二栅极之间存在临界尺寸偏差，对未被光刻胶阻挡的有源层区域进行重掺杂处理；

剥离光刻胶，对未被第二栅极阻挡的有源层区域进行轻掺杂处理。

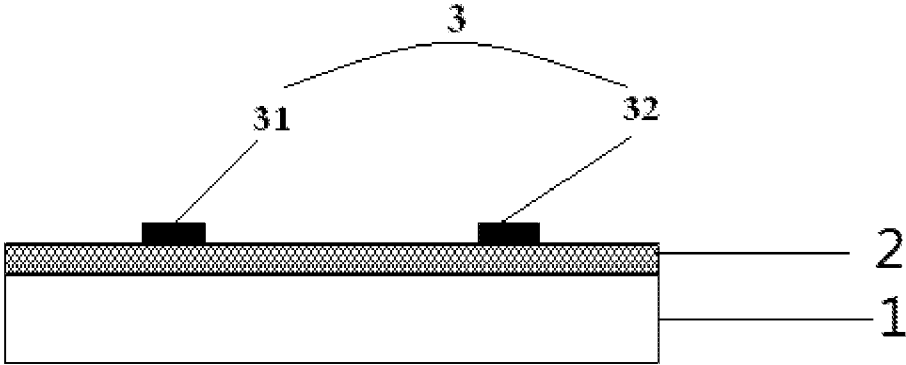


图 1

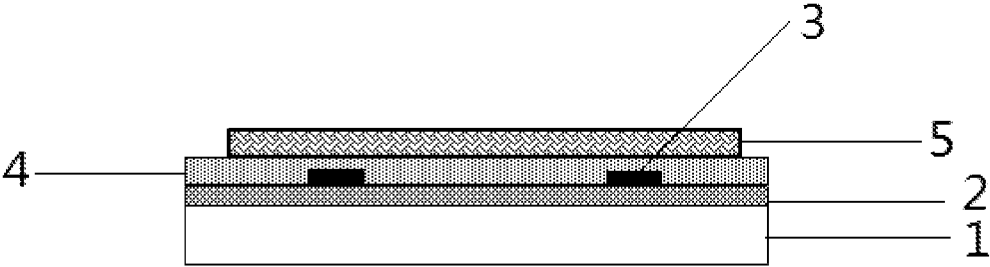


图 2

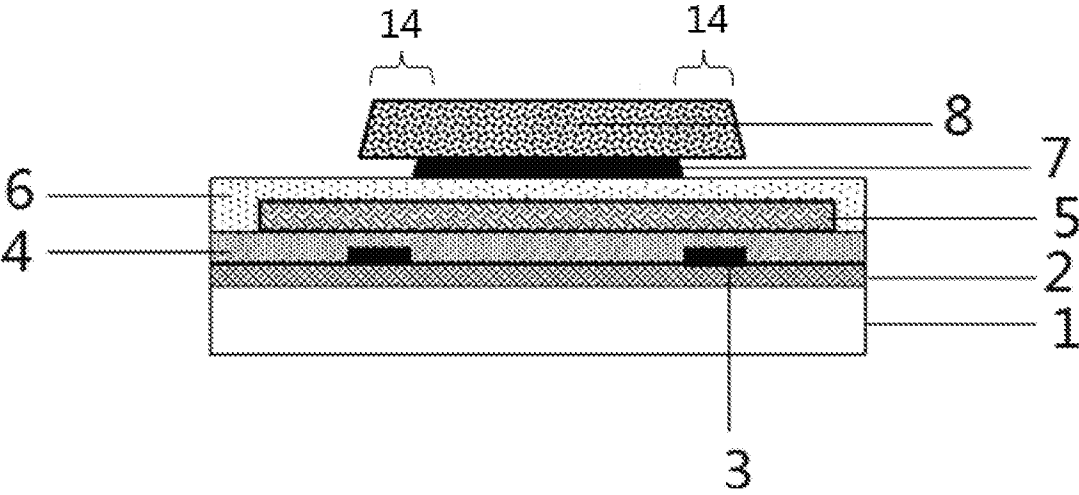


图 3

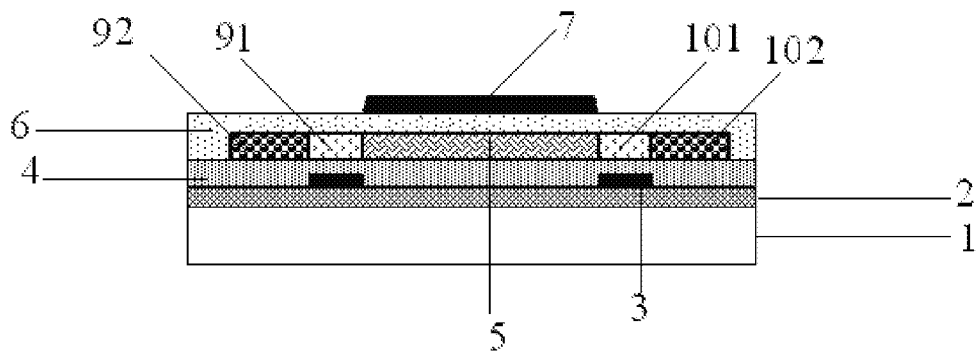


图 4

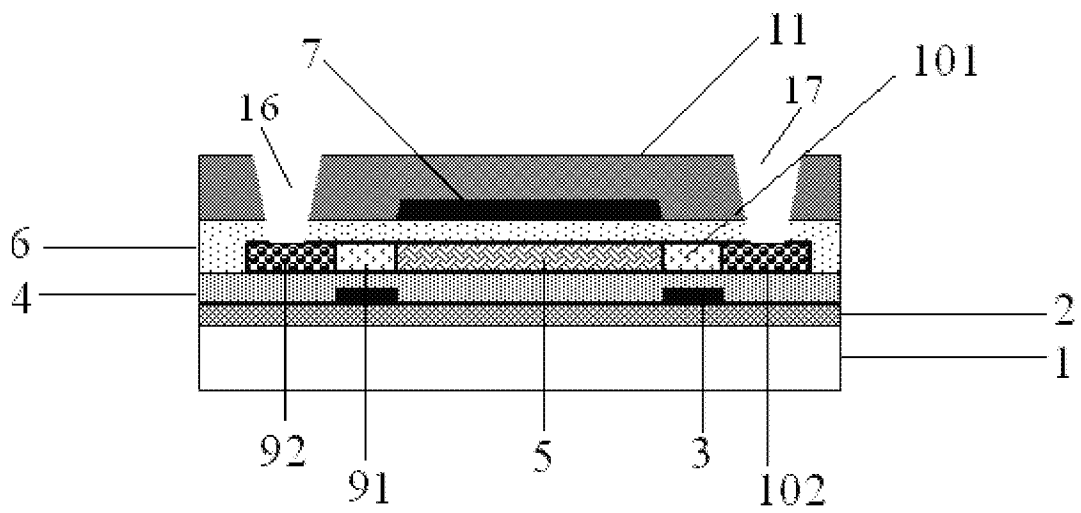


图 5

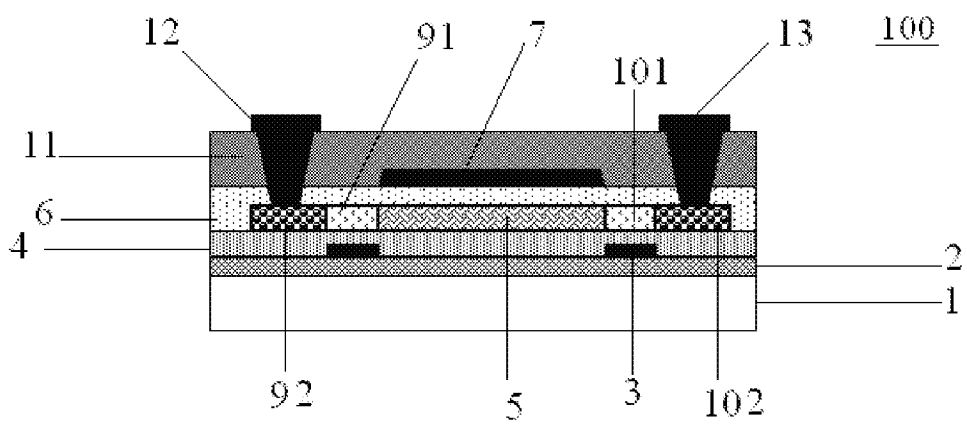


图 6

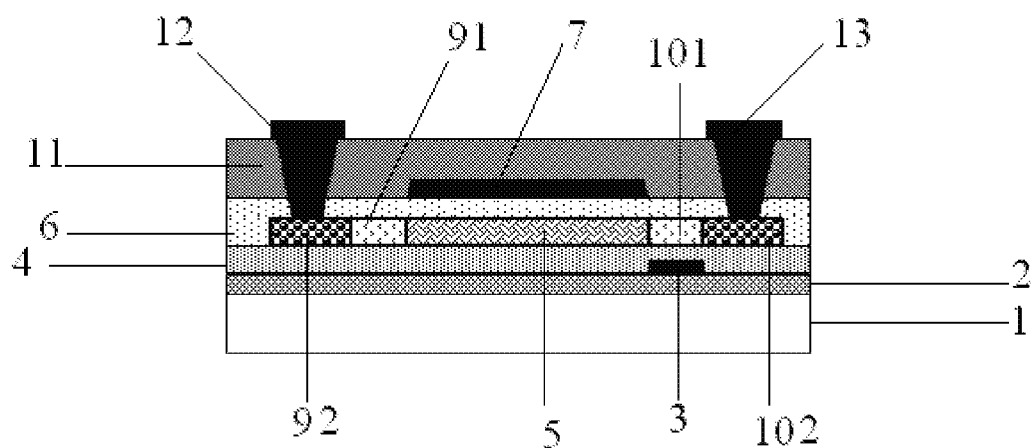


图 7

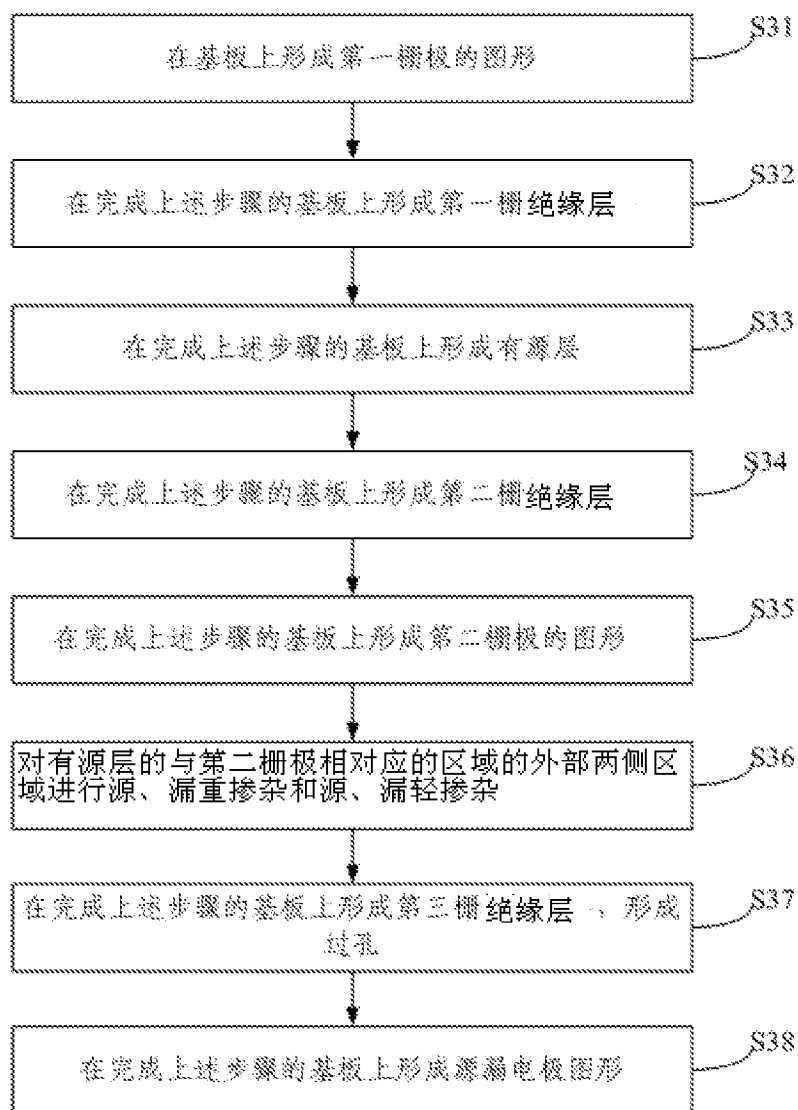


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/094175

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i; H01L 21/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, CNTXT, USTXT, CNABS: thin film transistor, leakage current, array, TFT, gate, leakage, light doped, heavy doped, top gate, bottom gate, first gate, second gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104538458 A (BOE TECHNOLOGY GROUP CO., LTD.), 22 April 2015 (22.04.2015), the whole document	1-10
PX	CN 204243045 U (BOE TECHNOLOGY GROUP CO., LTD.), 01 April 2015 (01.04.2015), the whole document	1-10
PA	CN 104319279 A (BOE TECHNOLOGY GROUP CO., LTD.), 28 January 2015 (28.01.2015), the whole document	1-10
A	CN 104022126 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 03 September 2014 (03.09.2014), the whole document	1-10
A	CN 103383946 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 06 November 2013 (06.11.2013), the whole document	1-10
A	US 2010051948 A1 (SEIKO EPSON CORP.), 04 March 2010 (04.03.2010), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 03 February 2016 (03.02.2016)	Date of mailing of the international search report 15 February 2016 (15.02.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHI, Yue Telephone No.: (86-10) 62089270

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/094175

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104538458 A	22 April 2015	CN 204391121 U	10 June 2015
CN 204243045 U	01 April 2015	None	
CN 104319279 A	28 January 2015	None	
CN 104022126 A	03 September 2014	WO 2015180269 A1	03 December 2015
CN 103383946 A	06 November 2013	US 2015028341 A1	29 January 2015
		WO 2015003466 A1	15 January 2015
US 2010051948 A1	04 March 2010	JP 2010062173 A	18 March 2010
		US 8263982 B2	11 September 2012
		JP 5422945 B2	19 February 2014

A. 主题的分类		
H01L 29/786(2006.01)i; H01L 21/28(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
H01L		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
DWPI, CNTXT, USTXT, CNABS: 阵列, 薄膜晶体管, 栅极, 漏电流, 轻掺杂, 重掺杂, 顶栅, 底栅, 第一栅, 第二栅, array, TFT, gate, leakage, light doped, heavy doped, top gate, bottom gate, first gate, second gate		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 104538458 A (京东方科技集团股份有限公司) 2015年 4月 22日 (2015 - 04 - 22) 全文	1-10
PX	CN 204243045 U (京东方科技集团股份有限公司) 2015年 4月 1日 (2015 - 04 - 01) 全文	1-10
PA	CN 104319279 A (京东方科技集团股份有限公司) 2015年 1月 28日 (2015 - 01 - 28) 全文	1-10
A	CN 104022126 A (京东方科技集团股份有限公司 等) 2014年 9月 3日 (2014 - 09 - 03) 全文	1-10
A	CN 103383946 A (京东方科技集团股份有限公司 等) 2013年 11月 6日 (2013 - 11 - 06) 全文	1-10
A	US 2010051948 A1 (SEIKO EPSON CORP) 2010年 3月 4日 (2010 - 03 - 04) 全文	1-10
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2016年 2月 3日		2016年 2月 15日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088		智月
传真号 (86-10)62019451		电话号码 (86-10)62089270

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/094175

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104538458	A	2015年 4月 22日	CN	204391121	U	2015年 6月 10日
CN	204243045	U	2015年 4月 1日	无			
CN	104319279	A	2015年 1月 28日	无			
CN	104022126	A	2014年 9月 3日	WO	2015180269	A1	2015年 12月 3日
CN	103383946	A	2013年 11月 6日	US	2015028341	A1	2015年 1月 29日
				WO	2015003466	A1	2015年 1月 15日
US	2010051948	A1	2010年 3月 4日	JP	2010062173	A	2010年 3月 18日
				US	8263982	B2	2012年 9月 11日
				JP	5422945	B2	2014年 2月 19日