

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4421615号
(P4421615)

(45) 発行日 平成22年2月24日(2010.2.24)

(24) 登録日 平成21年12月11日(2009.12.11)

(51) Int.Cl.	F I	
G 1 1 C 29/04 (2006.01)	G 1 1 C 29/00	6 0 3 N
G 1 1 C 29/06 (2006.01)	G 1 1 C 29/00	6 7 3 K
G 1 1 C 29/34 (2006.01)	G 1 1 C 29/00	6 7 3 F
G 1 1 C 16/02 (2006.01)	G 1 1 C 29/00	6 7 3 P
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00	6 1 2 F
請求項の数 16 (全 31 頁) 最終頁に続く		

(21) 出願番号 特願2006-548652 (P2006-548652)
 (86) (22) 出願日 平成16年12月24日(2004.12.24)
 (86) 国際出願番号 PCT/JP2004/019329
 (87) 国際公開番号 W02006/067853
 (87) 国際公開日 平成18年6月29日(2006.6.29)
 審査請求日 平成19年6月18日(2007.6.18)

(73) 特許権者 504378124
 スパンション エルエルシー
 アメリカ合衆国 カリフォルニア州 94
 088-3453 サニーバイル デグウ
 イン ドライブ 915
 (74) 代理人 100117385
 弁理士 田中 裕人
 (74) 代理人 100098431
 弁理士 山中 郁生
 (72) 発明者 加藤 健太
 福島県会津若松市門田町工業団地6番 S
 p a n s i o n J a p a n 株式会社内
 (72) 発明者 古山 孝昭
 福島県会津若松市門田町工業団地6番 S
 p a n s i o n J a p a n 株式会社内
 最終頁に続く

(54) 【発明の名称】 記憶装置のバイアス印加方法、および記憶装置

(57) 【特許請求の範囲】

【請求項1】

アクセスの基本単位であるメモリブロックを、互いに交差する第1および第2方向の少なくとも何れか一方向に展開して配置されるメモリブロック群を備える記憶装置であって、

前記第1方向に沿った列ごとに備えられ、同列に対して電圧バイアスの印加制御を行う第1電圧制御部と、

前記第2方向に沿った列ごとに備えられ、同列に対して電圧バイアスの印加制御を行う第2電圧制御部とを備え、

前記メモリブロックへのアクセスは、前記第1電圧制御部により印加制御される前記第1方向に沿った列と、前記第2電圧制御部により印加制御される前記第2方向に沿った列との交差位置に配置されている前記複数のメモリブロックの中で不良メモリブロックを除く少なくとも2つの前記メモリブロックに対して同時に行われることを特徴とする記憶装置。

【請求項2】

前記メモリブロック群における不良メモリブロックの配置位置を示す、前記第1および第2方向の少なくとも何れか一方向の列位置情報を報知する不良メモリブロック位置情報報知部を備え、

前記列位置情報に一致する列に備えられている、前記第1電圧制御部または前記第2電圧制御部の何れか一方は、電圧バイアスを非印加に制御することを特徴とする請求項1に

10

20

記載の記憶装置。

【請求項 3】

前記第 1 電圧制御部は、前記第 1 方向の列位置情報信号が入力され、

前記第 2 電圧制御部は、前記第 2 方向の列位置情報信号が入力されることを特徴とする請求項 2 に記載の記憶装置。

【請求項 4】

前記第 1 および第 2 方向の各々に前記メモリブロックが展開されて前記メモリブロック群が構成される場合、

第 1 ステップ信号に応じて、全ての前記第 1 電圧制御部により、前記第 1 方向に沿った全ての列が印加状態にされると共に、前記第 2 電圧制御部により、前記第 2 方向に沿った列のうち、前記列位置情報が指示する列が非印加状態・他の列が印加状態にされ、

第 2 ステップ信号に応じて、前記第 1 電圧制御部により、前記第 1 方向に沿った列のうち、前記列位置情報が指示する列が非印加状態・他の列が印加状態にされると共に、前記第 2 電圧制御部により、前記第 2 方向に沿った列のうち、前記列位置情報が指示する列が印加状態・他の列が非印加状態にされることを特徴とする請求項 2 に記載の記憶装置。

【請求項 5】

前記第 1 または第 2 方向に沿った列を識別するアドレス信号をデコードする列デコーダを備え、

前記列デコーダは、

前記アドレス信号に対して、何れか 1 列を選択する択一デコード部と、

前記第 1 ステップ信号、または / および前記第 2 ステップ信号に応じて、前記択一デコード部により選択される列を非選択とし、他の全ての列を選択する選択反転部とを備えることを特徴とする請求項 4 に記載の記憶装置。

【請求項 6】

前記第 1 および第 2 電圧制御部は、

前記第 1 または第 2 ステップ信号と、前記列デコーダより出力される列選択信号と、前記第 1 または第 2 方向の前記列位置情報とが入力され、

前記第 1 または第 2 ステップ信号に応じて、前記列位置情報に一致しない前記列選択信号に対応する列を選択することを特徴とする請求項 5 に記載の記憶装置。

【請求項 7】

前記メモリブロックは、不揮発性メモリセルで構成されており、

前記アクセスが消去動作である場合、

前記第 1 および第 2 電圧制御部は、ワード線およびウェルに対して、前記電圧バイアスを印加することを特徴とする請求項 6 に記載の記憶装置。

【請求項 8】

前記メモリブロックは、不揮発性メモリセルで構成されており、

前記アクセスがプログラム動作である場合、

前記第 1 および第 2 電圧制御部は、ワード線に対して、前記電圧バイアスを印加することを特徴とする請求項 6 に記載の記憶装置。

【請求項 9】

前記ワード線は、前記メモリブロック内に配置されている前記メモリセルに接続されているローカルワード線と、前記メモリブロックを越えて配線されているグローバルワード線とを含み、

前記グローバルワード線と高位電源線との組み合わせに応じて、前記ローカルワード線に高位電源を印加制御するサブデコーダを備え、

前記第 1 電圧制御部は、前記グローバルワード線に対して、前記電圧バイアスを印加し、

前記第 2 電圧制御部は、前記高位電源線に対して、前記電圧バイアスを印加することを特徴とする請求項 8 に記載の記憶装置。

【請求項 10】

前記メモリブロックへのアクセスは、前記メモリブロックに対するストレス印加試験、またはリーク試験であり、

前記ストレス印加試験時、または前記リーク試験時、前記電圧バイアスの印加径路を外部端子に切り替える切替部を備えることを特徴とする請求項 1 に記載の記憶装置。

【請求項 1 1】

前記メモリブロックは、不揮発性メモリセルで構成されていることを特徴とする請求項 1 に記載の記憶装置。

【請求項 1 2】

前記アクセスは、消去動作、プログラム動作、ストレス印加試験動作、リーク試験動作のうち少なくとも何れか一つであることを特徴とする請求項 1 1 に記載の記憶装置。

10

【請求項 1 3】

アクセスの基本単位であるメモリブロックを、互いに交差する第 1 および第 2 方向の少なくとも何れか一方向に展開して配置されるメモリブロック群を備える記憶装置のバイアス印加方法であって、

前記第 1 方向に沿った列および前記第 2 方向に沿った列ごとに電圧バイアスを印加制御することに応じて、前記メモリブロック群への電圧バイアスの印加を行う際、

前記メモリブロック群内に不良メモリブロックが存在する場合、該不良メモリブロックの存在位置に一致する前記第 1 および第 2 方向の何れか一方向の列について、電圧バイアスを非印加に制御することを特徴とする記憶装置のバイアス印加方法。

【請求項 1 4】

20

前記第 1 および第 2 方向の各々に前記メモリブロックが展開されて前記メモリブロック群が構成される場合、

前記第 1 方向に沿った全ての列を印加状態に制御すると共に、前記第 2 方向に沿った列のうち、前記不良メモリブロックの存在する列を非印加状態・他の列を印加状態に制御するステップと、

前記第 1 方向に沿った列のうち、前記不良メモリブロックの存在する列を非印加状態・他の列を印加状態に制御すると共に、前記第 2 方向に沿った列のうち、前記不良メモリブロックの存在する列を印加状態・他の列を非印加状態に制御するステップとを有することを特徴とする請求項 1 3 に記載の記憶装置のバイアス印加方法。

【請求項 1 5】

30

前記第 1 または第 2 方向に沿った列を識別するアドレス信号のビットごとに、ビット信号の論理レベルに応じて、何れか一方が活性論理レベルとされる一対の相補アドレス信号を備え、

前記不良メモリブロックの存在位置に一致しない全ての前記アドレス信号に対する前記相補信号は、共に非活性論理レベルとされ、

前記不良メモリブロックの存在位置に一致する全ての前記アドレス信号に対する前記相補信号は、何れか一方が活性論理レベルとされることを特徴とする請求項 1 3 に記載の記憶装置のバイアス印加方法。

【請求項 1 6】

前記メモリブロックへのアクセスが前記メモリブロックに対するストレス印加試験、または前記リーク試験である場合、

40

前記電圧バイアスは外部より印加されることを特徴とする請求項 1 3 に記載の記憶装置のバイアス印加方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、それぞれ、複数のメモリセルを備えて構成される複数のセクターに対するバイアス印加に関し、特に、複数セクターに対して一括してバイアス印加を行う際の、記憶装置のバイアス印加方法、および記憶装置に関するものである。

【背景技術】

50

【 0 0 0 2 】

特許文献 1 に開示されている不揮発性半導体メモリでは、記憶したデータの一括消去を行うことができるセクターを複数領域有する不揮発性半導体メモリにおいて、データ消去用に使う高電圧を発生する高電圧発生回路と、高電圧発生回路と複数領域のセクターとの間に各々接続される複数個のトランジスタとを備え、データの一括消去時には複数個のトランジスタを定電流動作させ、複数領域のセクターに流れる電流を制御する。これにより、あるセクター内に不良セクターが存在していたとしても流れる電流が一定値に制限されるため、消去に必要な高電圧を維持でき、一括消去を行うことが可能となる。

【 0 0 0 3 】

また、特許文献 2 に開示されている半導体記憶装置では、複数のブロックのうち、切替手段により冗長ブロックへ切り替えられていないブロックに対しては、常に「選択」の信号を出力し、冗長ブロックへ切り替えられた不良ブロックに対しては、テストモードの全ブロック一括書き込みノ一括消去の入力信号に対して「非選択」の信号を出力する。全ブロックへの一括書き込みノ一括消去モードにおいて不良ブロックへの一括書き込みノ一括消去の電圧の印加を禁止する構成のブロック選択回路を備える。これにより、不良ブロックに高電圧が印加されることはなく、電流の漏洩によって電圧値が降下することはない。

10

【 0 0 0 4 】

【特許文献 1】特開 2 0 0 1 - 1 3 7 9 9 1 号公報

【特許文献 2】特開平 8 - 1 0 6 7 9 6 号公報

【発明の開示】

20

【発明が解決しようとする課題】

【 0 0 0 5 】

特許文献 1 では、トランジスタが、個々のセクターと高電圧発生回路とを接続し、一括消去時に定電流動作を行う。また、特許文献 2 では、ブロック選択回路が、一括書き込みノ一括消去モードにおいて不良ブロックへの電圧印加を禁止する。特許文献 1 では、不良セクターが存在する場合にも流れる電流が一定値に制限され、特許文献 2 では、不良ブロックへの電圧印加が禁止されて、過度な電流が流れることによるバイアス電圧の降下を防止するものではある。

【 0 0 0 6 】

しかしながら、特許文献 1、および 2 では、電流制限、および電圧印加制御を、セクター、およびブロックごとに行う必要があり、電流制限用のトランジスタ、および電圧印加制御用のブロック選択回路を、セクター、およびブロックごとに備えなければならない。

30

【 0 0 0 7 】

このため、電流制限用のトランジスタや電圧印加制御用のブロック選択回路といった電圧制御部は、セクターやブロックがマトリクス状に配置されるメモリセルアレイ領域に配置せざるを得ない。電圧制御部を構成する制御回路用のデバイス構成とは異なる構成やデザインルールを有して最適化配置されることが一般的なメモリセルアレイ領域において、効率的なメモリセルアレイのレイアウトを妨げることも考えられ、チップサイズの増大を招来するおそれがあり問題である。

【 0 0 0 8 】

40

また、今後の大容量化に伴い、セクター数やブロック数が増大することが考えられ、これに伴い、電流制限用のトランジスタや電圧印加制御用のブロック選択回路といった電圧制御部も増加することとなる。電圧制御部の占有面積が増大してチップサイズの増大を招来するおそれがあり問題である。

【課題を解決するための手段】

【 0 0 0 9 】

本発明は前記背景技術の課題に鑑みて為されたものであり、第 1 方向および第 2 方向の各々に沿った列ごとに電圧制御部を備え、双方向の列への電圧印加の組み合わせに応じてメモリブロックに電圧バイアスが印加される構成とし、第 1 および第 2 方向の各々の列へのバイアス印加を制御することにより、不良メモリブロックへのバイアス印加を避けなが

50

ら、複数のメモリブロックを対象とする一括バイアス印加を効率的に行うことが可能な、記憶装置のバイアス印加方法、および記憶装置を提供することを目的とする。

【0010】

前記目的を達成するためになされた本発明の記憶装置は、アクセスの基本単位であるメモリブロックを、互いに交差する第1および第2方向の少なくとも何れか一方向に展開して配置されるメモリブロック群を備える記憶装置であって、第1方向に沿った列ごとに備えられ、同列に対して電圧バイアスの印加制御を行う第1電圧制御部と、第2方向に沿った列ごとに備えられ、同列に対して電圧バイアスの印加制御を行う第2電圧制御部とを備え、メモリブロックへのアクセスは、第1電圧制御部により印加制御される第1方向に沿った列と、第2電圧制御部により印加制御される第2方向に沿った列との交差位置に配置されているメモリブロックに対して行われることを特徴とする。

10

【0011】

本発明の記憶装置では、メモリブロック群を構成するメモリブロックが展開されている配置方向に応じて、第1方向に沿った列については第1電圧制御部が列ごとの電圧バイアスの印加制御を行い、第2方向に沿った列については第2電圧制御部が列ごとの電圧バイアスの印加制御を行う。第1および第2方向の列ごとの印加制御を組み合わせることにより、交差位置に配置されているメモリブロックを電圧バイアスする。

【0012】

これにより、メモリブロック群を構成するメモリブロックの配置列ごとに第1または第2電圧制御部を備えればよく、電圧制御部をメモリブロックごとに備える必要はない。第1および第2電圧制御部はメモリセルアレイ領域の周辺部に配置すればよく、メモリセルアレイ領域にはメモリセルを集中して配置することができる。電圧制御部を構成する制御回路用のデバイス構成とは異なる構成やデザインルールを有して、メモリセルアレイ領域を効率的にレイアウトすることができる。また、メモリブロック数が増大する場合にも必要となる電圧制御部の数量を抑制することができる。従って、チップ面積の増大を抑制することができる。

20

【0013】

また、前記目的を達成するためになされた本発明の記憶装置のバイアス印加方法は、アクセスの基本単位であるメモリブロックを、互いに交差する第1および第2方向の少なくとも何れか一方向に展開して配置されるメモリブロック群を備える記憶装置のバイアス印加方法であって、第1方向に沿った列および第2方向に沿った列ごとに電圧バイアスを印加制御することに応じて、メモリブロック群への電圧バイアスの印加を行う際、不良メモリブロックの存在する第1および第2方向の何れか一方向の列について、電圧バイアスを非印加に制御することを特徴とする。

30

【0014】

本発明の記憶装置のバイアス印加方法では、メモリブロック群を構成するメモリブロックが展開されている配置方向に応じて、第1および第2方向に沿った列の各々に列ごとに電圧バイアスの印加制御を行い、その組み合わせでメモリブロックに電圧バイアスを印加するところ、不良メモリブロックに対しては、不良メモリブロックの存在する第1および第2方向の何れか一方向の列について電圧バイアスを非印加に制御する。

40

【0015】

これにより、第1および第2方向に沿った列ごとに電圧バイアスを印加制御して、複数のメモリブロックに同時に電圧バイアスを印加するに当たり、不良メモリブロックについては、第1および第2方向の何れか一方向の列について電圧バイアスを非印加に制御することで、電圧バイアスを非印加とすることができる。不良メモリブロック、または不良メモリブロックを含み非印加制御が行なわれる列に存在するメモリブロックを除き、メモリブロック群を構成するメモリブロックに対して同時に電圧バイアスすることができる。少なくとも2ステップで不良メモリブロック以外のメモリブロックに対してそれぞれ1回電圧ストレスを印加することができ、少ないステップ数でアクセス動作を完了することができる。

50

【発明の効果】

【0016】

本発明によれば、第1方向および第2方向の各々に沿った列ごとに電圧制御部を備え、双方向の列への電圧印加の組み合わせに応じてメモリブロックに電圧バイアスが印加される構成とし、第1および第2方向の各々の列へのバイアス印加を制御することにより、不良メモリブロックへのバイアス印加を避けながら、複数のメモリブロックを対象とする一括バイアス印加を効率的に行うことが可能な、記憶装置のバイアス印加方法、および記憶装置を提供することができる。

【図面の簡単な説明】

【0017】

【図1】本発明の第1のバイアス印加方法を示す模式図である。

【図2】本発明の第2のバイアス印加方法を示す模式図である。

【図3】実施形態の記憶装置を示す回路ブロック図である。

【図4】内部アドレスの出力制御部である。

【図5】タテ列アドレスのデコーダである。

【図6】ヨコ列アドレスのデコーダである。

【図7】内部アドレスの出力制御部の動作波形(1)(通常アクセスにおいて不良セクターがない場合)である。

【図8】内部アドレスの出力制御部の動作波形(2)(通常アクセスにおいて不良セクターがある場合)である。

【図9】内部アドレスの出力制御部の動作波形(3)(一括アクセスにおいて不良セクターがない場合)である。

【図10】内部アドレスの出力制御部の動作波形(4)(一括アクセスにおいて不良セクターがある場合)である。

【図11】図3の回路ブロック図に関して、セクターS07へのバイアス印加を行う制御回路の回路ブロック図である。

【図12】サブデコーダの具体例である。

【図13】サブデコーダ低位電源スイッチ部の具体例である。

【図14】ウェル電位制御部の具体例である。

【図15】サブデコーダ低位電源制御部の具体例である。

【図16】サブデコーダ高位電源制御部の具体例である。

【図17】ワード線負電圧供給部の具体例である。

【図18】メインデコーダ高位電源制御部の具体例である。

【図19】メインデコーダの具体例である。

【図20】アクセス動作ごとの各信号の電圧バイアス状態を示す図(1)(消去動作およびプログラム動作の場合)である。

【図21】アクセス動作ごとの各信号の電圧バイアス状態を示す図(2)(HTRBリーク試験およびファーストチップ消去動作の場合)である。

【図22】電源切替部を備える回路ブロックである。

【符号の説明】

【0018】

ARY メモリセルアレイ
 C1(0)乃至C1(3) タテ列電圧制御部
 C2(0)乃至C2(7) ヨコ列電圧制御部
 S00乃至S37 セクター
 11 CAM部
 13 冗長判定回路
 15 アドレスバッファ
 17 列デコード部
 19 トランスファゲート制御部

10

20

30

40

50

2 1	トランスファゲート制御部	
2 3	サブデコーダ	
2 5	サブデコーダ低位電源スイッチ部	
3 1	ウェル電位制御部	
3 3	サブデコーダ低位電源制御部	
3 5	サブデコーダ高位電源制御部	
4 1	ワード線負電圧供給部	
4 3	メインデコーダ高位電源制御部	
4 5	メインデコーダ	
5 1	切替部	10
5 3	P A D	
e x A D (i) (i = 0 ~ 4)	外部アドレス	
i n A D (i) / i n A D B (i) (i = 0 ~ 4)	内部アドレス信号	
E R	消去動作制御信号	
M 1	ステップ 1 信号	
M 2	ステップ 2 信号	
P G M	プログラム動作制御信号	
S R E D	冗長一致信号	
R A (i) / R A B (i) (i = 0 乃至 4)	不良セクターアドレス	
R Z 1 (i) / R Z 2 (i) (i = 0 乃至 4)	不良セクター列アドレス	20
R Z 1 (0) 乃至 R Z 1 (3)	タテ列不良信号	
R Z 2 (0) 乃至 R Z 2 (7)	ヨコ列不良信号	
Z 1 (0) 乃至 Z 1 (3)	タテ列アドレス	
Z 2 (0) 乃至 Z 2 (7)	ヨコ列アドレス	

【発明を実施するための最良の形態】

【0019】

以下、本発明の記憶装置のバイアス印加方法、および記憶装置について具体化した実施形態を図1乃至図2に基づき図面を参照しつつ詳細に説明する。

【0020】

図1および図2には本発明のバイアス印加方法を模式的に示す。アクセスの基本単位として複数のメモリセルごとに区画されたセクターを考える場合、このセクターが複数備えられる記憶装置において、アクセス対象の複数セクターに対して、列単位で電圧バイアスを印加して、不良セクターを除く全てのセクターに、必要最小限のステップで効率良く電圧ストレスを印加することが可能なバイアス印加方法を提供するものである。

【0021】

ここで例えば、記憶装置として不揮発性記憶装置を考える場合、消去動作がアクセスの一例であり、セクターとは、消去動作が行われる基本単位を示す。また、アクセスには、消去動作のほか、プログラム動作やストレス試験動作が含まれる。アクセス動作とは、アクセス対象のセクターに対してバイアスストレスを印加することを言う。また、アクセス対象の複数セクターの範囲としては、全てのセクターを含む一括アクセス動作の他、部分的に選択されたセクター群に対するアクセス動作が考えられる。例えば、前者としては一括消去動作が考えられ、後者としてはファーストチップイレーズ (F i r s t C h i p E r a s e) 動作が考えられる。

【0022】

図1は、例えば、部分的に選択されたセクター群に対するアクセス動作を示した模式図である。タテ方向に一行にセクターが配置されている場合である。タテ列アドレス $Z 1 (i)$ に対して、ヨコ列アドレス $Z 2 (0)$ 乃至 $Z 2 (2)$ を有する3つのセクターで構成されている。このうち、 $(Z 1 (i) , Z 2 (0))$ のセクターが不良セクターである場合を示す。

【0023】

電圧制御部は各列ごとに備えられるため、この場合のバイアス印加方法は、タテ列 Z 1 (i) に対しては印加制御 (O N) されると共に、ヨコ列については、Z 2 (0) に対しては非印加制御 (O F F) とされ、Z 2 (1)、Z 2 (2) に対しては印加制御 (O N) とされる。タテ列とヨコ列との双方の電圧バイアスが共に印加されることにより、(Z 1 (i)、Z 2 (1)) および (Z 1 (i)、Z 2 (2)) に配置されているセクター (図 1 中、斜線が施されたセクター) については電圧ストレスが印加され、アクセス動作が行われる。(Z 1 (i)、Z 2 (0)) のセクターについては、タテ方向の電圧バイアスは印加されるもののヨコ方向 Z 2 (0) の電圧バイアスは非印加であるため、セクターへのアクセス動作が行われない (電圧ストレスは印加されない。) 1 ステップのバイアス印加制御で、不良セクターを除くアクセス対象の複数セクター (図 1 中、斜線が施されたセクター) にアクセス動作が行われる。

10

従来は、部分的に選択されたセクター群内に欠陥セクターが含まれる場合には、個々のセクター (この場合は、図 1 中で示される斜線が施されたセクター領域) を個別に 1 回づつアクセスする必要があるが、本発明では欠陥セクターを除く良品セクターを一括して 1 回でアクセス動作できる。

【 0 0 2 4 】

図 2 は、例えば、一括アクセス動作について示した模式図である。タテ / ヨコの各々の方向に三列に渡ってセクターが配置されている場合である。タテ列アドレス Z 1 (0) 乃至 Z 1 (2)、およびヨコ列アドレス Z 2 (0) 乃至 Z 2 (2) の各々の位置にセクターが配置されている。不良セクターは (Z 1 (1)、Z 2 (0)) の位置にあるものとする。

20

この場合、不良セクターを除くアクセス対象の複数セクターへは、2 ステップでアクセス動作を完了させることができる。

【 0 0 2 5 】

(ステップ 1) において、全てのタテ列 Z 1 (0) 乃至 Z 1 (2) に対して印加制御 (O N) とされると共に、ヨコ列については、不良セクターの存在する Z 2 (0) に対しては非印加制御 (O F F) とされ、その他のヨコ列 Z 2 (1)、Z 2 (2) に対しては印加制御 (O N) とされる。タテ列とヨコ列との双方の電圧バイアスが共に印加されることにより、ヨコ列 Z 2 (1) および Z 2 (2) のセクター、すなわち、(Z 1 (0)、Z 2 (1))、(Z 1 (0)、Z 2 (2))、(Z 1 (1)、Z 2 (1))、(Z 1 (1)、Z 2 (2))、(Z 1 (2)、Z 2 (1))、および (Z 1 (2)、Z 2 (2)) に配置されているセクター (図 2 中、(ステップ 1) において斜線が施されたセクター) については、電圧ストレスが印加されアクセス動作が行われる。これに対して、ヨコ列 Z 2 (0) のセクター、すなわち、(Z 1 (0)、Z 2 (0))、(Z 1 (1)、Z 2 (0))、および (Z 1 (2)、Z 2 (0)) のセクターについては、タテ方向の電圧バイアスは印加されるものの、ヨコ方向の電圧バイアスは非印加であるため、セクターへのアクセス動作が行われない (電圧ストレスは印加されない。)

30

【 0 0 2 6 】

(ステップ 2) では、タテ列において、不良セクターの存在する Z 1 (1) に対しては非印加制御 (O F F) とされ、その他のタテ列 Z 1 (0)、Z 1 (2) に対しては印加制御 (O N) とされると共に、ヨコ列については、不良セクターの存在する Z 2 (0) に対して印加制御 (O N) とされ、その他のヨコ列 Z 2 (1)、Z 2 (2) に対して非印加制御 (O F F) とされる。タテ列とヨコ列との双方の電圧バイアスが共に印加されることにより、不良セクターを除くヨコ列 Z 2 (0) のセクター、すなわち、(Z 1 (0)、Z 2 (0))、および (Z 1 (2)、Z 2 (0)) に配置されているセクター (図 2 中、(ステップ 2) において斜線が施されたセクター) については、電圧ストレスが印加されアクセス動作が行われる。タテ列 Z 1 (0)、Z 1 (2) のその他のセクター、すなわち、(Z 1 (0)、Z 2 (1))、(Z 1 (0)、Z 2 (2))、(Z 1 (2)、Z 2 (1))、および (Z 1 (2)、Z 2 (2)) のセクターについては、タテ方向の電圧バイアスは印加されるものの、ヨコ方向の電圧バイアスは非印加であるため、セクターへの電圧ストレスは印加されない。

40

50

【 0 0 2 7 】

3列×3列のセクターを備える領域を一括アクセスする場合、不良セクターを含んでいても、2ステップで不良セクター以外のセクターに対してアクセス動作を行う（電圧ストレスを印加する）ことができ、少ないステップ数でアクセス動作を完了することができる。また、電圧ストレスは、不良セクター以外の各セクターについて1度だけ印加されるのみであり、過度な電圧ストレスが印加されることはない。

従来は、一括アクセス（例えば、一括消去動作や良品セクターの各種ストレス試験や良品セクターのリーク試験）として選択されたセクター群内に欠陥セクターが含まれる場合には、個々のセクター（この場合は、図2（ステップ1とステップ2）中で示される斜線が施されたセクター領域）を個別に1回ずつアクセスする必要があるが、本発明では欠陥セクターを除く良品セクターを一括して2ステップ（2回）でアクセス動作できる。

10

【 0 0 2 8 】

図3は、本発明の実施形態の記憶装置について、複数セクターの備えられたメモリセルアレイA R Yと、各セクター列の列ごとに備えられる電圧制御部とを示す回路ブロック図である。尚、本発明が適用される記憶装置は、メモリセルの記憶特性に依存するものではなく、揮発性/不揮発性の別に関わりなく適用することができるものではあるが、実施形態では、その一例として不揮発性記憶装置を例にとり説明をする。また、実施形態では、図2に示した2ステップによる一括アクセス動作を行う場合を中心に説明をする。

【 0 0 2 9 】

メモリセルアレイA R Yは、ヨコ方向に4列（Z 1（0）乃至Z 1（3））、タテ方向に8列（Z 2（0）乃至Z 2（7））に整列して、セクターS 0 0乃至S 3 7が配置されている。

20

【 0 0 3 0 】

タテ方向には、タテ列（Z 1（0）乃至Z 1（3））ごとに、タテ列電圧制御部（C 1（0）乃至C 1（3））が備えられている。消去動作制御信号E R、プログラム動作制御信号P G M、およびステップ2のストレス印加時期を示すステップ2信号M 2が、各タテ列電圧制御部（C 1（0）乃至C 1（3））に入力されている。また、各タテ列に応じて、タテ列アドレスZ 1（0）乃至Z 1（3）、およびタテ列ごとに不良セクターが存在するか否かを示すタテ列不良信号R Z 1（0）乃至R Z 1（3）が入力される。タテ列電圧制御部（C 1（0）乃至C 1（3））は、各電圧制御部が配置されているタテ列（Z 1（0）乃至Z 1（3））に対して、タテ方向の電圧バイアスの印加を制御する。すなわち、タテ列電圧制御部C 1（0）は、セクターS 0 0乃至S 0 7に対して電圧バイアスを印加制御し、以下同様に、タテ列電圧制御部C 1（1）、C 1（2）、C 1（3）は、セクターS 1 0乃至S 1 7、S 2 0乃至S 2 7、S 3 0乃至S 3 7に対して電圧バイアスを印加制御する。

30

【 0 0 3 1 】

ヨコ方向には、ヨコ列（Z 2（0）乃至Z 2（7））ごとに、ヨコ列電圧制御部（C 2（0）乃至C 2（7））が備えられている。消去動作制御信号E R、プログラム動作制御信号P G M、およびステップ1のストレス印加時期を示すステップ1信号M 1が、各ヨコ列電圧制御部（C 2（0）乃至C 2（7））に入力されている。また、各ヨコ列に応じて、ヨコ列アドレスZ 2（0）乃至Z 2（7）、およびヨコ列ごとに不良セクターが存在するか否かを示すヨコ列不良信号R Z 2（0）乃至R Z 2（7）が入力される。ヨコ列電圧制御部（C 2（0）乃至C 2（7））は、各電圧制御部が配置されているヨコ列（Z 2（0）乃至Z 2（7））に対して、ヨコ方向の電圧バイアスの印加を制御する。すなわち、ヨコ列電圧制御部C 2（0）は、セクターS 0 0乃至S 3 0に対して電圧バイアスを印加制御し、以下同様に、ヨコ列電圧制御部C 2（1）、C 2（2）、C 2（3）、C 2（4）、C 2（5）、C 2（6）、C 2（7）は、セクターS 0 1乃至S 3 1、S 0 2乃至S 3 2、S 0 3乃至S 3 3、S 0 4乃至S 3 4、S 0 5乃至S 3 5、S 0 6乃至S 3 6、S 0 7乃至S 3 7に対して電圧バイアスを印加制御する。

40

【 0 0 3 2 】

50

尚、タテ方向（タテ列）には、セクター内をローカルビット線が延在し、前記複数のセクターを共有してグローバルビット線が延在する。更に、タテ列毎の複数セクターに共通するウェルが延在する。ヨコ方向（ヨコ列）には、セクター内をローカルワード線（後述する図11のP2WL）が延在し、前記複数のセクターを共有してグローバルワード線（後述する図11のGWL）が延在する。

また、タテ列電圧制御部（C1(i)）のタテ方向の電圧バイアスの印加を制御するもとして、タテ列毎の複数セクターに共通するウェル電位VNW、前記ローカルワード線を生成するセクター毎に配置されたサブデコーダを制御するサブデコーダ高位電源VWLや、前記サブデコーダのサブデコーダ低位電源XDSを制御するサブデコーダ低位電源スイッチ部を制御する制御信号NENがある。

10

ヨコ列電圧制御部C2(i)のヨコ方向の電圧バイアスの印加を制御するもとして、ヨコ列毎の複数セクターに共通するグローバルワード線対（GWL、GWL B）、前記サブデコーダのサブデコーダ低位電源XDSを制御するサブデコーダ低位電源スイッチ部を制御する負電源RNEGPがある。

不揮発性記憶装置のイレーズ動作やプログラム動作としては、前記ローカルワード線 - 前記ウェル間の電圧差によるメモリセルの物理的なトンネル現象や、前記ローカルワード線 - 前記ローカルビット線もしくはメモリセルのソース線間によるメモリセルの物理的なトンネル現象などがある。その他、ホットキャリアによるプログラム動作などもある。

【0033】

ここで、消去動作制御信号ERおよびプログラム動作制御信号PGMは、外部からのコマンド等によるアクセス動作指令に対して、アクセス動作ごとに設定される動作状態や動作タイミングを制御する不図示の制御回路により出力される信号である。不揮発性記憶装置では、消去動作およびプログラム動作において、メモリセルに電圧ストレスを印加する期間と、電圧ストレスの印加後にセルトランジスタの閾値電圧を確認する、いわゆるベリファイ動作とが、交互に繰り返される。消去動作制御信号ERおよびプログラム動作制御信号PGMは、メモリセルに対して電圧バイアスを指示する信号である。

20

【0034】

また、ステップ1/2のストレス印加時期を示すステップ1信号M1/ステップ2信号M2は、図2に示す一括アクセス動作時に、不図示の制御回路から出力される信号である。電圧ストレスのシーケンスを管理する信号である。図2の一括アクセス動作におけるバイアス印加方法で示したように、タテ列については、全ての列を選択してバイアス印加を
 するとところ、ステップ2において不良セクターの存在する列についてのみ非印加に制御する必要がある。また、ヨコ列については、不良セクターの存在する列と存在しない列についてバイアス印加制御が異なりステップ1において不良セクターの存在列についてのみ非印加とするとところ、ステップ2においてはバイアス印加制御を逆転させる必要がある。これらの制御を実現するために、図3に示すように、タテ列電圧制御部C1(0)乃至C1(3)についてはステップ2信号M2が入力され、ヨコ列電圧制御部C2(0)乃至C2(7)についてはステップ1信号M1が入力される。

30

【0035】

更に、タテ列/ヨコ列を指示するタテ/ヨコ列アドレス（Z1(0)乃至Z1(3)/Z2(0)乃至Z2(7)）、およびタテ列/ヨコ列ごとに不良セクターの存在する列を指示するタテ列/ヨコ列不良信号（RZ1(0)乃至RZ1(3)/RZ2(0)乃至RZ2(7)）は、図4乃至図10において後述するアドレス信号の出力制御部に
 応じて出力される。

40

【0036】

図4乃至図6に、列アドレス信号の出力制御部を示す。図4は、入力された外部アドレスexAD(i)（i=0~4）ごとに、同相/逆相の内部アドレス信号inAD(i)/inADB(i)（i=0~4）を出力する制御部である。セクター単位で行われる通常のアクセス動作において、各外部アドレスexAD(i)に対して、同相/逆相の内部アドレス信号inAD(i)/inADB(i)が生成され、何れか一方がハイレベルに

50

なる。合わせて、冗長判定を行う。アドレスバッファ15と、不揮発性記憶部等で構成され、予め、不良セクターアドレス $RA(i)$ ($i = 0 \sim 4$)が格納されているCAM部11と、外部アドレス $exAD(i)$ と不良セクターアドレス $RA(i)$ との一致判定を行う冗長判定回路13とを備えている。

【0037】

アドレスバッファ15は、外部アドレス $exAD(i)$ が直接入力されるセットに加えて、外部アドレス $exAD(i)$ がインバータゲートI9により反転されて入力されるセットが備えられており、外部アドレス $exAD(i)$ との同相の内部アドレス信号 $inAD(i)$ ($i = 0 \sim 4$)、および逆相の内部アドレス信号 $inADB(i)$ ($i = 0 \sim 4$)が出力される。ハイレベルの外部アドレス $exAD(i)$ に対しては同相の内部アドレス信号 $inAD(i)$ がハイレベルとなり、ローレベルの外部アドレス $exAD(i)$ に対しては逆相の内部アドレス信号 $inADB(i)$ がハイレベルとなる。すなわち、アドレスバッファ15から出力される内部アドレス信号 $inAD(i)$ / $inADB(i)$ は、外部アドレス $exAD(i)$ に対応した信号となる。

10

【0038】

入力された外部アドレス $exAD(i)$ 、およびその反転アドレスは、ノアゲートR1に入力される。ノアゲートR1の他方の入力端子には、外部アドレス $exAD(0)$ および $exAD(1)$ に対しては、ステップ2信号M2が入力され、外部アドレス $exAD(2)$ 乃至 $exAD(4)$ に対しては、ステップ1信号M1が入力される。ノアゲートR1からの出力信号はインバータゲートI3で反転され、冗長判定における一致比較用のアドレス $preAD(i)$ ($i = 0 \sim 4$)および $preADB(i)$ ($i = 0 \sim 4$)が出力され、冗長判定回路13に入力される。

20

【0039】

冗長判定回路13では、CAM部11に格納されている不良セクターアドレス $RA(i)$ / $RAB(i)$ と、アドレス $preAD(i)$ / $preADB(i)$ とが、同じアドレス番号 i 、および同相 / 逆相ごとに、一致比較される。共にハイレベルである組み合わせが全てのアドレス番号 ($i = 0$ 乃至 4)において存在する場合、アドレス $preAD(i)$ / $preADB(i)$ が、予め格納されている不良セクターのアドレスに一致すると判断され、冗長一致信号 $SRED$ 、および一致したアドレスからデコードされる不良セクターのタテ列 / ヨコ列の列アドレス $RZ1(i)$ / $RZ2(i)$ ($i = 0$ 乃至 4)が出力される。

30

【0040】

アドレスバッファ15から出力される内部アドレス信号 $inAD(i)$ / $inADB(i)$ は、3入力のノアゲートR3から出力される。ノアゲートR3の入力端子は、ノードN1、N2、N3を介して、インバータゲートI2、I6、I8の出力端子に接続されている。

【0041】

ノードN1に至る系は、インバータゲートI1、I2と、ナンドゲートD1とで構成されている。CAM部11から出力される不良セクターアドレス $RA(i)$ / $RAB(i)$ がインバータゲートI1に入力され、インバータゲートI1の出力端子は、ナンドゲートD1に入力されている。ナンドゲートD1には更に、ステップ1信号M1またはステップ2信号M2と冗長一致信号 $SRED$ とが入力されている。ナンドゲートD1の出力信号がインバータゲートI2に入力されている。

40

【0042】

ここで、不良セクターアドレス $RA(i)$ / $RAB(i)$ は、各々、外部アドレス $exAD(i)$ / その反転アドレスの対応するアドレスバッファ15に入力される。また、ステップ1信号M1は、 $i = 2$ 乃至 4 のアドレスバッファ15に入力され、ステップ2信号M2は、 $i = 0$ 乃至 1 のアドレスバッファ15に入力される。

【0043】

ノードN2に至る系は、インバータゲートI4乃至I6と、ナンドゲートD2とで構成

50

されている。外部アドレス $exAD(i)$ またはその反転アドレスがインバータゲート $I4$ に入力され、ステップ 1 信号 $M1$ またはステップ 2 信号 $M2$ がインバータゲート $I5$ に入力される。インバータゲート $I4$ 、 $I5$ からの出力信号がナンドゲート $D2$ に入力され、ナンドゲート $D2$ からの出力信号がインバータゲート $I6$ に入力される。

【0044】

ここで、外部アドレス $exAD(i)$ / その反転アドレス、およびステップ 1 信号 $M1$ またはステップ 2 信号 $M2$ は、各々、対応するアドレスバッファ 15 に入力されることはノード $N1$ の系の場合と同様である。

【0045】

ノード $N3$ に至る系は、インバータゲート $I7$ 、 $I8$ と、ナンドゲート $D3$ 、 $D4$ と、ノアゲート $R2$ とで構成されている。冗長一致信号 $SRED$ 、およびステップ 1 信号 $M1$ あるいはステップ 2 信号 $M2$ が、ノアゲート $R2$ とナンドゲート $D3$ と入力される。各々の出力信号は、ノアゲート $R2$ からの信号はインバータゲート $I7$ を介し、ナンドゲート $D3$ からの信号はそのまま、ナンドゲート $D4$ に入力される。ナンドゲート $D4$ からの出力信号は、インバータゲート $I8$ に入力される。

10

【0046】

ここで、ステップ 1 信号 $M1$ またはステップ 2 信号 $M2$ は、各々、対応するアドレスバッファ 15 に入力されることはノード $N1$ および $N2$ の系の場合と同様である。

【0047】

図 5、図 6 は、図 4 においてデコードされた内部アドレス信号 $inAD(i)$ / $inADB(i)$ を、更にデコードして、各セクターが配置されているタテ列およびヨコ列の列アドレス ($Z1(0)$ 乃至 $Z1(3)$ および $Z2(0)$ 乃至 $Z2(7)$) を選択する列デコーダである。

20

【0048】

図 5 は、タテ列の列アドレスをデコードする列デコーダである。タテ列は、アドレス番号 $i = 0$ および 1 により識別される。内部アドレス信号 $inAD(0)$ あるいは $inADB(0)$ 、および $inAD(1)$ あるいは $inADB(1)$ の各組み合わせごとに列デコード部 17 を備えており、各列アドレス $Z1(0)$ 乃至 $Z1(3)$ が出力される。

【0049】

列デコード部 17 は、内部アドレス信号 $inAD(0)$ あるいは $inADB(0)$ 、および $inAD(1)$ あるいは $inADB(1)$ が入力されるナンドゲート $D5$ と、ナンドゲート $D5$ の出力信号が入力されるインバータゲート $I10$ とを備えている。また、インバータゲート $I10$ およびナンドゲート $D5$ の出力信号は、トランスファゲート $T1$ および $T2$ を介して、内部アドレス信号として出力される。

30

【0050】

トランスファゲート $T1$ および $T2$ は、排他的に導通制御され、インバータゲート $I10$ の入出力信号の何れか一方が出力される。トランスファゲート制御部 19 は、オアゲート $R3$ とインバータゲート $I11$ とで構成されている。オアゲート $R3$ には、ステップ 1 信号 $M1$ およびステップ 2 信号 $M2$ が入力される。オアゲート $R3$ の出力信号は、トランスファゲート $T1$ の $PMOS$ トランジスタおよびトランスファゲート $T2$ の $NMOS$ トランジスタを制御する。また、インバータゲート $I11$ の出力信号は、トランスファゲート $T1$ の $NMOS$ トランジスタおよびトランスファゲート $T2$ の $PMOS$ トランジスタを制御する。

40

【0051】

ステップ 1 信号 $M1$ およびステップ 2 信号 $M2$ が何れもローレベルで非活性の場合には、オアゲート $R3$ の出力信号がローレベルとなり、トランスファゲート $T1$ が導通する。逆に、ステップ 1 信号 $M1$ またはステップ 2 信号 $M2$ の何れか一方がハイレベルに活性化されている場合には、オアゲート $R3$ の出力信号がハイレベルとなり、トランスファゲート $T2$ が導通する。ここで、ステップ 1 信号 $M1$ またはステップ 2 信号 $M2$ の何れか一方がハイレベルの場合とは、図 2 に示す一括アクセス動作が行われる場合である。

50

【 0 0 5 2 】

インバータゲート I 1 0 の出力信号は、内部アドレス信号の組み合わせにより選択されてハイレベルとなる信号であるところ、一括アクセス動作が行われない通常のアクセス動作の場合には、トランスファゲート T 1 が導通して、内部アドレス信号の組み合わせにより選択された何れか一つの列アドレス (Z 1 (0) 乃至 Z 1 (3) の何れか一つ) が選択される。これに対して、通常のアクセス動作ではなく一括アクセス動作が行われる場合には、トランスファゲート T 2 が導通して、内部アドレス信号の組み合わせにより非選択とされた列アドレス (Z 1 (0) 乃至 Z 1 (3) の何れか) が選択される。

【 0 0 5 3 】

図 6 は、ヨコ列の列アドレスをデコードする列デコーダである。ヨコ列は、アドレス番号 $i = 2$ 乃至 4 により識別される。内部アドレス信号 $i n A D (2)$ あるいは $i n A D B (2)$ 、乃至 $i n A D (4)$ あるいは $i n A D B (4)$ の各組み合わせごとに列デコード部 1 7 を備えており、各列アドレス Z 2 (0) 乃至 Z 2 (7) が出力される。

10

【 0 0 5 4 】

図 6 のヨコ列アドレスのデコーダでは、タテ列アドレスのデコーダ (図 5) におけるトランスファゲート制御部 1 9 に代えて、トランスファゲート制御部 2 1 を備えている。トランスファゲート制御部 2 1 は、インバータゲート I 1 2 を備えており、インバータゲート I 1 2 にはステップ 1 信号 M 1 が入力される。ステップ 1 信号 M 1 は、トランスファゲート T 1 の P M O S トランジスタおよびトランスファゲート T 2 の N M O S トランジスタを制御する。また、インバータゲート I 1 2 の出力信号は、トランスファゲート T 1 の N M O S トランジスタおよびトランスファゲート T 2 の P M O S トランジスタを制御する。

20

【 0 0 5 5 】

ステップ 1 信号 M 1 がローレベルで非活性の場合には、トランスファゲート T 1 が導通する。逆に、ステップ 1 信号 M 1 がハイレベルに活性化されている場合には、トランスファゲート T 2 が導通する。ここで、ステップ 1 信号 M 1 がハイレベルの場合とは、図 2 に示す一括アクセス動作において、ステップ 1 の期間を示す。

【 0 0 5 6 】

一括アクセス動作が行われない通常のアクセス動作の場合、および一括アクセス動作におけるステップ 2 の期間には、トランスファゲート T 1 が導通して、内部アドレス信号の組み合わせにより選択された列アドレス (Z 2 (0) 乃至 Z 2 (7) の何れか) が選択される。これに対して、一括アクセス動作におけるステップ 1 の期間には、トランスファゲート T 2 が導通して、内部アドレス信号の組み合わせにより非選択とされた列アドレス (Z 2 (0) 乃至 Z 2 (7) の何れか) が選択される。

30

【 0 0 5 7 】

図 7 乃至図 1 0 は、図 4 に示す内部アドレスの出力制御部についての動作波形である。冗長一致判定を含むアドレス信号の制御が行われる。尚、図示はされていないが、一括アクセス動作の対象セクター内に不良セクターがある場合には、冗長判定回路 1 3 により、不良セクターの存在するタテ列 / ヨコ列の列アドレス R Z 1 (i) / R Z 2 (i) がデコードされて出力される。アドレスデコーダ 1 5 により出力される内部アドレス信号 $i n A D (i) / i n A D B (i)$ は、列デコーダ (図 5 、 図 6) において、タテ列 / ヨコ列の列アドレスにデコードされる。

40

【 0 0 5 8 】

図 7 、 図 8 は、一括アクセス動作が行われない通常のアクセス動作における動作波形である。図 7 は冗長救済される不良セクターがない場合、図 8 は冗長救済される不良セクターがある場合である。外部アドレス $e x A D (i)$ に応じて、一致比較用のアドレス $p r e A D (i) / p r e A D B (i)$ が出力される。外部アドレス $e x A D (i)$ がハイレベルの場合はアドレス $p r e A D (i)$ がハイレベルとなり、ローレベルの場合はアドレス $p r e A D B (i)$ がハイレベルとなる。

【 0 0 5 9 】

一致比較用のアドレス $p r e A D (i) / p r e A D B (i)$ は、冗長判定回路 1 3 に

50

において、不良セクターアドレス $RA(i) / RAB(i)$ と比較され一致判定が行われる。不一致の場合には(図7)、冗長一致信号 $SRED$ はローレベルを維持し、一致の場合には(図8)、冗長一致信号 $SRED$ がハイレベルに反転する。

【0060】

図7、図8は一括アクセス動作ではないので、ステップ1信号 $M1$ およびステップ2信号 $M2$ は、ローレベルに維持されている。これにより、ノード $N1$ に出力される信号 $SN1$ はローレベルを維持する。また、ノード $N2$ に出力される信号 $SN2$ は、外部アドレス $exAD(i)$ に応じて出力される。すなわち、外部アドレス $exAD(i)$ が入力されるアドレスバッファ15においては、外部アドレス $exAD(i)$ と逆相の信号レベルを有する信号が、外部アドレス $exAD(i)$ の反転信号が入力されるアドレスバッファ15においては、外部アドレス $exAD(i)$ と同相の論理レベルを有する信号が出力される。

10

【0061】

一方、ノード $N3$ に出力される信号 $SN3$ は、ステップ1信号 $M1$ およびステップ2信号 $M2$ がローレベルに維持されているため、冗長一致信号 $SRED$ の論理レベルに応じて異なる論理レベルが出力される。冗長一致信号 $SRED$ がローレベルの場合には(図7)、ローレベルが出力され、冗長一致信号 $SRED$ がハイレベルの場合には(図8)、ハイレベルが出力される。

【0062】

ノアゲート $R3$ に入力される信号 $SN1$ 乃至 $SN3$ の論理レベルより、図7の場合には、信号 $SN2$ の反転信号が出力される。外部アドレス $exAD(i)$ が入力されるアドレスバッファ15においては、外部アドレス $exAD(i)$ と同相の信号レベルを有する信号が、外部アドレス $exAD(i)$ の反転信号が入力されるアドレスバッファ15においては、外部アドレス $exAD(i)$ と逆相の論理レベルを有する信号が出力される。すなわち、ハイレベルの外部アドレス $exAD(i)$ に対しては内部アドレス信号 $inAD(i)$ がハイレベルに、ローレベルの外部アドレス $exAD(i)$ に対しては内部アドレス信号 $inADB(i)$ がハイレベルに、出力される。これが列デコーダでデコードされる。

20

【0063】

列デコーダでは、図5に示すように、トランスファゲート制御部19により制御され、トランスファゲート $T1$ が導通される。ナンドゲート $D5$ およびインバータゲート $I10$ により列デコードされ、ハイレベルとなり選択された内部アドレス信号 $inAD(i) / inADB(i)$ に対応するタテ列の列アドレスが選択される。

30

【0064】

図8の場合には、信号 $SN3$ によりローレベルの信号が出力される。外部アドレス $exAD(i)$ が不良セクターアドレス $RA(i)$ に一致することとなるので、外部アドレス $exAD(i)$ に対応して出力される内部アドレス信号 $inAD(i) / inADB(i)$ は、全てローアドレスに固定され、不良セクターへのアクセスが禁止される。冗長救済されてアクセスされる冗長セクターは、冗長判定回路13からデコードされて出力される列アドレス $RZ1(i)$ に応じて選択される。

40

【0065】

列デコーダでは、図6に示すように、トランスファゲート制御部21により制御され、トランスファゲート $T1$ が導通される。ナンドゲート $D5$ およびインバータゲート $I10$ により列デコードされる。内部アドレス信号 $inAD(i) / inADB(i)$ は、全てローアドレスに固定され、不良セクターへのアクセスが禁止される。冗長救済されてアクセスされる冗長セクターは、冗長判定回路13からデコードされて出力される列アドレス $RZ2(i)$ に応じて選択される。

【0066】

図9、図10は、一括アクセス動作における動作波形である。図9は冗長救済される不良セクターがない場合、図10は冗長救済される不良セクターがある場合である。ステッ

50

プ1信号M1またはステップ2信号M2がハイレベルとなるため、入力された外部アドレス $exAD(i)$ に関わらず、一致比較用のアドレス $preAD(i)/preADB(i)$ は全てハイレベルになる。

【0067】

全てハイレベルの一致比較用のアドレス $preAD(i)/preADB(i)$ は、冗長判定回路13において、不良セクターアドレス $RA(i)/RAB(i)$ と比較され一致判定が行われる。CAM部11に不良セクターのアドレスが格納されていれば、所定の不良セクターアドレス $RA(i)/RAB(i)$ がハイレベルであるため、このアドレスに対して一致判定が行われる。アドレスが格納されていない場合には、全ての不良セクターアドレス $RA(i)/RAB(i)$ はローレベルを示し、不一致の判定が行われる。不一致の場合には(図9)、冗長一致信号 $SRED$ はローレベルを維持し、一致の場合には(図10)、冗長一致信号 $SRED$ がハイレベルに反転する。

【0068】

図9、図10は一括アクセス動作の場合であり、ステップ1信号M1またはステップ2信号M2はハイレベルとなる。これにより、ノードN2に出力される信号 $SN2$ はローレベルとなる。また、ノードN1に出力される信号 $SN1$ は、図9の場合には、冗長一致信号 $SRED$ がローレベルであるためローレベルとなる。図10の場合には、冗長一致信号 $SRED$ がハイレベルであるため、CAM部11に格納されている不良セクターアドレス $RA(i)/RAB(i)$ が入力されるアドレスバッファ15についてはローレベルに、その他のアドレスバッファ15についてはハイレベルとなる。更に、ノードN3に出力される信号 $SN3$ は、図9の場合には、冗長一致信号 $SRED$ がローレベルであるためハイレベルに、図10の場合には、冗長一致信号 $SRED$ がハイレベルであるためローレベルになる。これにより、出力される内部アドレス信号 $inAD(i)/inADB(i)$ は、図9の場合、全てのアドレスについてローレベルとなり、図10の場合、CAM部11に格納されている不良セクターアドレス $RA(i)/RAB(i)$ に対応するアドレスについてはハイレベルに、その他のアドレスについてはローレベルとなる。

【0069】

タテ列の列デコーダは、図5に示すように、トランスファゲート制御部19により制御され、一括アクセス動作の期間中、トランスファゲートT2が導通とされる。インバータゲートI10で反転されることなくナンドゲートD5からの出力が、タテ列の列アドレス $Z1(0)$ 乃至 $Z1(3)$ として出力される。ナンドゲートD5からの出力は、図9のように不良セクターが存在しない場合には、全ての内部アドレス信号 $inAD(i)/inADB(i)$ に対してハイレベルとなり、図10のように不良セクターが存在する場合には、内部アドレス信号 $inAD(i)/inADB(i)$ のうち、不良セクターに対応するアドレスはローレベルにその他のアドレスはハイレベルとなる。不良セクターの存在する列アドレスは非選択され、その他の列アドレスは選択される。一括アクセス動作におけるステップ1とステップ2において、不良セクターの存在する列アドレス以外のタテ列の列アドレス $Z1(0)$ 乃至 $Z1(3)$ は、全選択の状態となる。

【0070】

ヨコ列の列デコーダは、図6に示すように、トランスファゲート制御部21により制御され、一括アクセス動作におけるステップ1の期間にはトランスファゲートT2が導通とされ、ステップ2の期間にはトランスファゲートT1が導通とされる。ステップ2の期間にはインバータゲートI10を介して出力され、ステップ1の期間にはインバータゲートI10で反転されることなくナンドゲートD5から出力される。図9のように不良セクターが存在しない場合には、全ての内部アドレス信号 $inAD(i)/inADB(i)$ がローレベルとなり、ステップ1の期間には、全てのヨコ列アドレス $Z2(0)$ 乃至 $Z2(7)$ がハイレベル、ステップ2の期間には、全てのヨコ列アドレス $Z2(0)$ 乃至 $Z2(7)$ がローレベルとなる。また、図10のように不良セクターが存在する場合には、ステップ1の期間には、不良セクターの存在するヨコ列の列アドレスのみがローレベル、他のヨコ列アドレスはハイレベルに、ステップ2の期間には、不良セクターの存在するヨコ列

10

20

30

40

50

の列アドレスのみがハイレベル、他のヨコ列アドレスはローレベルになる。

【 0 0 7 1 】

図 1 1 は、図 3 の回路ブロック図に関して、セクター S 0 7 への電圧バイアスの印加を行う制御回路の回路構成を示す回路ブロック図である。セクター S 0 7 内のローカルワード線 P 2 W L (0 7) を制御するサブデコーダ 2 3 と、サブデコーダ 2 3 に低位側電源を出力するサブデコーダ低位電源スイッチ部 2 5 と、セクター S 0 7 内のウェル電位を制御するウェル電位制御部 3 1 と、サブデコーダ低位電源スイッチ部 2 5 を切替制御するサブデコーダ低位電源制御部 3 3 と、プログラム時およびデータ読み出し時にサブデコーダ 2 3 に高位電源を出力するサブデコーダ高位電源制御部 3 5 と、サブデコーダ低位電源スイッチ部 2 5 およびメインデコーダ 4 5 に負電源を出力するワード線負電圧供給部 4 1 と、メインデコーダに高位電源を出力するメインデコーダ高位電源制御部 4 3 と、グローバルワード線 G W L (7) / G W L B (7) を制御するメインデコーダ 4 5 とを備えて構成されている。

10

【 0 0 7 2 】

ここで、ウェル電位制御部 3 1、サブデコーダ低位電源制御部 3 3、およびサブデコーダ高位電源制御部 3 5 でタテ列電圧制御部 C 1 (0) が構成され、ワード線負電圧供給部 4 1、メインデコーダ高位電源制御部 4 3、およびメインデコーダ 4 5 でヨコ列電圧制御部 C 2 (7) が構成されている。図 1 2 乃至図 1 9 には、個々の回路ブロックに対する具体例を示す。尚、図 1 2 乃至図 1 9 の回路ブロックでは、配置位置を示すサフィックスは省略して示す。

20

【 0 0 7 3 】

図 1 2 はサブデコーダ 2 3 の具体例である。サブデコーダ 2 3 では、互いに相補信号であるグローバルワード線 G W L / G W L B が各々入力された N M O S トランジスタを介して、ローカルワード線 P 2 W L に、サブデコーダ高位電源 V W L またはサブデコーダ低位電源 X D S を供給する。

【 0 0 7 4 】

図 1 3 はサブデコーダ低位電源スイッチ部 2 5 の具体例である。サブデコーダ低位電源スイッチ部 2 5 は、接地電圧を高位側電源とし、ワード線負電圧供給部 4 1 から出力される負電源 R N E G P を低位側電源とするインバータゲートを構成しており、サブデコーダ低位電源制御部 3 3 から出力される制御信号 N E N に応じて、サブデコーダ低位電源 X D S を出力する。

30

【 0 0 7 5 】

図 1 4 はウェル電位制御部 3 1 の具体例である。ウェル電位制御部 3 1 では、タテ列不良信号 R Z 1 とステップ 2 信号 M 2 とが入力されるナンドゲート D 6 と、ナンドゲート D 6 の出力信号と、タテ列アドレス Z 1、および消去動作制御信号 E R とが入力されるナンドゲート D 7 とを備える。ナンドゲート D 7 により制御されレベルシフトおよびラッチ回路を経て、ウェル電位 V N W を出力する。ナンドゲート D 7 の出力信号がローレベルの場合、高位電源 V H (例 えば、 9 V) を出力し、ハイレベルの場合、接地電圧を出力する。

【 0 0 7 6 】

図 1 5 はサブデコーダ低位電源制御部 3 3 の具体例である。サブデコーダ低位電源制御部 3 3 では、タテ列不良信号 R Z 1 とステップ 2 信号 M 2 とが入力されるノアゲート R 4 と、ノアゲート R 4 の出力信号とタテ列アドレス Z 1 とが入力されるナンドゲート D 8 と、ナンドゲート D 8 の出力信号と消去動作制御信号 E R とが入力されるナンドゲート D 9 とを備える。ナンドゲート D 9 により制御されレベルシフトおよびラッチ回路 L 1 を経て、制御信号 N E N を出力する。ナンドゲート D 9 の出力信号がローレベルの場合、負電源 N E G P (例 えば、 - 9 V) を出力し、ハイレベルの場合、消去アクセス動作であり消去動作制御信号 E R がハイレベルの場合には、接地電圧を出力し、消去以外のアクセス動作であり消去動作制御信号 E R がローレベルの場合には、電源電圧を出力する。

40

【 0 0 7 7 】

図 1 6 はサブデコーダ高位電源制御部 3 5 の具体例である。サブデコーダ高位電源制御

50

部 3 5 では、タテ列不良信号 R Z 1 とステップ 2 信号 M 2 とが入力されるナンドゲート D 1 0 と、ナンドゲート D 1 0 の出力信号と、プログラム動作制御信号 P G M と、タテ列アドレス Z 1 とが入力されるナンドゲート D 1 1 とを備える。ナンドゲート D 1 1 の出力信号により制御されレベルシフトおよびラッチ回路 L 2 を経て、サブデコード高位電源 V W L を出力する。ナンドゲート D 1 1 の出力信号がローレベルの場合、高位電源 V H (例えば、9 V) を出力し、ハイレベルの場合、接地電圧を出力する。

【 0 0 7 8 】

図 1 7 はワード線負電圧供給部 4 1 の具体例である。ワード線負電圧供給部 4 1 では、ヨコ列不良信号 R Z 2 とステップ 1 信号 M 1 とが入力されるナンドゲート D 1 8 と、ナンドゲート D 1 8 の出力信号と、消去動作制御信号 E R と、ヨコ列アドレス Z 2 とが入力されるナンドゲート D 1 2 とを備える。ナンドゲート D 1 2 の出力信号により制御されレベルシフトおよびラッチ回路 L 1 を経て、負電源 R N E G P を出力する。ナンドゲート D 1 2 の出力信号がローレベルの場合、負電源 N E G P (例えば、- 9 V) を出力し、ハイレベルの場合、接地電圧を出力する。

10

【 0 0 7 9 】

図 1 8 はメインデコード高位電源制御部 4 3 の具体例である。メインデコード高位電源制御部 4 3 では、ヨコ列不良信号 R Z 2 とステップ 1 信号 M 1 とが入力されるナンドゲート D 1 3 と、ナンドゲート D 1 3 の出力信号と、ヨコ列アドレス Z 2 と、プログラム動作制御信号 P G M とが入力されるナンドゲート D 1 4 とを備える。ナンドゲート D 1 4 の出力信号により制御されレベルシフトおよびラッチ回路 L 2 を経て、メインデコード高位電源 V P X H を出力する。ナンドゲート D 1 4 の出力信号がローレベルの場合、高位電源 V H (例えば、9 V) を出力し、ハイレベルの場合、接地電圧を出力する。

20

【 0 0 8 0 】

図 1 9 はメインデコード 4 5 の具体例である。メインデコード 4 5 では、ヨコ列不良信号 R Z 2 とステップ 1 信号 M 1 とが入力されるナンドゲート D 1 5 と、ナンドゲート D 1 5 の出力信号と、プログラム動作制御信号 P G M と、Z 1 または Z 2 割り当てアドレス以外のアドレス信号 A D D と、ヨコ列アドレス Z 2 とが入力されるナンドゲート D 1 6 とを備える。ナンドゲート D 1 6 の出力信号により制御されレベルシフトおよびラッチ回路 L 2 を経て、グローバルワード線 G W L (例えば、9 V) を出力する。ナンドゲート D 1 6 の出力信号がローレベルの場合、メインデコード高位電源 V P X H を出力し、ハイレベルの場合、負電源 R N E G P (例えば、- 9 V) を出力する。

30

【 0 0 8 1 】

また、インバータゲート I 1 3 により消去動作制御信号 E R が論理反転されて、ナンドゲート D 1 7 に入力される。更にナンドゲート D 1 7 にはナンドゲート D 1 6 の出力信号が入力される。ナンドゲート D 1 7 の出力信号はインバータゲート I 1 4 で反転されてグローバルワード線 G W L B が出力される。

【 0 0 8 2 】

図 2 0、図 2 1 には、アクセス動作ごとの各信号の電圧バイアス状態を示す。ここでは、図 2 で示した一括アクセス動作において 2 ステップで不良セクター以外のセクターに電圧バイアスを行う場合を例にとり電圧バイアス状態を説明する。セクター S 0 7 が不良セクターである場合に、不良セクター S 0 7 と、その周辺セクターであるセクター S 0 6、S 1 7 との電圧バイアス状態について示すものである。ここで、アクセス動作とは、2 ステップの電圧バイアス印加によるアクセス動作として、消去 (E R) ストレス動作、プログラム (P G M) ストレス動作、およびストレス試験によるリーク電流の検査 (H T R B リーク) を示し、1 ステップの電圧バイアス印加によるアクセス動作として、ファーストチップ消去 (F i r s t C h i p E R) 動作を示す。図 3、および図 1 1 乃至図 1 9 を参照しつつ説明する。

40

【 0 0 8 3 】

先ず図 2 0 において、消去 (E R) アクセス動作について説明する。ステップ 1 では、不良セクター S 0 7 を含むヨコ列 Z 2 (7) について電圧バイアスを非印加とする。セク

50

ター S 0 7 および S 1 7 における Z 2 の欄が 0 V とされる。

【 0 0 8 4 】

電圧バイアスが印加されるノーマルセクター S 0 6 は、ワード線負電圧供給部 4 1 により、ヨコ列アドレス Z 2 および消去動作制御信号 E R がハイレベルとなり負電源 R N E G P は - 9 V となる。また、ウェル電位制御部 3 1 により、タテ列アドレス Z 1 および消去動作制御信号 E R がハイレベルとなりウェル電位 V N W は 9 V となる。また、サブデコード低位電源制御部 3 3 により、タテ列アドレス Z 1 および消去動作制御信号 E R がハイレベルとなり制御信号 N E N は接地電圧となる。また、サブデコード低位電源スイッチ部 2 5 により、負電源 R N E G P = - 9 V および制御信号 N E N は接地電圧であることにより、サブデコード低位電源 X D S は - 9 V となる。また、サブデコード 2 3 により、グローバルワード線 G W L = - 9 V、グローバルワード線 G W L B およびサブデコード高位電源 V W L が接地電圧で、ローカルワード線 P 2 W L は - 9 V となる。また、メインデコード高位電源制御部 4 3 では、プログラム動作ではないので、メインデコード高位電源 V P X H は接地電位である。また、メインデコード 4 5 により、負電源 R N E G P が - 9 V であり、グローバルワード線 G W L が - 9 V となり、消去動作制御信号 E R がハイレベルにより、グローバルワード線 G W L B は接地電圧となる。また、サブデコード高位電源制御部 3 5 では、プログラム動作ではないので、サブデコード高位電源 V W L は接地電位である。

10

【 0 0 8 5 】

不良セクター S 0 7 には電圧バイアスは印加されない。ワード線負電圧供給部 4 1 により、ヨコ列アドレス Z 2 が接地電圧となり負電源 R N E G P は接地電圧となる。また、ウェル電位制御部 3 1 により、タテ列アドレス Z 1 および消去動作制御信号 E R がハイレベルとなりウェル電位 V N W は 9 V となる。また、サブデコード低位電源制御部 3 3 により、タテ列アドレス Z 1 および消去動作制御信号 E R がハイレベルとなり制御信号 N E N は接地電圧となる。また、サブデコード低位電源スイッチ部 2 5 により、負電源 R N E G P および制御信号 N E N が接地電圧であることにより、サブデコード低位電源 X D S は接地電圧となる。また、サブデコード 2 3 により、グローバルワード線 G W L および G W L B が接地電圧であり、サブデコード高位電源 V W L が接地電圧で、ローカルワード線 P 2 W L はフローティング状態となる。また、メインデコード高位電源制御部 4 3 では、プログラム動作ではないので、メインデコード高位電源 V P X H は接地電位である。また、メインデコード 4 5 により、プログラム動作ではなく、負電源 R N E G P が接地電圧であり、グローバルワード線 G W L が接地電圧であり、消去動作制御信号 E R がハイレベルにより、グローバルワード線 G W L B は接地電圧となる。また、サブデコード高位電源制御部 3 5 では、プログラム動作ではないので、サブデコード高位電源 V W L は接地電位である。

20

30

【 0 0 8 6 】

電圧バイアスが非印加のノーマルセクター S 1 7 は、ワード線負電圧供給部 4 1 により、ヨコ列アドレス Z 2 が接地電圧となり、負電源 R N E G P は接地電圧となる。また、ウェル電位制御部 3 1 により、タテ列アドレス Z 1 および消去動作制御信号 E R がハイレベルとなりウェル電位 V N W は 9 V となる。また、サブデコード低位電源制御部 3 3 により、タテ列アドレス Z 1 および消去動作制御信号 E R がハイレベルとなり制御信号 N E N は接地電圧となる。また、サブデコード低位電源スイッチ部 2 5 により、負電源 R N E G P および制御信号 N E N が接地電圧であることにより、サブデコード低位電源 X D S は接地電圧となる。また、サブデコード 2 3 により、グローバルワード線 G W L および G W L B が接地電圧であり、サブデコード高位電源 V W L が接地電圧で、ローカルワード線 P 2 W L はフローティング状態となる。また、メインデコード高位電源制御部 4 3 では、プログラム動作ではないので、メインデコード高位電源 V P X H は接地電位である。また、メインデコード 4 5 により、プログラム動作ではなく、負電源 R N E G P が接地電圧であり、グローバルワード線 G W L が接地電圧であり、消去動作制御信号 E R がハイレベルにより、グローバルワード線 G W L B は接地電圧となる。また、サブデコード高位電源制御部 3 5 では、プログラム動作ではないので、サブデコード高位電源 V W L は接地電位である。

40

50

【 0 0 8 7 】

消去 (E R) アクセス動作におけるステップ 2 では、ヨコ列については、不良セクター S 0 7 を含むヨコ列 Z 2 (7) についてのみ電圧バイアスを印加し、タテ列については、タテ列 Z 1 (0) についてのみ非印加とする。

【 0 0 8 8 】

ノーマルセクター S 0 6 は電圧バイアスが印加されない。ワード線負電圧供給部 4 1 により、ヨコ列アドレス Z 2 接地電圧となり負電源 R N E G P は接地電圧となる。また、ウェル電位制御部 3 1 により、タテ列アドレス Z 1 が接地電圧となりウェル電位 V N W は接地電圧となる。また、サブデコード低位電源制御部 3 3 により、タテ列アドレス Z 1 が接地電圧となり制御信号 N E N は - 9 V となる。また、サブデコード低位電源スイッチ部 2 5 により、負電源 R N E G P は接地電圧に、制御信号 N E N は - 9 V になることにより、サブデコード低位電源 X D S は接地電圧となる。また、サブデコード 2 3 により、グローバルワード線 G W L および G W L B は接地電圧となり、サブデコード高位電源 V W L も接地電圧で、ローカルワード線 P 2 W L はフローティング状態となる。また、メインデコード高位電源制御部 4 3 では、プログラム動作ではないので、メインデコード高位電源 V P X H は接地電位である。また、メインデコード 4 5 により、プログラム動作ではなく、負電源 R N E G P が接地電圧であり、グローバルワード線 G W L も接地電圧となり、消去動作制御信号 E R がハイレベルにより、グローバルワード線 G W L B は接地電圧となる。また、サブデコード高位電源制御部 3 5 では、プログラム動作ではないので、サブデコード高位電源 V W L は接地電位である。

【 0 0 8 9 】

不良セクター S 0 7 は電圧バイアスは印加されない。ワード線負電圧供給部 4 1 により、ヨコ列アドレス Z 2 および消去動作制御信号 E R がハイレベルとなり負電源 R N E G P は - 9 V となる。また、ウェル電位制御部 3 1 により、タテ列アドレス Z 1 が接地電圧となりウェル電位 V N W は接地電圧となる。また、サブデコード低位電源制御部 3 3 により、タテ列アドレス Z 1 が接地電圧となり制御信号 N E N は - 9 V となる。また、サブデコード低位電源スイッチ部 2 5 により、負電源 R N E G P が - 9 V、および制御信号 N E N も - 9 V となり、サブデコード低位電源 X D S は接地電圧となる。また、サブデコード 2 3 により、グローバルワード線 G W L は - 9 V、G W L B が接地電圧であり、サブデコード高位電源 V W L が接地電圧で、ローカルワード線 P 2 W L はフローティング状態となる。また、メインデコード高位電源制御部 4 3 では、プログラム動作ではないので、メインデコード高位電源 V P X H は接地電位である。また、メインデコード 4 5 により、負電源 R N E G P、およびグローバルワード線 G W L が - 9 V となり、消去動作制御信号 E R がハイレベルにより、グローバルワード線 G W L B は接地電圧となる。また、サブデコード高位電源制御部 3 5 では、プログラム動作ではないので、サブデコード高位電源 V W L は接地電位である。

【 0 0 9 0 】

ノーマルセクター S 1 7 は電圧バイアスが印加される。ワード線負電圧供給部 4 1 により、ヨコ列アドレス Z 2 および消去動作制御信号 E R がハイレベルとなり、負電源 R N E G P は - 9 V となる。また、ウェル電位制御部 3 1 により、タテ列アドレス Z 1 および消去動作制御信号 E R がハイレベルとなりウェル電位 V N W は 9 V となる。また、サブデコード低位電源制御部 3 3 により、タテ列アドレス Z 1 および消去動作制御信号 E R がハイレベルとなり制御信号 N E N は接地電圧となる。また、サブデコード低位電源スイッチ部 2 5 により、負電源 R N E G P が - 9 V、制御信号 N E N が接地電圧であることにより、サブデコード低位電源 X D S は - 9 V となる。また、サブデコード 2 3 により、グローバルワード線 G W L が - 9 V、およびグローバルワード線 G W L B が接地電圧となり、サブデコード高位電源 V W L が接地電圧で、ローカルワード線 P 2 W L は - 9 V となる。また、メインデコード高位電源制御部 4 3 では、プログラム動作ではないので、メインデコード高位電源 V P X H は接地電位である。また、メインデコード 4 5 により、負電源 R N E G P が - 9 V となり、グローバルワード線 G W L が - 9 V となり、消去動作制御信号 E R

10

20

30

40

50

がハイレベルにより、グローバルワード線 G W L B は接地電圧となる。また、サブデコーダ高位電源制御部 3 5 では、プログラム動作ではないので、サブデコーダ高位電源 V W L は接地電位である。

尚、図 2 0 に図示されていない、全てのセクターを一括消去する一括アクセス動作（例えば、一括消去動作）については、消去（E R）ストレス動作と同じ 2 ステップである。但し、E R ストレス（1 回目 / 2 回目）は、記憶装置外部の外部電源（+ 9 v）をウェル W E L L に印加し、且つ記憶装置内部での自己生成電圧（- 9 v）をローカルワード線 P 2 W L に印加して W E L L - P 2 W L 間にストレスを与えるが、一括消去動作（1 回目）の時は、W E L L に与える電圧も P 2 W L に与える電圧も前記自己生成電源（+ 9 v / - 9 v）を使用する。

10

【 0 0 9 1 】

次に、プログラム（P G M）アクセス動作について説明する。ステップ 1 では、不良セクター S 0 7 を含むヨコ列 Z 2（7）について電圧バイアスを非印加とする。セクター S 0 7 および S 1 7 における Z 2 の欄が 0 V とされる。

【 0 0 9 2 】

電圧バイアスが印加されるノーマルセクター S 0 6 は、ワード線負電圧供給部 4 1 により、消去（E R）動作ではないので、負電源 R N E G P は接地電圧である。また、ウェル電位制御部 3 1 により、消去（E R）動作ではないので、ウェル電位 V N W は接地電圧である。また、サブデコーダ低位電源制御部 3 3 により、消去（E R）動作ではないので、制御信号 N E N はハイレベルである。また、サブデコーダ低位電源スイッチ部 2 5 により、負電源 R N E G P は接地電圧となり、制御信号 N E N はハイレベルであることにより、サブデコーダ低位電源 X D S は接地電圧となる。また、サブデコーダ 2 3 により、グローバルワード線 G W L は 9 V、グローバルワード線 G W L B は接地電圧、およびサブデコーダ高位電源 V W L が 9 V で、ローカルワード線 P 2 W L は 9 V となる。また、メインデコーダ高位電源制御部 4 3 では、ヨコ列アドレス Z 2 およびプログラム動作制御信号 P G M がハイレベルとなり、メインデコーダ高位電源 V P X H は 9 V である。また、メインデコーダ 4 5 により、ヨコ列アドレス Z 2、プログラム動作制御信号 P G M、およびアドレス信号 A D D がハイレベルとなり、グローバルワード線 G W L は 9 V、グローバルワード線 G W L B は接地電圧となる。また、サブデコーダ高位電源制御部 3 5 では、タテ列アドレス Z 1、プログラム動作制御信号 P G M、およびアドレス信号 A D D がハイレベルとなり、サブデコーダ高位電源 V W L は 9 V となる。

20

30

【 0 0 9 3 】

不良セクター S 0 7 は電圧バイアスは印加されない。ワード線負電圧供給部 4 1 により、消去（E R）動作ではないので、負電源 R N E G P は接地電圧となる。また、ウェル電位制御部 3 1 により、消去（E R）動作ではないので、ウェル電位 V N W は接地電圧となる。また、サブデコーダ低位電源制御部 3 3 により、消去（E R）動作ではないので、制御信号 N E N はハイレベルとなる。また、サブデコーダ低位電源スイッチ部 2 5 により、負電源 R N E G P が接地電圧、および制御信号 N E N がハイレベルとなり、サブデコーダ低位電源 X D S は接地電圧となる。また、サブデコーダ 2 3 により、グローバルワード線 G W L は接地電圧、グローバルワード線 G W L B はハイレベルとなり、サブデコーダ高位電源 V W L が 9 v で、ローカルワード線 P 2 W L は接地電圧となる。また、メインデコーダ高位電源制御部 4 3 では、ヨコ列アドレス Z 2 が接地電圧となり、メインデコーダ高位電源 V P X H は接地電位である。また、メインデコーダ 4 5 により、ヨコ列アドレス Z 2 が接地電圧となり、グローバルワード線 G W L が接地電圧、グローバルワード線 G W L B がハイレベルとなる。また、サブデコーダ高位電源制御部 3 5 では、タテ列アドレス Z 1、プログラム動作制御信号 P G M、およびアドレス信号 A D D がハイレベルとなり、サブデコーダ高位電源 V W L は 9 V となる。

40

【 0 0 9 4 】

電圧バイアスが非印加のノーマルセクター S 1 7 は、ワード線負電圧供給部 4 1 により、消去（E R）動作ではないので、負電源 R N E G P は接地電圧となる。また、ウェル電

50

位制御部 3 1 により、消去 (E R) 動作ではないので、ウェル電位 V N W は接地電圧となる。また、サブデコード低位電源制御部 3 3 により、消去 (E R) 動作ではないので、制御信号 N E N はハイレベルとなる。また、サブデコード低位電源スイッチ部 2 5 により、負電源 R N E G P が接地電圧、制御信号 N E N がハイレベルとなり、サブデコード低位電源 X D S は接地電圧となる。また、サブデコード 2 3 により、グローバルワード線 G W L が接地電圧、グローバルワード線 G W L B がハイレベルであり、サブデコード高位電源 V W L が 9 V で、ローカルワード線 P 2 W L は接地電圧となる。また、メインデコード高位電源制御部 4 3 では、ヨコ列アドレス Z 2 が接地電圧となりメインデコード高位電源 V P X H は接地電位である。また、メインデコード 4 5 により、ヨコ列アドレス Z 2 が接地電圧となりグローバルワード線 G W L が接地電圧、グローバルワード線 G W L B がハイレベルとなる。また、サブデコード高位電源制御部 3 5 では、タテ列アドレス Z 1、プログラム動作制御信号 P G M、およびアドレス信号 A D D がハイレベルとなり、サブデコード高位電源 V W L は 9 V となる。

10

【 0 0 9 5 】

プログラム (P G M) アクセス動作におけるステップ 2 では、ヨコ列については、不良セクター S 0 7 を含むヨコ列 Z 2 (7) についてのみ電圧バイアスを印加し、タテ列については、タテ列 Z 1 (0) についてのみ非印加とする。

【 0 0 9 6 】

ノーマルセクター S 0 6 は電圧バイアスが印加されない。ワード線負電圧供給部 4 1 により、消去 (E R) 動作ではないので、負電源 R N E G P は接地電圧となる。また、ウェル電位制御部 3 1 により、消去 (E R) 動作ではないので、ウェル電位 V N W は接地電圧となる。また、サブデコード低位電源制御部 3 3 により、消去 (E R) 動作ではないので、制御信号 N E N はハイレベルとなる。また、サブデコード低位電源スイッチ部 2 5 により、負電源 R N E G P は接地電圧に、制御信号 N E N はハイレベルになり、サブデコード低位電源 X D S は接地電圧となる。また、サブデコード 2 3 により、グローバルワード線 G W L は接地電圧、グローバルワード線 G W L B はハイレベルとなり、サブデコード高位電源 V W L は接地電圧で、ローカルワード線 P 2 W L は接地電圧となる。また、メインデコード高位電源制御部 4 3 では、ヨコ列アドレス Z 2 が接地電圧となりメインデコード高位電源 V P X H は接地電位である。また、メインデコード 4 5 により、ヨコ列アドレス Z 2 が接地電圧となり負電源 R N E G P が接地電圧となり、グローバルワード線 G W L は接地電圧、グローバルワード線 G W L B はハイレベルとなる。また、サブデコード高位電源制御部 3 5 では、タテ列アドレス Z 1 は接地電圧、プログラム動作制御信号 P G M、およびアドレス信号 A D D がハイレベルとなり、サブデコード高位電源 V W L は 9 V である。

20

30

【 0 0 9 7 】

不良セクター S 0 7 は電圧バイアスは印加されない。ワード線負電圧供給部 4 1 により、消去 (E R) 動作ではないので、負電源 R N E G P は接地電圧となる。また、ウェル電位制御部 3 1 により、消去 (E R) 動作ではないので、ウェル電位 V N W は接地電圧となる。また、サブデコード低位電源制御部 3 3 により、消去 (E R) 動作ではないので、制御信号 N E N はハイレベルとなる。また、サブデコード低位電源スイッチ部 2 5 により、負電源 R N E G P が接地電圧、および制御信号 N E N がハイレベルとなり、サブデコード低位電源 X D S は接地電圧となる。また、サブデコード 2 3 により、グローバルワード線 G W L が 9 V、グローバルワード線 G W L B が接地電圧となり、サブデコード高位電源 V W L が接地電圧で、ローカルワード線 P 2 W L は接地電圧となる。また、メインデコード高位電源制御部 4 3 では、ヨコ列アドレス Z 2 およびプログラム動作制御信号 P G M がハイレベルとなりメインデコード高位電源 V P X H は 9 V となる。また、メインデコード 4 5 により、ヨコ列アドレス Z 2、プログラム動作制御信号 P G M、およびアドレス信号 A D D がハイレベルとなり、グローバルワード線 G W L は 9 V、グローバルワード線 G W L B は接地電圧となる。また、サブデコード高位電源制御部 3 5 では、タテ列アドレス Z 1 が接地電圧となり、サブデコード高位電源 V W L は接地電位である。

40

【 0 0 9 8 】

50

ノーマルセクター S 1 7 は電圧バイアスが印加される。ワード線負電圧供給部 4 1 により、消去 (E R) 動作ではないので、負電源 R N E G P は接地電圧となる。また、ウェル電位制御部 3 1 により、消去 (E R) 動作ではないので、ウェル電位 V N W は接地電圧となる。また、サブデコーダ低位電源制御部 3 3 により、消去 (E R) 動作ではないので、制御信号 N E N はハイレベルとなる。また、サブデコーダ低位電源スイッチ部 2 5 により、負電源 R N E G P が接地電圧、制御信号 N E N がハイレベルとなることにより、サブデコーダ低位電源 X D S は接地電圧となる。また、サブデコーダ 2 3 により、グローバルワード線 G W L が 9 V、およびグローバルワード線 G W L B が接地電圧となり、サブデコーダ高位電源 V W L が 9 V で、ローカルワード線 P 2 W L は 9 V となる。また、メインデコーダ高位電源制御部 4 3 では、ヨコ列アドレス Z 2、およびプログラム動作制御信号 P G M がハイレベルとなり、メインデコーダ高位電源 V P X H は 9 V となる。また、メインデコーダ 4 5 により、ヨコ列アドレス Z 2、プログラム動作制御信号 P G M、およびアドレス信号 A D D がハイレベルとなり、グローバルワード線 G W L は 9 V、グローバルワード線 G W L B は接地電圧となる。また、サブデコーダ高位電源制御部 3 5 では、タテ列アドレス Z 1、プログラム動作制御信号 P G M、およびアドレス信号 A D D がハイレベルとなり、サブデコーダ高位電源 V W L は 9 V である。

10

【 0 0 9 9 】

また図 2 1 において、ストレス試験によるリーク電流の検査 (H T R B リーク) では、電圧バイアス関係は、プログラムアクセス動作の場合と同様である。この場合には、高位電源である 9 V 電源に代えて、図 2 2 において後述する外部ターミナル (例えば、パッド) より電源を供給する。外部ターミナルに印加される電圧としては、6 V 程度の電圧値であれば、電圧ストレス後の新たなリーク電流の有無を検出することができる。

20

【 0 1 0 0 】

更にファーストチップ消去 (F i r s t C h i p E R) について示す。この場合には、タテ列 Z 1 (0) が消去対象となるため、1回のステップで消去アクセス動作が完了する。不良セクター S 0 7 を含むヨコ列 Z 2 (7) について電圧バイアスを非印加としながら、タテ列 Z 1 (0) に電圧バイアスを印加する。

【 0 1 0 1 】

電圧バイアスが印加されるノーマルセクター S 0 6 は、ワード線負電圧供給部 4 1 により、ヨコ列アドレス Z 2、および消去動作制御信号 E R がハイレベルとなり、負電源 R N E G P は - 9 V となる。また、ウェル電位制御部 3 1 により、タテ列アドレス Z 1、および消去動作制御信号 E R がハイレベルとなり、ウェル電位 V N W は 9 V となる。また、サブデコーダ低位電源制御部 3 3 により、タテ列アドレス Z 1、および消去動作制御信号 E R がハイレベルとなり、制御信号 N E N は接地電圧となる。また、サブデコーダ低位電源スイッチ部 2 5 により、負電源 R N E G P は - 9 V となり、制御信号 N E N は接地電圧となることにより、サブデコーダ低位電源 X D S は - 9 V となる。また、サブデコーダ 2 3 により、グローバルワード線 G W L は - 9 V、グローバルワード線 G W L B は接地電圧、およびサブデコーダ高位電源 V W L は接地電圧で、ローカルワード線 P 2 W L は - 9 V となる。また、メインデコーダ高位電源制御部 4 3 では、プログラム (P G M) 動作ではないので、メインデコーダ高位電源 V P X H は接地電圧である。また、メインデコーダ 4 5 により、プログラム (P G M) 動作ではないので消去動作制御信号 E R がハイレベルとなり、グローバルワード線 G W L、G W L B は共に接地電圧となる。また、サブデコーダ高位電源制御部 3 5 では、プログラム (P G M) 動作ではないので、サブデコーダ高位電源 V W L は接地電圧である。

30

40

【 0 1 0 2 】

不良セクター S 0 7 は電圧バイアスは印加されない。ワード線負電圧供給部 4 1 により、ヨコ列アドレス Z 2 が接地電圧となり、負電源 R N E G P は接地電圧となる。また、ウェル電位制御部 3 1 により、タテ列アドレス Z 1、および消去動作制御信号 E R がハイレベルとなり、ウェル電位 V N W は 9 V となる。また、サブデコーダ低位電源制御部 3 3 により、タテ列アドレス Z 1、および消去動作制御信号 E R がハイレベルとなり、制御信号

50

N E Nは接地電圧となる。また、サブデコーダ低位電源スイッチ部25により、負電源R N E G Pおよび制御信号N E Nが接地電圧となり、サブデコーダ低位電源X D Sは接地電圧となる。また、サブデコーダ23により、グローバルワード線G W L、G W L Bは接地電圧となり、サブデコーダ高位電源V W Lが接地電圧で、ローカルワード線P 2 W Lはフローティング状態となる。また、メインデコーダ高位電源制御部43では、プログラム(P G M)動作ではないので、メインデコーダ高位電源V P X Hは接地電位である。また、メインデコーダ45により、プログラム(P G M)動作ではなく消去動作制御信号E Rがハイレベルとなり、グローバルワード線G W L、G W L Bが共に接地電圧となる。また、サブデコーダ高位電源制御部35では、プログラム(P G M)動作ではないので、サブデコーダ高位電源V W Lは接地電圧となる。

10

【0103】

電圧バイアスが非印加のノーマルセクターS 17は、ワード線負電圧供給部41により、ヨコ列アドレスZ 2が接地電圧となり、負電源R N E G Pは接地電圧となる。また、ウェル電位制御部31により、タテ列アドレスZ 1が接地電圧となり、ウェル電位V N Wは接地電圧となる。また、サブデコーダ低位電源制御部33により、タテ列アドレスZ 1が接地電圧となり、制御信号N E Nは-9Vとなる。また、サブデコーダ低位電源スイッチ部25により、負電源R N E G Pが接地電圧、制御信号N E Nが-9Vとなり、サブデコーダ低位電源X D Sは接地電圧となる。また、サブデコーダ23により、グローバルワード線G W L、G W L B、およびサブデコーダ高位電源V W Lが接地電圧で、ローカルワード線P 2 W Lはフローティング状態となる。また、メインデコーダ高位電源制御部43では、プログラム(P G M)動作ではないので、メインデコーダ高位電源V P X Hは接地電位である。また、メインデコーダ45により、プログラム(P G M)動作ではないので消去動作制御信号E Rがハイレベルとなり、グローバルワード線G W L、G W L Bは共に接地電圧となる。また、サブデコーダ高位電源制御部35では、プログラム(P G M)動作ではないので、サブデコーダ高位電源V W Lは接地電圧となる。

20

【0104】

高位電源を、内部供給の高位電源V H(例えば、9V)と外部ターミナルであるパッドP A D 5 3を介する外部供給の電源とで、切り替える際の回路構成例を図22に示す。前述の高電圧を印加するストレス試験によって、新たな結晶欠陥等の発生に伴うリーク電流を検査する、いわゆるH T R Bリーク試験を行う際の構成である。通常は、内部供給される高位電源に代えて、P A D 5 3を介して電源供給することにより、電圧バイアス印加後のリーク電流の有無を検出することができる。

30

【0105】

図22では、サブデコーダ高位電源制御部35、およびメインデコーダ高位電源制御部43に供給する高位電源、切替部51により、内部供給の高位電源V HとP A D 5 3との間で切り替える。試験信号M E A Sが切替部51を制御し、ストレス試験時にP A D 5 3からの径路を、サブデコーダ高位電源制御部35、およびメインデコーダ高位電源制御部43に接続する。サブデコーダ高位電源制御部35、およびメインデコーダ高位電源制御部43では、この高位電源を受けて、サブデコーダ高位電源V W L、およびメインデコーダ高位電源V P X Hを出力する。これらは、各々、サブデコーダ23、およびメインデコーダ45における高位電源となり、ローカルワード線P 2 W L、およびグローバルワード線G W Lに高位電源を供給する。リーク電流の検出により、主に、ローカルワード線P 2 W L、およびグローバルワード線G W Lにおけるリーク電流の有無を検出することができる。

40

【0106】

以上の説明から明らかなように本実施形態によれば、メモリブロックの一例であるセクターS 0 0乃至S 3 7を複数備えて構成されるメモリセルアレイA R Yにおいて、セクターのタテ列/ヨコ列の配置列ごとに、第1/第2電圧制御部の一例であるタテ列電圧制御部(C 1(0)乃至C 1(3))/ヨコ列電圧制御部(C 2(0)乃至C 2(7))を備えればよく、電圧制御部をセクターごとに備える必要はない。タテ列電圧制御部(C 1(

50

0)乃至C1(3))/ヨコ列電圧制御部(C2(0)乃至C2(7))は、メモリセルアレイA R Yの周辺部に配置すればよく、メモリセルアレイA R Yにはメモリセルを集中して配置することができる。電圧制御部を構成する制御回路用のデバイス構成とは異なる構成やデザインルールを有して、メモリセルアレイA R Yを効率的にレイアウトすることができる。また、セクター数が増大する場合にも必要となる電圧制御部の数量を抑制することができる。従って、チップ面積の増大を抑制することができる。

【0107】

また、タテ列/ヨコ列の列ごとに電圧バイアスを印加制御して、複数のセクターに同時に電圧バイアスを印加するに当たり、不良セクターについては、タテ列/ヨコ列の何れか一方の列について電圧バイアスを非印加に制御することで、電圧バイアスを非印加とす

10

【0108】

また、不良メモリブロックのリークによるストレス電圧の低下を防止することができる。

更に、それぞれの良品メモリブロックに対してそれぞれ1回みのアクセス動作をすることにより、2回アクセス動作をすることによる過度なストレス印加、またはオーバーイレーズやオーバープログラムなどのメモリセルの閾値異常、もしくは2回アクセス動作をすることによる試験時間の増大を防止することができる。

20

更に、不良メモリブロックへのバイアス印加を避けながら、第1および第2方向の各々の列へのバイアス印加を制御することにより、リーク試験時に不良メモリブロックによるリークが発生しないので、真に複数の良品メモリブロックのリークを測定することができる。

更に、全てのセクターを含む一括アクセス動作(例えば、一括消去動作)や部分的に選択されたセクター群に対するアクセス動作(例えば、ファーストチップイレーズ)において、そのアクセス動作の対象内に欠陥セクターがあっても、最小限のステップ数で処理をすることができるので、顧客に短縮されたイレーズ時間を提供することができる。

【0109】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

30

例えば、図2、図3において、一括アクセス動作を行う際、1セクターの不良セクターが存在するとして説明したが、本発明はこれに限定されるものではない。複数のセクターが不良セクターである場合において、各不良セクターが、同一のタテ列またはヨコ列に存在する場合には、図2において説明した2段階のステップによる一括アクセス動作を行うことが可能である。また、複数のセクターが同一列に存在しない場合においても、タテ列またはヨコ列の何れか一方の列ごとに分割し、順次、図1に示す方法で電圧バイアスを印加していけば、対応することができる。

【0110】

また、本実施形態では、ステップ1において、タテ列を全選択して印加制御すると共に、ヨコ列については不良セクターの存在する列を非印加制御し、ステップ2において、正常セクターのうち電圧バイアスの印加が行われていない残余のセクターについて印加制御を行うとして説明したが、本発明はこれに限定されるものではない。ステップ1およびステップ2において、印加制御される列をタテ列とヨコ列とで逆転させることも可能である。

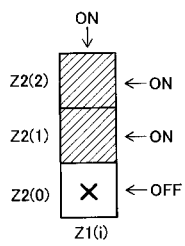
40

また、内部アドレスの出力制御部、タテ列アドレスのデコーダ、ヨコ列アドレスのデコーダ、その他示した回路などの内部信号と出力信号らの電圧論理は、正論理から負論理に置き換えることやその逆は容易である。

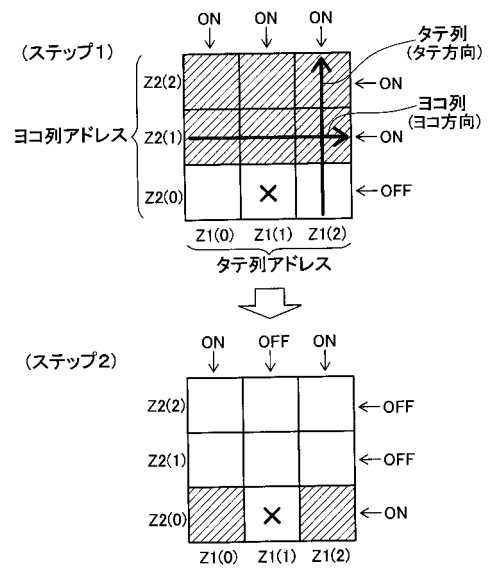
更に、ウェルは、不揮発性記憶セルのチャネル直下のノードを示し、さまざまなプロセス構造に限定されない。

50

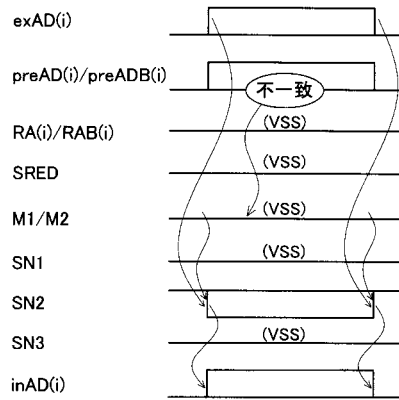
【図 1】



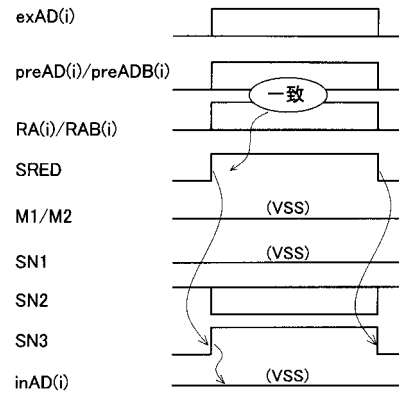
【図 2】



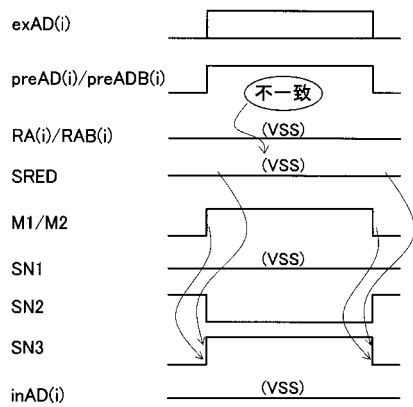
【図7】



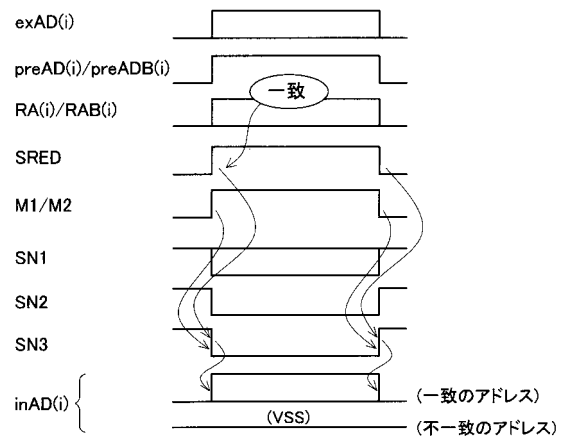
【図8】



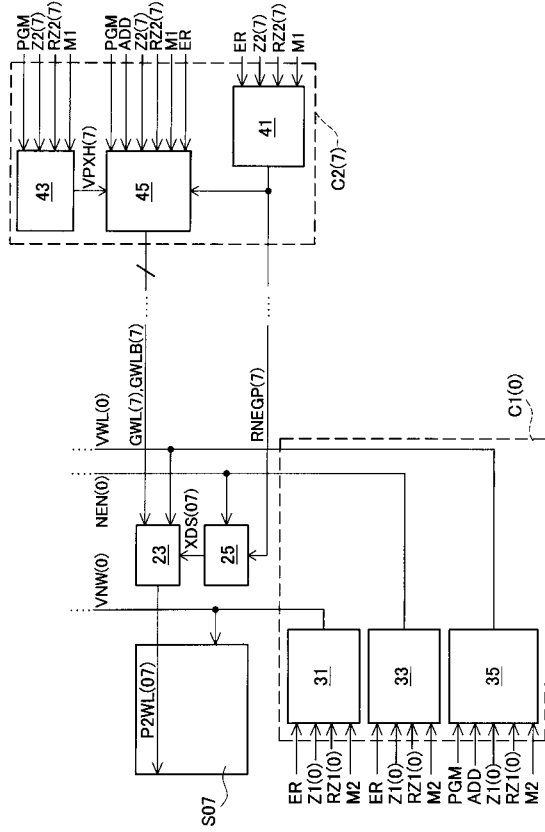
【図9】



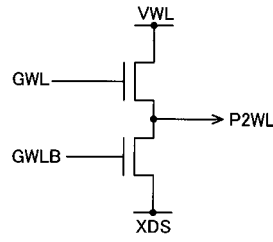
【図10】



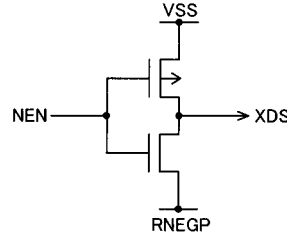
【 図 1 1 】



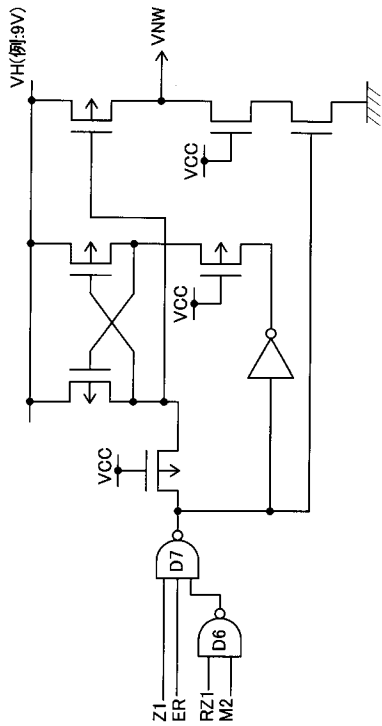
【 図 1 2 】



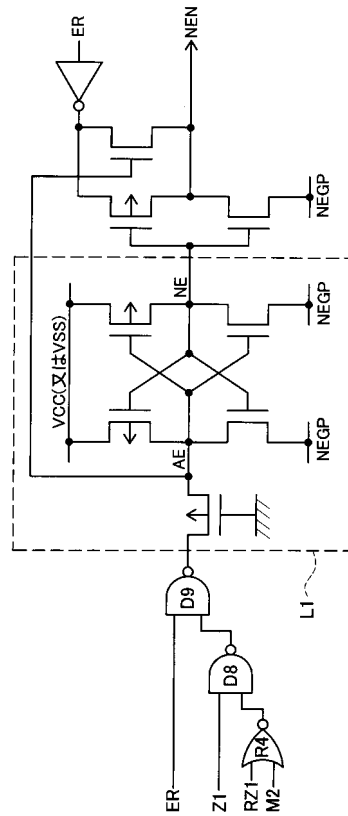
【 図 1 3 】



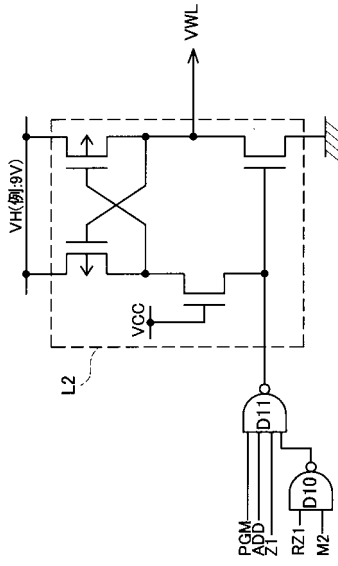
【 図 1 4 】



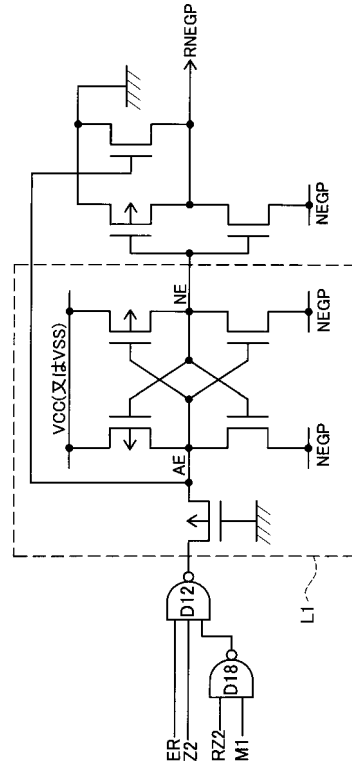
【 図 1 5 】



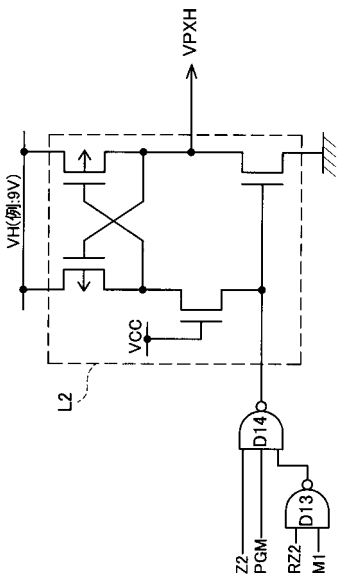
【 図 16 】



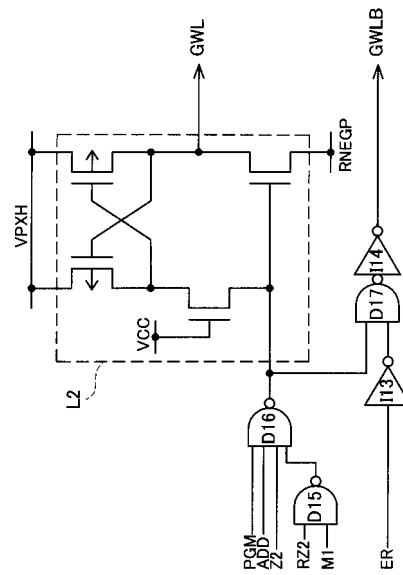
【 図 17 】



【 図 18 】



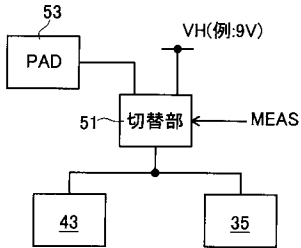
【 図 19 】



【図 20】

モード	セクタ	Z1	Z2	VPXH	VPXV	RNEGP	NEN	XDS	GWL	GWLB	VWL	P2WL	WELL	[ストレス]
ER ストレス (1回目)	S06(ノーマル)	VCC	VCC	0	0	-9	0	-9	-9	0	0	-9	9	あり
	S07(不良)	VCC	0	0	0	0	0	0	0	0	0	Float	9	なし
	S17(ノーマル)	VCC	0	0	0	0	0	0	0	0	0	Float	9	なし
ER ストレス (2回目)	S06(ノーマル)	0	0	0	0	0	-9	0	-9	0	0	Float	0	なし
	S07(不良)	0	VCC	0	0	-9	0	0	0	0	0	Float	0	なし
	S17(ノーマル)	VCC	VCC	0	0	-9	0	-9	0	0	0	-9	9	あり
PGM ストレス (1回目)	S06(ノーマル)	VCC	VCC	9	9	0	VCC	0	9	0	9	9	0	あり
	S07(不良)	VCC	0	0	9	0	VCC	0	0	VCC	9	9	0	なし
	S17(ノーマル)	VCC	0	0	9	0	VCC	0	0	VCC	9	0	0	なし
PGM ストレス (2回目)	S06(ノーマル)	0	0	0	0	0	VCC	0	0	VCC	0	0	0	なし
	S07(不良)	0	VCC	9	0	0	VCC	0	9	0	0	0	0	なし
	S17(ノーマル)	VCC	VCC	9	9	0	VCC	0	9	0	9	9	0	あり

【図 22】



【図 21】

モード	セクタ	Z1	Z2	VPXH	VPXV	RNEGP	NEN	XDS	GWL	GWLB	VWL	P2WL	WELL	[ストレス]
HTRB リーク測定 (1回目)	S06(ノーマル)	VCC	VCC	P	P	0	VCC	0	P	0	P	P	0	測定
	S07(不良)	VCC	0	0	P	0	VCC	0	0	VCC	P	0	0	非測定
	S17(ノーマル)	VCC	0	0	P	0	VCC	0	0	VCC	P	0	0	非測定
HTRB リーク測定 (2回目)	S06(ノーマル)	0	0	0	0	0	VCC	0	0	VCC	0	0	0	非測定
	S07(不良)	0	VCC	P	0	0	VCC	0	P	0	0	0	0	非測定
	S17(ノーマル)	VCC	VCC	P	P	0	VCC	0	P	0	P	P	0	測定
Fast Chip ER	S06(ノーマル)	VCC	VCC	0	0	-9	0	-9	-9	0	0	-9	9	あり
	S07(不良)	VCC	0	0	0	0	0	0	0	0	0	Float	9	なし
	S17(ノーマル)	0	0	0	0	0	-9	0	0	0	0	Float	0	なし

(P: PADIに接続された電源を示す)

フロントページの続き

(51)Int.Cl. F I
G 1 1 C 16/04 (2006.01) G 1 1 C 17/00 6 3 9 B
G 1 1 C 17/00 6 3 2 A
G 1 1 C 17/00 6 2 1 C
G 1 1 C 17/00 6 0 1 Z

審査官 堀江 義隆

(56)参考文献 特開2000-137991(JP,A)
特開2001-084800(JP,A)
特開2001-101899(JP,A)
特開平09-288899(JP,A)
特開平08-106796(JP,A)
特開2000-040395(JP,A)
特開2004-253021(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C29/00 - 29/56
G11C16/02 - 16/34