



(12)发明专利

(10)授权公告号 CN 102687290 B

(45)授权公告日 2016.08.17

(21)申请号 201080060204.4

(22)申请日 2010.12.27

(30)优先权数据

102009060747.1 2009.12.30 DE

(85)PCT国际申请进入国家阶段日

2012.06.29

(86)PCT国际申请的申请数据

PCT/EP2010/070761 2010.12.27

(87)PCT国际申请的公布数据

W02011/080249 DE 2011.07.07

(73)专利权人 欧司朗光电半导体有限公司

地址 德国雷根斯堡

(72)发明人 马蒂亚斯·彼得 托比亚斯·迈耶

亚历山大·沃尔特 泷哲也

于尔根·奥弗 赖纳·布滕戴奇

约阿希姆·赫特功

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 张春水 田军锋

(51)Int.Cl.

H01L 33/04(2006.01)

H01L 33/14(2006.01)

H01L 33/06(2006.01)

(56)对比文件

US 2008149918 A1, 2008.06.26,

US 2008149918 A1, 2008.06.26,

CN 101789473 A, 2010.07.28,

WO 2009072787 A2, 2009.06.11,

WO 2009045005 A2, 2009.04.09,

CN 1564333 A, 2005.01.12,

US 6677619 B1, 2004.01.13,

US 2006081861 A1, 2006.04.20,

审查员 韩冰

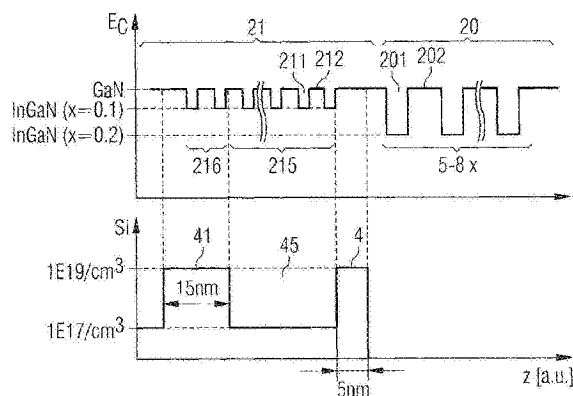
权利要求书2页 说明书8页 附图3页

(54)发明名称

发光半导体芯片

(57)摘要

提出一种半导体芯片(1),其具有带有半导体层序列的半导体本体(2),其中用于产生辐射的有源区域(20)设置在n型导电的多层结构(21)和p型导电的半导体层(22)之间。在n型导电的多层结构中,形成具有至少一个掺杂尖峰(4)的掺杂分布。



1. 半导体芯片(1), 具有带有半导体层序列的半导体本体(2), 其中
 - 所述半导体层序列具有n型导电的多层结构(21)、p型导电的半导体层(22)和设置用于产生辐射的有源区域(20), 所述有源区域设置在所述n型导电的多层结构和所述p型导电的半导体层之间;
 - 所述n型导电的多层结构具有带有多个量子层(211)的量子结构, 所述量子层设置在阻挡层(212)之间; 并且
 - 在所述n型导电的多层结构中形成具有至少一个掺杂尖峰(4)的掺杂分布;
 - 在所述n型导电的多层结构的与所述掺杂尖峰(4)邻接的区域(45)中所述量子层(211)和与所述量子层邻接的阻挡层(212)具有最高 $5 \times 10^{17} \text{cm}^{-3}$ 的掺杂浓度;
 - 所述掺杂分布具有另外的掺杂尖峰(41), 其中在所述掺杂尖峰和所述另外的掺杂尖峰之间设置有所述n型导电的多层结构的至少一个量子层;
 - 所述n型导电的多层结构的所述量子结构的部分区域(216)借助于所述另外的掺杂尖峰(41)而具有至少 $2 \times 10^{18} \text{cm}^{-3}$ 的掺杂浓度。
2. 根据权利要求1所述的半导体芯片, 其中在所述至少一个掺杂尖峰中的掺杂浓度是在所述n型导电的多层结构的与所述掺杂尖峰邻接的区域中的掺杂浓度的至少五倍。
3. 根据权利要求2所述的半导体芯片, 其中在所述至少一个掺杂尖峰中的掺杂浓度最低为 $4 \times 10^{18} \text{cm}^{-3}$ 。
4. 根据上述权利要求1至3之一所述的半导体芯片, 其中所述掺杂尖峰具有在1nm和30nm之间的竖直伸展, 其中包括边界值。
5. 根据上述权利要求1至3之一所述的半导体芯片, 其中所述掺杂尖峰具有在5nm和20nm之间的竖直伸展, 其中包括边界值。
6. 根据上述权利要求1至3之一所述的半导体芯片, 其中所述掺杂尖峰距所述有源区域的距离在2nm和20nm之间, 其中包括边界值。
7. 根据权利要求1至3之一所述的半导体芯片, 其中所述有源区域具有多个量子层(201), 其中所述掺杂尖峰设置在所述n型导电的多层结构的离所述有源区域最近的量子层和所述有源区域的离所述n型导电的多层结构最近的量子层之间。
8. 根据权利要求7所述的半导体芯片, 其中所述n型导电的多层结构的所述量子层的带隙至少与所述有源区域的所述量子层(201)的带隙一样大。
9. 根据权利要求1至3之一所述的半导体芯片, 其中所述有源区域基于氮化物化合物半导体材料。
10. 根据权利要求1至3之一所述的半导体芯片, 其中所述n型导电的多层结构的晶体结构具有V型沟槽。
11. 根据权利要求1至3之一所述的半导体芯片, 其中移除用于所述半导体本体的所述半导体层序列的生长衬底。
12. 根据权利要求1所述的半导体芯片, 其中
 - 在所述至少一个掺杂尖峰中的掺杂浓度是在所述n型导电的多层结构的邻接于所述掺杂尖峰的区域中的掺杂浓度的至少五倍;
 - 所述有源区域具有带有至少一个量子层(201)的量子结构; 和
 - 所述n型导电的多层结构的所述量子层的带隙大于所述有源区域的所述量子层的带

隙。

发光半导体芯片

[0001] 本申请涉及一种设置用于产生辐射的半导体芯片。

[0002] 本申请要求德国专利申请102009060747.1的优先权,其公开内容通过引用合并与此。

[0003] LED半导体芯片通常具有带有多个量子阱(quantum wells(量子阱))的设置用于产生辐射的有源区域。

[0004] 在有源区域中的InGaN量子阱中示出,所辐射的辐射功率随着电流密度增加而线性地上升。为此原因为,载流子通常没有有效地注入到量子阱中。

[0005] 本发明的目的是,提供一种半导体芯片,其中载流子能够有效地注入到有源区域中。

[0006] 该目的通过独立权利要求1的主题来实现。其他的扩展方案和改进形式是从属权利要求的主题。

[0007] 在一个实施形式中,半导体芯片具有带有半导体层序列的半导体本体,其中半导体层序列具有n型导电的多层结构、p型导电的半导体层和设置用于产生辐射的有源区域。有源区域设置在n型导电的多层结构和p型导电的半导体层之间。在n型导电的多层结构中,形成具有至少一个掺杂尖峰的掺杂分布。

[0008] 掺杂分布尤其为掺杂沿着竖直方向的、即在沿着用于半导体本体的半导体层序列的沉积方向的方向上的变化。换言之,掺杂分布垂直于半导体本体的半导体层序列的半导体层的主延伸平面走向。

[0009] 掺杂尖峰在本申请的范围内理解为半导体材料的下述区域,所述区域与至少一个与其邻接的区域相比具有高的掺杂浓度。优选在两侧上围绕掺杂尖峰的半导体材料优选低掺杂、未掺杂或者本征地构成。

[0010] 高掺杂浓度尤其理解为至少 $2 \times 10^{18} \text{cm}^{-3}$ 的浓度。

[0011] 低掺杂浓度尤其理解为最低 $1 \times 10^{16} \text{cm}^{-3}$ 和最高 $1 \times 10^{18} \text{cm}^{-3}$ 的浓度。

[0012] 其示出,尤其与n型导电的多层结构的剩余的伸展相比薄且高掺杂的掺杂尖峰使得得到半导体芯片的有源区域中的载流子注入改进。由于高的掺杂,n型导电的多层结构在掺杂尖峰的区域中具有相对高的横向电导率、即在横向方向上高的电导率,使得载流子能够在横向上能够特别均匀地注入到有源区域中。还在反向方向上,即在有源区域的截止方向上,至少一个掺杂尖峰使得形成横向上均匀的电流。由此,半导体芯片具有相对于静电放电(electrostatic discharge,ESD)减小的敏感性。

[0013] 在优选的扩展方案中,n型导电的多层结构具有至少一个借助于掺杂尖峰来高掺杂的区域和低掺杂的n型导电的区域。优选地,在至少一个掺杂尖峰中的掺杂浓度至少五倍于,尤其优选至少八倍于,例如十倍于在n型导电多层结构的低掺杂的n型导电区域中的掺杂浓度。

[0014] 在此,低掺杂的n型导电区域尤其能够邻接掺杂尖峰。

[0015] 优选地,在掺杂尖峰中的掺杂浓度至少为 $4 \times 10^{18} \text{cm}^{-3}$ 。通过高的掺杂浓度能够实现高的电导率。

[0016] 此外,在掺杂尖峰中的掺杂浓度优选最多为 $1 \times 10^{20} \text{cm}^{-3}$,尤其优选最多为 $3 \times 10^{19} \text{cm}^{-3}$ 。

[0017] 此外,在尤其邻接的、低掺杂的n型导电区域中的掺杂浓度优选最高为 $5 \times 10^{17} \text{cm}^{-3}$,尤其优选最高为 $2 \times 10^{17} \text{cm}^{-3}$ 。

[0018] 在优选的扩展方案中,在至少一个掺杂尖峰中的掺杂浓度至少为 $4 \times 10^{18} \text{cm}^{-3}$ 并且在低掺杂的n型导电区域中最高为 $8 \times 10^{17} \text{cm}^{-3}$ 。

[0019] 掺杂尖峰的竖直伸展优选为在1nm和30nm之间,尤其在2nm和20nm之间,其中包括边界值。特别地,掺杂尖峰的竖直伸展能够为在7nm和10nm之间,其中包括边界值。

[0020] n型导电的多层结构在半导体芯片的工作中尤其起到将电子注入到有源区域中的作用。为此,n型导电的多层结构不必连续n型导电掺杂。相反地,n型导电的多层结构还能够具有一个或多个如下层,在所述层中n型导电的多层结构未掺杂地或者本征地构成。

[0021] 相应地,p型导电的半导体层尤其设置用于将空穴注入到有源区域中。p型导电的半导体层还能够多层地构成,其中各个层可以在掺杂和/或晶体组成方面不同。

[0022] 半导体本体优选基于化合物半导体,尤其基于氮化物化合物半导体。

[0023] “基于氮化物化合物半导体”在该上下文中表示,有源外延层序列或者其中至少一层包括氮化物III/V族化合物半导体材料,优选为 $\text{Al}_y\text{Ga}_{1-x-y}\text{In}_x\text{N}$,其中 $0 \leq x \leq 1, 0 \leq y \leq 1$ 并且 $x+y \leq 1$ 。在此,所述材料不必须强制地具有按照上述公式的数学上精确的成分。相反地,其能够具有一个或多个掺杂材料以及附加的成分,所述附加的成分基本上没有改变 $\text{Al}_y\text{Ga}_{1-x-y}\text{In}_x\text{N}$ 材料的特征性的物理性质。然而,上述公式为了简单性仅还包括晶格的重要的成分。然而,上式出于简单性原因而只包含晶格的基本成分(Al、Ga、In、N),尽管所述成分能够部分地通过少量的其他材料来代替。

[0024] 有源区域优选具有多个量子层。量子层目的明确地设置在阻挡层之间。在此,量子层和阻挡层能够形成量子结构。

[0025] 名称量子结构在本申请的范围内尤其包括任意下述结构,在所述结构中载流子通过夹杂(“confinement(约束)”)能够经受其能量状态的量子化。特别地,名称量子结构不包含关于量子化的维度的说明。因此,量子结构尤其包括量子槽、量子线和量子点以及所述结构的任意组合。

[0026] 在优选的扩展方案中,n型导电的多层结构具有量子结构。所述量子结构能够具有多个量子层。

[0027] 此外,术语量子结构尤其既理解为作为多量子阱结构(multi quantum well, MQW)还理解为作为超晶格的构造。不同于多量子阱结构部,在超晶格中,相邻的量子层的间距小至使得相邻量子层的电子状态彼此量子机械地耦合并且构成共同的电子状态。

[0028] 例如,能够在超晶格的量子层之间构成阻挡层,所述阻挡层具有5nm或者更小、例如2nm的厚度。

[0029] 在优选的扩展方案中,n型导电的多层结构的量子层的带隙至少与有源区域的量子层的带隙一样大。尤其优选的是,量子层的带隙大于有源区域的量子层的带隙。例如,在基于氮化物化合物半导体的半导体芯片中,n型导电的多层结构的量子层能够具有与有源区域的量子层相比更少的钕含量x。

[0030] n型导电的多层结构的量子层不同于有源区域的量子层地不设置用于产生辐射,

而是起到尤其将电子有效地注入到有源区域中的作用,在所述有源区域中所述电子能够与空穴在发射辐射的情况下复合。

[0031] 有源区域的量子层优选本征地或者未掺杂地构成。

[0032] 在另一优选的扩展方案中,掺杂尖峰设置在n型导电的多层结构的离有源区域最近的量子层和有源区域的离n型导电的多层结构最近的量子层之间。于是确保在有源区域附近中的良好的横向电流分布。

[0033] 此外,掺杂尖峰距有源区域的距离,尤其距有源区域的离n型导电的多层结构最近的量子层的距离是在1nm和30nm之间,尤其优选在2nm和20nm之间,特别地在7nm和10nm之间的距离,其中包括边界值。

[0034] 借助在有源区域附近中的所述高掺杂的掺杂尖峰,能够尤其高效地并且尤其在横向方向上特别均匀地实现将载流子注入到有源区域中。至少一个掺杂尖峰也在截止方向上由于高的横向导电性而改进地利用多个可能的载流子路径,与在半导体本体的n型导电的区域中具有掺杂尖峰的半导体芯片相比,这避免ESD损害的危险。

[0035] 至少一个掺杂尖峰优选构成为,使得掺杂分布具有从低掺杂浓度和高的掺杂浓度或者相反的急剧的过渡部。在半导体芯片的制造时,这能够通过低的生长率实现,例如通过20nm/h和500nm/h之间的速率。优选地,例如借助MOCVD(金属有机化学气相沉积)外延地进行沉积。

[0036] 在优选的改进形式中,n型导电的多层结构的晶体结构具有V形的沟槽。在半导体层的沉积时尤其能够沿着位错线构成的这种沟槽还称作“V形坑”。这种V形的沟槽尤其能够在半导体材料的相对低的沉积温度的情况下,例如在低于950°C时构成。所述V形沟槽能够引起半导体芯片在截止方向上的特性的改进。

[0037] 在优选的另一扩展方案中,掺杂分布具有至少一个另一掺杂尖峰。特别地,在掺杂尖峰和另一掺杂尖峰之间能够设置n型导电的多层结构的至少一个量子层。换言之,掺杂分布能够构成为对n型导电的多层结构的量子层的一部分进行高的n掺杂,而量子层的剩余部分与其相比低地n掺杂。

[0038] 掺杂分布还能够具有多于两个掺杂尖峰,尤其在一个和五个之间的掺杂尖峰,优选在一个和三个之间的掺杂尖峰,其中包括边界值。

[0039] 在半导体芯片的优选的扩展方案中,完全地或至少部分地移除半导体本体的半导体层序列的生长衬底。这种半导体芯片还称作薄膜半导体芯片。

[0040] 薄膜半导体芯片,例如薄膜发光二极管芯片还能够在本发明的范围内能以下述表征性的特征中的至少一个为特征:

[0041] -在包括尤其是外延层序列的、具有有源区域的半导体层序列的半导体本体的朝向支承元件的第一主面上施加镜层,或者构成镜层例如来作为布喇格镜集成在半导体层序列中,其中所述镜层将在半导体层序列中产生的辐射的至少一部分向回反射到该半导体层序列中;

[0042] -半导体层序列具有在20 μm 或者更小的范围内、尤其在10 μm 的范围内的厚度;和/或

[0043] -半导体层序列包含具有至少一个如下面的至少一个半导体层,所述面具有彻底混合结构,所述彻底混合结构在最理想的情况下使得光在半导体层序列中近似遍历地分

布,即所述彻底混合结构具有尽可能遍历随机的散射性能。

[0044] 薄膜发光二极管半导体芯片的基本原理例如在I.Schnitzer等,应用物理学报63(16),1993年10月18日,2174-2176页中描述,其在这方面的公开内容通过引用合并到本申请中。

[0045] 其他的特征、扩展方案和适宜性结合附图从实施例的下面的描述中得出。

[0046] 其中:

[0047] 图1A示出具有半导体层序列的半导体本体的实施例的示意剖面图,

[0048] 图1B对于根据第二实施例的半导体本体的断面示出沿着沉积方向z的导带边变化 E_c 和掺杂分布的示意图,

[0049] 图2示出半导体芯片的第一实施例的示意剖面图,

[0050] 图3示出半导体芯片的第二实施例的示意剖面图,

[0051] 图4示出根据在截止方向上施加的电压U所测量的电流I的测量结果。

[0052] 相同的、同类的或者起相同作用的元件在附图中设有相同的附图标记。

[0053] 附图分别是示意图,并且因此不必是按照尺寸的。相反地,相对小的元件和尤其是层厚度为了描述而能够夸张大地示出。

[0054] 半导体芯片的半导体本体的第一实施例在图1A中以剖面图示意地示出。半导体本体2具有形成半导体本体的半导体层序列。半导体层序列具有设置用于产生辐射的有源区域20,所述有源区域设置在n型导电的多层结构21和p型导电的半导体层22之间。半导体本体的半导体层序列优选外延地、尤其借助MBE(分子束外延)或者MOCVD沉积在生长衬底29上。在基于氮化物化合物半导体的半导体本体中,例如蓝宝石、碳化硅、硅或者氮化镓适合作为生长衬底。在n型导电的多层结构21和生长衬底之间能够构成有缓冲层,所述缓冲层尤其能够设置用于提高晶体质量(没有明确示出)。

[0055] 有源区域20具有量子结构,所述量子结构通过多个量子层201和多个设置在量子层之间的阻挡层202形成。在此,有源区域仅示例地具有带有三个量子层的量子结构。但是,与其不同地还能够设置其他数量的量子层,例如仅设置一个或者两个量子层或者多于三个,大约直到20个量子层,例如五至八个量子层。p型导电的半导体层22还能够多层地构成,其中各个层尤其能够通过材料组成和/或通过其掺杂来彼此区分。

[0056] n型导电的多层结构21具有带有多个量子层211的量子结构,所述量子层设置在阻挡层212之间。

[0057] 示意地借助于箭头来示出掺杂尖峰4在垂直方向上、即在垂直于半导体本体2的半导体层的主延伸平面的方向上的位置。掺杂尖峰位于n型导电多层结构21中,尤其是在n型导电的多层结构的离有源区域最近的量子层211和有源区域20的离n型导电的多层结构最近的量子层201之间。在n型导电的多层结构的邻接掺杂尖峰4的区域中,对量子层211和邻接量子层的阻挡层进行低掺杂。

[0058] 借助于掺杂尖峰4能够进行将电子有效地注入到有源区域20中。在反向方向上,掺杂尖峰同样起到改进电流扩展的作用,这使得降低借助于半导体层序列所形成的半导体芯片的ESD损害的危险。因此,降低的ESD敏感度已经借助半导体层序列的沉积实现,使得在用于半导体芯片的下面的生产步骤中的损害的危险降低。

[0059] 针对在半导体芯片的半导体本体的第二实施例,示出导带边变化 E_c 以及硅掺杂分

布的示意变化在图1B中作为在z方向上的函数。z方向相当于半导体本体2的半导体层的沉积方向,并且垂直于半导体本体2的半导体层的主延伸平面走向。

[0060] 所述第二实施例基本上相当于结合图1A所描述的半导体本体的第一实施例。不同于此,在所述实施例中构成另一掺杂尖峰41。

[0061] 另一掺杂尖峰41形成n型导电的多层结构21的量子结构的高掺杂的部分区域。在另一掺杂尖峰和掺杂尖峰4之间构成有量子结构的低掺杂的n型导电区域。

[0062] 半导体本体2,尤其是有源区域20在所述实施例中基于氮化物化合物半导体材料。

[0063] 有源区域20具有多个量子层201。在所述实施例中,有源区域设置用于产生在蓝色光谱范围内的辐射。为此,量子层分别具有 $x=0.2$ 的镓含量。但是,有源区域还能够构成用于发射在其他光谱范围内的辐射。镓含量越高,带隙就越小并且因此在可在有源区域中产生的光子的能量就越低。因此,镓含量能够在宽的边界内变化。例如,具有 $x=0.10$ 的镓含量的量子层在工作中发射在紫外光谱范围内的辐射并且具有 $x=0.40$ 镓含量的量子层发射在绿色光谱范围内的辐射。在量子层之间设置GaN阻挡层。

[0064] n型导电的多层结构21的掺杂分布在所述实施例中借助于硅掺杂来实现。然而,还能够使用其他的掺杂材料。掺杂分布具有掺杂尖峰4。所述掺杂尖峰在所述实施例中为大约5nm宽。在掺杂尖峰4的区域内,掺杂浓度为 $1 \times 10^{19} \text{cm}^{-3}$,而在邻接掺杂尖峰4的、低掺杂的、n型导电区域45中的掺杂浓度具有 $1 \times 10^{17} \text{cm}^{-3}$ 掺杂浓度。此外,掺杂分布具有带有15nm宽度的另一掺杂尖峰41,在所述掺杂尖峰中n型导电的多层结构以 $1 \times 10^{19} \text{cm}^{-3}$ 的掺杂浓度来n型导电地掺杂。

[0065] 借助于掺杂尖峰能够实现在横向方向上尤其均匀的载流子注入。因此,进行高效的电流扩展,尤其直接在有源区域的量子层201之下进行高效的电流扩展。

[0066] 如结合图1A所描述的,n型导电的多层结构21具有带有多个量子层211的量子结构,所述量子层分别设置在阻挡层212之间。借助于掺杂分布形成量子结构的低掺杂的部分区域215和量子结构的高掺杂的部分区域216。在所述区域中,分别能够掺杂量子层和/或阻挡层。优选地,至少在至少一个掺杂尖峰的区域中高掺杂地构成量子层和阻挡层。

[0067] 因此,n掺杂的多层结构21既具有量子结构的低掺杂的部分区域还具有量子结构的高掺杂的部分区域。在此,量子结构的低掺杂的部分区域215在掺杂尖峰4、41之间走向,并且在半导体芯片的工作中形成电子储备部。在量子结构的低掺杂的部分区域中,对量子层211和阻挡层212进行低掺杂。借助于掺杂尖峰4引起:将载流子从n型导电的多层结构21特别高效并且在横向方向上均匀地注入到有源区域20中。

[0068] N型导电的多层结构21的量子层在所述实施例中示例地具有 $x=0.1$ 的镓含量。但是,还能够偏离于此来选择镓含量。优选地,镓含量最多如在有源区域中的量子层的镓含量一样高,使得n型导电的多层结构21的量子层的带隙大于在有源区域20中的量子层的带隙或者相应于在该有源区域中的量子层的带隙。

[0069] n型导电的多层结构的量子结构尤其能够构成为量子阱结构或者构成为超晶格,例如具有小于5nm、例如为大约2nm的厚度的阻挡层。

[0070] 由此,简化将载流子有效地注入到有源区域中。

[0071] 显然地,有源区域20和n型导电的多层结构21的材料组成以及掺杂分布还能够偏离于所示出的实施例。

[0072] 优选地,在至少一个掺杂尖峰4中的掺杂浓度为至少 $4 \times 10^{18} \text{cm}^{-3}$ 。此外,在掺杂尖峰中的掺杂浓度优选为最高 $1 \times 10^{20} \text{cm}^{-3}$,尤其优选最高 $3 \times 10^{19} \text{cm}^{-3}$ 。

[0073] 在低掺杂的n型导电的区域45中,掺杂浓度优选最高为 $5 \times 10^{17} \text{cm}^{-3}$,尤其优选最高 $2 \times 10^{17} \text{cm}^{-3}$ 。

[0074] 在至少一个掺杂尖峰中的掺杂浓度优选是在n型导电的多层结构的低掺杂的n型导电区域中的掺杂浓度的至少五倍,尤其优选至少八倍。

[0075] 掺杂尖峰4和/或另一掺杂尖峰41的厚度、即竖直伸展优选为在1nm和30nm之间,尤其优选在2nm和20nm之间,最优选为在7nm和10nm之间,其中包括边界值。

[0076] 掺杂尖峰4距有源区域20优选具有小的距离,尤其优选最高30nm的距离,特别在1nm和30nm之间的距离,优选在2nm和20nm之间的距离,最优选在7nm和10nm之间的距离,其中包括边界值。

[0077] 此外,偏离于所示出的实施例,还能够设置多于两个掺杂尖峰,例如在一个和五个掺杂尖峰之间,其中包括边界值。

[0078] 此外,n型导电的、掺杂的多层结构21还能够偏离于所示出的实施例而具有未掺杂或者本征地构成的层或者部分层。在所述情况下,未掺杂或者本征构成的层目的明确地薄至使得n型导电的多层结构21具有在沉积方向上用于电子的足够高的电导率。

[0079] 为了在掺杂尖峰4、41的区域中制造尽可能矩形变化的掺杂分布,沉积优选以低的生长率,例如以20nm/h和500nm/h之间的速率进行,其中包括边界值。

[0080] 此外,优选地,n型导电的多层结构的晶体结构具有V形的沟槽,所述沟槽尤其在例如低于 950°C 的低的沉积温度中沿着位错增加地实现。所述V形的沟槽能够使得在沿着截止方向施加电压时半导体芯片的性能改进。

[0081] 用于半导体芯片1的第一实施例在图2中示出,其中半导体本体2示例地如结合图1A所描述那样构成。

[0082] 在此,半导体芯片1构成为薄膜LED半导体芯片,其中移除半导体本体2的半导体层序列的生长衬底29(图1A)。有源区域20在工作中设置用于产生非相干辐射。

[0083] 半导体本体2设置在支承体5上。支承体5尤其用于半导体本体的机械稳定,使得生长衬底为此不是必需的。

[0084] 半导体材料例如适合作为支承体材料,例如硅、砷化镓或锗、或者例如氮化铝的陶瓷。

[0085] 支承体5借助于连接层8与半导体本体机械稳定地并还导电地连接。

[0086] 例如,焊料或者导电粘结剂适合作为连接层。

[0087] 在支承体5和半导体本体2之间构成镜层62。借助于镜层能够将半导体本体2工作时在有源区域20中产生的、朝着支承体5发射的辐射朝着辐射出射面200反射,并且该辐射由此从半导体芯片出射。

[0088] 半导体本体在半导体本体2的背离支承体5的侧上具有第一接触部31。在半导体芯片的对置的侧上,即在支承体5的背离半导体本体2的侧上构成有第二接触部32。

[0089] 第一接触部和/或第二接触部优选包含例如金、银、铂、铝、镍、铬或者铜的金属或者具有上述材料中的至少一种的合金。

[0090] 借助第一接触部31和第二接触部32能够在半导体芯片1的工作中从不同的侧将载

流子注入到有源区域20中,并且载流子在那里在发射辐射的情况下复合。

[0091] 经由第一接触部31注入的电子在n型导电的多层结构21中在至少一个掺杂尖峰4的区域中有效地在横向方向上分布,并且均匀地耦合输入到有源区域20的量子层201中。

[0092] 镜层62优选金属地构成,并且还优选具有对于在有源区域中所产生的辐射的高反射率。例如,如铝、银、金、钯或者铑的金属或者具有上述金属中的至少一种的金属合金适合作为镜层。

[0093] 在图3中示意地以剖面图示出半导体芯片1的第二实施例。在此,半导体本体2还如结合图1A所描述的那样构成。不同于根据结合图2所描述的第一实施例的半导体芯片,半导体本体2具有凹部24,所述凹部从朝向支承体5的侧起穿过p型导电的半导体层22并且穿过有源区域20延伸到n型导电的多层结构21中。在此,凹部穿透n型导电的多层结构的量子层211。凹部的侧面被绝缘层27覆盖,所述绝缘层保护半导体本体2免于有源区域20的电短路。

[0094] 在凹部24中构成接触层25,所述接触层用于从背离p型导电的半导体层22的侧来电接触有源区域。

[0095] 支承体5具有第一端子面51和第二端子面52,其中第一端子面51经由接触层65与n型导电的多层结构21导电连接,并且第二端子面52经由镜层62与p型导电的半导体层22导电连接。第一端子面51和第二端子面52设置在支承体5的相同的侧上。

[0096] 于是,借助于凹部24能够电接触设置在有源区域20的背离支承体5的侧上的n型导电的多层结构21,使得辐射出射面200能够没有外部电接触部地构成。由此避免通过不可辐射穿透的接触部来遮暗辐射出射面。

[0097] 支承体5具有穿通部55,所述穿通部从支承体的朝向半导体本体2的第一主面501延伸至穿过对置于第一主面的第二主面502。经由所述穿通部,第一端子面51与第一接触部31并且第二端子面52与第二接触部32导电连接,使得半导体芯片1能够从半导体芯片的背离辐射出射面200的下侧起被外部电接触。

[0098] 此外,半导体本体2在辐射出射面200的侧上具有结构化部7。结构化部用于降低在有源区域中所产生的辐射在半导体芯片内的全反射,并且因此提高耦合输出效率。显然地,还能够半导体芯片的结合图2中所描述的第一实施例中设计这种结构化部。

[0099] 在图4中,根据在反向方向、即在有源区域20的截止方向上的电压示出反向电流I的特性。在此,曲线99示出在半导体层序列上的测量,从所述半导体层序列中在后续的工艺处理中得出用于半导体芯片的半导体本体。在此,半导体层序列如结合图1B所描述的那样构成。

[0100] 与其相比较,曲线98示出在半导体层序列上的测量,其中使用没有掺杂尖峰的传统n型导电的区域。

[0101] 箭头97表明,借助n型导电的多层结构21的所描述的结构能够实现:对于小电压,电流变化曲线首先缓慢上升,并且在极高的电压值时示出电流的陡峭的上升。于是,测量曲线示出明显更为显著的折弯状的变化变化曲线。

[0102] 仅仅示例地根据LED半导体芯片的描述来进行实施例的描述。但是,n型导电的多层结构21和具有至少一个掺杂尖峰4的掺杂分布的所描述的扩展方案还能够用于发射相干的或者至少部分相干的辐射的器件,例如用于表面发射的或者边缘发射的半导体芯片或者用于RCLED(共振腔发光二极管)。

[0103] 不通过根据实施例的描述来限制本发明。相反地,本发明包括任意新的特征以及特征的任意组合,这尤其是包含在权利要求中的特征的任意组合,即使所述特征或者所述组合本身没有明确地在权利要求或者实施例中说明。

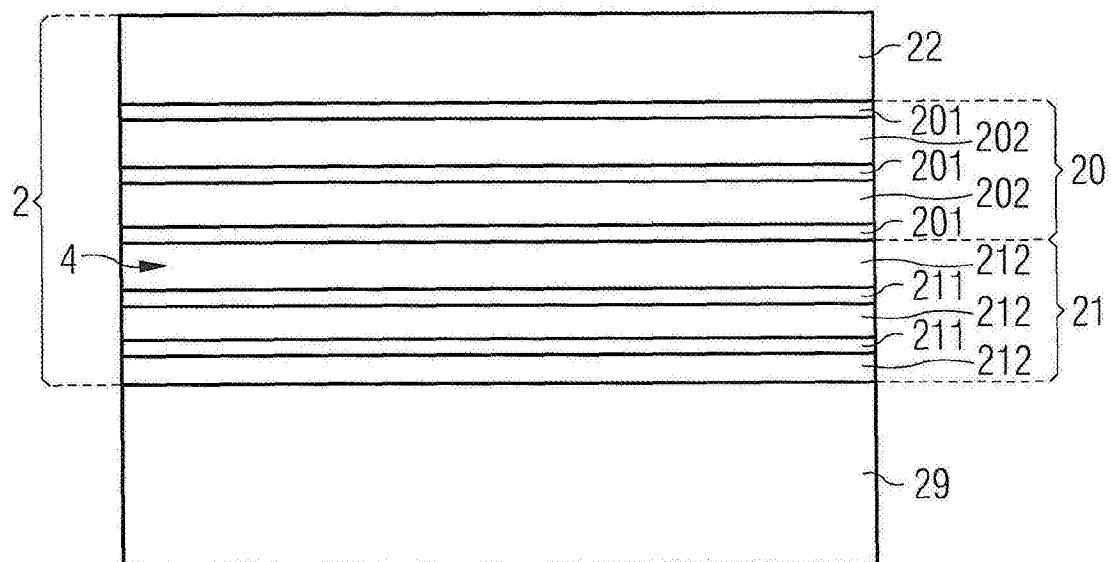


图1A

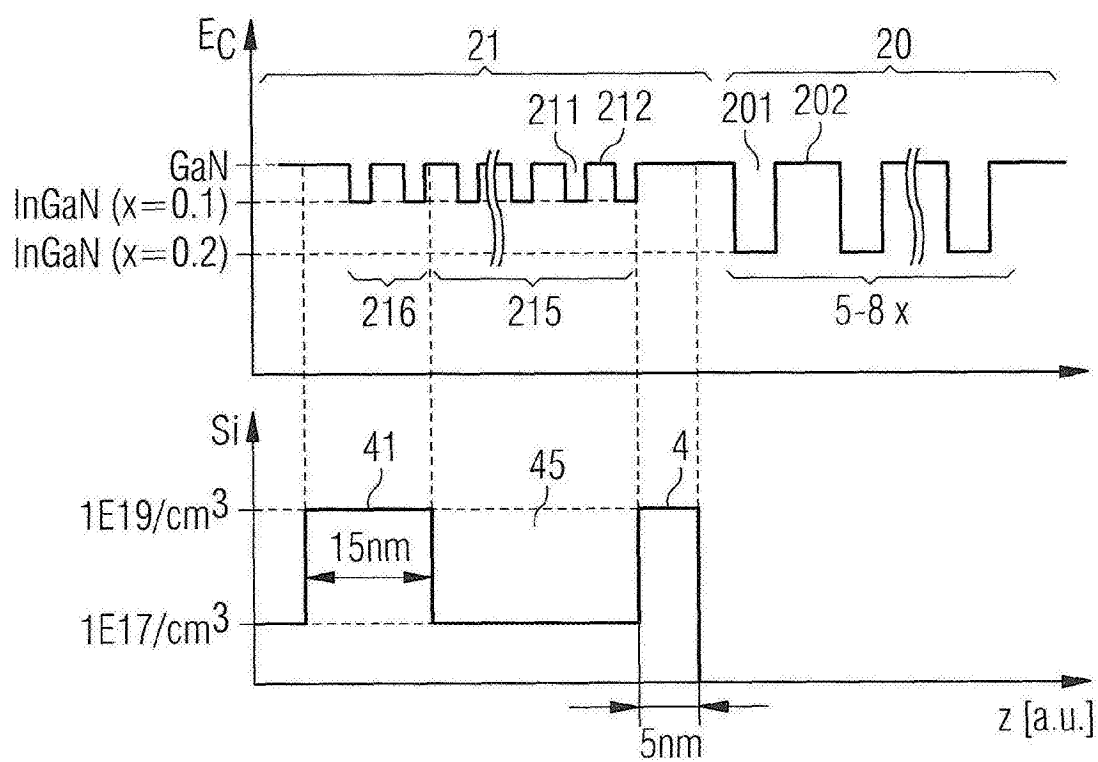


图1B

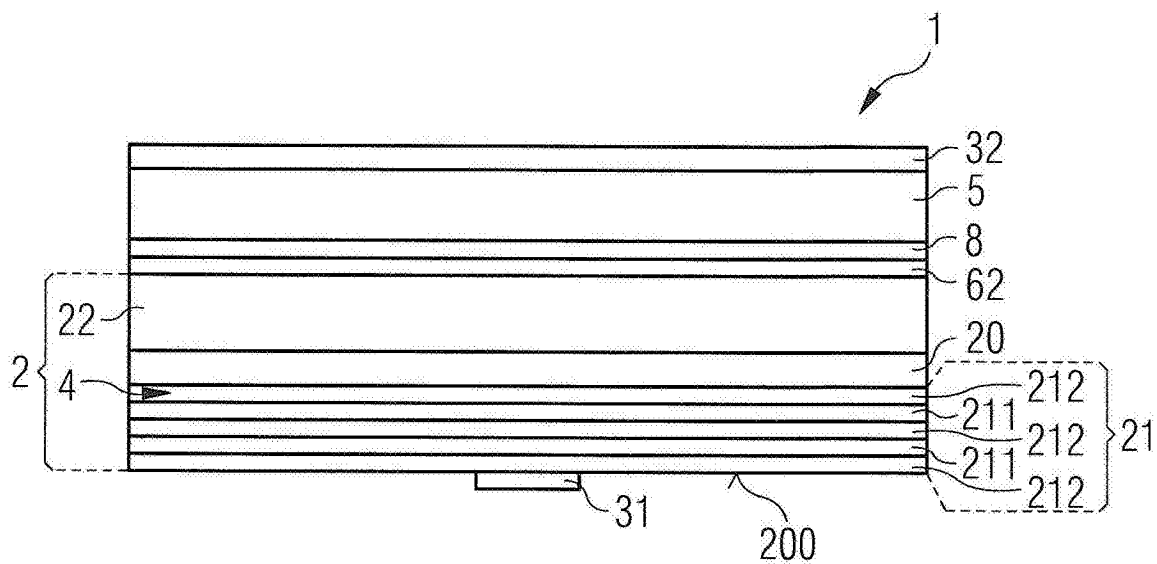


图2

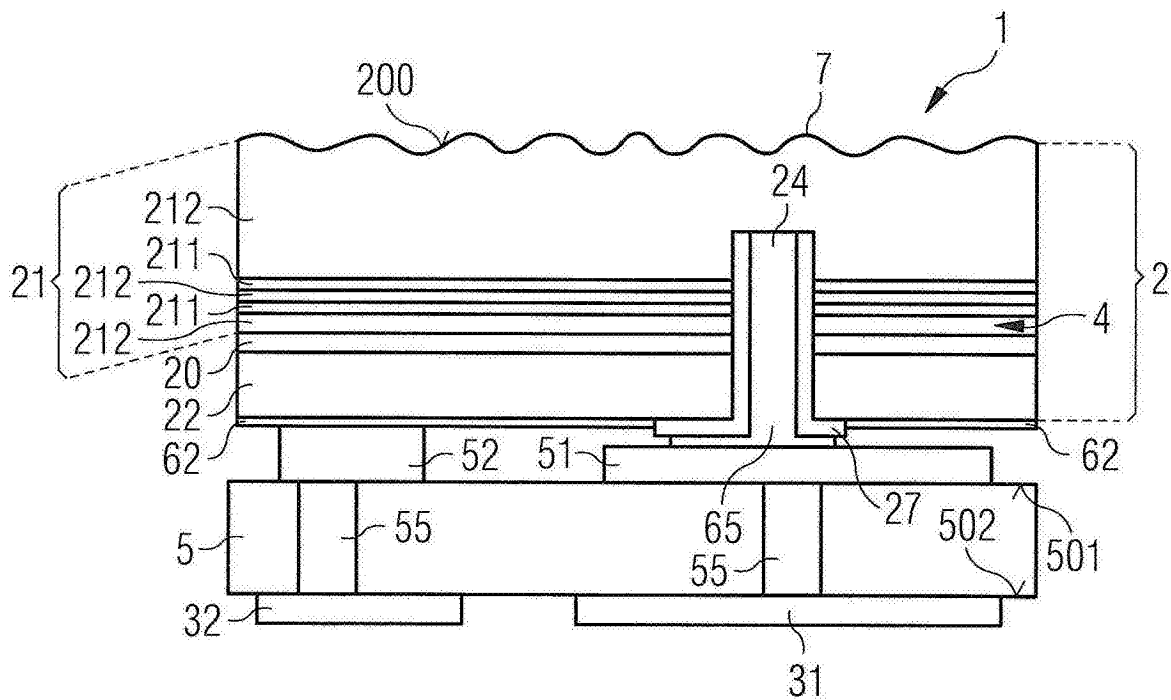


图3

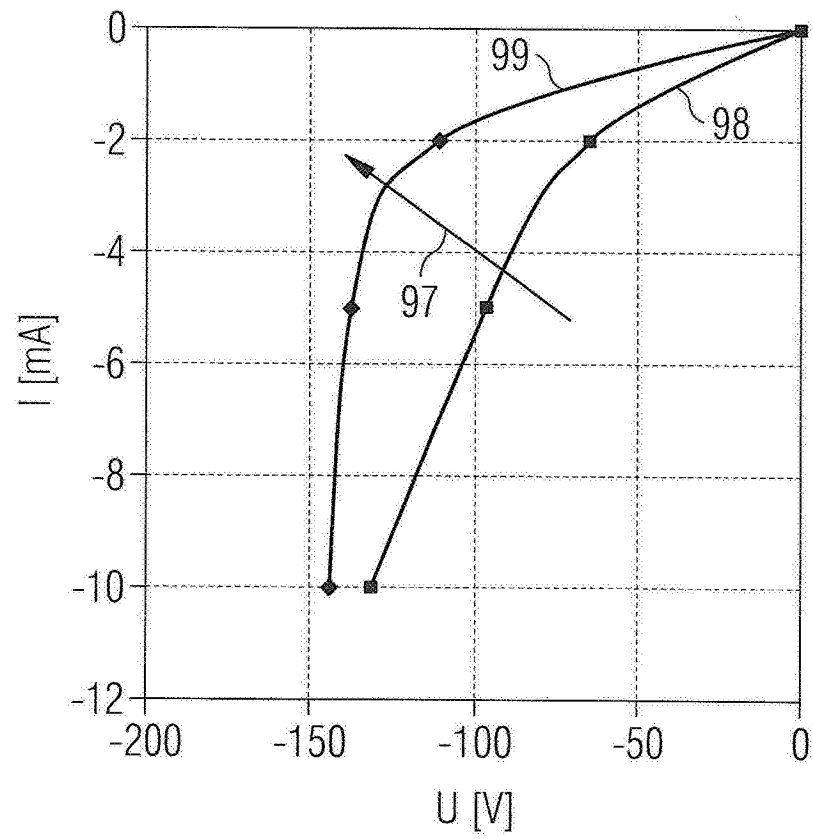


图4