(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3719808号

(P3719808)

(45)発行日　平成17年11月24日(2005.11.24)　(24)登録日　平成17年9月16日(2005.9.16)

(51)Int.Cl.[7]	F I	
G11C 11/407	G11C 11/34	362S
G11C 11/409	G11C 11/34	353F
	G11C 11/34	354R

請求項の数 29　(全 31 頁)

(21)出願番号　特願平9-37630
(22)出願日　平成9年2月21日(1997.2.21)
(65)公開番号　特開平10-241359
(43)公開日　平成10年9月11日(1998.9.11)
審査請求日　平成13年10月12日(2001.10.12)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100068814
弁理士　坪井　淳
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

行列状に配置されたメモリセルアレイと、上記メモリセルアレイの任意の列群を選択する列アドレス信号が入力される列アドレスバッファと、上記列アドレスバッファに入力された列アドレス信号をデコードする列デコーダと、上記列デコーダにより選択された列群中の各々の列に対応して設けられたデータ線群と、上記データ線群をプリチャージするプリチャージ手段と、上記データ線群上のデータが入力され、上記列アドレスの一部であるマルチプレクサ選択アドレスによって上記データ線群の一部を選択するマルチプレクサと、上記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅手段と、上記プリチャージ手段を制御するプリチャージ制御回路とを具備し、

上記列アドレスバッファ及び列デコーダは、外部から入力されたクロック信号に同期してフリップフロップ動作を行い、外部から入力されたアドレス信号は上記フリップフロップ動作する列アドレスバッファ及び列デコーダによってパイプライン分割されたパイプラインステージ上を１クロックで１ステージずつ伝搬するようにしてなり、

上記プリチャージ制御回路は、メモリセルアレイの任意の列群が選択され、上記データ線群にメモリセルからデータが読み出されるパイプラインステージより前のパイプラインステージにおける列アドレスの変化を検知し、上記マルチプレクサ選択アドレスが変化し上記マルチプレクサ選択アドレス以外の他の列アドレスが変化しない場合に、上記プリチャージ手段による上記データ線群のデータ読み出しの前のプリチャージを禁止することを特徴とする半導体記憶装置。

【請求項２】
前記メモリセルは、ＤＲＡＭセルであることを特徴とする請求項１に記載の半導体記憶装置。
【請求項３】
前記マルチプレクサ選択アドレスは、列アドレスの最下位アドレスであることを特徴とする請求項１または２に記載の半導体記憶装置。
【請求項４】
前記列アドレスバッファには、連続して読み出される連続した複数の列アドレスの先頭番地が入力され、前記列アドレスバッファとともに設けられたアドレスカウンタによって上記先頭番地以降の連続した列アドレスをチップ内で生成し、前記列デコーダに供給することを特徴とする請求項１ないし３いずれか１つの項に記載の半導体記憶装置。
【請求項５】
ダイナミック型のメモリセルがマトリックス状に配置されたメモリセルアレイと、上記メモリセルアレイのビット線上に、このビット線と平行な方向に配置されたＤＱ線と、上記ＤＱ線を選択するマルチプレクサと、上記ＤＱ線をプリチャージするＤＱプリチャージャと、上記ＤＱ線の出力信号が供給されるＤＱバッファと、上記ＤＱバッファの出力信号が供給されるデータ入出力バッファと、ローアドレス信号が入力されるローアドレスバッファと、ローアドレスストローブ信号に応答して上記ローアドレスバッファを制御するロー系制御回路と、上記ローアドレスバッファから出力される相補信号が供給されるロープリデコーダと、上記ロープリデコーダの出力信号をデコードして上記メモリセルアレイのローを選択するローデコーダと、カラムアドレス信号が入力されるカラムアドレスバッファと、書き込みイネーブル信号が入力され、上記データ入出力バッファを制御する／ＷＥバッファと、カラムアドレスストローブ信号に応答して上記カラムアドレスバッファ及び上記／ＷＥバッファを制御する／ＣＡＳバッファと、上記ロープリデコーダの上位側の一部の論理信号と上記カラムアドレスバッファの出力信号に基づいて論理信号を生成するフリップフロップと、上記フリップフロップの出力信号をデコードして上記メモリセルアレイにカラムスイッチ選択信号を供給するカラムプリデコーダと、上記カラムアドレスバッファの出力信号の一部が供給され、カラムアドレスの変化を検知するカラムアドレス変化検知回路と、このカラムアドレス変化検知回路の出力信号及び上記／ＷＥバッファの出力信号が供給され、上記ＤＱプリチャージャを制御して、カラムアドレスの最下位ビットが変化し、他のアドレスビットが変化しないときに、上記ＤＱ線のプリチャージを禁止するＤＱプリチャージ制御回路と、上記／ＷＥバッファの出力信号に基づいて上記ＤＱバッファを制御するＤＱバッファ制御回路とを具備することを特徴とする半導体記憶装置。
【請求項６】
半導体チップと、この半導体チップ中に形成されたメモリ部と、上記半導体チップ中に形成され、上記メモリ部とデータの授受を行うロジック回路部とを備え、
上記メモリ部は、行列状に配置されたメモリセルアレイと、上記メモリセルアレイの任意の列群を選択する列アドレス信号が入力される列アドレスバッファと、上記列アドレスバッファに入力された列アドレス信号をデコードする列デコーダと、上記列デコーダにより選択された列群中の各々の列に対応して設けられたデータ線群と、上記データ線群をプリチャージするプリチャージ手段と、上記データ線群上のデータが入力され、上記列アドレスの一部であるマルチプレクサ選択アドレスによって上記データ線群の一部を選択するマルチプレクサと、上記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅手段と、上記プリチャージ手段を制御するプリチャージ制御回路とを具備し、
上記列アドレスバッファ及び列デコーダは、外部から入力されたクロック信号に同期してフリップフロップ動作を行い、外部から入力されたアドレス信号は上記フリップフロップ動作する列アドレスバッファ及び列デコーダによってパイプライン分割されたパイプラインステージ上を１クロックで１ステージずつ伝搬するようにしてなり、
上記プリチャージ制御回路は、メモリセルアレイの任意の列群が選択され、上記データ線群にメモリセルからデータが読み出されるパイプラインステージより前のパイプライン

ステージにおける列アドレスの変化を検知し、上記マルチプレクサ選択アドレスが変化し上記マルチプレクサ選択アドレス以外の他の列アドレスが変化しない場合に、上記プリチャージ手段による上記データ線群のデータ読み出しの前のプリチャージを禁止することを特徴とする半導体装置。

【請求項７】

半導体チップと、この半導体チップ中に形成されたメモリ部と、上記半導体チップ中に形成され、上記メモリ部とデータの授受を行うロジック回路部とを備え、

上記メモリ部は、ダイナミック型のメモリセルがマトリックス状に配置されたメモリセルアレイと、上記メモリセルアレイのビット線上に、このビット線と平行な方向に配置されたＤＱ線と、上記ＤＱ線を選択するマルチプレクサと、上記ＤＱ線をプリチャージするＤＱプリチャージャと、上記ＤＱ線の出力信号が供給されるＤＱバッファと、上記ＤＱバッファの出力信号が供給されるデータ入出力バッファと、ローアドレス信号が入力されるローアドレスバッファと、ローアドレスストローブ信号に応答して上記ローアドレスバッファを制御するロー系制御回路と、上記ローアドレスバッファから出力される相補信号が供給されるロープリデコーダと、上記ロープリデコーダの出力信号をデコードして上記メモリセルアレイのローを選択するローデコーダと、カラムアドレス信号が入力されるカラムアドレスバッファと、書き込みイネーブル信号が入力され、上記データ入出力バッファを制御する／ＷＥバッファと、カラムアドレスストローブ信号に応答して上記カラムアドレスバッファ及び上記／ＷＥバッファを制御する／ＣＡＳバッファと、上記ロープリデコーダの上位側の一部の論理信号と上記カラムアドレスバッファの出力信号に基づいて論理信号を生成するフリップフロップと、上記フリップフロップの出力信号をデコードして上記メモリセルアレイにカラムスイッチ選択信号を供給するカラムプリデコーダと、上記カラムアドレスバッファの出力信号の一部が供給され、カラムアドレスの変化を検知するカラムアドレス変化検知回路と、このカラムアドレス変化検知回路の出力信号及び上記／ＷＥバッファの出力信号が供給され、上記ＤＱプリチャージャを制御して、カラムアドレスの最下位ビットが変化し、他のアドレスビットが変化しないときに、上記ＤＱ線のプリチャージを禁止するＤＱプリチャージ制御回路と、上記／ＷＥバッファの出力信号に基づいて上記ＤＱバッファを制御するＤＱバッファ制御回路とを具備することを特徴とする半導体装置。

【請求項８】

前記ロジック回路部は、ゲートアレイまたはスタンダードセルで形成されることを特徴とする請求項６または７に記載の半導体装置。

【請求項９】

クロック信号が供給されるＣＰＵと、このＣＰＵとデータの授受を行うキャッシュメモリと、上記キャッシュメモリとの間でデータの伝送を行うシステムバスと、上記システムバスを制御するバスコントローラと、上記システムバス上にデータをバースト転送するシンクロナスＤＲＡＭとを備え、

上記シンクロナスＤＲＡＭは、行列状に配置されたメモリセルアレイと、上記メモリセルアレイの任意の列群を選択する列アドレス信号が入力される列アドレスバッファと、上記列アドレスバッファに入力された列アドレス信号をデコードする列デコーダと、上記列デコーダにより選択された列群中の各々の列に対応して設けられたデータ線群と、上記データ線群をプリチャージするプリチャージ手段と、上記データ線群上のデータが入力され、上記列アドレスの一部であるマルチプレクサ選択アドレスによって上記データ線群の一部を選択するマルチプレクサと、上記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅手段と、上記プリチャージ手段を制御するプリチャージ制御回路とを具備し、

上記列アドレスバッファ及び列デコーダは、外部から入力されたクロック信号に同期してフリップフロップ動作を行い、外部から入力されたアドレス信号は上記フリップフロップ動作する列アドレスバッファ及び列デコーダによってパイプライン分割されたパイプラインステージ上を１クロックで１ステージずつ伝搬するようにしてなり、

上記プリチャージ制御回路は、メモリセルアレイの任意の列群が選択され、上記データ線群にメモリセルからデータが読み出されるパイプラインステージより前のパイプラインステージにおける列アドレスの変化を検知し、上記マルチプレクサ選択アドレスが変化し上記マルチプレクサ選択アドレス以外の他の列アドレスが変化しない場合に、上記プリチャージ手段による上記データ線群のデータ読み出しの前のプリチャージを禁止することを特徴とするメモリシステム。

【請求項１０】

クロック信号が供給されるＣＰＵと、このＣＰＵとデータの授受を行うキャッシュメモリと、上記キャッシュメモリとの間でデータの伝送を行うシステムバスと、上記システムバスを制御するバスコントローラと、上記システムバス上にデータをバースト転送するシンクロナスＤＲＡＭとを備え、

上記シンクロナスＤＲＡＭは、ダイナミック型のメモリセルがマトリックス状に配置されたメモリセルアレイと、上記メモリセルアレイのビット線上に、このビット線と平行な方向に配置されたＤＱ線と、上記ＤＱ線を選択するマルチプレクサと、上記ＤＱ線をプリチャージするＤＱプリチャージャと、上記ＤＱ線の出力信号が供給されるＤＱバッファと、上記ＤＱバッファの出力信号が供給されるデータ入出力バッファと、ローアドレス信号が入力されるローアドレスバッファと、ローアドレスストローブ信号に応答して上記ローアドレスバッファを制御するロー系制御回路と、上記ローアドレスバッファから出力される相補信号が供給されるロープリデコーダと、上記ロープリデコーダの出力信号をデコードして上記メモリセルアレイのローを選択するローデコーダと、カラムアドレス信号が入力されるカラムアドレスバッファと、書き込みイネーブル信号が入力され、上記データ入出力バッファを制御する／ＷＥバッファと、カラムアドレスストローブ信号に応答して上記カラムアドレスバッファ及び上記／ＷＥバッファを制御する／ＣＡＳバッファと、上記ロープリデコーダの上位側の一部の論理信号と上記カラムアドレスバッファの出力信号に基づいて論理信号を生成するフリップフロップと、上記フリップフロップの出力信号をデコードして上記メモリセルアレイにカラムスイッチ選択信号を供給するカラムプリデコーダと、上記カラムアドレスバッファの出力信号の一部が供給され、カラムアドレスの変化を検知するカラムアドレス変化検知回路と、このカラムアドレス変化検知回路の出力信号及び上記／ＷＥバッファの出力信号が供給され、上記ＤＱプリチャージャを制御して、カラムアドレスの最下位ビットが変化し、他のアドレスビットが変化しないときに、上記ＤＱ線のプリチャージを禁止するＤＱプリチャージ制御回路と、上記／ＷＥバッファの出力信号に基づいて上記ＤＱバッファを制御するＤＱバッファ制御回路とを具備することを特徴とするメモリシステム。

【請求項１１】

複数個のメモリセルを有するメモリセルアレイと、

アドレス信号とクロック信号とが供給され、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように、前記アドレス信号を出力するアドレスバッファと、

前記クロック信号が供給され、前記アドレスバッファにより出力されたアドレス信号を入力し、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように、前記アドレス信号をデコードし、これにより前記複数個のメモリセルの内、所望の複数個のメモリセルを選択するデコーダと、

前記選択された複数個のメモリセルから読み出されるデータを転送する複数のデータ線と、

前記複数のデータ線をプリチャージするプリチャージ回路と、

前記複数のデータ線上に読み出されたデータを入力し、前記アドレス信号の所定部分を示す選択信号に基づいて前記データ線の一部を選択するマルチプレクサと、

前記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅器と、

前記プリチャージ回路を制御するコントローラであって、前記選択されたメモリセルか

ら前記複数のデータ線にデータが読み出されるパイプラインステージより前のパイプラインステージにおけるアドレス変化を検知し、前記選択信号のアドレスが変化し前記選択信号以外のアドレスが変化しない場合に、前記複数のデータ線のデータ読み出しの前のプリチャージを禁止するよう前記プリチャージ回路を制御するコントローラと
を具備することを特徴とする半導体記憶装置。

【請求項１２】
前記選択信号により示されるアドレス信号の所定部分は、前記アドレス信号の最下位アドレスであることを特徴とする請求項１１に記載の半導体記憶装置。

【請求項１３】
前記選択信号により示されるアドレス信号の所定部分は、前記アドレスバッファに供給されるアドレス信号において最も多く変化するアドレス部位であることを特徴とする請求項１１に記載の半導体記憶装置。

【請求項１４】
行列状に配置されたメモリセルアレイと、
前記メモリセルアレイの所望の列群を示す列アドレス信号が入力される列アドレスバッファであって、クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように前記列アドレスを出力する列アドレスバッファと、
前記列アドレスバッファから出力される列アドレス信号をデコードし、所望の列群を選択する列デコーダであって、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように前記列アドレス信号をデコードする列デコーダと、
前記列デコーダにより選択された列群中の各々の列に対応して設けられたデータ線群と、
前記データ線群をプリチャージするプリチャージ回路と、
前記データ線群上のデータが入力され、前記列アドレスに含まれるマルチプレクサ選択アドレスに従って、前記データ線群の一部を選択するマルチプレクサと、
前記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅器と、
前記プリチャージ回路を制御するコントローラであって、前記メモリセルアレイの所望の列群が選択され、前記データ線群に前記メモリセルからデータが読み出されるパイプラインステージより前のパイプラインステージにおける列アドレスの変化を検知し、前記マルチプレクサ選択アドレスが変化し且つ前記マルチプレクサ選択アドレス以外の列アドレスが変化しない場合に、前記データ線群のデータ読み出しの前のプリチャージを禁止するよう前記プリチャージ回路を制御するコントローラと
を具備することを特徴とする半導体記憶装置。

【請求項１５】
前記マルチプレクサ選択アドレスは、前記列アドレス信号の最下位アドレスであることを特徴とする請求項１４に記載の半導体記憶装置。

【請求項１６】
前記マルチプレクサ選択アドレスは、前記アドレスバッファに供給される列アドレス信号において最も多く変化するアドレス部位であることを特徴とする請求項１４に記載の半導体記憶装置。

【請求項１７】
メモリ部と、前記メモリ部との間でデータを授受するロジック回路部とを備え、
前記メモリ部は、
複数個のメモリセルを有するメモリセルアレイと、
アドレス信号とクロック信号とが供給され、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように、前記アドレス信号を出力するアドレスバッファと、
前記クロック信号が供給され、前記アドレスバッファにより出力されたアドレス信号

を入力し、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように、前記アドレス信号をデコードし、これにより前記複数個のメモリセルの内、所望の複数個のメモリセルを選択するデコーダと、

前記選択された複数個のメモリセルから読み出されるデータを転送する複数のデータ線と、

前記複数のデータ線をプリチャージするプリチャージ回路と、

前記複数のデータ線上に読み出されたデータを入力し、前記アドレス信号の所定部分を示す選択信号に基づいて前記データ線の一部を選択するマルチプレクサと、

前記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅器と、

前記プリチャージ回路を制御するコントローラであって、前記選択されたメモリセルから前記複数のデータ線にデータが読み出されるパイプラインステージより前のパイプラインステージにおけるアドレス変化を検知し、前記選択信号のアドレスが変化し前記選択信号以外のアドレスが変化しない場合に、前記複数のデータ線のデータ読み出しの前のプリチャージを禁止するよう前記プリチャージ回路を制御するコントローラと

を具備することを特徴とする半導体チップ。

【請求項１８】

前記選択信号により示されるアドレス信号の所定部分は、前記アドレス信号の最下位アドレスであることを特徴とする請求項１７に記載の半導体チップ。

【請求項１９】

前記選択信号により示されるアドレス信号の所定部分は、前記アドレスバッファに供給されるアドレス信号において最も多く変化するアドレス部位であることを特徴とする請求項１７に記載の半導体チップ。

【請求項２０】

メモリ部と、前記メモリ部との間でデータを授受するロジック回路部とを備え、

前記メモリ部は、

行列状に配置されたメモリセルアレイと、

前記メモリセルアレイの所望の列群を示す列アドレス信号が入力される列アドレスバッファであって、クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように前記列アドレスを出力する列アドレスバッファと、

前記列アドレスバッファから出力される列アドレス信号をデコードし、所望の列群を選択する列デコーダであって、この列デコーダは、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように前記列アドレス信号をデコードすると、

前記列デコーダにより選択された列群中の各々の列に対応して設けられたデータ線群と、

前記データ線群をプリチャージするプリチャージ回路と、

前記データ線群上のデータが入力され、前記列アドレスに含まれるマルチプレクサ選択アドレスに従って、前記データ線群の一部を選択するマルチプレクサと、

前記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅器と、

前記プリチャージ回路を制御するコントローラであって、前記メモリセルアレイの所望の列群が選択され、前記データ線群に前記メモリセルからデータが読み出されるパイプラインステージより前のパイプラインステージにおける列アドレスの変化を検知し、前記マルチプレクサ選択アドレスが変化し且つ前記マルチプレクサ選択アドレス以外の列アドレスが変化しない場合に、前記データ線群のデータ読み出しの前のプリチャージを禁止するよう前記プリチャージ回路を制御するコントローラと

を具備することを特徴とする半導体チップ。

【請求項２１】

前記マルチプレクサ選択アドレスは、前記列アドレス信号の最下位アドレスであること

を特徴とする請求項２０に記載の半導体チップ。
【請求項２２】
前記マルチプレクサ選択アドレスは、前記アドレスバッファに供給される列アドレス信号において最も多く変化するアドレス部位であることを特徴とする請求項２０に記載の半導体チップ。
【請求項２３】
クロック信号が供給されるＣＰＵと、
前記ＣＰＵとの間でデータを授受するキャッシュメモリと、
前記キャッシュとの間で授受されるデータを伝送するシステムバスと、
前記システムバスを制御するバスコントローラと、
前記システムバス上にデータをバースト転送するシンクロナスＤＲＡＭとを備え、
前記シンクロナスＤＲＡＭは、
複数個のメモリセルを有するメモリセルアレイと、
アドレス信号とクロック信号とが供給され、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように、前記アドレス信号を出力するアドレスバッファと、
前記クロック信号が供給され、前記アドレスバッファにより出力されたアドレス信号を入力し、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように、前記アドレス信号をデコードし、これにより前記複数個のメモリセルの内、所望の複数個のメモリセルを選択するデコーダと、
前記選択された複数個のメモリセルから読み出されるデータを転送する複数のデータ線と、
前記複数のデータ線をプリチャージするプリチャージ回路と、
前記複数のデータ線上に読み出されたデータを入力し、前記アドレス信号の所定部分を示す選択信号に基づいて前記データ線の一部を選択するマルチプレクサと、
前記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅器と、
前記プリチャージ回路を制御するコントローラであって、前記選択されたメモリセルから前記複数のデータ線にデータが読み出されるパイプラインステージより前のパイプラインステージにおけるアドレス変化を検知し、前記選択信号のアドレスが変化し前記選択信号以外のアドレスが変化しない場合に、前記複数のデータ線のデータ読み出しの前のプリチャージを禁止するよう前記プリチャージ回路を制御するコントローラと
を具備することを特徴とするメモリシステム。
【請求項２４】
前記選択信号により示されるアドレス信号の所定部分は、前記アドレス信号の最下位アドレスであることを特徴とする請求項２３に記載のメモリシステム。
【請求項２５】
前記選択信号により示されるアドレス信号の所定部分は、前記アドレスバッファに供給されるアドレス信号において最も多く変化するアドレス部位であることを特徴とする請求項２３に記載のメモリシステム。
【請求項２６】
クロック信号が供給されるＣＰＵと、
前記ＣＰＵとの間でデータを授受するキャッシュメモリと、
前記キャッシュとの間で授受されるデータを伝送するシステムバスと、
前記システムバスを制御するバスコントローラと、
前記システムバス上にデータをバースト転送するシンクロナスＤＲＡＭとを備え、
前記シンクロナスＤＲＡＭは、
行列状に配置されたメモリセルアレイと、
前記メモリセルアレイの所望の列群を示す列アドレス信号が入力される列アドレスバッファであって、クロック信号に同期してパイプライン分割されたパイプラインステージ

上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように前記列アドレスを出力する列アドレスバッファと、

前記列アドレスバッファから出力される列アドレス信号をデコードし、所望の列群を選択する列デコーダであって、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように前記列アドレス信号をデコードする列デコーダと、

前記列デコーダにより選択された列群中の各々の列に対応して設けられたデータ線群と、

前記データ線群をプリチャージするプリチャージ回路と、

前記データ線群上のデータが入力され、前記列アドレスに含まれるマルチプレクサ選択アドレスに従って、前記データ線群の一部を選択するマルチプレクサと、

前記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅器と、

前記プリチャージ回路を制御するコントローラであって、前記メモリセルアレイの所望の列群が選択され、前記データ線群に前記メモリセルからデータが読み出されるパイプラインステージより前のパイプラインステージにおける列アドレスの変化を検知し、前記マルチプレクサ選択アドレスが変化し且つ前記マルチプレクサ選択アドレス以外の列アドレスが変化しない場合に、前記データ線群のデータ読み出しの前のプリチャージを禁止するよう前記プリチャージ回路を制御するコントローラと

を具備することを特徴とするメモリシステム。

【請求項２７】

前記マルチプレクサ選択アドレスは、前記列アドレス信号の最下位アドレスであることを特徴とする請求項２６に記載のメモリシステム。

【請求項２８】

前記マルチプレクサ選択アドレスは、前記アドレスバッファに供給される列アドレス信号において最も多く変化するアドレス部位であることを特徴とする請求項２６に記載のメモリシステム。

【請求項２９】

前記システムバスに接続されたビデオメモリと、

前記ビデオメモリの出力信号が供給されるビデオコントローラと、

前記ビデオコントローラの出力信号をＤ／Ａ変換するＤ／Ａコンバータと、

前記Ｄ／Ａコンバータの出力信号が供給され、この信号に従ってイメージを表示するディスプレイ

とを更に具備することを特徴とする請求項９，１０，２３及び２６のいずれか１つの項に記載のメモリシステム。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、半導体記憶装置に関するもので、特にオーバーレイド（Ｏｖｅｒｌａｉｄ）ＤＱ構成のクロック同期式ＤＲＡＭ及びそのデータ線のプリチャージに係る。

【０００２】

【従来の技術】

図１０は、従来の半導体記憶装置について説明するためのもので、オーバーレイドＤＱ構成のクロック同期式４ＭビットＤＲＡＭの概略構成を示すブロック図である。このＤＲＡＭは、メモリセルアレイ１１、ローアドレスバッファ１２、ロー系制御回路１３、ロープリデコーダ１４、ローデコーダ１５、カラムアドレスバッファ１６、／ＷＥバッファ１７、／ＣＡＳバッファ１８、フリップフロップ１９、カラムプリデコーダ２０、回路ブロック２１、ＤＱバッファ２２、データ入出力バッファ２３、ＤＱプリチージ・イコライズ制御回路２４及びＤＱバッファ制御回路２５等から構成されている。

【０００３】

４Ｍビットのメモリセルアレイ１１は、２つの２Ｍビットアレイ１１Ａ，１１Ｂから構成

され、これら２Ｍビットアレイ１１Ａ，１１Ｂは各々８個の２５６Ｋビットのセルアレイブロック１１Ａ－０～１１Ａ－７，１１Ｂ－０～１１Ｂ－７で形成されている。各セルアレイブロック１１Ａ－０～１１Ａ－７，１１Ｂ－０～１１Ｂ－７は２５６ロー×１Ｋカラム構成であり、ダイナミック型のメモリセルが行列状に配置されている。上記ロー系制御回路１３は、／ＲＡＳ（符号の前に付した“／”は反転信号、すなわちバーを意味する）信号を受けて上記ローアドレスバッファ１２を制御する。上記ローアドレスバッファ１２は、上記ロー系制御回路１３の制御により、／ＲＡＳ信号がローレベルの時、クロック信号ＣＬＫに同期してローアドレス信号ＡＲ０～ＡＲ１０をラッチし、相補信号Ｘ０～Ｘ１０，／Ｘ０～／Ｘ１０を生成する。これらの相補信号Ｘ０～Ｘ１０，／Ｘ０～／Ｘ１０は、ロープリデコーダ１４に供給されてプリデコードされた後、２Ｍビットアレイ１１Ａ，１１Ｂ間に設けられたローデコーダ１５に供給されてデコードされる。１１ビットのローアドレス信号ＡＲ０～ＡＲ１０の上位３ビットから生成された相補信号Ｘ８～Ｘ１０，／Ｘ８～／Ｘ１０により１６個の２５６Ｋブロック１１Ａ－０～１１Ａ－７，１１Ｂ－０～１１Ｂ－７の選択と活性化が行われ、上記ローデコーダ１５を挟む２個のブロックが同時に活性化される（図１０では斜線を付してブロック１１Ａ－７，１１Ｂ－７が活性化された状態を示している）。そして、残りの８ビットのローアドレス信号から生成された相補信号Ｘ０～Ｘ７，／Ｘ０～／Ｘ７により選択されたブロック中のメモリセルのローが選択されるようになっている。

【０００４】

上記カラムアドレスバッファ１６は、／ＣＡＳバッファ１８の制御により、／ＣＡＳ信号がローレベルになった時に、クロック信号ＣＬＫに同期して３ビットのカラムアドレス信号ＡＣ０～ＡＣ２をラッチする。このカラムアドレスバッファ１６は、クロック信号ＣＬＫに同期したフリップフロップ動作を行う（動作波形については後で説明する）。上記カラムアドレスバッファ１６は、カラムアドレス信号ＡＣ０～ＡＣ２を相補信号Ｙ０Ｆ～Ｙ２Ｆ，／Ｙ０Ｆ～／Ｙ２Ｆに変換する。これら相補信号Ｙ０Ｆ～Ｙ２Ｆ，／Ｙ０Ｆ～／Ｙ２Ｆは、フリップフロップ１９に供給されて相補信号Ｙ０Ｓ～Ｙ２Ｓ，／Ｙ０Ｓ～／Ｙ２Ｓに変換される。この際、上記ロープリデコーダ１４で生成されたセルアレイブロックの選択信号（／Ｘ８・／Ｘ９・／Ｘ１０，Ｘ８・／Ｘ９・／Ｘ１０，…，Ｘ８・Ｘ９・Ｘ１０の８つ、図１０ではまとめてＸ８・Ｘ９・Ｘ１０と表記している）も、このフリップフロップ１９によって信号Ｘ８Ｓ・Ｘ９Ｓ・Ｘ１０Ｓに変換される。これらのロー・カラムアドレス信号はカラムプリデコーダ２０に供給され、カラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３が生成される。カラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３は、カラムアドレスの上位２ビットＹ１Ｓ，／Ｙ１Ｓ，Ｙ２Ｓ，／Ｙ２Ｓと信号Ｘ８Ｓ・Ｘ９Ｓ・Ｘ１０Ｓとの論理積を取り、以下のような論理で生成される。

【０００５】

ＣＳＷ０＝／Ｙ１Ｓ・／Ｙ２Ｓ・Ｘ８Ｓ・Ｘ９Ｓ・Ｘ１０Ｓ
ＣＳＷ１＝Ｙ１Ｓ・／Ｙ２Ｓ・Ｘ８Ｓ・Ｘ９Ｓ・Ｘ１０Ｓ
ＣＳＷ２＝／Ｙ１Ｓ・Ｙ２Ｓ・Ｘ８Ｓ・Ｘ９Ｓ・Ｘ１０Ｓ
ＣＳＷ３＝Ｙ１Ｓ・Ｙ２Ｓ・Ｘ８Ｓ・Ｘ９Ｓ・Ｘ１０Ｓ

この論理演算により、選択されたセルアレイブロックに対応するカラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３のうちの１つが活性化される。

【０００６】

また、このカラムプリデコーダ２０から出力される相補信号Ｙ０Ｓ，／Ｙ０Ｓは、回路ブロック２１に供給される。この回路ブロック２１は、２Ｍビットアレイ１１Ａ，１１Ｂに対応して第１の回路ブロック２１Ａと第２の回路ブロック２１Ｂで構成されており、これらの回路ブロック２１Ａ，２１ＢにはそれぞれＤＱマルチプレクサ、ＤＱプリチャージャ及びＤＱイコライザ等が設けられている。同様に、ＤＱバッファ２２も２Ｍビットアレイ１１Ａ，１１Ｂに対応して第１のバッファ部２２Ａと第２のバッファ部２２Ｂで構成されており、これらバッファ部２２Ａ，２２Ｂの出力がそれぞれ１２８本のＲＷＤバス２６Ａ，２６Ｂ（合計２５６本）を介してデータ入出力バッファ２３に供給される。このデータ

入出力バッファ２３には、クロック信号ＣＬＫ及び／ＷＥバッファ１７の出力信号が供給され、データの入出力が制御される。

【０００７】

上記／ＷＥバッファ１７は、／ＣＡＳバッファ１８の出力信号で制御され、／ＷＥ信号をラッチする。ＤＱプリチャージ・イコライズ制御回路２４は、クロック信号ＣＬＫ、／ＣＡＳ信号及び上記／ＷＥバッファ１７の出力信号を受けてプリチャージ信号／ＰＲＣＨを生成し、第１，第２の回路ブロック２１Ａ，２１Ｂを制御してＤＱ線のプリチャージとイコライズを制御する。ＤＱバッファ制御回路２５には、上記クロック信号ＣＬＫ及び上記／ＷＥバッファ１７の出力信号が供給され、上記ＤＱバッファ２２の第１，第２のバッファ部２２Ａ，２２Ｂを制御するようになっている。

【０００８】

上記２Ｍビットのセルアレイ１１Ａ，１１Ｂ上には２５６対のＤＱ線が配置され、ＤＱマルチプレクサ、ＤＱプリチャージャ及びＤＱイコライザを介してＤＱバッファ２２Ａ，２２Ｂに接続される。この部分について更に詳しく示したのが図１１である。各ブロック１１Ａ－０～１１Ａ－７，１１Ｂ－０～１１Ｂ－７の１Ｋカラム（ビット線対）には、１０２４個のセンスアンプ（Ｓ／Ａ）２７－０～２７－１０２３が接続されている。各センスアンプの出力は４つずつマルチプレクサ（４：１ＭＵＸ）２８－０～２８－２５５に供給される。これらマルチプレクサ２８－０～２８－２５５の出力端には、２５６対のＤＱ線２９－０，／２９－０～２９－２５５，／２９－２５５が接続されている。上記カラムデコーダ２０から出力される４本のカラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３によって各マルチプレクサ２８－０～２８－２５５に供給される４つのセンスアンプの出力信号の１つが選択されてＤＱ線対２９－０，／２９－０～２９－２５５，／２９－２５５上に出力される。上記各ＤＱ線対２９－０，／２９－０～２９－２５５，／２９－２５５には、ＤＱイコライザとして働くＰＭＯＳトランジスタ３０－０～３０－２５５及びＤＱプリチャージャとして働くＰＭＯＳトランジスタ３１－０～３１－２５５、３２－０～３２－２５５が接続されている。上記ＰＭＯＳトランジスタ３０－０～３０－２５５の電流通路は上記各ＤＱ線対２９－０，／２９－０～２９－２５５，／２９－２５５間に接続され、上記ＰＭＯＳトランジスタ３１－０～３１－２５５の電流通路は各ＤＱ線２９－０～２９－２５５と電源Ｖｃｃ間に接続され、上記ＰＭＯＳトランジスタ３２－０～３２－２５５の電流通路は各ＤＱ線／２９－０～／２９－２５５と電源Ｖｃｃ間に接続される。これらＰＭＯＳトランジスタ３０－０～３０－２５５、３１－０～３１－２５５及び３２－０～３２－２５５のゲートには、上記ＤＱプリチャージ・イコライズ制御回路２４から出力されるプリチャージ信号／ＰＲＣＨが供給されてオン／オフ制御される。

【０００９】

上記２５６対のＤＱ線２９－０，／２９－０～２９－２５５，／２９－２５５は、２対ずつ１２８個のＤＱマルチプレクサ（２：１ＭＵＸ）３３－０～３３－１２７に接続される。ＤＱマルチプレクサ３３－０～３３－１２７は、カラムプリデコーダ２０から出力される相補信号ＹＯＳ，／ＹＯＳ（カラムアドレスの最下位ビット）によって、接続された２対のＤＱ線の一方を選択する。すなわち、／ＹＯＳがハイレベルの時はＤＱ線２９－０，／２９－０，２９－２，／２９－２，…，２９－２５４，／２９－２５４が選択され、ＹＯＳがハイレベルの時はＤＱ線対２９－１，／２９－１，２９－３，／２９－３，…，２９－２５５，／２９－２５５が選択され、これらＤＱ線対上のデータがＤＱバッファ２２－０～２２－１２７に供給されて読み出しデータが増幅される。これらＤＱバッファ２２－０～２２－１２７の出力信号はそれぞれ、ＲＷＤバス２６－０～２６－１２７に供給される。

【００１０】

上記のような構成において、２Ｍセルアレイ１１Ａ，１１Ｂに対応した１Ｋ本のカラムは、カラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３により４：１でマルチプレクスされ、２５６対のＤＱ線に接続される。この際、カラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３は１Ｋカラム中の２５６本ずつとそれぞれ共有されている。つまり、カラムスイッチ選択信号Ｃ

ＳＷ０～ＣＳＷ３のうちの１本、たとえば信号ＣＳＷ０が選択されると、センスアンプ２８－０，２８－４，２８－８，…，２８－１０２１の２５６個のセンスアンプが同時にそれぞれＤＱ線対２９－０，／２９－０，２９－１，／２９－１，…，２９－２５５，／２９－２５５に接続され、これらのセンスアンプに保持されたデータがＤＱ線対上に読み出されることになる。

【００１１】

図１２は上記図１１に示したブロック図におけるビット線、センスアンプ及びＤＱ線対に関係する回路部を抽出して更に詳細に示すブロック図である。１Ｋ個のセンスアンプ２７，２７，…は４つずつグルーピングされ、各２５６Ｋブロックの両端に配置されている。各センスアンプ２７にはビット線対ＢＬ，／ＢＬが接続されている。各ビット線対ＢＬ，／ＢＬは、対向するセンスアンプ２７，２７間で互い違いに配置されている。上記４つのセンスアンプ２７はそれぞれ、上記マルチプレクサ２８として働くＮＭＯＳトランジスタ３４－０～３４－７の電流通路を介してＤＱ線対２９，／２９に接続されている。これらＮＭＯＳトランジスタ３４－０～３４－７のゲートにはカラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３が供給され、カラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３のうちハイレベルになったものに対応するセンスアンプ２７の出力データがＤＱ線対２９，／２９上に読み出される。

【００１２】

ここで、ＤＱ線対２９，／２９は２Ｍビットアレイの８個のセルアレイブロックで共有され、メモリセルアレイ上にビット線ＢＬ，／ＢＬと平行な方向に配置されている（オーバーレイドＤＱ構成）。このオーバーレイドＤＱ構成のＤＲＡＭは多数のＤＱ線対を小さなチップ面積中に設けることが可能なので、データＩ／Ｏ数の大きなロジック混載ＤＲＡＭ等で用いられている。

【００１３】

図１３は、上記図１０ないし図１２に示した回路の動作を説明するためのタイミングチャートである。次に、プリチャージ信号／ＰＲＣＨによるＤＱ線対のプリチャージ及びイコライズ動作を中心に動作を説明する。ここでは、／ＲＡＳ信号をローレベルにしてローアドレス信号を取り込み、ワード線を選択して選択ローの動作をセンスアンプにラッチするという動作は既に行われているものとし、カラムアクセスの動作について説明する。

【００１４】

／ＣＡＳ信号がローレベルになると、／ＣＡＳバッファ１８の制御によりカラムアドレスバッファ１６にカラムアドレス信号ＡＣ０～ＡＣ２が取り込まれ、クロックサイクル０～２でそれぞれカラムアドレスＣＡ０，ＣＡ１，ＣＡ２が順次生成される。カラムアドレスバッファ１６からデータ出力に至るカラムアクセス信号パスは、フリップフロップ動作するカラムアドレスバッファ１６と、カラムプリデコーダ２０の前段のフリップフロップ１９、更にフリップフロップ動作するデータ入出力バッファ２３により３段のパイプラインステージに分割されている。カラムアドレスバッファ１６からフリップフロップ１９に至る信号Ｙ０Ｆ～Ｙ２Ｆが伝搬する経路がパイプライン第１ステージＰＳ１である。また、フリップフロップ１９から信号ＣＳＷ０～ＣＳＷ３及び信号Ｙ０Ｓ，／Ｙ０Ｓを活性化し、選択カラムのデータをＤＱ線対２９，／２９、ＤＱマルチプレクサ３３及びＤＱバッファ２２を介してデータ入出力バッファ２３にラッチするまでの経路がパイプライン第２ステージＰＳ２である。最後のパイプライン第３ステージＰＳ３は、データ入出力バッファ２３からのデータ出力が対応する。

【００１５】

入力されたカラムアドレスＣＡ０，ＣＡ１，ＣＡ２，…は、各クロックサイクル０，１，２，…で上記パイプラインステージＰＳ１，ＰＳ２，ＰＳ３を１段ずつ伝搬する。つまり、第０クロックサイクルで信号／Ｙ０Ｆ，／Ｙ１Ｆ，Ｙ２Ｆを活性化させ、次の第１クロックサイクルで信号／Ｙ０Ｓ，／Ｙ１Ｓ，／Ｙ２Ｓ，ＣＳＷ０を活性化させる。これによって、信号ＣＳＷ０がハイレベルになると、図１１に示したセンスアンプ２７－０，２７－４，…，２７－１０２１のデータがマルチプレクサ２８－０～２８－２５５を介してＤ

Ｑ線対２９－０，／２９－０～２９－２５５，／２９－２５５に読み出される。ここで、信号／ＹＯＳがハイレベルであるので、上記２５６本のＤＱ線対のうち２９－０，／２９－０，２９－２，／２９－２，…，２９－２５４，／２９－２５４のデータがマルチプレクサ３３－０～３３－１２７を介してＤＱバッファ２２－０～２２－１２７に供給されて増幅される。この際、ＤＱ線対２９－１，／２９－１，２９－３，／２９－３，…，２９－２５５，／２９－２５５のデータはマルチプレクサ３３－０～３３－１２７を通過せず、これらのＤＱ線対上のデータはＤＱバッファ２２－０～２２－１２７には読み出されない。

【００１６】

次に、第１クロックサイクルの手前で入力されたカラムアドレスＣＡ１は、第１クロックサイクルで信号ＹＯＦ，／Ｙ１Ｆ，／Ｙ２Ｆを活性化させ、更に第２クロックサイクルで信号ＹＯＳ，／Ｙ１Ｓ，／Ｙ２Ｓ，ＣＳＷ０を活性化させる。ここで、信号／Ｙ１Ｓ，／Ｙ２Ｓ，ＣＳＷ０は、第１クロックサイクルで既に活性化されており、読み出すべきデータ（図１３のＤ１）は、ＤＱ線対２９－１，／２９－１，２９－３，／２９－３，…，２９－２５５，／２９－２５５に既に出力されている。

【００１７】

しかしながら、上述した従来のクロック同期式ＤＲＡＭでは、各クロックサイクルで必ずＤＱ線対をプリチャージ及びイコライズするために、第１サイクルでＤＱ線対２９－１，／２９－１，２９－３，／２９－３，…，２９－２５５，／２９－２５５上に読み出されたデータを上記プリチャージ及びイコライズ動作によって破壊してしまい、再度第２クロックサイクルでこれらのＤＱ線上に読み出している。このような無駄なプリチャージ及びイコライズ動作はＤＱ線対の充放電電流を増大させ、その結果チップの消費電力が大きくなるという問題を招く。

【００１８】

【発明が解決しようとする課題】

上記のように従来の半導体記憶装置は、ＤＱ線対の充放電電流が大きく、消費電力が大きいという問題があった。

また、上記半導体記憶装置を用いた従来のメモリシステムは、消費電力の増大による発熱に対処するために高価なセラミックパッケージを使用しなければならず、システム全体のコストの上昇を招くという問題があった。

【００１９】

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、ＤＱ線対の充放電電流を小さくしてチップの消費電力を低減できる半導体記憶装置を提供することにある。

【００２０】

また、この発明の目的は、無駄な消費電力を削減することにより発熱量を抑制でき、パッケージコストの低減によりシステム全体のコストを削減できるメモリシステムを提供することにある。

【００２２】

【課題を解決するための手段】

この発明の請求項１に記載した半導体記憶装置は、行列状に配置されたメモリセルアレイと、上記メモリセルアレイの任意の列群を選択する列アドレス信号が入力される列アドレスバッファと、上記列アドレスバッファに入力された列アドレス信号をデコードする列デコーダと、上記列デコーダにより選択された列群中の各々の列に対応して設けられたデータ線群と、上記データ線群をプリチャージするプリチャージ手段と、上記データ線群上のデータが入力され、上記列アドレスの一部であるマルチプレクサ選択アドレスによって上記データ線群の一部を選択するマルチプレクサと、上記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅手段と、上記プリチャージ手段を制御するプリチャージ制御回路とを具備し、上記列アドレスバッファ及び列デコーダは、外部から入力されたクロック信号に同期してフリップフロップ動作を行い、外部から入力されたアドレス信

号は上記フリップフロップ動作する列アドレスバッファ及び列デコーダによってパイプライン分割されたパイプラインステージ上を１クロックで１ステージずつ伝搬するようにしてなり、上記プリチャージ制御回路は、メモリセルアレイの任意の列群が選択され、上記データ線群にメモリセルからデータが読み出されるパイプラインステージより前のパイプラインステージにおける列アドレスの変化を検知し、上記マルチプレクサ選択アドレスが変化し上記マルチプレクサ選択アドレス以外の他の列アドレスが変化しない場合に、上記プリチャージ手段による上記データ線群のデータ読み出しの前のプリチャージを禁止することを特徴としている。

【００２３】

請求項３に記載したように、請求項１または２に記載の半導体記憶装置において、前記メモリセルは、ＤＲＡＭセルであることを特徴とする。

請求項４に記載したように、請求項２または３に記載の半導体記憶装置において、前記マルチプレクサ選択アドレスは、列アドレスの最下位アドレスであることを特徴とする。

【００２４】

また、請求項５に記載したように、請求項２ないし４いずれか１つの項に記載の半導体記憶装置において、前記列アドレスバッファには、連続して読み出される連続した複数の列アドレスの先頭番地が入力され、前記列アドレスバッファとともに設けられたアドレスカウンタによって上記先頭番地以降の連続した列アドレスをチップ内で生成し、前記列デコーダに供給することを特徴とする。

【００２５】

また、この発明の請求項５に記載した半導体記憶装置は、ダイナミック型のメモリセルがマトリックス状に配置されたメモリセルアレイと、上記メモリセルアレイのビット線上に、このビット線と平行な方向に配置されたＤＱ線と、上記ＤＱ線を選択するマルチプレクサと、上記ＤＱ線をプリチャージするＤＱプリチャージャと、上記ＤＱ線の出力信号が供給されるＤＱバッファと、上記ＤＱバッファの出力信号が供給されるデータ入出力バッファと、ローアドレス信号が入力されるローアドレスバッファと、ローアドレスストローブ信号に応答して上記ローアドレスバッファを制御するロー系制御回路と、上記ローアドレスバッファから出力される相補信号が供給されるロープリデコーダと、上記ロープリデコーダの出力信号をデコードして上記メモリセルアレイのローを選択するローデコーダと、カラムアドレス信号が入力されるカラムアドレスバッファと、書き込みイネーブル信号が入力され、上記データ入出力バッファを制御する／ＷＥバッファと、カラムアドレスストローブ信号に応答して上記カラムアドレスバッファ及び上記／ＷＥバッファを制御する／ＣＡＳバッファと、上記ロープリデコーダの上位側の一部の論理信号と上記カラムアドレスバッファの出力信号に基づいて論理信号を生成するフリップフロップと、上記フリップフロップの出力信号をデコードして上記メモリセルアレイにカラムスイッチ選択信号を供給するカラムプリデコーダと、上記カラムアドレスバッファの出力信号の一部が供給され、カラムアドレスの変化を検知するカラムアドレス変化検知回路と、このカラムアドレス変化検知回路の出力信号及び上記／ＷＥバッファの出力信号が供給され、上記ＤＱプリチャージャを制御して、カラムアドレスの最下位ビットが変化し、他のアドレスビットが変化しないときに、上記ＤＱ線のプリチャージを禁止するＤＱプリチャージ制御回路と、上記／ＷＥバッファの出力信号に基づいて上記ＤＱバッファを制御するＤＱバッファ制御回路とを具備することを特徴としている。

【００２７】

更に、この発明の請求項６に記載した半導体装置は、半導体チップと、この半導体チップ中に形成されたメモリ部と、上記半導体チップ中に形成され、上記メモリ部とデータの授受を行うロジック回路部とを備え、上記メモリ部は、行列状に配置されたメモリセルアレイと、上記メモリセルアレイの任意の列群を選択する列アドレス信号が入力される列アドレスバッファと、上記列アドレスバッファに入力された列アドレス信号をデコードする列デコーダと、上記列デコーダにより選択された列群中の各々の列に対応して設けられたデータ線群と、上記データ線群をプリチャージするプリチャージ手段と、上記データ線群

上のデータが入力され、上記列アドレスの一部であるマルチプレクサ選択アドレスによって上記データ線群の一部を選択するマルチプレクサと、上記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅手段と、上記プリチャージ手段を制御するプリチャージ制御回路とを具備し、上記列アドレスバッファ及び列デコーダは、外部から入力されたクロック信号に同期してフリップフロップ動作を行い、外部から入力されたアドレス信号は上記フリップフロップ動作する列アドレスバッファ及び列デコーダによってパイプライン分割されたパイプラインステージ上を１クロックで１ステージずつ伝搬するようにしてなり、上記プリチャージ制御回路は、メモリセルアレイの任意の列群が選択され、上記データ線群にメモリセルからデータが読み出されるパイプラインステージより前のパイプラインステージにおける列アドレスの変化を検知し、上記マルチプレクサ選択アドレスが変化し上記マルチプレクサ選択アドレス以外の他の列アドレスが変化しない場合に、上記プリチャージ手段による上記データ線群のデータ読み出しの前のプリチャージを禁止することを特徴としている。

【００２８】

この発明の請求項７に記載した半導体装置は、半導体チップと、この半導体チップ中に形成されたメモリ部と、上記半導体チップ中に形成され、上記メモリ部とデータの授受を行うロジック回路部とを備え、上記メモリ部は、ダイナミック型のメモリセルがマトリックス状に配置されたメモリセルアレイと、上記メモリセルアレイのビット線上に、このビット線と平行な方向に配置されたＤＱ線と、上記ＤＱ線を選択するマルチプレクサと、上記ＤＱ線をプリチャージするＤＱプリチャージャと、上記ＤＱ線の出力信号が供給されるＤＱバッファと、上記ＤＱバッファの出力信号が供給されるデータ入出力バッファと、ローアドレス信号が入力されるローアドレスバッファと、ローアドレスストローブ信号に応答して上記ローアドレスバッファを制御するロー系制御回路と、上記ローアドレスバッファから出力される相補信号が供給されるロープリデコーダと、上記ロープリデコーダの出力信号をデコードして上記メモリセルアレイのローを選択するローデコーダと、カラムアドレス信号が入力されるカラムアドレスバッファと、書き込みイネーブル信号が入力され、上記データ入出力バッファを制御する／ＷＥバッファと、カラムアドレスストローブ信号に応答して上記カラムアドレスバッファ及び上記／ＷＥバッファを制御する／ＣＡＳバッファと、上記ロープリデコーダの上位側の一部の論理信号と上記カラムアドレスバッファの出力信号に基づいて論理信号を生成するフリップフロップと、上記フリップフロップの出力信号をデコードして上記メモリセルアレイにカラムスイッチ選択信号を供給するカラムプリデコーダと、上記カラムアドレスバッファの出力信号の一部が供給され、カラムアドレスの変化を検知するカラムアドレス変化検知回路と、このカラムアドレス変化検知回路の出力信号及び上記／ＷＥバッファの出力信号が供給され、上記ＤＱプリチャージャを制御して、カラムアドレスの最下位ビットが変化し、他のアドレスビットが変化しないときに、上記ＤＱ線のプリチャージを禁止するＤＱプリチャージ制御回路と、上記／ＷＥバッファの出力信号に基づいて上記ＤＱバッファを制御するＤＱバッファ制御回路とを具備することを特徴としている。

【００２９】

請求項１０に記載したように、請求項７ないし９いずれか１つの項に記載の半導体装置において、前記ロジック回路部は、ゲートアレイまたはスタンダードセルで形成されることを特徴とする。

【００３１】

また、この発明の請求項９に記載したメモリシステムは、クロック信号が供給されるＣＰＵと、このＣＰＵとデータの授受を行うキャッシュメモリと、上記キャッシュメモリとの間でデータの伝送を行うシステムバスと、上記システムバスを制御するバスコントローラと、上記システムバス上にデータをバースト転送するシンクロナスＤＲＡＭとを備え、上記シンクロナスＤＲＡＭは、行列状に配置されたメモリセルアレイと、上記メモリセルアレイの任意の列群を選択する列アドレス信号が入力される列アドレスバッファと、上記列アドレスバッファに入力された列アドレス信号をデコードする列デコーダと、上記列デ

コーダにより選択された列群中の各々の列に対応して設けられたデータ線群と、上記データ線群をプリチャージするプリチャージ手段と、上記データ線群上のデータが入力され、上記列アドレスの一部であるマルチプレクサ選択アドレスによって上記データ線群の一部を選択するマルチプレクサと、上記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅手段と、上記プリチャージ手段を制御するプリチャージ制御回路とを具備し、上記列アドレスバッファ及び列デコーダは、外部から入力されたクロック信号に同期してフリップフロップ動作を行い、外部から入力されたアドレス信号は上記フリップフロップ動作する列アドレスバッファ及び列デコーダによってパイプライン分割されたパイプラインステージ上を１クロックで１ステージずつ伝搬するようにしてなり、上記プリチャージ制御回路は、メモリセルアレイの任意の列群が選択され、上記データ線群にメモリセルからデータが読み出されるパイプラインステージより前のパイプラインステージにおける列アドレスの変化を検知し、上記マルチプレクサ選択アドレスが変化し上記マルチプレクサ選択アドレス以外の他の列アドレスが変化しない場合に、上記プリチャージ手段による上記データ線群のデータ読み出しの前のプリチャージを禁止することを特徴としている。

【００３２】

更に、この発明の請求項１０に記載したメモリシステムは、クロック信号が供給されるＣＰＵと、このＣＰＵとデータの授受を行うキャッシュメモリと、上記キャッシュメモリとの間でデータの伝送を行うシステムバスと、上記システムバスを制御するバスコントローラと、上記システムバス上にデータをバースト転送するシンクロナスＤＲＡＭとを備え、上記シンクロナスＤＲＡＭは、ダイナミック型のメモリセルがマトリックス状に配置されたメモリセルアレイと、上記メモリセルアレイのビット線上に、このビット線と平行な方向に配置されたＤＱ線と、上記ＤＱ線を選択するマルチプレクサと、上記ＤＱ線をプリチャージするＤＱプリチャージャと、上記ＤＱ線の出力信号が供給されるＤＱバッファと、上記ＤＱバッファの出力信号が供給されるデータ入出力バッファと、ローアドレス信号が入力されるローアドレスバッファと、ローアドレスストローブ信号に応答して上記ローアドレスバッファを制御するロー系制御回路と、上記ローアドレスバッファから出力される相補信号が供給されるロープリデコーダと、上記ロープリデコーダの出力信号をデコードして上記メモリセルアレイのローを選択するローデコーダと、カラムアドレス信号が入力されるカラムアドレスバッファと、書き込みイネーブル信号が入力され、上記データ入出力バッファを制御する／ＷＥバッファと、カラムアドレスストローブ信号に応答して上記カラムアドレスバッファ及び上記／ＷＥバッファを制御する／ＣＡＳバッファと、上記ロープリデコーダの上位側の一部の論理信号と上記カラムアドレスバッファの出力信号に基づいて論理信号を生成するフリップフロップと、上記フリップフロップの出力信号をデコードして上記メモリセルアレイにカラムスイッチ選択信号を供給するカラムプリデコーダと、上記カラムアドレスバッファの出力信号の一部が供給され、カラムアドレスの変化を検知するカラムアドレス変化検知回路と、このカラムアドレス変化検知回路の出力信号及び上記／ＷＥバッファの出力信号が供給され、上記ＤＱプリチャージャを制御して、カラムアドレスの最下位ビットが変化し、他のアドレスビットが変化しないときに、上記ＤＱ線のプリチャージを禁止するＤＱプリチャージ制御回路と、上記／ＷＥバッファの出力信号に基づいて上記ＤＱバッファを制御するＤＱバッファ制御回路とを具備することを特徴としている。

【００３３】

この発明の請求項１１に記載した半導体記憶装置は、複数個のメモリセルを有するメモリセルアレイと、アドレス信号とクロック信号とが供給され、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように、前記アドレス信号を出力するアドレスバッファと、前記クロック信号が供給され、前記アドレスバッファにより出力されたアドレス信号を入力し、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように、前記アドレス信号

をデコードし、これにより前記複数個のメモリセルの内、所望の複数個のメモリセルを選択するデコーダと、前記選択された複数個のメモリセルから読み出されるデータを転送する複数のデータ線と、前記複数のデータ線をプリチャージするプリチャージ回路と、前記複数のデータ線上に読み出されたデータを入力し、前記アドレス信号の所定部分を示す選択信号に基づいて前記データ線の一部を選択するマルチプレクサと、前記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅器と、前記プリチャージ回路を制御するコントローラであって、前記選択されたメモリセルから前記複数のデータ線にデータが読み出されるパイプラインステージより前のパイプラインステージにおけるアドレス変化を検知し、前記選択信号のアドレスが変化し前記選択信号以外のアドレスが変化しない場合に、前記複数のデータ線のデータ読み出しの前のプリチャージを禁止するよう前記プリチャージ回路を制御するコントローラとを具備することを特徴としている。

請求項１２に記載したように、請求項１１に記載の半導体記憶装置において、前記選択信号により示されるアドレス信号の所定部分は、前記アドレス信号の最下位アドレスであることを特徴とする。

請求項１３に記載したように、請求項１１に記載の半導体記憶装置において、前記選択信号により示されるアドレス信号の所定部分は、前記アドレスバッファに供給されるアドレス信号において最も多く変化するアドレス部位であることを特徴とする。

この発明の請求項１４に記載した半導体記憶装置は、行列状に配置されたメモリセルアレイと、前記メモリセルアレイの所望の列群を示す列アドレス信号が入力される列アドレスバッファであって、クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように前記列アドレスを出力する列アドレスバッファと、前記列アドレスバッファから出力される列アドレス信号をデコードし、所望の列群を選択する列デコーダであって、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように前記列アドレス信号をデコードする列デコーダと、前記列デコーダにより選択された列群中の各々の列に対応して設けられたデータ線群と、前記データ線群をプリチャージするプリチャージ回路と、前記データ線群上のデータが入力され、前記列アドレスに含まれるマルチプレクサ選択アドレスに従って、前記データ線群の一部を選択するマルチプレクサと、前記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅器と、前記プリチャージ回路を制御するコントローラであって、前記メモリセルアレイの所望の列群が選択され、前記データ線群に前記メモリセルからデータが読み出されるパイプラインステージより前のパイプラインステージにおける列アドレスの変化を検知し、前記マルチプレクサ選択アドレスが変化し且つ前記マルチプレクサ選択アドレス以外の列アドレスが変化しない場合に、前記データ線群のデータ読み出しの前のプリチャージを禁止するよう前記プリチャージ回路を制御するコントローラとを具備することを特徴としている。

請求項１５に記載したように、請求項１４に記載の半導体記憶装置において、前記マルチプレクサ選択アドレスは、前記列アドレス信号の最下位アドレスであることを特徴とする。

請求項１６に記載したように、請求項１４に記載の半導体記憶装置において、前記マルチプレクサ選択アドレスは、前記アドレスバッファに供給される列アドレス信号において最も多く変化するアドレス部位であることを特徴とする。

この発明の請求項１７に記載した半導体チップは、メモリ部と、前記メモリ部との間でデータを授受するロジック回路部とを備え、前記メモリ部は、複数個のメモリセルを有するメモリセルアレイと、アドレス信号とクロック信号とが供給され、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように、前記アドレス信号を出力するアドレスバッファと、前記クロック信号が供給され、前記アドレスバッファにより出力されたアドレス信号を入力し、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように、前記アドレ

ス信号をデコードし、これにより前記複数個のメモリセルの内、所望の複数個のメモリセルを選択するデコーダと、前記選択された複数個のメモリセルから読み出されるデータを転送する複数のデータ線と、前記複数のデータ線をプリチャージするプリチャージ回路と、前記複数のデータ線上に読み出されたデータを入力し、前記アドレス信号の所定部分を示す選択信号に基づいて前記データ線の一部を選択するマルチプレクサと、前記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅器と、前記プリチャージ回路を制御するコントローラであって、前記選択されたメモリセルから前記複数のデータ線にデータが読み出されるパイプラインステージより前のパイプラインステージにおけるアドレス変化を検知し、前記選択信号のアドレスが変化し前記選択信号以外のアドレスが変化しない場合に、前記複数のデータ線のデータ読み出しの前のプリチャージを禁止するよう前記プリチャージ回路を制御するコントローラとを具備することを特徴としている。

請求項１８に記載したように、請求項１７に記載の半導体チップにおいて、前記選択信号により示されるアドレス信号の所定部分は、前記アドレス信号の最下位アドレスであることを特徴とする。

請求項１９に記載したように、請求項１７に記載の半導体チップにおいて、前記選択信号により示されるアドレス信号の所定部分は、前記アドレスバッファに供給されるアドレス信号において最も多く変化するアドレス部位であることを特徴とする。

この発明の請求項２０に記載した半導体チップは、メモリ部と、前記メモリ部との間でデータを授受するロジック回路部とを備え、前記メモリ部は、行列状に配置されたメモリセルアレイと、前記メモリセルアレイの所望の列群を示す列アドレス信号が入力される列アドレスバッファであって、クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように前記列アドレスを出力する列アドレスバッファと、前記列アドレスバッファから出力される列アドレス信号をデコードし、所望の列群を選択する列デコーダであって、この列デコーダは、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように前記列アドレス信号をデコードすると、前記列デコーダにより選択された列群中の各々の列に対応して設けられたデータ線群と、前記データ線群をプリチャージするプリチャージ回路と、前記データ線群上のデータが入力され、前記列アドレスに含まれるマルチプレクサ選択アドレスに従って、前記データ線群の一部を選択するマルチプレクサと、前記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅器と、前記プリチャージ回路を制御するコントローラであって、前記メモリセルアレイの所望の列群が選択され、前記データ線群に前記メモリセルからデータが読み出されるパイプラインステージより前のパイプラインステージにおける列アドレスの変化を検知し、前記マルチプレクサ選択アドレスが変化し且つ前記マルチプレクサ選択アドレス以外の列アドレスが変化しない場合に、前記データ線群のデータ読み出しの前のプリチャージを禁止するよう前記プリチャージ回路を制御するコントローラとを具備することを特徴としている。

請求項２１に記載したように、請求項２０に記載の半導体チップにおいて、前記マルチプレクサ選択アドレスは、前記列アドレス信号の最下位アドレスであることを特徴とする。

請求項２２に記載したように、請求項２０に記載の半導体チップにおいて、前記マルチプレクサ選択アドレスは、前記アドレスバッファに供給される列アドレス信号において最も多く変化するアドレス部位であることを特徴とする。

この発明の請求項２３に記載したメモリシステムは、クロック信号が供給されるＣＰＵと、前記ＣＰＵとの間でデータを授受するキャッシュメモリと、前記キャッシュとの間で授受されるデータを伝送するシステムバスと、前記システムバスを制御するバスコントローラと、前記システムバス上にデータをバースト転送するシンクロナスＤＲＡＭとを備え、前記シンクロナスＤＲＡＭは、複数個のメモリセルを有するメモリセルアレイと、アドレス信号とクロック信号とが供給され、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝

搬するように、前記アドレス信号を出力するアドレスバッファと、前記クロック信号が供給され、前記アドレスバッファにより出力されたアドレス信号を入力し、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように、前記アドレス信号をデコードし、これにより前記複数個のメモリセルの内、所望の複数個のメモリセルを選択するデコーダと、前記選択された複数個のメモリセルから読み出されるデータを転送する複数のデータ線と、前記複数のデータ線をプリチャージするプリチャージ回路と、前記複数のデータ線上に読み出されたデータを入力し、前記アドレス信号の所定部分を示す選択信号に基づいて前記データ線の一部を選択するマルチプレクサと、前記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅器と、前記プリチャージ回路を制御するコントローラであって、前記選択されたメモリセルから前記複数のデータ線にデータが読み出されるパイプラインステージより前のパイプラインステージにおけるアドレス変化を検知し、前記選択信号のアドレスが変化し前記選択信号以外のアドレスが変化しない場合に、前記複数のデータ線のデータ読み出しの前のプリチャージを禁止するよう前記プリチャージ回路を制御するコントローラとを具備することを特徴としている。

請求項２４に記載したように、請求項２３のメモリシステムにおいて、前記選択信号により示されるアドレス信号の所定部分は、前記アドレス信号の最下位アドレスであることを特徴とする。

請求項２５に記載したように、請求項２３のメモリシステムにおいて、前記選択信号により示されるアドレス信号の所定部分は、前記アドレスバッファに供給されるアドレス信号において最も多く変化するアドレス部位であることを特徴とする。

この発明の請求項２６に記載したメモリシステムは、クロック信号が供給されるＣＰＵと、前記ＣＰＵとの間でデータを授受するキャッシュメモリと、前記キャッシュとの間で授受されるデータを伝送するシステムバスと、前記システムバスを制御するバスコントローラと、前記システムバス上にデータをバースト転送するシンクロナスＤＲＡＭとを備え、前記シンクロナスＤＲＡＭは、行列状に配置されたメモリセルアレイと、前記メモリセルアレイの所望の列群を示す列アドレス信号が入力される列アドレスバッファであって、クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように前記列アドレスを出力する列アドレスバッファと、前記列アドレスバッファから出力される列アドレス信号をデコードし、所望の列群を選択する列デコーダであって、前記クロック信号に同期してパイプライン分割されたパイプラインステージ上を前記クロック信号の１クロックに応じて１ステージずつ伝搬するように前記列アドレス信号をデコードする列デコーダと、前記列デコーダにより選択された列群中の各々の列に対応して設けられたデータ線群と、前記データ線群をプリチャージするプリチャージ回路と、前記データ線群上のデータが入力され、前記列アドレスに含まれるマルチプレクサ選択アドレスに従って、前記データ線群の一部を選択するマルチプレクサと、前記マルチプレクサにより選択されたデータ線上のデータを増幅する増幅器と、前記プリチャージ回路を制御するコントローラであって、前記メモリセルアレイの所望の列群が選択され、前記データ線群に前記メモリセルからデータが読み出されるパイプラインステージより前のパイプラインステージにおける列アドレスの変化を検知し、前記マルチプレクサ選択アドレスが変化し且つ前記マルチプレクサ選択アドレス以外の列アドレスが変化しない場合に、前記データ線群のデータ読み出しの前のプリチャージを禁止するよう前記プリチャージ回路を制御するコントローラとを具備することを特徴としている。

請求項２７に記載したように、請求項２６のメモリシステムにおいて、前記マルチプレクサ選択アドレスは、前記列アドレス信号の最下位アドレスであることを特徴とする。

請求項２８に記載したように、請求項２６のメモリシステムにおいて、前記マルチプレクサ選択アドレスは、前記アドレスバッファに供給される列アドレス信号において最も多く変化するアドレス部位であることを特徴とする。

請求項２９に記載したように、請求項９，１０，２３及び２６のいずれか１つの項のメ

モリシステムにおいて、前記システムバスに接続されたビデオメモリと、前記ビデオメモリの出力信号が供給されるビデオコントローラと、前記ビデオコントローラの出力信号をＤ／Ａ変換するＤ／Ａコンバータと、前記Ｄ／Ａコンバータの出力信号が供給され、この信号に従ってイメージを表示するディスプレイとを更に具備することを特徴とする。

【００３５】

請求項１のような構成によれば、プリチャージ制御回路でプリチャージ手段を制御し、メモリセルアレイの任意の列群が選択され、データ線群にメモリセルからデータが読み出されるパイプラインステージより前のパイプラインステージにおける列アドレスの変化を検知し、マルチプレクサ選択アドレスが変化しマルチプレクサ選択アドレス以外の他の列アドレスが変化しない場合に、プリチャージ手段によるデータ線群のデータ読み出しの前のプリチャージを禁止するので、第１クロックサイクルで読み出した非選択ＤＱ線対のデータを有効に利用でき、ＤＱ線対の充放電電流を小さくしてチップの消費電力を低減できる。

【００３６】

請求項５のような構成によれば、カラムアドレス変化検知回路を設け、このカラムアドレス変化検知回路の出力信号をＤＱプリチャージャに供給して、カラムアドレスの最下位ビットが変化し、他のアドレスビットが変化しないときに、ＤＱ線のプリチャージを禁止するので、第１クロックサイクルで読み出した非選択ＤＱ線対のデータを有効に利用でき、ＤＱ線対の充放電電流を小さくしてチップの消費電力を低減できる。

【００３８】

請求項６のような構成によれば、プリチャージ制御回路でプリチャージ手段を制御し、メモリセルアレイの任意の列群が選択され、データ線群にメモリセルからデータが読み出されるパイプラインステージより前のパイプラインステージにおける列アドレスの変化を検知し、マルチプレクサ選択アドレスが変化しマルチプレクサ選択アドレス以外の他の列アドレスが変化しない場合に、プリチャージ手段によるデータ線群のデータ読み出しの前のプリチャージを禁止するので、第１クロックサイクルで読み出した非選択ＤＱ線対のデータを有効に利用でき、ＤＱ線対の充放電電流を小さくしてチップの消費電力を低減できる。これによって、データ入出力数が多いロジック混載型の半導体装置において大きな低消費電力化が図れる。

【００３９】

請求項７のような構成によれば、カラムアドレス変化検知回路を設け、このカラムアドレス変化検知回路の出力信号をＤＱプリチャージャに供給して、カラムアドレスの最下位ビットが変化し、他のアドレスビットが変化しないときに、ＤＱ線のプリチャージを禁止するので、第１クロックサイクルで読み出した非選択ＤＱ線対のデータを有効に利用でき、ＤＱ線対の充放電電流を小さくしてチップの消費電力を低減できる。これによって、データ入出力数が多いロジック混載型の半導体装置において大きな低消費電力化が図れる。

【００４１】

請求項９のような構成によれば、シンクロナスＤＲＡＭにおいて、プリチャージ制御回路でプリチャージ手段を制御し、メモリセルアレイの任意の列群が選択され、データ線群にメモリセルからデータが読み出されるパイプラインステージより前のパイプラインステージにおける列アドレスの変化を検知し、マルチプレクサ選択アドレスが変化しマルチプレクサ選択アドレス以外の他の列アドレスが変化しない場合に、プリチャージ手段によるデータ線群のデータ読み出しの前のプリチャージを禁止するので、第１クロックサイクルで読み出した非選択ＤＱ線対のデータを有効に利用でき、ＤＱ線対の充放電電流を小さくしてチップの消費電力を低減できる。これによって、シンクロナスＤＲＡＭの無駄な消費電力を削減することにより発熱量を抑制でき、低コストのパッケージを使用できるので、パッケージコストの低減によりシステム全体のコストを削減できる。

【００４２】

請求項１０のような構成によれば、シンクロナスＤＲＡＭにおいて、カラムアドレス変化検知回路を設け、このカラムアドレス変化検知回路の出力信号をＤＱプリチャージャに

供給して、カラムアドレスの最下位ビットが変化し、他のアドレスビットが変化しないときに、ＤＱ線のプリチャージを禁止するので、第１クロックサイクルで読み出した非選択ＤＱ線対のデータを有効に利用でき、ＤＱ線対の充放電電流を小さくしてチップの消費電力を低減できる。これによって、無駄な消費電力を削減することにより発熱量を抑制でき、低コストのパッケージを使用できるので、パッケージコストの低減によりシステム全体のコストを削減できる。

請求項１１ないし請求項２９のような構成であっても、上述した請求項１ないし請求項１０と実質的に同様な作用効果が得られる。

【００４３】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

図１は、この発明による半導体記憶装置を用いたメモリシステムについて説明するためのもので、パーソナルコンピュータの半導体記憶装置に関係する回路部を抽出して概略構成を示すブロック図である。このメモリシステムは、ＣＰＵ４１、キャッシュメモリ４２、バスコントローラ４３、ＣＤＲＯＭドライバ４４、シンクロナスＤＲＡＭ（クロック同期式ＤＲＡＭ）４５、ビデオメモリ４６、ビデオコントローラ４７、Ｄ／Ａコンバータ４８、ＣＲＴディスプレイ４９及びシステムバス５１等を含んで構成されている。上記ＣＰＵ４１にはクロック信号ＣＬＫが供給され、キャッシュメモリ４２をランダムアクセスするとともに、バスコントローラ４３を制御するようになっている。上記キャッシュメモリ４２、バスコントローラ４３、ＣＤＲＯＭドライバ４４、シンクロナスＤＲＡＭ４５及びビデオメモリ４６はシステムバス５０を介して接続されており、このシステムバス５０上をシンクロナスＤＲＡＭ４５から読み出されたデータがバースト転送される。バスコントローラ４３は、ＣＰＵ４１の制御に基づいて上記システムバス５０の使用を制御している。例えばＣＤＲＯＭドライバ４４から読み出された画像データは、上記システムバス５０を介してビデオメモリ４６に供給され、ビデオコントローラ４７及びＤ／Ａコンバータ４８を介してＣＲＴ４９に表示される。また、シンクロナスＤＲＡＭ４５から読み出されたデータは、キャッシュメモリ４２を介してＣＰＵ４１に供給され各種の制御データとして用いられる。あるいは、このシンクロナスＤＲＡＭ４５から読み出されたデータが上記システムバス５０を介してビデオメモリ４６に供給され、ビデオコントローラ４７及びＤ／Ａコンバータ４８を介してＣＲＴ４９に表示されるようになっている。

【００４４】

図２は、上記図１に示したメモリシステムにおけるシンクロナスＤＲＡＭ４５のチップのパターンレイアウトを示す平面図である。このＤＲＡＭチップ中には、メモリ部５１とゲートアレイやスタンダードセル等で構成されたロジック回路部５２が混載されている。メモリ部５１には、４Ｍビットのメモリセルアレイ１１が設けられており、このメモリセルアレイ１１は２つの２Ｍビットアレイ１１Ａ，１１Ｂを備えている。これら２Ｍビットアレイ１１Ａ，１１Ｂ間には、ローデコーダ１５が設けられている。また、ＤＱバッファ２２Ａ，２２Ｂ及びデータ入出力バッファ２３等が設けられ、上記メモリ部５１と上記ロジック回路部５２で２５６ビットのデータの授受がパラレルに行われる。

【００４５】

図３は、上記図２に示したパターンレイアウトにおけるメモリ部５１を抽出して詳細に示すもので、クロック同期式のオーバーレイドＤＱ型ＤＲＡＭ（４Ｍビット×２５６Ｉ／Ｏ）のブロック図である。このＤＲＡＭは、メモリセルアレイ１１、ローアドレスバッファ１２、ロー系制御回路１３、ロープリデコーダ１４、ローデコーダ１５、カラムアドレスバッファ１６、／ＷＥバッファ１７、／ＣＡＳバッファ１８、フリップフロップ１９、カラムプリデコーダ２０、回路ブロック２１、ＤＱバッファ２２、データ入出力バッファ２３、ＤＱプリチージ・イコライズ制御回路２４’、ＤＱバッファ制御回路２５及びカラムアドレス変化検知回路５３等から構成されている。

【００４６】

図２に示したように、４Ｍビットのメモリセルアレイ１１は、２つの２Ｍビットアレイ１

１Ａ，１１Ｂから構成されている。これら２Ｍビットアレイ１１Ａ，１１Ｂは各々８個の２５６Ｋビットのセルアレイブロック１１Ａ－０～１１Ａ－７，１１Ｂ－０～１１Ｂ－７で構成されている。各セルアレイブロック１１Ａ－０～１１Ａ－７，１１Ｂ－０～１１Ｂ－７は２５６ロー×１Ｋカラム構成であり、ダイナミック型のメモリセルが行列状に配置されている。上記ロー系制御回路１３は、ローアドレスストローブ（／ＲＡＳ）信号を受けて上記ローアドレスバッファ１２を制御する。上記ローアドレスバッファ１２は、上記ロー系制御回路１３の制御により、／ＲＡＳ信号がローレベルの時、クロック信号ＣＬＫに同期してローアドレス信号ＡＲ０～ＡＲ１０をラッチし、相補信号Ｘ０～Ｘ１０，／Ｘ０～／Ｘ１０を生成する。これらの相補信号Ｘ０～Ｘ１０，／Ｘ０～／Ｘ１０は、ロープリデコーダ１４に供給されてプリデコードされた後、ローデコーダ１５に供給されてデコードされる。ローアドレス信号ＡＲ０～ＡＲ１０の上位３ビットから生成された相補信号Ｘ８～Ｘ１０，／Ｘ８～／Ｘ１０により、１６個の２５６Ｋブロック１１Ａ－０～１１Ａ－７，１１Ｂ－０～１１Ｂ－７の選択と活性化が行われる。これによって、上記ローデコーダ１５を挟む２個のブロック（例えばブロック１１Ａ－７，１１Ｂ－７）が同時に活性化される。残りの８ビットのローアドレス信号から生成された相補信号Ｘ０～Ｘ７，／Ｘ０～／Ｘ７により、選択されたブロック中のメモリセルのローが選択される。

【００４７】

上記カラムアドレスバッファ１６は、／ＣＡＳバッファ１８の制御により、カラムアドレスストローブ（／ＣＡＳ）信号がローレベルになった時に、クロック信号ＣＬＫに同期して３ビットのカラムアドレス信号ＡＣ０～ＡＣ２をラッチする。このカラムアドレスバッファ１６は、クロック信号ＣＬＫに同期したフリップフロップ動作を行う。上記カラムアドレスバッファ１６は、カラムアドレス信号ＡＣ０～ＡＣ２を相補信号Ｙ０Ｆ～Ｙ２Ｆ，／Ｙ０Ｆ～／Ｙ２Ｆに変換する。これら相補信号Ｙ０Ｆ～Ｙ２Ｆ，／Ｙ０Ｆ～／Ｙ２Ｆはフリップフロップ１９に供給されるとともに、相補信号の一部の信号Ｙ０Ｆ～Ｙ２Ｆはカラムアドレス変化検知回路５３に供給される。フリップフロップ１９に供給された相補信号Ｙ０Ｆ～Ｙ２Ｆ，／Ｙ０Ｆ～／Ｙ２Ｆは、相補信号Ｙ０Ｓ～Ｙ２Ｓ，／Ｙ０Ｓ～／Ｙ２Ｓに変換される。この際、上記ロープリデコーダ１４で生成されたセルアレイブロックの選択信号（／Ｘ８・／Ｘ９・／Ｘ１０，Ｘ８・／Ｘ９・／Ｘ１０，…，Ｘ８・Ｘ９・Ｘ１０の８つ、図３ではまとめてＸ８・Ｘ９・Ｘ１０と表記している）も、このフリップフロップ１９によって信号Ｘ８Ｓ・Ｘ９Ｓ・Ｘ１０Ｓに変換される。これらのロー・カラムアドレス信号はカラムプリデコーダ２０に供給され、カラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３が生成される。カラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３は、カラムアドレスの上位２ビットＹ１Ｓ，／Ｙ１Ｓ，Ｙ２Ｓ，／Ｙ２Ｓと信号Ｘ８Ｓ・Ｘ９Ｓ・Ｘ１０Ｓとの論理積を取り、次のような論理演算で生成される。

【００４８】

ＣＳＷ０＝／Ｙ１Ｓ・／Ｙ２Ｓ・Ｘ８Ｓ・Ｘ９Ｓ・Ｘ１０Ｓ
ＣＳＷ１＝Ｙ１Ｓ・／Ｙ２Ｓ・Ｘ８Ｓ・Ｘ９Ｓ・Ｘ１０Ｓ
ＣＳＷ２＝／Ｙ１Ｓ・Ｙ２Ｓ・Ｘ８Ｓ・Ｘ９Ｓ・Ｘ１０Ｓ
ＣＳＷ３＝Ｙ１Ｓ・Ｙ２Ｓ・Ｘ８Ｓ・Ｘ９Ｓ・Ｘ１０Ｓ

この論理演算により、選択されたセルアレイブロックに対応するカラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３のうちの１つが活性化される。

【００４９】

このカラムプリデコーダ２０から出力される相補信号Ｙ０Ｓ，／Ｙ０Ｓは、回路ブロック２１に供給される。この回路ブロック２１は、２Ｍビットアレイ１１Ａ，１１Ｂに対応して第１の回路ブロック２１Ａと第２の回路ブロック２１Ｂで構成されており、これらの回路ブロック２１Ａ，２１Ｂにはそれぞれ ＤＱマルチプレクサ、ＤＱプリチャージャ及びＤＱイコライザ等が設けられている。同様に、ＤＱバッファ２２も２Ｍビットアレイ１１Ａ，１１Ｂに対応して第１のバッファ部２２Ａと第２のバッファ部２２Ｂで構成されており、これらバッファ部２２Ａ，２２Ｂの出力がそれぞれ１２８本のＲＷＤバス２６Ａ，２６Ｂ（合計２５６本）を介してデータ入出力バッファ２３に供給される。このデータ入出力

バッファ２３には、クロック信号ＣＬＫ及び／ＷＥバッファ１７の出力信号／ＷＥＩが供給され、データの入出力が制御される。

【００５０】

／ＷＥバッファ１７は、／ＣＡＳバッファ１８の出力信号で制御され、ライトイネーブル信号（／ＷＥ）信号をラッチする。ＤＱプリチャージ・イコライズ制御回路２４’は、上記カラムアドレス変化検知回路５３の出力信号ＯＬＳＢＣ（Ｏｎｌｙ－Ｌｅａｓｔ－Ｓｉｇｎｉｆｉｃａｎｔ－Ｂｉｔ－Ｃｈａｎｇｅｄ）、クロック信号ＣＬＫ及び上記／ＷＥバッファ１７の出力信号／ＷＥＩを受けてプリチャージ信号／ＰＲＣＨ’を生成して第１，第２の回路ブロック２１Ａ，２１Ｂに供給し、ＤＱ線のプリチャージとイコライズを制御する。ＤＱバッファ制御回路２５には、上記クロック信号ＣＬＫ及び上記／ＷＥバッファ１７の出力信号／ＷＥＩが供給され、上記ＤＱバッファ２２の第１，第２のバッファ部２２Ａ，２２Ｂを制御するようになっている。

【００５１】

上記２Ｍビットのセルアレイ１１Ａ，１１Ｂ上には２５６対のＤＱ線が配置され、ＤＱマルチプレクサ、ＤＱプリチャージャ及びＤＱイコライザを介してＤＱバッファ２２Ａ，２２Ｂに接続される。この部分について更に詳しく示したのが図４である。各ブロック１１Ａ－０～１１Ａ－７，１１Ｂ－０～１１Ｂ－７の１Ｋカラム（ビット線対）には、１０２４個のセンスアンプ（Ｓ／Ａ）２７－０～２７－１０２３が接続され、各センスアンプの出力は４つずつマルチプレクサ（４：１ＭＵＸ）２８－０～２８－２５５に供給される。これらマルチプレクサ２８－０～２８－２５５の出力端には、２５６対のＤＱ線２９－０，／２９－０～２９－２５５，／２９－２５５が接続されている。そして、上記カラムデコーダ２０から出力される４本のカラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３によって、各マルチプレクサ２８－０～２８－２５５に供給される４つのセンスアンプの出力信号の１つが選択され、ＤＱ線対２９－０，／２９－０～２９－２５５，／２９－２５５上に出力される。上記各ＤＱ線対２９－０，／２９－０～２９－２５５，／２９－２５５には、ＤＱイコライザとして働くＰＭＯＳトランジスタ３０－０～３０－２５５及びＤＱプリチャージャとして働くＰＭＯＳトランジスタ３１－０～３１－２５５、３２－０～３２－２５５が接続されている。上記ＰＭＯＳトランジスタ３０－０～３０－２５５の電流通路は、上記各ＤＱ線対２９－０，／２９－０～２９－２５５，／２９－２５５間に接続される。上記ＰＭＯＳトランジスタ３１－０～３１－２５５の電流通路は各ＤＱ線２９－０～２９－２５５と電源Ｖｃｃ間に接続され、上記ＰＭＯＳトランジスタ３２－０～３２－２５５の電流通路は各ＤＱ線／２９－０～／２９－２５５と電源Ｖｃｃ間に接続される。これらＰＭＯＳトランジスタ３０－０～３０－２５５、３１－０～３１－２５５及び３２－０～３２－２５５のゲートには、上記ＤＱプリチャージ・イコライズ制御回路２４’から出力されるプリチャージ信号／ＰＲＣＨ’が供給されてオン／オフ制御される。

【００５２】

上記２５６対のＤＱ線２９－０，／２９－０～２９－２５５，／２９－２５５は、２対ずつ１２８個のＤＱマルチプレクサ（２：１ＭＵＸ）３３－０～３３－１２７に接続される。ＤＱマルチプレクサ３３－０～３３－１２７は、カラムプリデコーダ２０から出力される相補信号ＹＯＳ，／ＹＯＳ（カラムアドレスの最下位ビット）によって、接続された２対のＤＱ線の一方を選択する。すなわち、／ＹＯＳがハイレベルの時はＤＱ線対２９－０，／２９－０，２９－２，／２９－２，…，２９－２５４，／２９－２５４が選択され、ＹＯＳがハイレベルの時はＤＱ線対２９－１，／２９－１，２９－３，／２９－３，…，２９－２５５，／２９－２５５が選択され、これらＤＱ線対上のデータがＤＱバッファ２２－０～２２－１２７に供給されて読み出しデータが増幅される。これらＤＱバッファ２２－０～２２－１２７の出力信号はそれぞれ、ＲＷＤバス２６－０～２６－１２７に供給される。

【００５３】

上記のような構成において、２Ｍセルアレイ１１Ａ，１１Ｂに対応した１Ｋ本のカラムは、カラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３により４：１でマルチプレクスされ、２５

６対のＤＱ線に接続される。この際、カラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３は１Ｋカラム中の２５６本ずつとそれぞれ共有されている。つまり、カラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３のうちの１本、たとえば信号ＣＳＷ０が選択されると、センスアンプ２８－０，２８－４，２８－８，…，２８－１０２１の２５６個のセンスアンプが同時にそれぞれＤＱ線対２９－０，／２９－０，２９－１，／２９－１，…，２９－２５５，／２９－２５５に接続され、これらのセンスアンプに保持されたデータがＤＱ線対上に読み出されることになる。

【００５４】

図５は上記図４に示したブロック図におけるビット線、センスアンプ及びＤＱ線対に関係する回路部を抽出して更に詳細に示すブロック図である。１Ｋ個のセンスアンプは４つずつグルーピングされ、各２５６Ｋブロックの両端に配置されている。ここでは、センスアンプ２７－０～２７－３に着目して説明する。各センスアンプ２７－０～２７－３にはビット線対ＢＬ０，／ＢＬ０～ＢＬ３，／ＢＬ３が接続されている。各ビット線対ＢＬ０，／ＢＬ０～ＢＬ３，／ＢＬ３は、対向するセンスアンプ２７－０～２７－３間で互い違いに配置されている。上記４つのセンスアンプ２７－０～２７－３はそれぞれ、上記マルチプレクサ２８－０として働くＮＭＯＳトランジスタ３４－０～３４－７の電流通路を介してＤＱ線対２９－０，／２９－０に接続されている。これらＮＭＯＳトランジスタ３４－０～３４－７のゲートにはカラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３が供給され、カラムスイッチ選択信号ＣＳＷ０～ＣＳＷ３のうちハイレベルになったものに対応するセンスアンプの出力データがＤＱ線対２９－０，／２９－０に読み出される。すなわち、トランジスタ３４－０の電流通路は、センスアンプ２７－０の一方の出力端とＤＱ線２９－０との間に接続され、信号ＣＳＷ０でオン／オフ制御される。トランジスタ３４－１の電流通路は、センスアンプ２７－０の他方の出力端とＤＱ線／２９－０との間に接続され、信号ＣＳＷ０でオン／オフ制御される。また、トランジスタ３４－２の電流通路は、センスアンプ２７－１の一方の出力端とＤＱ線２９－０との間に接続され、信号ＣＳＷ１でオン／オフ制御される。トランジスタ３４－３の電流通路は、センスアンプ２７－１の他方の出力端とＤＱ線／２９－０との間に接続され、信号ＣＳＷ１でオン／オフ制御される。同様に、トランジスタ３４－４の電流通路は、センスアンプ２７－２の一方の出力端とＤＱ線２９－０との間に接続され、信号ＣＳＷ２でオン／オフ制御される。トランジスタ３４－５の電流通路は、センスアンプ２７－２の他方の出力端とＤＱ線／２９－０との間に接続され、信号ＣＳＷ２でオン／オフ制御される。また、トランジスタ３４－６の電流通路は、センスアンプ２７－３の一方の出力端とＤＱ線２９－０との間に接続され、信号ＣＳＷ３でオン／オフ制御される。トランジスタ３４－７の電流通路は、センスアンプ２７－３の他方の出力端とＤＱ線／２９－０との間に接続され、信号ＣＳＷ３でオン／オフ制御される。

【００５５】

このように、ＤＱ線対２９－０，／２９－０は２Ｍビットアレイ上の８個のセルアレイブロックで共有され、メモリセルアレイ１１上にビット線ＢＬ０，／ＢＬ０～ＢＬ３，／ＢＬ３と平行に配置されている。他のＤＱ線対２９－１，／２９－１～２９－２５５，／２９－２５５も同様に配置されている（オーバーレイドＤＱ構成）。

【００５６】

次に、図６のタイミングチャートを用いて上記図３ないし図５に示したクロック同期式ＤＲＡＭの動作を説明する。このタイミングチャートでは、図１３と同様に第０ないし第２クロックサイクルでカラムアドレスＡＣ０～ＡＣ２を入力した場合の内部動作波形を示している。図１３の場合と同じく、ここではローアドレスを入力してワード線を選択し、選択ローのデータをセンスアンプにラッチする動作は既に終了しているものとする。図６において、入力されたカラムアドレスＡＣ０～ＡＣ２が各パイプラインステージＰＳ１，ＰＳ２を伝搬し、信号ＣＳＷ０～ＣＳＷ２を活性化させるまでは図１３と同様である。図６の第１クロックサイクルで信号Ｙ０Ｆが変化し、信号Ｙ１Ｆ，Ｙ２Ｆが変化していないのを受けて信号ＯＬＳＢＣが立ち上がる。信号ＯＬＳＢＣは、カラムアドレスのＬＳＢであ

る信号Ｙ０Ｆのみが変化し、それ以外のカラムアドレスが変化していないことを示す信号である。信号ＯＬＳＢＣがハイレベルになると、これを受けてＤＱ線プリチャージ・イコライズ制御回路２４’は第２クロックサイクルのプリチャージ動作を禁止する。これにより、このサイクルで意味のないプリチャージ動作が行われることはなく、信号Ｙ０Ｓがハイレベルになることでマルチプレクサが奇数番目のＤＱ線対２９－１，／２９－１，２９－３，／２９－３，…，２９－２５５，／２９－２５５側に切り換えられ、これらのＤＱ線対を介してデータが読み出される。

【００５７】

次に、第２クロックサイクルでカラムアドレスＣＡ２が入力され、信号Ｙ０Ｆだけでなく信号Ｙ１Ｆも変化すると、信号ＯＬＳＢＣはローレベルになる。この場合は先ほどとは異なり、ＤＱマルチプレクサの切り換えだけではなく、カラムアドレス選択信号ＣＳＷ０～ＣＳＷ２も切り換えられる（ＣＳＷ０がローレベルになり、ＣＳＷ１がハイレベルになる）。この時は、切り替わった信号ＣＳＷにより新たに選択されたセンスアンプ（２７－１，２７－５，２７－９，…，２７－１０２２）のデータがＤＱ線対上に読み出されるので、これを高速に行うために信号ＣＳＷの切り替わり前にＤＱ線対をプリチャージしておく必要がある。本実施の形態では、信号Ｙ１Ｆが切り替わると信号ＯＬＳＢＣがローレベルになり、これを受けて第３クロックサイクルでＤＱ線のプリチャージが行われる。

【００５８】

このような構成の半導体記憶装置によれば、ＤＱ線対の充放電電流を小さくしてチップの消費電力を低減できる。具体的には、データのバースト転送時の消費電力のうち、ＤＱ線対の充放電電流が全電流に占める割合は３０％程度であるが、この発明により１／２の１５％程度に低減できる。これによって、図２に示したようなデータ入出力数が多いロジック混載型の半導体装置において大きな低消費電力化が図れる。また、無駄な消費電力を削減することにより発熱量を抑制できるので、この半導体記憶装置を用いたメモリシステムにおいて、低コストのパッケージを使用することができ、パッケージコストの低減によりシステム全体のコストを削減できる。

【００５９】

次に、上述したような動作を実現するためのカラムアドレス変化検知回路５３とＤＱプリチャージ・イコライズ制御回路２４’の構成例並びにその動作について図７ないし図９により説明する。

【００６０】

図７は、上記図３に示した回路におけるカラムアドレス変化検知回路５３の構成例を示す回路図である。この回路５３は、入力変化検知回路（ＩＴＤ）６１－０，６１－１，６１－３、インバータ６２，６３，６５及びナンドゲート６４を含んで構成されている。入力変化検知回路６１－０には、クロック信号ＣＬＫに同期して動作するフリップフロップ１６６、インバータ１６７及び比較器１６８が設けられている。カラムアドレスバッファ１６の出力信号Ｙ０Ｆは、フリップフロップ１６６及びインバータ１６７の入力端に供給される。そして、上記フリップフロップ１６６の出力信号Ｍ１及びインバータ１６７の出力信号Ｍ２が上記比較器１６８に供給されて比較される。図６ではブロック化して示しているが、入力変化検知回路６１－１，６１－２も上記入力変化検知回路６１－０と同様な構成になっている。上記入力変化検知回路６１－０の出力信号Ｍ３はナンドゲート６４の第１の入力端に供給され、入力変化検知回路６１－１の出力信号はインバータ６２を介して（信号Ｍ４）ナンドゲート６４の第２の入力端に供給され、入力変化検知回路６１－２の出力信号はインバータ６３を介して（信号Ｍ５）ナンドゲート６４の第３の入力端に供給される。そして、上記ナンドゲート６４の出力信号がインバータ６５を介して信号ＯＬＳＢＣとしてプリチャージ・イコライズ制御回路２４’に供給される。

【００６１】

上記カラムアドレス変化検知回路５３は、信号Ｙ０Ｆ，Ｙ１Ｆ，Ｙ２Ｆの入力をそれぞれ入力変化検知回路（ＩＴＤ）６０－０，６０－１，６０－２で受けている。ＩＴＤ６０－０，６０－１，６０－２内のフリップフロップ１６６は、１サイクル前の入力データを記

憶する。このデータと現在の入力の反転データとを比較器１６８で比較している。比較器１６８は２つの入力が同値なときハイレベルを出力するので、結局ＩＴＤ６０－０，６０－１，６０－２は現在の入力が１クロックサイクル前の入力データに対して反転したときにこれを検知し、ハイレベルの出力状態となる。カラムアドレス変化検知回路５３では、信号Ｙ０Ｆのみが変化し、信号Ｙ１Ｆ，Ｙ２Ｆが変化しないときのみ信号ＯＬＳＢＣをハイレベルにするロジックになっている（この時、Ｍ３，Ｍ４，Ｍ５が全てハイレベルになる）。

【００６２】

図８は、上記図３に示した回路におけるＤＱプリチャージ・イコライズ制御回路２４’の構成例を示す回路図である。この回路２４’は、遅延時間Δｔ１を生成するための遅延回路６６、ナンドゲート６９，７０，７６、インバータ７１，７３，７７、プリチャージパルス幅Δｔ２（Δｔ１＞Δｔ２）設定用の遅延回路７２及びフリップフロップ７４，７５等を含んで構成されている。上記カラムアドレス変化検知回路５３で生成された信号ＯＬＳＢＣは、遅延回路６６に供給される。この遅延回路６６は、縦続接続されたインバータ６７－０～６７－４と、インバータ６７－０～６７－３の各出力端と接地点Ｖｓｓ間にそれぞれ接続されたキャパシタ６８－０～６８－３とから構成されている。遅延回路６６の出力信号ＮＡはナンドゲート６９の第１の入力端に供給される。クロック信号ＣＬＫ及び／ＷＥバッファ１７の出力信号／ＷＥＩはナンドゲート７０に供給される。このナンドゲート７０の出力信号がインバータ７１を介して（信号ＮＢ）上記ナンドゲート６９の第２の入力端に供給されるとともに、遅延回路７２を介して上記ナンドゲート６９の第３の入力端に供給される。上記遅延回路７２は、縦続接続されたインバータ７８－０～７８－２と、これらインバータ７８－０～７８－２の各出力端と接地点Ｖｓｓ間にそれぞれ接続されたキャパシタ７９－０～７９－２から構成されている。上記ナンドゲート６９の出力信号ＮＤは、ナンドゲート７６の一方の入力端に供給される。／ＣＡＳ信号は、インバータ７３及びフリップフロップ７４，７５を介して（信号ＮＥ）上記ナンドゲート７６の他方の入力端に供給される。このナンドゲート７６の出力信号がインバータ７７を介してプリチャージ信号／ＰＲＣＨ’として出力される。

【００６３】

この回路では／ＣＡＳ信号がローレベル、／ＷＥがハイレベル（読み出し動作）、信号ＯＬＳＢＣがローレベルの時（この時ＮＡ＝ハイレベル、ＮＥ＝ハイレベル）、クロック信号ＣＬＫの立ち上がりに同期してプリチャージパルス幅設定用の遅延回路７２で設定されるΔｔ２の幅の下向きパルスをプリチャージ信号／ＰＲＣＨ’として出力する。

【００６４】

図９は、上記カラムアドレス変化検知回路５３とＤＱプリチャージ・イコライズ回路２４’の動作を説明するためのタイミングチャートである。この図では、図６から信号Ｙ０Ｆ，Ｙ１Ｆ，Ｙ２Ｆの信号波形を抜き出し、カラムアドレス変化検知回路５３とＤＱプリチャージ・イコライズ制御回路２４’の各ノードの波形を追加したものである。ここで、第１クロックサイクルで信号ＯＬＳＢＣがハイレベルになると図８の遅延回路６６により、信号ＮＡがΔｔ１だけ遅れて立ち上がる。ここでΔｔ１は、先に説明したΔｔ２よりも大きく設定してある（Δｔ１＞Δｔ２）。従って、第１クロックサイクルでは信号ＮＣがハイレベルの期間は信号ＮＡがハイレベルであるので、信号ＮＤは幅Δｔ２の下向きパルスとなり、これがプリチャージ信号／ＰＲＣＨ’として出力される。次に、第２クロックサイクルで信号ＯＬＳＢＣがローレベルになると、Δｔ１遅れて信号ＮＡが立ち上がる。この時は、信号ＮＣがハイレベルになっている期間はＮＡ＝ローレベル（Δｔ１＞Δｔ２）なので信号ＮＤはハイレベルとなり、プリチャージは禁止される。

【００６５】

上述したように、本実施の形態では、カラムアドレスのＬＳＢのみが変化した場合にＤＱ線対のプリチャージを禁止するので、ＤＱ線対の充放電電流を低減できる。特に、クロック同期式ＤＲＡＭで広く用いられているバースト転送の場合には、連続したカラムアドレスがアクセスされるので、１クロックサイクルおきにＤＱ線対のプリチャージが禁止され

ることになり、各クロックサイクル毎にプリチャージが行われる従来例に比べてチップの消費電流を大幅に低減できる。

【００６６】

本発明では、以上述べてきたように、パイプラインステージの第１段のカラムアドレス信号（信号Ｙ０Ｆ，Ｙ１Ｆ，Ｙ２Ｆ）の変化を検知してプリチャージ制御を行っている点に特徴がある。ここで、パイプラインステージの第２段のカラムアドレス信号（信号Ｙ０Ｓ，Ｙ１Ｓ，Ｙ２Ｓ）を用いずに、Ｙ０Ｆ，Ｙ１Ｆ，Ｙ２Ｆを用いている理由は以下の通りである。すなわち、本発明では、カラムアドレスのＬＳＢのみが変化したときにＤＱ線対のプリチャージを禁止する制御を行っているが、ＤＱ線対のプリチャージはクロック信号の最大周波数を上げるために通常クロック信号の立ち上がり後、短時間のうちに行われる。信号Ｙ０Ｓ，Ｙ１Ｓ，Ｙ２Ｓは、このプリチャージが行われるクロックサイクルと同じクロックサイクルで生成されるので、これを用いるとプリチャージの禁止制御をプリチャージの実行に間に合わせることが困難になる。そこで、プリチャージが行われる前のクロックサイクルで既に確定している信号Ｙ０Ｓ，Ｙ１Ｓ，Ｙ２Ｓを用いてプリチャージ禁止制御のタイミングマージンを稼いでいる

これによって、本発明は、従来技術のクロック同期式オーバーレイドＤＱ型ＤＲＡＭのＤＱ線対の充放電電流が大きいという欠点を改善し、ＤＱ線対の充放電電流が小さく、チップの消費電流を低減させたクロック同期式オーバーレイドＤＱ型ＤＲＡＭを提供できる。

【００６７】

【発明の効果】

以上説明したように、この発明によれば、ＤＱ線対の充放電電流を小さくしてチップの消費電力を低減できる半導体記憶装置が得られる。

また、無駄な消費電力を削減することにより発熱量を抑制でき、パッケージコストの低減によりシステム全体のコストを削減できるメモリシステムが得られる。

【図面の簡単な説明】

【図１】この発明によるメモリシステムについて説明するためのもので、パーソナルコンピュータにおける半導体記憶装置に関係する回路部を抽出して概略構成を示すブロック図。

【図２】図１に示したメモリシステムにおけるシンクロナスＤＲＡＭ４５のチップのパターンレイアウトを示す平面図。

【図３】この発明の半導体記憶装置について説明するためのもので、図２に示したパターンレイアウトにおけるメモリ部を抽出して詳細に示しており、クロック同期式のオーバーレイドＤＱ型ＤＲＡＭのブロック図。

【図４】図３に示したブロック図におけるＤＱ線とその近傍の回路部を抽出して詳細に示すブロック図。

【図５】図４に示したブロック図におけるビット線、センスアンプ及びＤＱ線対に関係する回路部を抽出して更に詳細に示すブロック図。

【図６】図３ないし図５に示したクロック同期式ＤＲＡＭの動作を説明するためのタイミングチャート。

【図７】図３に示した回路におけるカラムアドレス変化検知回路の構成例を示す回路図。

【図８】図３に示した回路におけるＤＱプリチャージ・イコライズ制御回路の構成例を示す回路図。

【図９】図７及び図８の回路の動作を説明するためのタイミングチャート。

【図１０】従来の半導体記憶装置について説明するためのもので、オーバーレイドＤＱ構成のクロック同期式４ＭビットＤＲＡＭの概略構成を示すブロック図。

【図１１】図１０に示したブロック図におけるＤＱ線とその近傍の回路部を抽出して詳細に示すブロック図。

【図１２】図１１に示したブロック図におけるビット線、センスアンプ及びＤＱ線対に関係する回路部を抽出して詳細に示すブロック図。

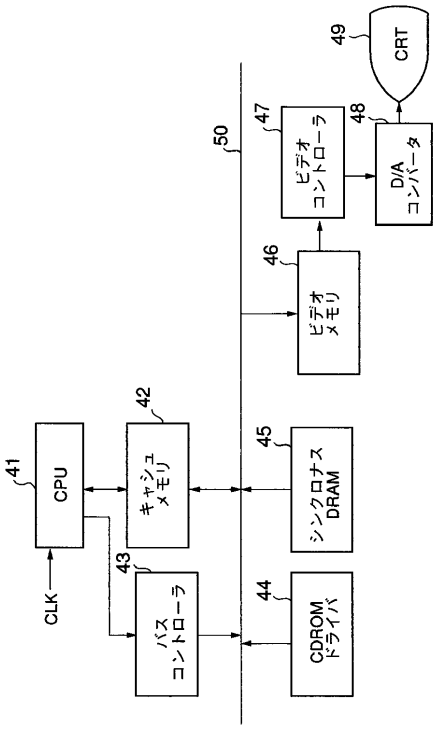
【図１３】図１０ないし図１２に示した回路の動作を説明するためのタイミングチャート

。

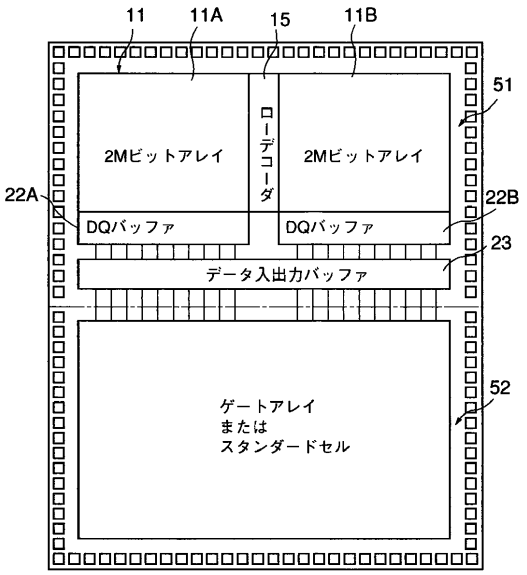
【符号の説明】

１１…メモリセルアレイ、１２…ローアドレスバッファ、１３…ロー系制御回路、１４…ロープリデコーダ、１５…ローデコーダ、１６…カラムアドレスバッファ、１７…／ＷＥバッファ、１８…／ＣＡＳバッファ、１９…フリップフロップ、２０…カラムプリデコーダ、２１…回路ブロック、２２…ＤＱバッファ、２３…データ入出力バッファ、２４’…ＤＱプリチージ・イコライズ制御回路、２５…ＤＱバッファ制御回路、５３…カラムアドレス変化検知回路、／ＰＲＣＨ’…プリチャージ信号、／ＲＡＳ…ローアドレスストローブ信号、／ＣＡＳ…カラムアドレスストローブ信号、／ＷＥ…ライトイネーブル信号、ＡＲ０～ＡＲ１０…ローアドレス信号、ＡＣ０～ＡＣ２…カラムアドレス信号、ＯＬＳＢＣ…カラムアドレス変化検知回路の出力信号。

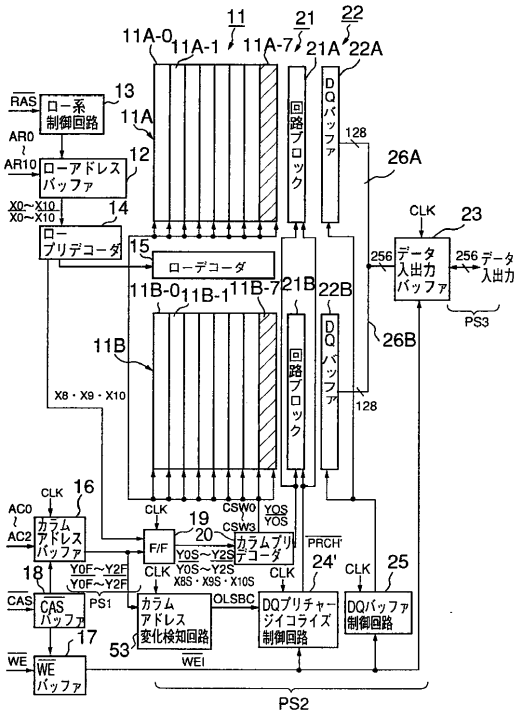
【図１】



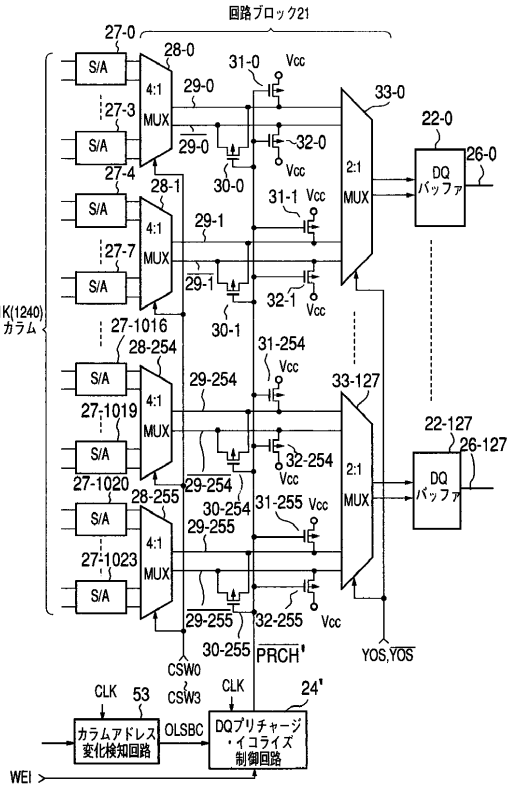
【図２】



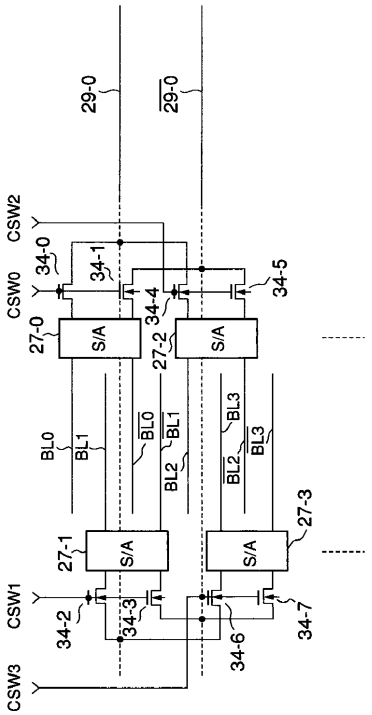
【図３】


11
21
22
11A-0
11A-1
11A-7
21A
22A
RAS
ロー系制御回路
13
11A
AR0
AR10
ローアドレスバッファ
12
X0～X10
X0～X10
ロープリデコーダ
14
15
ローデコーダ
回路ブロック
DQバッファ
128
26A
CLK
23
256
データ入出力バッファ
256
データ入出力
PS3
11B-0
11B-1
11B-7
21B
22B
11B
26B
X8・X9・X10
AC0
AC2
カラムアドレスバッファ
16
CLK
F/F
19
20
CSW0
CSW3
YOS
YOS
カラムプリデコーダ
PRCH'
Y0S～Y2S
Y0F～Y2F
Y0F～Y2F
X8S・X9S・X10S
18
CAS
CASバッファ
PS1
カラムアドレス変化検知回路
53
OLSBC
DQプリチャージイコライズ制御回路
24'
DQバッファ制御回路
25
WE
WEバッファ
17
WEI
PS2

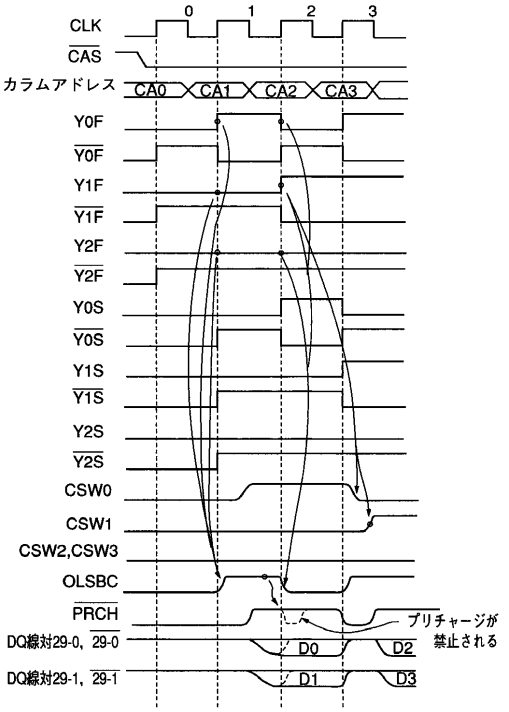
【図４】


回路ブロック21
27-0
28-0
31-0
Vcc
S/A
4:1
MUX
29-0
33-0
27-3
29-0
32-0
22-0
26-0
DQバッファ
27-4
28-1
30-0
31-1
29-1
27-7
29-1
32-1
30-1
1K(1240)カラム
27-1016
28-254
31-254
29-254
33-127
27-1019
32-254
22-127
26-127
27-1020
28-255
29-254
30-254
31-255
29-255
27-1023
29-255
32-255
30-255
PRCH'
CSW0
CSW3
YOS,YOS
CLK
53
24'
カラムアドレス変化検知回路
OLSBC
DQプリチャージ・イコライズ制御回路
WEI

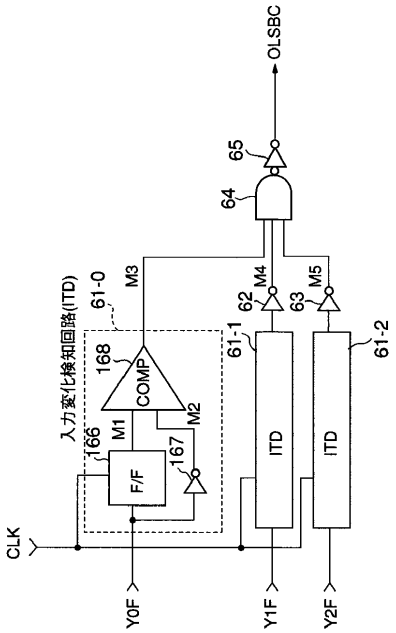
【図５】


29-0
29-0
CSW2
CSW0
34-0
34-1
34-4
34-5
27-0
27-2
S/A
BL0
BL1
BL2
BL3
27-1
27-3
CSW1
34-2
34-3
34-6
34-7
CSW3

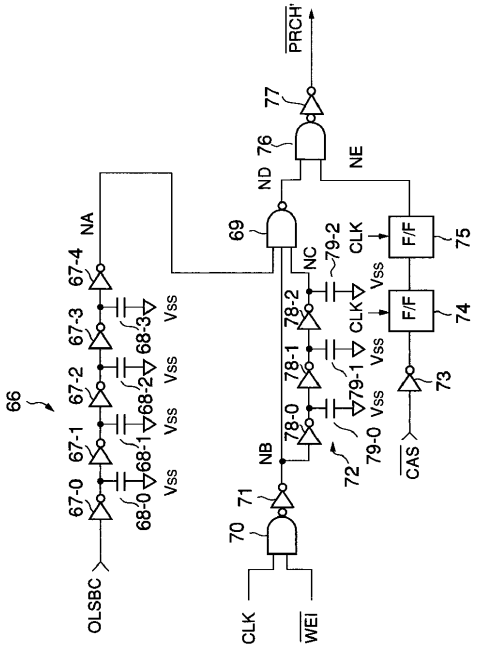
【図６】


0
1
2
3
CLK
CAS
カラムアドレス
CA0
CA1
CA2
CA3
Y0F
Y0F
Y1F
Y1F
Y2F
Y2F
Y0S
Y0S
Y1S
Y1S
Y2S
Y2S
CSW0
CSW1
CSW2,CSW3
OLSBC
PRCH
プリチャージが禁止される
DQ線対29-0, 29-0
D0
D2
DQ線対29-1, 29-1
D1
D3

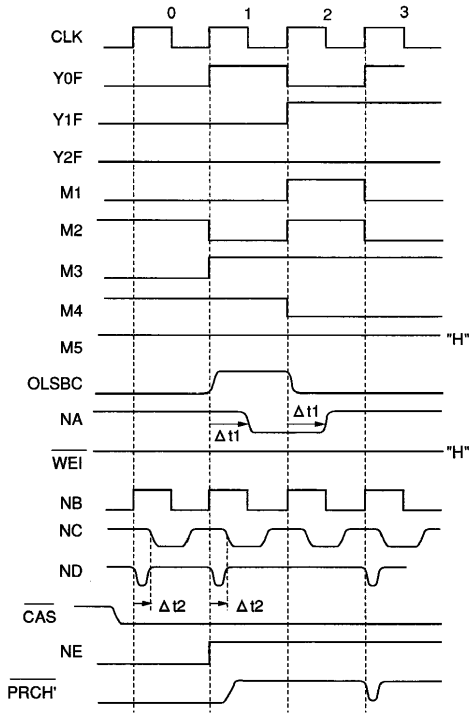
【図７】


OLSBC
65
64
M3
M4
M5
62
63
61-0
61-1
61-2
入力変化検知回路(ITD)
168
COMP
M1
M2
166
167
F/F
ITD
ITD
CLK
Y0F
Y1F
Y2F

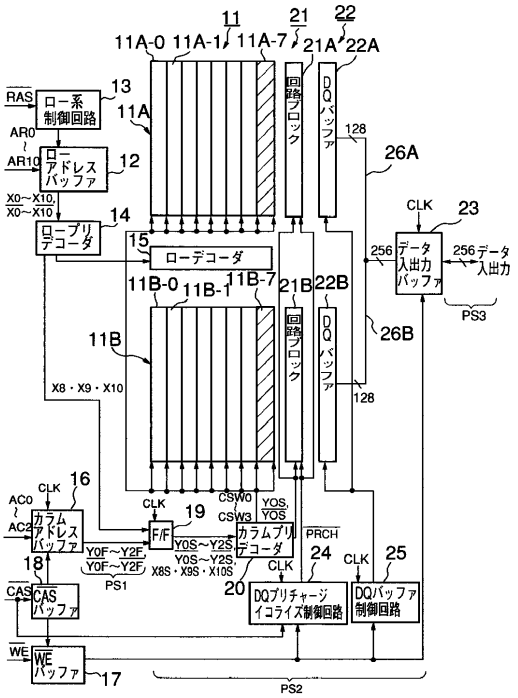
【図８】


PRCH'
77
76
ND
NE
NA
69
NC
79-2
CLK
F/F
75
67-4
68-4
Vss
78-2
74
67-3
68-3
78-1
79-1
73
67-2
68-2
66
78-0
79-0
72
CAS
67-1
68-1
NB
71
67-0
68-0
70
OLSBC
CLK
WEI

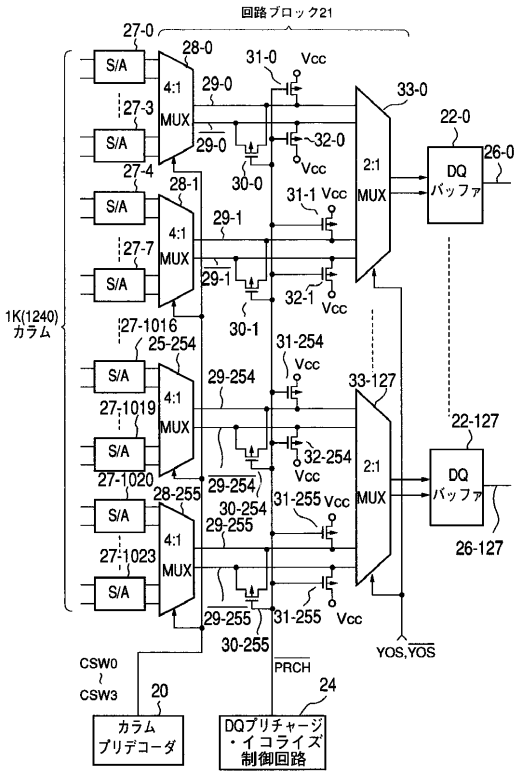
【図９】


0
1
2
3
CLK
Y0F
Y1F
Y2F
M1
M2
M3
M4
M5
"H"
OLSBC
NA
Δt1
Δt1
WEI
"H"
NB
NC
ND
Δt2
Δt2
CAS
NE
PRCH'

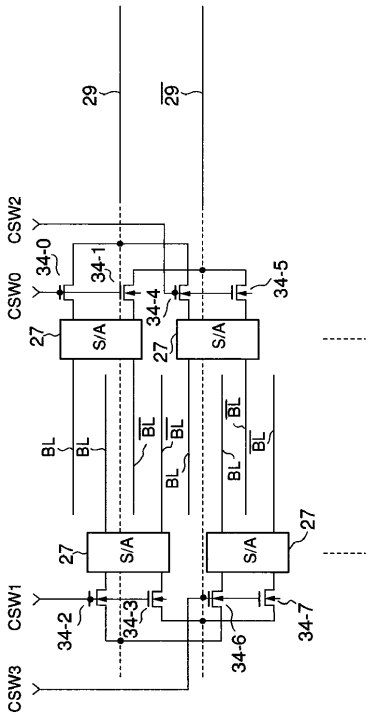
【図１０】


11
21
22
11A-0
11A-1
11A-7
21A
22A
RAS
ロー系制御回路
13
11A
AR0
AR10
ローアドレスバッファ
12
X0~X10,
X0~X10
ロープリデコーダ
14
15
ローデコーダ
128
26A
CLK
23
256データ入出力バッファ
256データ入出力
PS3
11B-0
11B-1
11B-7
21B
22B
11B
26B
X8・X9・X10
128
16
AC0
AC2
カラムアドレスバッファ
CLK
CSW0
CSW3
YOS,
YOS
19
F/F
カラムプリデコーダ
PRCH
Y0F~Y2F,
Y0F~Y2F
Y0S~Y2S
Y0S~Y2S
X8S・X9S・X10S
18
CAS
CASバッファ
PS1
24
CLK
25
20
DQプリチャージイコライズ制御回路
DQバッファ制御回路
WE
WEバッファ
17
PS2

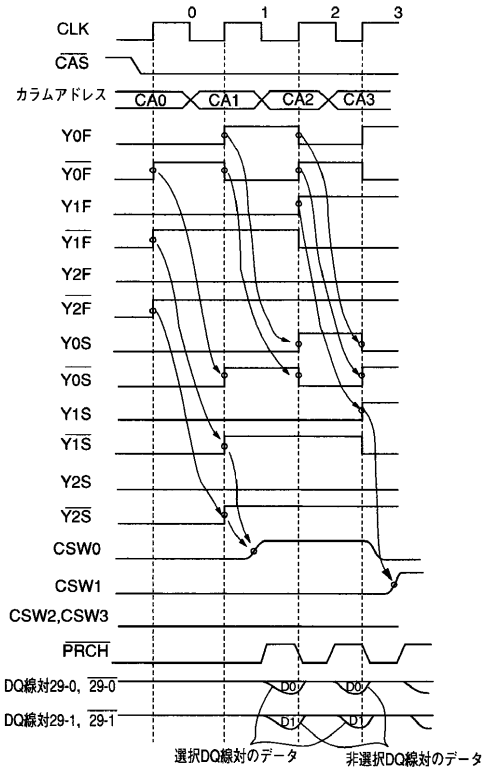
【図１１】


回路ブロック21
1K(1240)
カラム
S/A
4:1
MUX
2:1
MUX
DQ
バッファ
Vcc
CSW0
CSW3
PRCH
YOS,YOS
カラム
プリデコーダ
DQプリチャージ
・イコライズ
制御回路

【図１２】


CSW2
CSW0
CSW1
CSW3
S/A
BL

【図１３】


CLK
CAS
カラムアドレス
CA0
CA1
CA2
CA3
Y0F
Y1F
Y2F
Y0S
Y1S
Y2S
CSW0
CSW1
CSW2,CSW3
PRCH
DQ線対29-0, 29-0
DQ線対29-1, 29-1
選択DQ線対のデータ
非選択DQ線対のデータ

フロントページの続き

(74)代理人　100070437
弁理士　河井　将次
(72)発明者　矢部　友章
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

審査官　堀田　和義

(56)参考文献　特開平０８－３３９６８６（ＪＰ，Ａ）
特開平０７－２９６５７９（ＪＰ，Ａ）
特開平０７－０６５５７８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 11/409