

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 道格拉斯 A 拉森

LARSON, DOUGLAS A.

2. 傑佛瑞 J 克朗尼

CRONIN, JEFFREY J.

國 籍：(中文/英文)

1.-2.均美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年02月05日；10/773,583

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

相關申請交互參考

本專利申請案主張2004年2月5日申請之美國專案申請案第10/773,583號標題為「APPARATUS AND METHOD FOR DATA BYPASS FOR A BI-DIRECTIONAL DATA BUS IN A HUB-BASED MEMORY SUB-SYSTEM」之優先權，該案以引用方式併入本文中。

【發明所屬之技術領域】

本發明係關於記憶體系統，具體而言，本發明係關於具有一用於防止雙向資料匯流排上資料衝突之資料旁路的記憶體模組。

【先前技術】

電腦系統使用記憶體裝置(例如，動態隨機存取記憶體(DRAM)裝置)來儲存一處理器所要存取的資料。記憶體裝置通常係當作一電腦系統中的系統記憶體。在典型電腦系統中，該處理器透過一處理器匯流排及一記憶體控制器來與系統記憶體進行通訊。該系統記憶體(通常係配置成具有多個記憶體裝置的記憶體模組中)的該等記憶體裝置係透過一記憶體匯流排而耦接至該記憶體控制器。該處理器發出一記憶體要求，該記憶體要求包括一記憶體命令(例如，一讀取命令)以及一位址(用以指定被讀取之資料或指令的位置)。該記憶體控制器使用命令及位址來產生適當的命令訊號及行列位址，彼等命令訊號及行列位址係透過該記憶體匯流排而供應至該系統記憶體。回應該等命令及

位址，在該系統記憶體與該處理器之間傳送資料。該記憶體控制器通常屬於一系統控制器之部件，系統控制器還包括匯流排橋接器，用於耦接該處理器匯流排至一擴充匯流排(例如，PCI匯流排)。

在記憶體系統中，期望具有高資料頻寬。一般而言，由於記憶體控制器會以記憶體裝置所允許的速度，儘快定序傳至及傳自該系統記憶體的資料，所以頻寬限制與記憶體控制器無關。一種增加頻寬所採用的做法是，增加用以耦接該記憶體控制器至該等記憶體裝置的記憶體資料匯流排之速度。因此，可以在較短時間內透過記憶體資料匯流排移動相同的資訊量。然而，儘管增加記憶體資料匯流排速度，但卻不會導致對應地增加頻寬。一項介於資料匯流排速度與頻寬之間非線性關係的原因在於，記憶體裝置本身內部的硬體限制。即，記憶體控制器必須排程要傳至該等記憶體裝置的所有記憶體命令，因而形成硬體限制。雖然可以透過記憶體裝置設計來減少硬體限制至某程度，但是因為減少硬體限制通常會增加記憶體裝置的成本、功率及/或大小，所以必須權衡得失，這些都屬於非所期望的替代方案。因此，考慮到這些限制，雖然對於記憶體裝置而言以更增加的速率來移動「循規蹈矩」流量(例如，至一記憶體裝置之相同頁面的接續流量)輕而易舉，但是對於記憶體裝置而言解析「非循規蹈矩」流量(例如，在記憶體裝置的不同頁面或記憶組之間跳躍)卻更加困難。結果，增加記憶體資料匯流排頻寬不會導致對應地增加資訊

頻寬。

電腦系統的效能除了受限於介於處理器與記憶體裝置間的有限頻寬外，而且還受限於延時問題，延時會增加從系統記憶體裝置讀取資料所需的時間。具體而言，當一記憶體裝置讀取命令被耦接至一系統記憶體裝置(例如，一同步 DRAM (SDRAM)裝置)時，僅限於在一有數個時脈週期的延遲之後，才會從 SDRAM 裝置輸出所讀取的資料。因此，雖然 SDRAM 裝置能夠以高資料速度來同步輸出叢發資料，但是起始提供資料過程中的延遲會顯著減慢使用此類 SDRAM 裝置之電腦系統的操作速度。可以運用增加記憶體資料匯流排速度的方式來減輕延時問題。但是，基本上基於如上文所述之相同原因，關於頻寬，增加記憶體資料匯流排頻寬不會導致線性縮短延時。

雖然增加記憶體資料匯流排速度已某種程度上成功增加頻寬且縮短延時，但是這項做法會引發其它問題。例如，隨著記憶體資料匯流排速度增加，必須減少記憶體匯流排負載，以便維護資料完整性，原因在於傳統上，僅有在記憶體控制器與插入記憶體模組的記憶體插槽之間佈線。已採取數種適應記憶體資料匯流排速度增加的做法。例如，減少記憶體插槽數量；增加一記憶體模組上的緩衝器電路，以便提供充分扇出的控制訊號至該記憶體模組上的該等記憶體裝置；以及在該記憶體模組上提供多個記憶體裝置介面，原因在於一單一記憶體裝置介面上的記憶體模組連接器太少。但是，這些習知做法的效率有限。過去使用

這些技術的原因在於這項做法具成本效率。然而，每介面中僅能插入一個記憶體模組，造成針對每個必要記憶體插槽增加一分離的記憶體介面之成本太高。換言之，這造成系統控制器封裝成為非日用商品，而是成為精品，藉此大幅增加成本。

一項允許以高成本效率方式增加記憶體資料匯流排速度的新近做法為，使用透過一記憶體集線器而耦接至處理器的多個記憶體裝置。在記憶體集線器架構或集線器架構子系統中，記憶體控制器係透過一高速雙向或單向記憶體控制器/集線器介面而耦接至數個記憶體模組。通常係以點對點或菊鏈方式來耦接記憶體模組，促使該等記憶體模組互相串聯連接。因此，以菊鏈方式將該記憶體控制器耦接至一第一記憶體模組，將該第一記憶體模組耦接至一第二記憶體模組，以及將該第二記憶體模組耦接至一第三記憶體模組，以此類推。

每個記憶體模組各包括一耦接至該記憶體控制器/集線器介面的記憶體集線器以及位於該記憶體模組上數個記憶體裝置，該等記憶體集線器透過該記憶體控制器/集線器介面，在該控制器與該等記憶體裝置之間投送記憶體要求及回應。採用此架構的電腦系統可以使用高速記憶體資料匯流排的原因在於，在記憶體資料匯流排上可以維護訊號完整性。另外，這項架構還提供容易擴充的系統記憶體，而不須顧慮隨著增加更多記憶體模組而造成訊號品質惡化，例如，習知記憶體匯流排架構中發生的狀況。

雖然運用記憶體集線器的電腦系統可提供優越的效能，但是卻基本各種原因而無法以最佳化效率運作。一項此類原因在於管理透過該等記憶體集線器而進出該記憶體控制器的資料之間的資料衝突之議題。在習知記憶體控制器中，一種避免資料衝突所採用的做法是，延遲記憶體某記憶體命令之執行，直到另一記憶體命令完成。例如，運用一習知記憶體控制器，在一讀取命令之後發出一寫入命令不被允許開始，直到該讀取命令幾乎完成為止，藉此避免讀取(即，入埠)之資料與寫入(即，出埠)之資料在記憶體匯流排上發生衝突。然而，強制該寫入命令成為等待狀態會實際上減少頻寬，這不符合記憶體系統的典型期望。

【發明內容】

本發明一項態樣係針對一種具有一資料旁路電路的記憶體集線器。該記憶體集線器包括：第一及第二連結介面，用於耦接至對應之資料匯流排；一資料路徑，其耦接至該等第一及第二連結介面，並且透過該資料路徑在該等第一及第二連結介面之間傳送資料。該記憶體集線器進一步包括：一寫入旁路電路，其耦接至該資料路徑，用於耦接該資料路徑上的寫資料並且暫時儲存該寫資料，藉此允許在暫時儲存該寫資料時，透過該資料路徑來傳送讀資料。在本發明另一項態樣中，提供一種用於寫入資料至一記憶體系統中之一記憶體位置的方法，該記憶體系統係耦接至一記憶體匯流排。該方法包括：存取該記憶體系統中的讀資料；在該記憶體匯流排上提供寫資料至該記憶體系統；以

及耦接該寫資料至一用於暫時儲存該寫資料之暫存器。當暫時儲存該寫資料時，從該記憶體匯流排來耦接該讀資料並且提供該讀資料用於讀取作業。該寫資料被重新耦接至該記憶體匯流排且被寫入至該記憶體位置。

【實施方式】

本發明具體實施例係針對一種具有旁路電路的記憶體集線器，旁路電路提供適用於集線器架構記憶體子系統中雙向資料匯流排的資料旁路。為了充分認識本發明的各項具體實施例，在下面的說明中提出許多的特定細節。但是，熟知技藝人士應清楚知道，在不運用這些特定細節的情況下，仍然可實施本發明。在其他情況下，為了避免混淆本發明，不會特別詳細說明已熟知的電路、控制訊號及時序協定。

圖1繪示根據本發明一項具體實施例的電腦系統100。該電腦系統100包括一用於執行各項計算功能的處理器104，例如，執行特定軟體以實行特定計算或工作。該處理器104包括一處理器匯流排106，處理器匯流排通常包括一位址匯流排、一控制匯流排及一資料匯流排。該處理器匯流排106通常被耦接至快取記憶體108。一般而言，藉由一靜態隨機存取記憶體(SRAM)來提供該快取記憶體108。該處理器匯流排106也被耦接至一系統控制器110，有時候，系統控制器也稱為一匯流排橋接器。

該系統控制器110當做一接至該處理器104的通信路徑，以供各種其它組件使用。例如，如圖1所示，該系統控制

器 110 還包括一耦合至一圖形控制器 112 的圖形埠。該圖形控制器通常被耦接至一視訊終端機 114 (例如, 視訊顯示器)。該系統控制器 110 還耦接至一或多個輸入裝置 118 (例如, 鍵盤或滑鼠), 用以允許操作員操縱該電腦系統 100。通常, 該電腦系統 100 還包括一或多個輸出裝置 120 (例如, 印表機), 輸出裝置係透過該系統控制器 110 耦接至該處理器 104。通常, 一或多個資料儲存裝置 124 也是透過該系統控制器 110 耦接至該處理器 104, 藉以允許該處理器 104 儲存資料至或擷取資料自內部或外部媒體儲存(圖中未繪示)。典型之儲存裝置 124 的實例包括硬碟機、磁帶機及緊密磁碟唯讀記憶體(CD-ROM)。

該系統控制器 110 包括一記憶體集線器控制器 128, 該記憶體集線器控制器被耦接至一具有數個記憶體模組 130a、130b、130c、...、130n 的記憶體集線器 140。該等記憶體模組 130 係當做該電腦系統 100 的系統記憶體, 並且較佳係透過一高速雙向記憶體控制器/集線器介面 134 而耦接至該記憶體集線器控制器 128。圖中所示之該等記憶體模組 130 係以點對點配置方式而耦接至該記憶體集線器控制器 128, 其中透過該等記憶體模組 130 的該等記憶體集線器 140 來耦接該記憶體控制器/集線器介面 134。即, 該記憶體控制器/集線器介面 134 是一以串聯方式耦接該等記憶體集線器 140 的雙向匯流排。因此, 該記憶體控制器/集線器介面 134 上的資訊必須行進通過「上游」記憶體模組 130 的記憶體集線器 140, 才能到達一「下游」目的地。例如,

請具體參閱圖1，從該記憶體集線器控制器128傳輸至該記憶體模組130c之記憶體集線器140的資訊，將行進通過該等記憶體模組130a及130b的記憶體集線器140。

然而，顯而易見，也可以使用除圖1所示之點對點配置以外的拓樸。例如，例如，一種可以使用的耦接配置為，使用一分開的高速連結(圖中未繪示)來耦接每個該等記憶體模組130至該記憶體集線器控制器128。也可以使用一種切換式拓樸，其中的耦接配置為，該記憶體集線器控制器128係透過過一切換器(圖中未繪示)而選擇性耦接每個該等記憶體模組130。熟悉此項技術者應明白可以使用其它拓樸。此外，用以耦接該等記憶體至該記憶體集線器控制器的該記憶體控制器/集線器介面134還可能是一電氣或光學通信路徑。然而，其它類型的通信路徑也適用於該記憶體控制器/集線器介面134。假使該記憶體控制器/集線器介面134被實施為一光學通信路徑，則該光學通信路徑的形式可能是一或多條光纖。在此情況下，該記憶體集線器控制器128及該等記憶體模組將包括一耦接至該光學通信路徑的光學輸入/輸出埠或分開的輸入埠和輸出埠，如熟悉此項技術者所知。

該等記憶體集線器140控制關於各自記憶體模組130之記憶體裝置148之存取。在圖1中，該等記憶體裝置被繪示為同步動態隨機存取記憶體(SDRAM)裝置。然而，也可使用除SDRAM裝置外的記憶體裝置。再者，如圖1所示，該記憶體集線器係透過一各自記憶體匯流排150而被耦接至四

組記憶體裝置148。每組各包括四個記憶體裝置148，每個記憶體模組130總共有20個記憶體裝置148。該等記憶體匯流排150通常包括一控制匯流排、一位址匯流排及一資料匯流排，如熟悉此項技術者所知。然而，熟悉此項技術者應明白，也可以使用其它匯流排系統，例如，使用一共用命令/位址匯流排的匯流排系統，而不會脫離本發明的範疇。另外應明白，可以修改該等記憶體裝置148之配置以及該等記憶體裝置148之數量，而不會脫離本發明的範疇。

圖2繪示根據本發明一具體實施例之記憶體集線器140的一部分。該140包括一耦合至該記憶體控制器/集線器介面134 (圖1)的局域集線器電路214。該局域集線器電路214係透過該記憶體匯流排150而進一步被耦接至記憶體裝置148。該局域集線器電路214包括用於處理該記憶體集線器控制器128所發出之記憶體命令以及用於透過該記憶體匯流排150來存取該等記憶體裝置148的控制邏輯，藉此當該記憶體命令被導引至對應記憶體模組130時提供對應之資料。熟悉此項技術者已熟知此類控制邏輯之設計及運作，據此，本文中基於簡潔而省略其詳細說明。該記憶體集線器140進一步包括一耦接至該局域集線器電路214的資料旁路電路286。如下文詳細說明所述，該資料旁路電路286係用於暫時擷取正傳遞至一遠處記憶體集線器的資料，這允許在該擷取之資料繼續行進至該遠處記憶體集線器之前，先從另一遠處記憶體集線器傳回資料而通過該記憶體集線

器 140。因此，該資料旁路電路 286 提供一種資料旁路機制，可以用來避免該記憶體集線器 140 所耦接的該雙向記憶體控制器/集線器介面 134 發生衝突。

如上文所述，習知記憶體子系統所採用的避免資料衝突做法是，延遲記憶體某記憶體命令之執行，直到另一記憶體命令完成。例如，在一典型記憶體系統中，在一讀取命令之後發出一寫入命令不被允許開始，直到該讀取命令幾乎完成為止，藉此避免讀取(即，入埠)之資料與寫入(即，出埠)之資料在該記憶體控制器/集線器介面 134 上發生衝突。相比之下，藉由採用具有該資料旁路電路 286 的該記憶體集線器 140，在一讀取命令之後發出的寫入命令可被定序為比習知記憶體系統較為早，且因此，也可以較快地執行該提早排程之寫入命令之後所排程之記憶體命令。

圖 3 繪示根據本發明一項具體實施例的資料旁路電路 300。該資料旁路電路 300 可以取代該資料旁路電路 286 (圖 2)，並且可以使用熟悉此項技術者熟知的習知設計及電路予以實作。該資料旁路電路 300 包括一用於提供輸入寫資料 WR_DATA_IN 的輸入緩衝器 302，並且提供該資料至一旁路暫存器/FIFO 304 及一多工器 306 的一第一輸入端。該旁路暫存器/FIFO 304 的一輸出端被耦接到該多工器 306 的一第二輸入端。藉由一旁路選擇邏輯 308 所產生的一啟用訊號 EN，來選擇該等輸入端中要耦接至該多工器 306 之該輸出端的輸入端。該 EN 訊號被提供至一輸入/輸出緩衝器

310，用以當做一啟動或撤銷啟動該輸入/輸出緩衝器310的輸出啟用訊號。該旁路選擇邏輯308響應該記憶體集線器控制器128（圖1）所提供的一啟動訊號BYPASS_EN，而產生適當的EN訊號。替代做法是，可以從屬於相同記憶體系統部件的其它記憶體集線器（圖中未繪示）來提供該BYPASS_EN訊號。該資料旁路電路的電路元件為習知電路元件，並且顯而易見，可以使用此項技術者所熟知的習知設計及電路元件來實作該資料旁路電路300的電路。

在運作過程中，該資料旁路電路300所接收到的該WR_DATA_IN係透過該輸入緩衝器302予以驅動，並且被提供至該多工器306的該第一輸入端。該WR_DATA_IN還被儲存在該旁路暫存器/FIFO 304中。響應一非作用中BYPASS_EN訊號，該旁路選擇邏輯308產生一作用中EN訊號。該作用中EN訊號啟用該輸入/輸出緩衝器310的輸出，並且透過該多工器306來將該輸入緩衝器302的輸出端耦接至該輸入/輸出緩衝器310的輸入端。結果，該WR_DATA_IN被直接提供至該輸入/輸出緩衝器310的輸入端，並且係透過該資料旁路電路300在無任何旁路情況下予以提供。然而，為了響應一作用中BYPASS_EN訊號，該旁路選擇邏輯308產生一非作用中EN訊號，藉以停用該輸入/輸出緩衝器310的輸出功能，並且使其輸出端置於一高阻抗狀態。此外，該非作用中EN訊號還將該輸入/輸出緩衝器310的輸入端耦接至該旁路暫存器/FIFO 304的輸出端。以此方式，該WR_DATA_IN被該資料旁路電路300予

以接收、被該旁路暫存器/FIFO 304予以儲存、並且被提供至該輸入/輸出緩衝器310的該輸入端。然而，由於該EN訊號處於非作用中狀態，所以該輸入/輸出緩衝器310不會將該WR_DATA_IN提供為輸出資料WR_DATA_OUT。結果，該WR_DATA_IN被保持在一旁路狀態，直到該BYPASS_EN訊號變成非作用中狀態為止，此時，該EN訊號再次變成作用中狀態，藉以啟用該輸入/輸出緩衝器310，以便將該WR_DATA_IN提供為WR_DATA_OUT資料。該多工器306被逆切換以將該輸入緩衝器302的輸出端直接耦接至該輸入/輸出緩衝器310的輸入端，藉此允許WR_DATA_IN未受阻撓地通過該資料旁路電路。

將參考圖4來描述該資料旁路電路286的運作。圖4類似於圖1，惟圖4已被簡化除外。具體而言，圖1所示的許多功能組塊已被省略，圖中僅繪示記憶體模組130a-130c，並且以記憶體集線器140a-140c來表示。圖中僅繪示出，一記憶體裝置148a-148c係透過一各自記憶體匯流排150a-150c而被耦接至一各自記憶體集線器140a-140c。如同圖1所示，該等記憶體集線器140a-140c係透過一高速雙向記憶體控制器/集線器介面134而耦接至該記憶體集線器控制器128。

在圖4中，假設該記憶體集線器控制器128剛剛發出讀取命令和寫入命令，而且該讀取命令被定序在該寫入命令之前。該讀取命令被導引至該記憶體模組130b，而且該寫入命令被導引至該記憶體模組130c。即，將被寫入資料的記

器確保：當從該記憶體模組130b擷取RD時，往該RD反方向流動的任何WD被移開。但是應明白，在替代具體實施例中，可以用不同方式來管理通過該記憶體控制器/集線器介面134及該等資料旁路電路286的資料流程，例如，該記憶體集線器控制器128與該等記憶體集線器140共同協調資料流程。

在前文的實例中，該RD被傳回至該記憶體集線器控制器128，如同習知記憶體系統。即，該等記憶體裝置148所傳輸之RD被提供至該記憶體控制器，而且沒有任何顯著延遲。但是，藉由採用前文所述之資料旁路機制，寫入命令可以被排程為比使用習知記憶體系統較為早。在一典型記憶體系統中，在一讀取命令之後發出一寫入命令不被允許開始，直到該讀取命令幾乎完成為止。相比之下，本發明具體實施例允許提早排程一後續發出之寫入命令，因此，縮短介於讀取命令與寫入命令之間的時間間隙。結果，排程在一提早排程之寫入命令後面的命令具有一整體縮短的延時。

從前文可得知，雖然本文中已基於解說目的來說明本發明的特定具體實施例，但是可進行各種修改，而不會脫離本發明的精神及範疇。因此，本發明未受限於此，而是以隨附的申請專利範圍為主。

【圖式簡單說明】

圖1繪示可實施本發明具體實施例之電腦系統的方塊圖，該電腦系統具有記憶體集線器架構之記憶體模組。

圖2繪示根據本發明一項具體實施例之記憶體集線器的局部方塊圖，該記憶體集線器係配合圖1所示之記憶體模組一起使用。

圖3繪示根據本發明具體實施例之用於圖2所示之記憶體集線器的資料旁路電路之方塊圖。

圖4繪示用於解說圖3所示之資料旁路電路之運作的方塊圖，用於一具有圖1所示之記憶體集線器架構及圖2所示之記憶體集線器的電腦系統。

【主要元件符號說明】

100	電腦系統
104	處理器
106	處理器匯流排
108	快取記憶體
110	系統控制器
112	圖形控制器
114	視訊終端機
116	下游匯流排
118	輸入裝置
120	輸出裝置
124	儲存裝置
128	記憶體集線器控制器
130a, 130b, 130c, ... 130n	記憶體模組
134	記憶體控制器/集線器介面
140	記憶體集線器

148	記憶體裝置
150	記憶體匯流排
214	局域集線器電路
286	資料旁路電路
300	資料旁路電路
302	輸入緩衝器
304	旁路暫存器/FIFO
306	多工器
308	旁路選擇邏輯
310	輸入/輸出緩衝器
BYPASS_EN	啟動訊號
EN	啟用訊號
WR_DATA_IN	輸入寫資料
RD	讀資料
WD	寫資料

五、中文發明摘要：

一種記憶體集線器包括：第一及第二連結介面，用於耦接至對應之資料匯流排；一資料路徑，其耦接至該等第一及第二連結介面，並且透過該資料路徑在該等第一及第二連結介面之間傳送資料；以及進一步包括一寫入旁路電路，其耦接至該資料路徑，用於耦接該資料路徑上的寫資料並且暫時儲存該寫資料，藉此允許在暫時儲存該寫資料時，透過該資料路徑來傳送讀資料。提供一種用於寫入資料至一記憶體系統中之一記憶體位置的方法，包括：存取該記憶體系統中的讀資料；提供寫資料至該記憶體系統；以及耦接該寫資料至一用於暫時儲存之暫存器。在提供該讀資料之後，該寫資料被重新耦接至該記憶體匯流排且被寫入至該記憶體位置。

六、英文發明摘要：

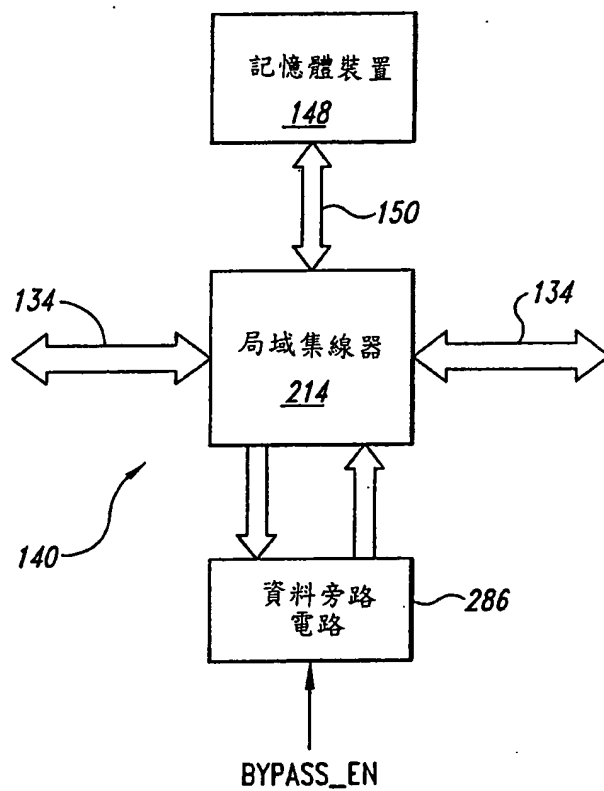


圖 2

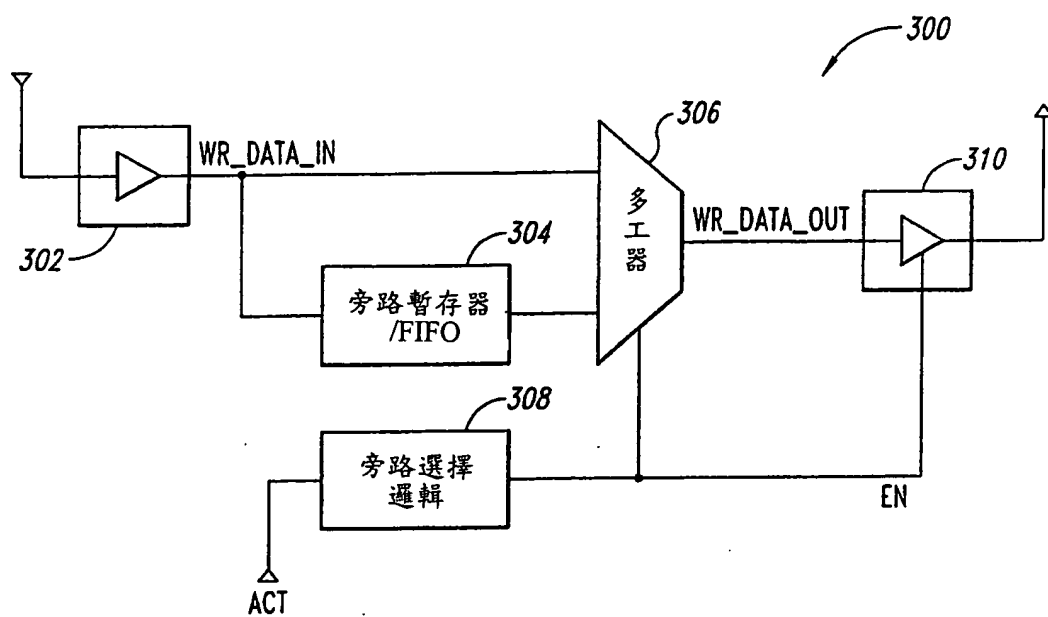


圖 3

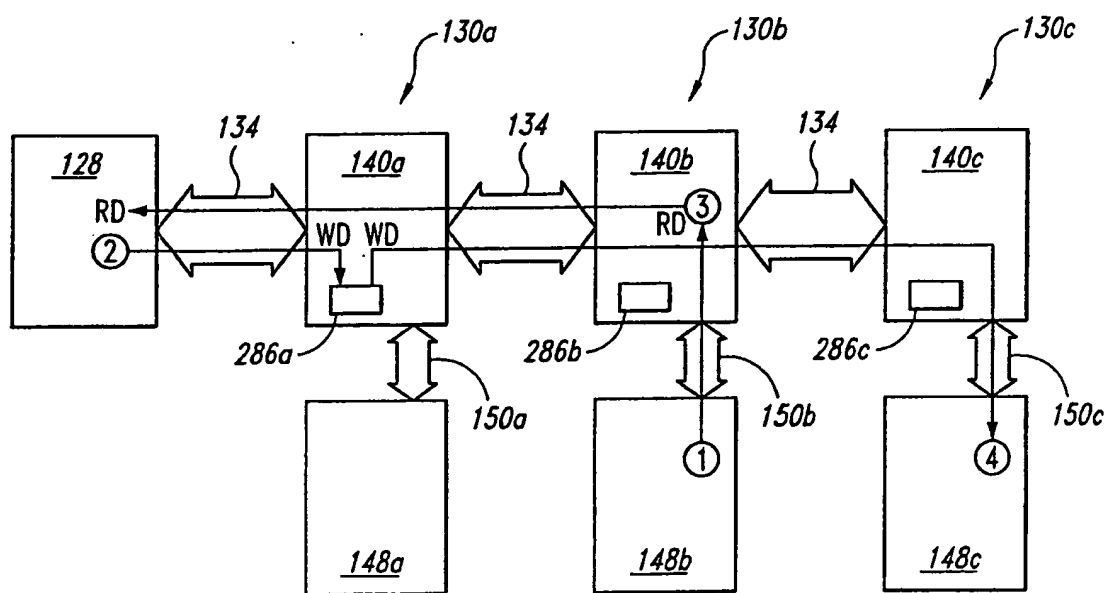


圖 4

七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

134	記憶體控制器/集線器介面
140	記憶體集線器
148	記憶體裝置
150	記憶體匯流排
214	局域集線器電路
286	資料旁路電路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

發明專利說明書

中文說明書替換頁(97年11月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94104058

※ 申請日期：94.02.05

※IPC 分類：G06F 14/00 (2006.01)

一、發明名稱：(中文/英文)

記憶體集線器、記憶體模組、具有資料旁路以防止在雙向資料匯流排上資料衝突之處理器系統、以及相關的方法

MEMORY HUB, MEMORY MODULE, AND PROCESSOR SYSTEM
HAVING A DATA BYPASS FOR PREVENTING DATA COLLISION ON
A BI-DIRECTIONAL DATA BUS, AND THE RELATED METHOD

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商美光科技公司

MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

麥克 L 林契

LYNCH, MICHAEL L.

住居所或營業所地址：(中文/英文)

美國愛達荷州鮑西市南菲德洛路8000號

8000 SOUTH FEDERAL WAY BOISE, IDAHO 83716-9632, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

記憶體模組位於要被讀取資料的記憶體模組的下游。為了響應該讀取命令，該記憶體集線器140b開始從該記憶體裝置148b擷取讀資料(RD)，如圖4中的「(1)」所標示。隨著已發出的該讀取命令，接著起始該寫入命令，並且寫資料(WD)被提供至該記憶體控制器/集線器介面134。然而，由於記憶體集線器控制器128正預期從該記憶體模組130b傳回該RD，所以該記憶體集線器140a被導引以擷取自己資料旁路電路286a中的WD。結果，該資料旁路電路286a擷取該WD而清除該記憶體控制器/集線器介面134，如圖4中的「(2)」所標示，藉此將該RD傳回至該記憶體集線器控制器128。當該記憶體集線器140b已從該記憶體裝置148b擷取該RD時，接著透過該記憶體控制器/集線器介面134將該RD提供至該記憶體集線器控制器128，如圖4中的「(3)」所標示，藉此完成讀取要求。在該RD行進通過該記憶體集線器140a而到達該記憶體集線器控制器128時，該記憶體集線器140a從該資料旁路電路286a釋出該WD，藉此繼續行進至該記憶體集線器140c。該WD係透過高速連結而被提供該記憶體集線器140c，現在介於該記憶體集線器140a與140c之間的連結為清除狀態。該WD到達該記憶體集線器140c後即被寫入至該記憶體裝置148c中，如圖4中的「(4)」所標示。在本發明一項具體實施例中，在該記憶體集線器控制器128控制下，協調該記憶體控制器/集線器介面134上及通過該等資料旁路電路286的RD與WD之資料流程。例如，在前文的實例中，該記憶體集線器控制

十、申請專利範圍：

1. 一種具有防止在一雙向資料匯流排上資料衝突之一資料旁路之記憶體集線器，包括：

第一及第二連結介面，用於耦接至對應之資料匯流排；

一資料路徑，其耦接至該等第一及第二連結介面，並且透過該資料路徑在該等第一及第二連結介面之間傳送資料；以及

一寫入旁路電路，其耦接至該資料路徑，用於耦接該資料路徑上的寫資料並且暫時儲存該寫資料，藉此允許在暫時儲存該寫資料時，透過該資料路徑來傳送讀資料。

2. 如請求項1之記憶體集線器，其中該寫入旁路電路包括：

一多工器，其具有一耦接至該資料路徑的第一輸入端，並且進一步具有一第二輸入端、一輸出端以及一選擇端子，該多工器依據一施加至該選擇端子的選擇訊號，耦接該輸出端至該第一或該第二輸入端；

一先進先出(FIFO)暫存器，其具有一耦接至該資料路徑的輸入端，並且進一步具有一耦接至該多工器之該第二輸入端的輸出端；

一輸出緩衝器，其具有一耦接至該多工器之該輸出端的緩衝器輸入端，並且進一步具有一緩衝器輸出端以及一啟動端子，該輸出緩衝器依據一施加至該啟動端子的

啟動訊號，耦接該緩衝器輸入端至該緩衝器輸出端；以及一選擇電路，其耦接至該多工器，用以當被啟動以將該多工器的該第二輸入端耦接至該多工器的該輸出端時，產生該選擇訊號及該啟動訊號。

3. 如請求項2之記憶體集線器，其中該寫入旁路電路進一步包括一輸入緩衝器，其具有一耦接至該資料路徑的輸入端，以及一耦接至該多工器之該等輸入端和該FIFO暫存器的輸出端。

4. 如請求項1之記憶體集線器，進一步包括一記憶體裝置介面，其耦接至該資料路徑，該記憶體裝置介面係用於將資料耦接至該記憶體裝置介面可耦接的至少一記憶體裝置。

5. 一種具有防止在一雙向資料匯流排上資料衝突之一資料旁路之記憶體集線器，包括：

一第一連結介面，用於耦接至一第一資料匯流排，藉此提供資料至該第一資料匯流排及接收來自於該第一資料匯流排的資料；

一第二連結介面，用於耦接至一第二資料匯流排，藉此提供資料至該第二資料匯流排及接收來自於該第二資料匯流排的資料；以及

一資料旁路電路，其耦接至該等第一及第二連結介面，藉此儲存藉由該第一或該第二連結介面所接收的第一組資料，藉此允許在該等第一與第二連結介面之間耦接一第二組資料，而不會受到該第一組資料干擾。

6. 如請求項5之記憶體集線器，其中該資料旁路電路包括：

一多工器，其具有一第一輸入端、一第二輸入端、一輸出端以及一選擇端子，該多工器依據一施加至該選擇端子的選擇訊號，耦接該輸出端至該第一或該第二輸入端；

一先進先出(FIFO)暫存器，其具有一耦接至該切換電路的輸入端，並且進一步具有一耦接至該多工器之該第二輸入端的輸出端；

一輸出緩衝器，其具有一耦接至該多工器之該輸出端的緩衝器輸入端，並且進一步具有一緩衝器輸出端以及一啟動端子，該輸出緩衝器依據一施加至該啟動端子的啟動訊號，耦接該緩衝器輸入端至該緩衝器輸出端；以及

一選擇電路，其耦接至該多工器，用以當被啟動以將該多工器的該第二輸入端耦接至該多工器的該輸出端時，產生該選擇訊號及該啟動訊號。

7. 如請求項6之記憶體集線器，其中該資料旁路電路進一步包括一輸入緩衝器，其具有一耦接至該多工器之該等輸入端和該FIFO暫存器的輸出端。
8. 如請求項5之記憶體集線器，進一步包括一記憶體裝置介面，其耦接至該第一及第二連結介面，該記憶體裝置介面係用於將資料耦接至至少一記憶體裝置。
9. 如請求項8之記憶體集線器，其中該記憶體裝置介面包括：

一記憶體控制器，其耦接至該雙向資料匯流排，該記憶體控制器具有一可以耦接至一記憶體裝置的記憶體裝置端子；

一寫入緩衝器，其耦接至該記憶體控制器，用於儲存記憶體要求；以及

一快取區，其耦接至該記憶體控制器，用以儲存資料。

10. 如請求項5之記憶體集線器，其中該第一組資料表示寫資料，該第二組資料表示讀資料。

11. 一種具有防止在一雙向資料匯流排上資料衝突之一資料旁路之記憶體模組，包括：

複數個記憶體裝置；以及

一記憶體集線器，其耦接至該等複數個記憶體裝置，該記憶體集線器包括：

第一及第二連結介面，用於耦接至對應之資料匯流排；

一資料路徑，其耦接至該等第一及第二連結介面，並且透過該資料路徑在該等第一及第二連結介面之間傳送資料；以及

一寫入旁路電路，其耦接至該資料路徑，用於耦接該資料路徑上的寫資料並且暫時儲存該寫資料，藉此允許在暫時儲存該寫資料時，透過該資料路徑來傳送讀資料。

12. 如請求項11之記憶體模組，其中該記憶體集線器的該寫

入旁路電路包括：

一多工器，其具有一耦接至該資料路徑的第一輸入端，並且進一步具有一第二輸入端、一輸出端以及一選擇端子，該多工器依據一施加至該選擇端子的選擇訊號，耦接該輸出端至該第一或該第二輸入端；

一先進先出(FIFO)暫存器，其具有一耦接至該資料路徑的輸入端，並且進一步具有一耦接至該多工器之該第二輸入端的輸出端；

一輸出緩衝器，其具有一耦接至該多工器之該輸出端的緩衝器輸入端，並且進一步具有一緩衝器輸出端以及一啟動端子，該輸出緩衝器依據一施加至該啟動端子的啟動訊號，耦接該緩衝器輸入端至該緩衝器輸出端；以及

一選擇電路，其耦接至該多工器，用以當被啟動以將該多工器的該第二輸入端耦接至該多工器的該輸出端時，產生該選擇訊號及該啟動訊號。

13. 如請求項12之記憶體模組，其中該記憶體集線器的該寫入旁路電路進一步包括一輸入緩衝器，其具有一耦接至該資料路徑的輸入端，以及一耦接至該多工器之該等輸入端和該FIFO暫存器的輸出端。

14. 如請求項11之記憶體模組，其中該記憶體集線器進一步包括一記憶體裝置介面，其耦接至該資料路徑並且耦接至該等複數個記憶體裝置中的至少一記憶體裝置，該記憶體裝置介面係用於將資料耦接至該記憶體裝置。

15. 如請求項14之記憶體模組，其中該記憶體集線器的該記

記憶體裝置介面包括：

一記憶體控制器，其透過一記憶體控制器匯流排而耦接至該資料路徑，並且進一步透過一記憶體裝置匯流排而耦接至該等複數個記憶體裝置中的至少一記憶體裝置；

一寫入緩衝器，其耦接至該記憶體控制器，用於儲存被導引至該記憶體控制器的記憶體要求；以及

一快取區，其耦接至該記憶體控制器，用於儲存要提供至該記憶體裝置或擷取自該記憶體裝置的資料。

16. 一種具有防止在一雙向資料匯流排上資料衝突之一資料旁路之記憶體模組，包括：

複數個記憶體裝置；以及

一記憶體集線器，其耦接至該等複數個記憶體裝置中的至少一記憶體裝置，該記憶體集線器包括：

一第一連結介面，用於耦接至一第一資料匯流排，藉此提供資料至該第一資料匯流排及接收來自於該第一資料匯流排的資料；

一第二連結介面，用於耦接至一第二資料匯流排，藉此提供資料至該第二資料匯流排及接收來自於該第二資料匯流排的資料；以及

一資料旁路電路，其耦接至該等第一及第二連結介面，藉此儲存藉由該第一或該第二連結介面所接收的一第一組資料，藉此允許在該等第一與第二連結介面之間耦接一第二組資料，而不會受到該第一組資料干

擾。

17. 如請求項16之記憶體模組，其中該記憶體集線器的該資料旁路電路包括：

一多工器，其具有一第一輸入端、一第二輸入端、一輸出端以及一選擇端子，該多工器依據一施加至該選擇端子的選擇訊號，耦接該輸出端至該第一或該第二輸入端；

一先進先出(FIFO)暫存器，其具有一耦接至該切換電路的輸入端，並且進一步具有一耦接至該多工器之該第二輸入端的輸出端；

一輸出緩衝器，其具有一耦接至該多工器之該輸出端的緩衝器輸入端，並且進一步具有一緩衝器輸出端以及一啟動端子，該輸出緩衝器依據一施加至該啟動端子的啟動訊號，耦接該緩衝器輸入端至該緩衝器輸出端；以及

一選擇電路，其耦接至該多工器，用以當被啟動以將該多工器的該第二輸入端耦接至該多工器的該輸出端時，產生該選擇訊號及該啟動訊號。

18. 如請求項17之記憶體模組，其中該記憶體集線器的該資料旁路電路進一步包括一輸入緩衝器，其具有一耦接至該多工器之該等輸入端和該FIFO暫存器的輸出端。

19. 如請求項16之記憶體模組，其中該記憶體集線器進一步包括一記憶體裝置介面，其耦接至一資料路徑並且耦接至該等複數個記憶體裝置中的至少一記憶體裝置，該記憶體裝置介面係用於將資料耦接至該記憶體裝置。

20. 如請求項16之記憶體模組，其中該第一組資料表示寫資料，該第二組資料表示讀資料。

21. 一種包括在一雙向資料匯流排上具有一資料旁路之一記憶體模組之處理器架構系統，包括：

一處理器，其具有一處理器匯流排；

一系統控制器，其耦接至該處理器匯流排，該系統控制器具有一系統記憶體埠及一周邊裝置埠；

至少一輸入裝置，其耦接至該系統控制器的該周邊裝置埠；

至少一輸出裝置，其耦接至該系統控制器的該周邊裝置埠；

至少一資料儲存裝置，其耦接至該系統控制器的該周邊裝置埠；以及

一記憶體模組，其耦接至該系統控制器的該系統記憶體埠，該記憶體模組包括：

複數個記憶體裝置；以及

一記憶體集線器，其耦接至該等複數個記憶體裝置，該記憶體集線器包括：

第一及第二連結介面，用於耦接至對應之資料匯流排；

一資料路徑，其耦接至該等第一及第二連結介面，並且透過該資料路徑在該等第一及第二連結介面之間傳送資料；以及

一寫入旁路電路，其耦接至該資料路徑，用於耦

接該資料路徑上的寫資料並且暫時儲存該寫資料，藉此允許在暫時儲存該寫資料時，透過該資料路徑來傳送讀資料。

22. 如請求項21之處理器架構系統，其中該記憶體集線器的該寫入旁路電路包括：

一多工器，其具有一耦接至該資料路徑的第一輸入端，並且進一步具有一第二輸入端、一輸出端以及一選擇端子，該多工器依據一施加至該選擇端子的選擇訊號，耦接該輸出端至該第一或該第二輸入端；

一先進先出(FIFO)暫存器，其具有一耦接至該資料路徑的輸入端，並且進一步具有一耦接至該多工器之該第二輸入端的輸出端；

一輸出緩衝器，其具有一耦接至該多工器之該輸出端的緩衝器輸入端，並且進一步具有一緩衝器輸出端以及一啟動端子，該輸出緩衝器依據一施加至該啟動端子的啟動訊號，耦接該緩衝器輸入端至該緩衝器輸出端；以及

一選擇電路，其耦接至該多工器，用以當被啟動以將該多工器的該第二輸入端耦接至該多工器的該輸出端時，產生該選擇訊號及該啟動訊號。

23. 如請求項22之處理器架構系統，其中該記憶體集線器的該寫入旁路電路進一步包括一輸入緩衝器，其具有一耦接至該資料路徑的輸入端，以及一耦接至該多工器之該等輸入端和該FIFO暫存器的輸出端。

24. 如請求項21之處理器架構系統，其中該記憶體集線器進

一步包括一記憶體裝置介面，其耦接至該資料路徑並且耦接至該等複數個記憶體裝置中的至少一記憶體裝置，該記憶體裝置介面係用於將資料耦接至該記憶體裝置。

25. 如請求項24之處理器架構系統，其中該記憶體集線器的該記憶體裝置介面包括：

一記憶體控制器，其透過一記憶體控制器匯流排而耦接至該資料路徑，並且進一步透過一記憶體裝置匯流排而耦接至該等複數個記憶體裝置中的至少一記憶體裝置；

一寫入緩衝器，其耦接至該記憶體控制器，用於儲存被導引至該記憶體控制器的記憶體要求；以及

一快取區，其耦接至該記憶體控制器，用於儲存要提供至該記憶體裝置或擷取自該記憶體裝置的資料。

26. 一種包括在一雙向資料匯流排上具有一資料旁路之一記憶體模組之處理器架構系統，包括：

一處理器，其具有一處理器匯流排；

一系統控制器，其耦接至該處理器匯流排，該系統控制器具有一系統記憶體埠及一周邊裝置埠；

至少一輸入裝置，其耦接至該系統控制器的該周邊裝置埠；

至少一輸出裝置，其耦接至該系統控制器的該周邊裝置埠；

至少一資料儲存裝置，其耦接至該系統控制器的該周邊裝置埠；以及

一記憶體模組，其耦接至該系統控制器的該系統記憶體埠，該記憶體模組包括：

複數個記憶體裝置；以及

一記憶體集線器，其耦接至該等複數個記憶體裝置中的至少一記憶體裝置，該記憶體集線器包括：

一第一連結介面，用於耦接至一第一資料匯流排，藉此提供資料至該第一資料匯流排及接收來自於該第一資料匯流排的資料；

一第二連結介面，用於耦接至一第二資料匯流排，藉此提供資料至該第二資料匯流排及接收來自於該第二資料匯流排的資料；以及

一資料旁路電路，其耦接至該等第一及第二連結介面，藉此儲存藉由該第一或該第二連結介面所接收的一第一組資料，藉此允許在該等第一與第二連結介面之間耦接一第二組資料，而不會受到該第一組資料干擾。

27. 如請求項26之處理器架構系統，其中該記憶體集線器的該資料旁路電路包括：

一多工器，其具有一第一輸入端、一第二輸入端、一輸出端以及一選擇端子，該多工器依據一施加至該選擇端子的選擇訊號，耦接該輸出端至該第一或該第二輸入端；

一先進先出(FIFO)暫存器，其具有一耦接至該切換電路的輸入端，並且進一步具有一耦接至該多工器之該第

二輸入端的輸出端；

一輸出緩衝器，其具有一耦接至該多工器之該輸出端的緩衝器輸入端，並且進一步具有一緩衝器輸出端以及一啟動端子，該輸出緩衝器依據一施加至該啟動端子的啟動訊號，耦接該緩衝器輸入端至該緩衝器輸出端；以及

一選擇電路，其耦接至該多工器，用以當被啟動以將該多工器的該第二輸入端耦接至該多工器的該輸出端時，產生該選擇訊號及該啟動訊號。

28. 如請求項27之處理器架構系統，其中該記憶體集線器的該資料旁路電路進一步包括一輸入緩衝器，其具有一用以接收寫資料的輸入端，以及一耦接至該多工器之該等輸入端和該FIFO暫存器的輸出端。

29. 如請求項26之處理器架構系統，其中該記憶體集線器進一步包括一記憶體裝置介面，其耦接至一資料路徑並且耦接至該等複數個記憶體裝置中的至少一記憶體裝置，該記憶體裝置介面係用於將資料耦接至該記憶體裝置。

30. 如請求項29之處理器架構系統，其中該記憶體集線器的該記憶體裝置介面包括：

一記憶體控制器，其透過一記憶體控制器匯流排而耦接至該資料路徑，並且進一步透過一記憶體裝置匯流排而耦接至該等複數個記憶體裝置中的至少一記憶體裝置；

一寫入緩衝器，其耦接至該記憶體控制器，用於儲存被導引至該記憶體控制器的記憶體要求；以及

一快取區，其耦接至該記憶體控制器，用於儲存要提供至該記憶體裝置或擷取自該記憶體裝置的資料。

31. 如請求項26之處理器架構系統，其中該第一組資料表示寫資料，該第二組資料表示讀資料。

32. 一種用於寫入資料至在一雙向資料匯流排上具有一資料旁路之一記憶體系統中之一記憶體位置之方法，該記憶體系統係耦接至一記憶體匯流排，該方法包括：

存取該記憶體系統中的讀資料；

在該雙向資料匯流排上提供寫資料至該記憶體系統；

耦接該寫資料至該記憶體系統中一用於暫時儲存該寫資料之暫存器；

耦接該讀資料至該雙向資料匯流排並且提供該讀資料以供讀取；

耦接該暫存器中儲存的該寫資料至該雙向資料匯流排；以及

寫入該寫資料至該記憶體位置。

33. 如請求項32之方法，進一步包括在發出一寫入命令至該記憶體系統之前，先發出一讀取命令至該記憶體系統。

34. 如請求項32之方法，其中提供該寫資料至該記憶體系統包括：在耦接該寫資料至該暫存器之前，先透過該記憶體系統的至少一記憶體模組來提供該寫資料。

35. 如請求項32之方法，其中該記憶體系統包括在該記憶體匯流排中串聯耦接的複數個記憶體模組，並且寫入該寫資料至該記憶體位置包括：寫入該寫資料至位於要被存

取該讀資料之該記憶體模組的下游之一記憶體模組中的一記憶體位置中。

36. 一種用於在一雙向資料匯流排上具有一資料旁路之一記憶體系統中執行記憶體命令之方法，該方法包括：

發出一讀取命令至該記憶體系統；

發出一寫入命令至該記憶體系統中的一記憶體位置，並且提供寫資料至該記憶體系統的該雙向資料匯流排；

存取該記憶體系統中的讀資料；

在該記憶體系統中，從該雙向資料匯流排解除耦接該寫資料；

在該雙向資料匯流排上接收來自該記憶體系統的該讀資料；

重新耦接該寫資料至該雙向資料匯流排；以及

繼續發出該寫資料至該記憶體位置。

37. 如請求項36之方法，其中在發出該寫入命令至該記憶體系統之前，先發出該讀取命令至該記憶體系統。

38. 如請求項36之方法，進一步包括在接收該讀資料期間，將該寫資料暫時儲存於一旁路緩衝器中。

39. 如請求項36之方法，其中提供該寫資料至該雙向資料匯流排包括：在從該雙向資料匯流排解除耦接該寫資料之前，先透過該記憶體系統的至少一記憶體模組來提供該寫資料。

40. 一種用於在一雙向資料匯流排上具有一資料旁路之一記憶體系統中執行讀取和寫入命令之方法，該方法包括：

發出一讀取命令，以存取該記憶體系統中的一第一記憶體位置；

在完成該讀取命令之前，排程一寫入命令，以便寫入資料至該記憶體系統中的一第二記憶體位置；

從該第一記憶體位置擷取讀資料；

提供寫資料至該記憶體系統的該雙向資料匯流排；

在該記憶體系統中，旁路處理該雙向資料匯流排上的該讀資料；

在該雙向資料匯流排上接收來自該記憶體系統的該讀資料；以及

提供該寫資料至該雙向資料匯流排。

41. 如請求項40之方法，其中旁路處理該雙向資料匯流排上的該讀資料包括：從該雙向資料匯流排解除耦接該寫資料達一段時期，藉此避免該雙向資料匯流排上的資料衝突。

42. 如請求項41之方法，進一步包括在接收該讀資料期間，將該寫資料暫時儲存於一旁路緩衝器中。

43. 如請求項41之方法，其中提供該寫資料至該雙向資料匯流排包括：在從該雙向資料匯流排解除耦接該寫資料之前，先透過該記憶體系統的至少一記憶體模組來提供該寫資料。