



(12) 发明专利

(10) 授权公告号 CN 102013454 B

(45) 授权公告日 2013. 10. 09

(21) 申请号 201010263544. 9

(22) 申请日 2010. 08. 26

(30) 优先权数据

2009-204528 2009. 09. 04 JP

(73) 专利权人 索尼公司

地址 日本东京

(72) 发明人 山岸肇 庄子光治 田渊清隆

(74) 专利代理机构 北京信慧永光知识产权代理
有限责任公司 11290

代理人 武玉琴 陈桂香

(51) Int. Cl.

H01L 43/12 (2006. 01)

H01L 45/00 (2006. 01)

H01L 27/22 (2006. 01)

H01L 27/24 (2006. 01)

审查员 张虹

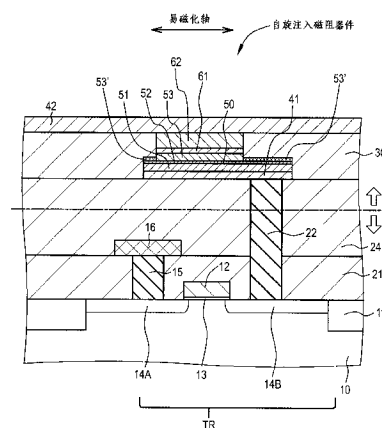
权利要求书1页 说明书18页 附图12页

(54) 发明名称

非易失性存储器件的制造方法

(57) 摘要

本发明涉及非易失性存储器件的制造方法。该非易失性存储器件具有第一磁性材料层、隧道绝缘膜和第二磁性材料层依次层叠的层叠结构，当电阻值随磁化反转状态变化时，信息被存储在该非易失性存储器件中，该制造方法包括以下步骤：依次形成所述第一磁性材料层、所述隧道绝缘膜和所述第二磁性材料层；在所述第二磁性材料层上形成掩模层；氧化未被所述掩模层覆盖的所述第二磁性材料层的部分；以及还原所述第二磁性材料层的氧化部分。该制造方法能够提供具有高性能和长期稳定性的非易失性存储器件。



1. 一种非易失性存储器件的制造方法,该非易失性存储器件具有第一磁性材料层、隧道绝缘膜和第二磁性材料层依次层叠的层叠结构,当电阻值随磁化反转状态变化时,信息被存储在该非易失性存储器件中,该制造方法包括以下步骤:

依次形成所述第一磁性材料层、所述隧道绝缘膜和所述第二磁性材料层;

在所述第二磁性材料层上形成掩模层;

氧化未被所述掩模层覆盖的所述第二磁性材料层的部分,以使该部分的功能变坏;以及

还原所述第二磁性材料层的氧化部分。

2. 如权利要求1所述的非易失性存储器件的制造方法,其中,在所述第二磁性材料层上形成所述掩模层之后,并且在氧化未被所述掩模层覆盖的所述第二磁性材料层的所述部分之前,蚀刻未被所述掩模层覆盖的所述第二磁性材料层的所述部分在厚度方向上的一部分。

3. 如权利要求1所述的非易失性存储器件的制造方法,其中,所述第一磁性材料层包括磁化基准层,所述第二磁性材料层包括记录层。

4. 如权利要求1所述的非易失性存储器件的制造方法,其中,所述第一磁性材料层包括记录层,所述第二磁性材料层包括磁化基准层。

5. 如权利要求1所述的非易失性存储器件的制造方法,其中,基于等离子体氧化法、热氧化法或自由基氧化法氧化未被所述掩模层覆盖的所述第二磁性材料层的所述部分。

6. 如权利要求1所述的非易失性存储器件的制造方法,其中,基于氢等离子体法还原所述第二磁性材料层的所述氧化部分。

7. 一种非易失性存储器件的制造方法,当电阻变化层的电阻值变化时,信息被存储在该非易失性存储器件中,该制造方法包括以下步骤:

在所述电阻变化层上形成掩模层;

氧化未被所述掩模层覆盖的所述电阻变化层的部分;以及

还原所述电阻变化层的氧化部分。

8. 如权利要求7所述的非易失性存储器件的制造方法,其中,所述电阻变化层包括含金属的离子导电体。

9. 如权利要求7所述的非易失性存储器件的制造方法,其中,所述电阻变化层包括硫族材料。

10. 如权利要求7所述的非易失性存储器件的制造方法,其中,所述电阻变化层包括具有巨电致电阻效应的材料。

11. 如权利要求10所述的非易失性存储器件的制造方法,其中,所述电阻变化层包括含钙钛矿的材料。

非易失性存储器件的制造方法

[0001] 相关申请的交叉参考

[0002] 本申请包含与 2009 年 9 月 4 日向日本专利局提交的日本在先专利申请 JP2009-204528 的公开内容相关的主题,将该在先申请的全部内容以引用的方式并入本文。

技术领域

[0003] 本发明涉及非易失性存储器件的制造方法。

背景技术

[0004] 随着信息通信装置、具体为诸如便携式终端等个人小型装置的急剧普及,要求构成这些装置的存储器件或逻辑器件等各种半导体器件具有较高的性能,例如具有较高的集成度、较高的运行速度、较低的功耗等。特别地,在无处不在的计算机时代,非易失性存储器被认为是极其需要的。即便在电源耗尽或故障或者服务器和网络之间因故障而断开的情况下,非易失性存储器也可以保存和保护重要信息。此外,近年来的便携式装置被设计为通过将不必要的电路模块置为待机状态而尽可能地降低功耗。如果可以实现一种能兼具高速度工作的存储器以及大容量存储的存储器的非易失性存储器,那么可消除功耗和存储上的浪费。而且,如果可以实现高速度、大容量存储的非易失性存储器,那么也可以实现一通电就立即启动的“瞬时接通”功能。

[0005] 非易失性存储器的例子包括使用半导体材料的闪存以及使用铁电材料的铁电随机存取存储器 (FERAM) 等。然而,闪存的缺陷在于写入速度低,是微秒级的。另外,在 FERAM 中,可重写次数为 $10^{12} \sim 10^{14}$ 。因而,问题在于,FERAM 的可重写次数不足以用 FERAM 取代 SRAM 或 DRAM,并且铁电材料层的微处理是难于实现的。

[0006] 作为没有上述缺陷的非易失性存储器件,称为 MRAM(磁随机存取存储器)的非易失性存储器件已受到关注。在 MRAM 中,由于近年来 TMR 材料的性能的提高,利用 TMR(隧道磁阻)效应的 MRAM 受到极大关注。TMR 型 MRAM 结构简单,易于缩放 (scaling),并且因为通过磁矩的旋转而进行记录,所以具有大量的可重写次数。而且,在存取时间方面,期望是高速的,据说 MRAM 已经能够以 100MHz 的速率运行。

[0007] 现在,在 MRAM 中,为了稳定地保持所记录的信息,记录信息的记录层需要具有一定的矫顽力。另外,为了重写所记录的信息,一定量的电流需要经过位线。然而,随着 MRAM 的小型化,位线变得更精细,难以流过足量的电流。因此,作为一种利用小量的电流实现磁化反转的结构,一种通过自旋注入而实现磁化反转的自旋注入型磁阻效应器件已得到关注(例如参见 JP-A-2003-17782)。这里,通过自旋注入的磁化反转是指以下现象:通过磁性材料的自旋极化的电子被注入到另一磁性材料中,由此在该另一磁性材料中发生磁化反转。与 MRAM 相比,在自旋注入型磁阻效应器件中,器件结构可以被简化。而且,由于使用了通过自旋注入的磁化反转,所以与通过外部磁场产生磁化反转的 MRAM 相比,器件的优点在于,即便在器件小型化的情况下写电流也不增大,以及单元面积减小。

[0008] 具有自旋注入磁化反转写系统的非易失性存储器件的结构(称为“MTJ 结构”)为,

厚度约为 1nm 的隧道绝缘膜夹在两个磁性材料层（也称为磁化自由层的记录层和称为磁化固定层的磁化基准层）之间。而且，对于具有 MTJ 结构的非易失性存储器件的实际应用，需要图形化磁性材料层而不发生损坏、短路或电流泄漏的工艺。但是，由于通常使用迁移金属磁性材料作为形成磁性材料层的材料，所以在利用广泛使用硅半导体器件的蚀刻处理所使用的卤素气体的金属蚀刻工艺中，不能够容易地蚀刻磁性材料层。此外，在极其薄的约 1nm 的隧道绝缘膜中，难以蚀刻磁性材料层而不发生短路或电流泄漏。

[0009] 因此，人们对使用非卤素气体的反应离子蚀刻（RIE）方法进行研究。但是，由于 RIE 方法具有物理蚀刻元素，所以很可能是被蚀刻材料再次粘附到隧道绝缘膜的侧壁，发生短路或电流泄漏。而且，难以避免在非易失性存储器件的 MTJ 结构中发生损坏，而这将是导致特性变化的主要因素。

[0010] 对于图形化磁性材料层，现有技术中还使用离子束蚀刻法。在该方法中，虽然磁性材料层损坏极少，但被蚀刻材料的再次粘附是最严重的问题。具体地，由于隧道绝缘膜极其薄，约为 1nm，所以问题在于，由于被蚀刻材料的再次粘附而发生短路和电流泄漏在一定比例上是不可避免的。

[0011] 作为解决上述问题的方法，从 JP-T-2003-505873（这里所用的“JP-T”表示 PCT 专利申请的公布的日文译文）、JP-A-2003-078185 和 JP-T-2006-520105 可知一种方法，在 MTJ 结构的图形化中，通过在中间停止蚀刻形成于隧道绝缘膜上的磁性材料层（称为“上磁性材料层”），以上磁性材料层的一部分留下的方式氧化上磁性材料层的一部分，使导电性变坏。在这些方法中，蚀刻表面未到达隧道绝缘膜，于是，没有被蚀刻材料再次粘附到隧道绝缘膜的侧壁，能够避免短路和电流泄漏等问题发生。

[0012] 可选地，作为非易失性存储器件，还提出了包括相位变化 RAM (PRAM) 的电阻变化存储器件。该非易失性存储器件的结构为，用作存储部的电阻变化层布置在上电极和下电极之间，该非易失性存储器件具有简单的存储结构，易于小型化。作为一种电阻变化存储器件的相位变化存储器件是作为存储器件工作的非易失性存储器件，其利用构成电阻变化层的相位变化材料在非晶态和结晶态之间几位电阻的差（例如，参见 JP-A-2007-134676）。而且，作为一种电阻变化存储器件，有一种非易失性存储器件，其利用形成电阻变化层的材料的巨电致电阻效应（CER 效应）存储数据（例如，参见 JP-A-2003-068983）。或者，作为一种电阻变化存储器件，有一种非易失性存储器件，其电阻变化层由含金属的离子导电体形成（例如，参见 JP-A-2005-166976 和 JP-A-2005-197634）。而且，作为一种电阻变化存储器件，还有 PMC（可编程金属元件）（例如，参见 JP-A-2005-322942）。

[0013] 在电阻变化存储器件中，在电阻变化层的图形化中，极有可能的是，被蚀刻材料再次粘附到电阻变化层的侧壁并发生短路和电流泄漏。

[0014] 但是，在上述专利文献所公开的氧化方法中，在深度方向上的氧化控制是困难的。而且，即使适当调节了氧化功率和膜厚度，在具有 MTJ 结构等的非易失性存储器件的氧化处理之后的制造工艺中，由于处理温度所致，留在上磁性材料层中的过量的氧热扩散，对磁性材料层带来损坏。从产率的角度看，需要进行必要的和充分的氧化处理，过量氧留下的情况是不可避免的。

[0015] 在电阻变化存储器件中，可以将上述专利文献中所述的氧化方法应用于电阻变化层的图形化。但是，在电阻变化存储器件等的氧化处理之后的制造工艺中，由于处理温度所

致,留在电阻变化层中的过量的氧热扩散,对电阻变化层造成损坏。

发明内容

[0016] 因此,期望提供一种非易失性存储器件的制造方法,该方法能够实现非易失性存储器件中 MTJ 结构的图形化,而不导致短路、电流泄漏或对 MTJ 结构的损坏。而且,期望提供一种非易失性存储器件的制造方法,该方法能够实现电阻变化存储器件中电阻变化层的图形化,而不导致短路、电流泄漏或对电阻变化层的损坏。

[0017] 本发明的第一实施例提供一种非易失性存储器件的制造方法,该非易失性存储器件具有第一磁性材料层、隧道绝缘膜和第二磁性材料层依次层叠的层叠结构,当电阻值随磁化反转状态变化时,信息被存储在该非易失性存储器件中。该方法包括以下步骤:

[0018] 依次形成所述第一磁性材料层、所述隧道绝缘膜和所述第二磁性材料层;

[0019] 在所述第二磁性材料层上形成掩模层;

[0020] 氧化未被所述掩模层覆盖的所述第二磁性材料层的部分;以及

[0021] 还原所述第二磁性材料层的氧化部分。

[0022] 本发明的第二实施例提供一种非易失性存储器件的制造方法,当电阻变化层的电阻值变化时,信息被存储在该非易失性存储器件中。该方法包括以下步骤:

[0023] 在所述电阻变化层上形成掩模层;

[0024] 氧化未被所述掩模层覆盖的所述电阻变化层的部分;以及

[0025] 还原所述电阻变化层的氧化部分。

[0026] 本发明第一实施例的非易失性存储器件的制造方法包括如下的步骤:氧化未被掩模层覆盖的第二磁性材料层的部分,然后还原第二磁性材料层的氧化部分,本发明第二实施例的非易失性存储器件的制造方法包括如下的步骤:氧化未被掩模层覆盖的电阻变化层的部分,然后还原电阻变化层的氧化部分。即,代替通过利用蚀刻法等方法图形化第二磁性材料层和电阻变化层去除所有不需要的部分,本发明通过氧化使第二磁性材料层和电阻变化层的功能(导电性、磁性等)变坏。于是,难以对保持功能的第二磁性材料层和电阻变化层的区域(功能区域)造成损坏。而且,由于还原第二磁性材料层的氧化部分和电阻变化层的氧化部分,所以不会出现以下问题:在非易失性存储器件的氧化处理之后的制造工艺中,由于处理温度所致,留在第二磁性材料层和电阻变化层中的过量的氧热扩散,对磁性材料层和电阻变化层造成损坏。即,能够防止由于氧所致的功能区域的变坏。应当指出,在由于氧化而使得功能(导电性、磁性等)变坏的第二磁性材料层和电阻变化层的部分中,变坏的功能即使通过还原处理也几乎不能修复(恢复)。因此,能够提供具有高性能和长期稳定性的非易失性存储器件。

附图说明

[0027] 图 1 是根据示例 1 的非易失性存储器件的制造方法所得到的非易失性存储器件的示意性局部剖面图。

[0028] 图 2A ~ 图 2D 是表示构成示例 1 的非易失性存储器件的层叠结构的剖面结构的原理图。

[0029] 图 3A、图 3B 和图 3C 是用于说明示例 1 的非易失性存储器件的制造方法的第一磁

性材料层等的示意性局部剖面图。

[0030] 图 4A、图 4B 和图 4C 是接着图 3C 说明示例 1 的非易失性存储器件的制造方法的第一磁性材料层等的示意性局部剖面图。

[0031] 图 5A 和图 5B 分别是示例 1 的非易失性存储器件和相关技术中利用离子铣方法图形化第二磁性材料层、隧道绝缘膜和第一磁性材料层所得的非易失性存储器件中高读出电阻值和低读出电阻值的测量结果的曲线图。

[0032] 图 6A 和图 6B 是表示构成示例 2 的非易失性存储器件的层叠结构的剖面结构的原理图。

[0033] 图 7A 和图 7B 是表示构成利用示例 3 的非易失性存储器件的制造方法所得的非易失性存储器件的层叠结构的剖面结构的原理图以及等效电路图。

[0034] 图 8A 和图 8B 是用于说明示例 3 的非易失性存储器件的制造方法的第一磁性材料层等的示意性局部剖面图。

[0035] 图 9A 和图 9B 是接着图 8B 说明示例 3 的非易失性存储器件的制造方法的第一磁性材料层等的示意性局部剖面图。

[0036] 图 10 是接着图 9B 说明示例 3 的非易失性存储器件的制造方法的第一磁性材料层等的示意性局部剖面图。

具体实施方式

[0037] 下面参照附图、根据示例说明本发明的各实施例，本发明的实施例不局限于这些示例，示例中给出的各种数值和材料是用于举例说明。按以下顺序进行说明。

[0038] 1. 本发明第一实施例和第二实施例的非易失性存储器件的制造方法的一般说明

[0039] 2. 示例 1 (本发明第一实施例的非易失性存储器件的制造方法)

[0040] 3. 示例 2 (示例 1 的变化例)

[0041] 4. 示例 3 (本发明第二实施例的非易失性存储器件的制造方法)

[0042] 5. 示例 4 (示例 3 的变化例和其它示例)

[0043] 本发明第一实施例和第二实施例的非易失性存储器件的制造方法的一般说明

[0044] 在本发明第一实施例的非易失性存储器件的制造方法中，可采用这样的方式，即在掩模层形成于第二磁性材料层上之后并且在未被第二磁性材料层的掩模层覆盖的部分被氧化之前，在厚度方向上蚀刻未被掩模层覆盖的第二磁性材料层的部分的一部分。然而，不限于此，也可以不蚀刻未被掩模层覆盖的第二磁性材料层的部分。在厚度方向上蚀刻未被掩模层覆盖的第二磁性材料层的部分的一部分的方法可采用离子铣方法（也称为“离子束蚀刻法”）和反应离子蚀刻法（RIE 法）。在此情况下，掩模层用作蚀刻用的掩模。

[0045] 在包括优选方式的本发明第一实施例的非易失性存储器件的制造方法中，可采用第一磁性材料层包括磁化基准层、第二磁性材料层包括记录层的方式，或者，与这种结构相反，也可采用第一磁性材料层包括记录层、第二磁性材料层包括磁化基准层的方式。

[0046] 而且，在包括各种优选方式的本发明第一实施例的非易失性存储器件的制造方法中，可根据等离子体氧化法、热氧化法或自由基氧化法使未被掩模层覆盖的第二磁性材料层的部分氧化，或者通过离子注入法注入氧。而且，优选根据氢等离子体法还原第二磁性材料层的被氧化部分，另外，也可采用利用氮气的等离子体还原法、利用氢气或氮气的自由基

还原法以及在氢气或氨气的环境中进行热处理的方法。氧化法和还原法的组合本质上是任意的。

[0047] 在本发明第二实施例的非易失性存储器件的制造方法中,可采用电阻变化层包括含金属的离子导电体的方式。或者,也可采用电阻变化层包括硫族化物(chalcogenide)材料的方式。或者,可采用电阻变化层包括具有巨电致电阻效应(CER效应)材料的方式,在此情况下,具体地,电阻变化层包括含钙钛矿(perovskite)的材料。

[0048] 在本发明第一实施例或第二实施例的非易失性存储器件的制造方法中,例如可使用 SiO_2 、SiN、SiC、SiON、SiCN作为形成掩模层的材料。掩模层可具有层叠结构。掩模层也可形成为具有在光刻处理中防反射、蚀刻阻止、防止金属扩散等作用。例如,可通过CVD方法形成掩模层,可通过光刻方法和蚀刻方法的结合对掩模层进行图案化。

[0049] 包括优选方式和结构的、按上述本发明第一实施例的非易失性存储器件的制造方法得到的非易失性存储器件是具有所谓磁阻效应的非易失性存储器件。应当指出,为了方便,这样的非易失性存储器件称为“第一实施例的非易失性存储器件”。这里,第一实施例的非易失性存储器件可包括电流磁场反转系统的隧道磁阻效应器件(MRAM),或者利用通过自旋注入磁化反转的自旋注入磁阻效应器件(自旋RAM)。自旋注入磁阻效应器件包括面内磁化系统和垂直磁化系统。

[0050] 在第一实施例的非易失性存储器件中,在电流磁场反转系统的隧道磁阻效应器件中,作为未被氧化的第二磁性材料层的平面形状,例如可以是椭圆形、椭圆形(两个半圆和两条线段结合的图形)、抛物线或双曲线围成的形状,广义上,可以是由二次或三次以上的函数表示的图形形成的形状,正多边形(包括矩形、具有五个以上角的正多边形、具有成圆的顶点的矩形以及具有五个以上角和成圆的顶点的正多边形),变平的圆(由从一个方向变平的圆形成的图形),平面形状也可包括椭圆和线段的组合、抛物线和线段的组合、双曲线和线段的组合,广义上,可以是二次函数和线性函数的组合、三次以上函数和线性函数的组合。或者,圆括号形状是更优选的(具体例如参见JP-A-2005-353788)。另外,在第一实施例的非易失性存储器件中,在自旋注入磁阻效应器件中,例如可使用圆形作为未被氧化的第二磁性材料层的平面形状。

[0051] 在后文所述的第一实施例的非易失性存储器件或第二实施例的非易失性存储器件中,通常,第一布线或第一电极设在层叠结构或电阻变化层下,电连接的第二布线或第二电极设在层叠结构或电阻变化层上方。而且,可采用这样的方式,即场效应管(FET)的选择晶体管进一步设在层叠结构或电阻变化层的下面,第二布线(例如位线)延伸的方向平行于构成场效应管的栅电极延伸的方向,但是,不限于此,也可采用这样的方式,即第二布线的延伸方向上的投影图像垂直于构成场效应管的栅电极的延伸方向上的投影图像。而且,在一些情况下,选择晶体管不是必需的。

[0052] 这里,自旋注入磁阻效应器件的结构为,具有TMR效应的层叠结构由磁化基准层(也称为固定(anchor)层或磁化固定层)、隧道绝缘膜、用于存储信息的记录层(也称为磁化反转层或自由层)构成。应当指出,具有TMR效应的层叠结构也可由磁化基准层、隧道绝缘膜、记录层、隧道绝缘膜和磁化基准层构成。在该结构中,需要在位于记录层之上和之下的两个隧道绝缘膜之间设置磁阻变化差异。隧道绝缘膜用于破坏记录层和磁化基准层之间的磁耦合并用于流过隧道电流。而且,通过将自旋极化电流注入到记录层中,记录层中

的磁化方向变为第一方向（平行于易磁化轴的方向）或第二方向（与第一方向相反的方向），于是，信息被写入到记录层中（面内磁化系统）。或者，当自旋极化电流从记录层流到磁化基准层时，自旋极化电子从磁化基准层注入到记录层中，磁化基准层的磁化方向和记录层的磁化方向平行，当自旋极化电流从磁化基准层流到记录层时，自旋极化电子从记录层流到磁化基准层中，具有平行于磁化基准层的自旋的电子被传输，具有逆向平行自旋的电子被反射，于是记录层的磁化方向和磁化基准层的磁化方向逆向平行（垂直磁化系统）。

[0053] 作为形成记录层和磁化基准层的材料，例如可以使用以下材料：例如镍（Ni）、铁（Fe）和钴（Co）等铁磁性材料，铁磁性材料的合金（例如，Co-Fe、Co-Fe-Ni、Fe-Pt、Ni-Fe等），向这些合金中混入非磁性元素（例如，钽、硼、铬、铂、硅、碳、氮等）所形成的合金（例如 Co-Fe-B 等），含有 Co、Fe、Ni 中一种以上的氧化物（例如铁酸盐：Fe-MnO 等），一组称为半金属铁磁性材料的金属互化物（锰铝铜强磁性合金：NiMnSb、Co₂MnGe、Co₂MnSi、Co₂CrAl 等），氧化物（例如（La，Sr）MnO₃、CrO₂、Fe₃O₄ 等）。或者，也可使用向这些合金中加入钆（Gd）所形成的合金。而且，为了进一步增大垂直磁异向性，可向这些合金中加入例如铽（Tb）、镝（Dy）或钬（Ho）等重稀土，或者也可以层叠含有这些重稀土的合金。记录层和磁化基准层的结晶度是任意的，可以是多晶的、单晶的或非结晶的。而且，作为形成磁化基准层的材料，除了上述材料之外，还可以使用例如 Co-Tb、Co-Pt。而且，磁化基准层可以具有层叠铁磁结构（具有抗铁磁耦合的层叠结构，也称为合成抗铁磁（SAF）），也可以具有静磁耦合结构，或者抗铁磁性材料层设置为靠近磁化基准层。通过将抗铁磁性材料层设置为靠近磁化基准层，通过交换两层之间的相互作用可获得强单向磁异向性。层叠的铁磁结构是指：例如具有磁性材料层 / 钌（Ru）层 / 磁性材料层的三层结构（具体地，例如 CoFe/Ru/CoFe 的三层结构或 CoFeB/Ru/CoFeB 的三层结构），在根据钌层的厚度变为抗磁的或铁磁的两个磁性材料层之间具有层间交换耦合。例如，S. S., Parkin et al., Physical Review Letters, 7May, pp. 2304-2307 (1990) 中记录了该结构。而且，在两个磁性材料层中，通过从磁性材料层的端表面泄漏的磁场实现抗铁磁耦合，具有这样的两个磁性材料层的结构称为静磁耦合结构。作为形成抗铁磁性材料层的材料，例如可以使用铁锰合金、镍锰合金、铂锰合金、铱锰合金、铑锰合金、钴氧化物和镍氧化物。为了改善抗铁磁性材料层的结晶度，在第一布线（或第二布线）和抗铁磁性材料层之间形成包括 Ta、Cr、Ru、Ti 等的基膜。而且，可以使用各种磁性半导体，可以是软磁（软膜）或硬磁（硬膜）。记录层可具有单层结构、通过层叠如上所述的多个不同的铁磁性材料层所形成的多层结构或者通过层叠铁磁性材料层和非磁性材料层所形成的多层结构。

[0054] 作为形成第一实施例的非易失性存储器件的隧道绝缘膜的材料，可使用例如氧化铝（AlO_x）、氮化铝（AlN）、氧化镁（MgO）、氮化镁、氧化硅、氮化硅、TiO₂、Cr₂O₃、Ge、NiO、CdO_x、HfO₂、Ta₂O₅、BN 或 ZnS 等绝缘材料。例如，可通过使溅射方法形成的金属膜氧化或氮化得到隧道绝缘膜。具体地，当使用氧化铝（AlO_x）或氧化镁（MgO）作为形成隧道绝缘膜的绝缘材料时，例如可以使用以下方法：使通过溅射方法形成的铝或镁在大气中氧化的方法，使通过溅射方法形成的铝或镁在大气中等离子氧化的方法，利用 ICP 等离子体使通过溅射方法形成的铝或镁氧化的方法，使通过溅射方法形成的铝或镁在氧气中自然氧化的方法，利用氧自由基使通过溅射方法形成的铝或镁氧化的方法，使通过溅射方法形成的铝或镁在氧气中自然氧化同时施加紫外光的方法，通过反应溅射法沉积铝或镁的方法，通过溅射法沉积氧

化铝 (AlO_x) 或氧化镁 (MgO) 的方法。

[0055] 可通过例如溅射法、离子束沉积法和真空沉积法等物理气相沉积法 (PVD 法), 或者例如 ALD (原子层沉积) 法等化学气相沉积法 (CVD 法) 形成这些层。

[0056] 第一布线和第二布线、第一电极、第二电极具有铜 (Cu)、铝 (Al)、金 (Au)、铂 (Pt)、钛 (Ti)、钼 (Mo)、钽 (Ta)、钨 (W)、TiN、TiW、WN、硅化物等的单层结构, 也可具有包括 Cr、Ti 等的基层以及形成于该基层上的 Cu 层、Au 层、Pt 层等的层叠结构。而且, 这些布线也可具有 Ta 等的单层结构或者具有带有 Cu、Ti 等的层叠结构。可通过例如溅射法等 PVD 法形成这些布线。

[0057] 包括优选方式和结构的、按上述本发明第二实施例的非易失性存储器件的制造方法得到的非易失性存储器件是所谓的电阻变化存储器件。应当指出, 为了方便, 这样的非易失性存储器件称为“第二实施例的非易失性存储器件”。

[0058] 在第二实施例的非易失性存储器件中, 如上所述, 可采用电阻变化层包括含金属的离子导电体的方式。具体地, 电阻变化层包括含有选自 Cu、Ag、Zn 的一种元素 (原子) 以及选自硫族元素 (原子) Te、S、Se 的一种元素 (原子) 的导电或半导体薄膜 (例如, GeSbTe、GeTe、GeSe、GeS、SiGeTe、SiGeSbTe 的薄膜, 或者包括这些膜和例如 Ag、Ag 合金、Cu、Cu 合金、Zn、Zn 合金等薄膜的薄膜层叠结构), 电阻变化层的结构也可以是, 包括选自 La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Yb、Y 的一种或多种稀土元素的氧化物的膜或者 Hf、Ta、W 等的氧化物膜形成于整个或部分厚度方向上。应当指出, 在此情况下, 具体地, 也可采用第一电极、高电阻层、电阻变化层和第二电极的层叠结构。或者, 在第二实施例的非易失性存储器件中, 如上所述, 也可采用电阻变化层包括硫族化物材料的方式, 这里, 作为硫族化物材料, 可使用金属和 Se 或 Te 的化合物, 例如 GeSbTe、ZnSe、GaSnTe 等。或者, 在第二实施例的非易失性存储器件中, 如上所述, 也可采用电阻变化层包括具有巨电致电阻效应 (CER 效应) 的材料的方式, 作为该材料, 可使用三元系钙钛矿型迁移金属氧化物 (PrCaMnO_3 或 SrTiO_3), 或者使用双迁移金属氧化物 (CuO 、 NiO 、 CuO 、 TiO_2 、 Fe_3O_4)。

[0059] 在第一实施例的非易失性存储器件或第二实施例的非易失性存储器件的优选结构中, 如上所述, 场效应管的选择晶体管进一步设在层叠结构下面。例如, 以下是一种具体结构, 但不限于此, 该结构包括:

[0060] 选择晶体管, 其形成于半导体基板上, 以及

[0061] 下绝缘层, 其覆盖所述选择晶体管,

[0062] 其中, 第一布线或第一电极形成在所述下绝缘层上,

[0063] 所述第一布线或所述第一电极经设在所述下绝缘层中的连接孔 (或者经连接孔和接点焊盘, 或者经下布线) 与所述选择晶体管电连接,

[0064] 上绝缘层覆盖所述下绝缘层和所述第一布线或所述第一电极且包围所述层叠结构,

[0065] 第二布线或第二电极形成于上绝缘层上。

[0066] 所述选择晶体管例如由已知的 MIS 型 FET 或 MOS 型 FET 构成。将所述第一布线或所述第一电极和所述选择晶体管电连接的所述连接孔包括例如掺有杂质的多晶硅、钨、Ti、Pt、Pd、Cu、TiW、TiNW、 WSi_2 或 MoSi_2 等高熔点金属或金属硅化物, 该连接孔可根据例如 CVD 法和溅射法等 PVD 法形成。而且, 作为形成下绝缘层和上绝缘层的材料, 例如可使用二氧化

硅 (SiO_2)、氮化硅 (SiN)、 SiON 、 SOG 、 NSG 、 BPSG 、 PSG 、 BSG 或 LT0 。

[0067] 示例 1

[0068] 示例 1 涉及本发明第一实施例的非易失性存储器件的制造方法。图 1 是根据示例 1 的非易失性存储器件的制造方法所得到的第一实施例的非易失性存储器件的示意性局部剖面图。

[0069] 后文所述的示例 1 或示例 2 的非易失性存储器件是具有层叠结构 50 的非易失性存储器件,其中第一磁性材料层 51、隧道绝缘膜 52 和第二磁性材料层 53 依次层叠,当电阻值根据磁反转状态变化时,信息被记录在非易失性存储器件中。后文所述的示例 1 或示例 2 的非易失性存储器件还具有与层叠结构 50 的下部电连接的第一布线 41 以及与层叠结构 50 的上部电连接的第二布线 42。

[0070] 应当指出,示例 1 的非易失性存储器件包括利用通过自旋注入磁化反转的自旋注入磁阻效应器件 (自旋 RAM),并采用面内磁化系统。而且,在示例 1 的非易失性存储器件中,第二磁性材料层 (记录层) 中未被氧化的区域的平面形状为长椭圆形。

[0071] 在后文所述的示例 1 或示例 2 的非易失性存储器件中,包括厚度为 80nm 的 TiN 层的连接层 (上层) 62 设于层叠结构 50 的上部和第二布线 42 之间。而且,包括厚度约为 5nm 的 Ta 层的盖层 61 通过溅射法形成在层叠结构 50 和连接层 62 之间。盖层 61 用于防止形成第二布线 42 和连接层 62 的原子与形成第二磁性材料层 53 的原子之间的相互扩散,以减小接触电阻,防止第二磁性材料层 53 的氧化。应当指出,作为盖层,除了可使用 Ru 层、 Pt 层、 MgO 层之外,还可使用 Ru 膜 / Ta 膜的层叠结构。

[0072] 而且,在后文所述的示例 1 或示例 2 的非易失性存储器件中,场效应管的选择晶体管 TR 设在层叠结构 50 下方 (具体地,在第一布线 41 下方)。第二布线 (位线) 42 的延伸方向平行于构成场效应管的栅电极 12 (用作所谓的字线) 的延伸方向。具体地,选择晶体管 TR 形成在被器件隔离区域 11 包围的硅半导体基板 10 的一部分中,被下绝缘层 21、24 覆盖。而且,一个源极 / 漏极区域 14B 经钨插头的连接孔 22 连接到第一布线 41。而且,另一个源极 / 漏极区域 14A 经钨插头 15 连接到读出线 16。在附图中,附图标记 “13” 表示栅极绝缘膜。

[0073] 在图 1 的非易失性存储器件的示意性局部剖面图中,对于附图,在相对于点划线的上部的 “A” 区域和下部的 “B” 区域中,看非易失性存储器件的剖面的方向差 90 度。即,在 “A” 区域中,从第一方向看非易失性存储器件的剖面,在 “B” 区域中,从垂直于第一方向的方向看非易失性存储器件的剖面。因此,在附图中,示出的在第二布线 (位线) 42 的延伸方向上的投影图像和在构成场效应管的栅电极 12 的延伸方向上的投影图像彼此垂直,而实际上它们是平行的。

[0074] 如图 2A 的原理图所示,在示例 1 中,层叠结构 50 具有如下的配置和结构,通过溅射法形成。应当指出,在磁化基准层 51A 中,磁化方向通过与抗铁磁性材料层 51B 的 Pt-Mn 合金层交换耦合而被固定。而且,在第二磁性材料层 (记录层) 53 中,根据自旋极化电流流动的方向,该层的磁化方向变为平行于或逆向平行于磁化固定方向。

[0075] 具体地,示例 1 中的自旋注入磁阻效应器件的结构为,具有 TMR 效应的层叠膜的磁阻效应层叠膜夹在两布线 41、42 之间。即,记录层 (也称为磁化反转层或自由层的第二磁性材料层 53) 和磁化基准层 (也称为固定层或磁化固定层,构成第一磁性材料层 51) 隔着

隧道绝缘膜 52 层叠,自旋极化电流垂直于膜表面流过(例如参见图 2A),该记录层具有记录信息功能,该磁化基准层具有固定磁化方向且用作自旋过滤器。第二磁性材料层 53(其示意性平面图如图 2B 所示)的尺寸取决于形成第二磁性材料层 53 的磁性材料的种类和厚度,为了促进单磁区化并减小自旋注入磁化反转的临界电流 I_c ,该尺寸通常为 200nm 以下。通过适当的磁异向性,记录层 53 可采用两个以上的磁化方向(例如,图 2A 中垂直方向的箭头所示的两个方向为第一方向和第二方向),各磁化方向对应于所记录的信息。例如,通过使第二磁性材料层(记录层)53 的平面形状为长椭圆形,可提供形状磁异向性。即,记录层 53 的易磁化轴平行于第一方向、第二方向、难磁化轴,记录层 53 沿易磁化轴的长度比记录层 53 沿难磁化轴的长度长。

[0076] 构成第一磁性材料层 51 的反铁磁性材料层 51B,通过与构成第一磁性材料层 51 的磁化基准层 51A 交换耦合,从而固定磁化方向(参见图 2C)。已知双自旋过滤器结构,其自旋注入磁化反转效率提高,其中磁化基准层 51A₁、51A₂ 隔着隧道绝缘膜 52₁、52₂ 设在第二磁性材料层(记录层)53 之上和之下(参见图 2D)。这里,附图标记 51B₁、51B₂ 表示反铁磁性材料层。应当指出,在图 2A、图 2C 和图 2D 所示的示例中,第二磁性材料层(记录层)53、第一磁性材料层 51 和磁化基准层 51A(在两层 51A₁、51A₂ 的情况下为其中一个)是层叠的铁磁结构。在一些情况下,利用自旋注入磁化反转的非易失性磁存储器件(自旋注入磁阻效应器件)具有两端子自旋转移器件结构,其中磁阻效应层叠膜垂直地夹在布线之间。

[0077] 例如,示例 1 中的层叠结构 50 的具体配置示例如下。

[0078] [第二磁性材料层 53]

[0079] Co-Fe-B 层(厚度:约为 2 ~ 5nm)

[0080] [隧道绝缘膜 52]

[0081] MgO 层(厚度:1.0nm)

[0082] [第一磁性材料层 51]

[0083] 磁化基准层 51A(具有 SAF 的多层膜)

[0084] Co-Fe-B 层(上层)/Ru 层(中间层)/Co-Fe 层(下层)的三层结构

[0085] 反铁磁性材料层 51B

[0086] 上层 Pt-Mt 合金层(厚度:20nm)

[0087] 下层 Ta 层(厚度:5nm)

[0088] 以下,参照图 3A、图 3B、图 3C、图 4A 和图 4B 说明示例 1 的非易失性存储器件的制造方法。在这些附图中,省略了非易失性存储器件的位于第一布线 41 以下的构成元件(选择晶体管 TR 等)。

[0089] 步骤 100

[0090] 首先,根据已知的方法,在半导体基板 10 中形成器件隔离区域 11,在由器件隔离区域 11 包围的半导体基板 10 的一部分中形成包括栅极氧化膜 13、栅电极 12、源极/漏极区域 14A、14B 的选择晶体管 TR。然后,形成第一下绝缘层 21,在第一下绝缘层 21 中源极/漏极区域 14A 之上的部分中形成钨插头 15,之后,在第一下绝缘层 21 上形成读出线 16。之后,在整个表面上形成第二下绝缘层 24,在下绝缘层 21、24 中源极/漏极区域 14B 之上的部分中形成钨插头的连接孔 22。这样,可得到由下绝缘层 21、24 覆盖的选择晶体管 TR。然后,通过溅射法,在下绝缘层 24 上形成连接到连接孔 22 的第一布线 41(该说明可参见图 1)。

[0091] 步骤 110

[0092] 之后,基于溅射法,在如下列举的条件下,依次在整个表面上形成第一磁性材料层 51、隧道绝缘膜 52 和第二磁性材料层 53,接着在真空中以连续沉积的方式在其上形成盖层 61 和连接层 62。

[0093] [第一磁性材料层]

[0094] 反铁磁性材料层的下层 (Ta 层) 的沉积条件

[0095] 处理气体 :氩气 = 100sccm

[0096] 沉积环境压力 :0.6Pa

[0097] DC 功率 :200W

[0098] 反铁磁性材料层的上层 (Pt-Mn 合金层) 的沉积条件

[0099] 处理气体 :氩气 = 100sccm

[0100] 沉积环境压力 :0.6Pa

[0101] DC 功率 :200W

[0102] 磁化基准层的沉积条件

[0103] 最下层 :2nm 厚的 Co-Fe 合金层

[0104] 处理气体 :氩气 = 50sccm

[0105] 沉积环境压力 :0.3Pa

[0106] DC 功率 :100W

[0107] 中间层 :1nm 厚的 Ru 层

[0108] 处理气体 :氩气 = 50sccm

[0109] 沉积环境压力 :0.3Pa

[0110] DC 功率 :50W

[0111] 最上层 :2nm 厚的 Co-Fe-B 合金层

[0112] 处理气体 :氩气 = 50sccm

[0113] 沉积环境压力 :0.3Pa

[0114] DC 功率 :100W

[0115] [隧道绝缘膜 (1nm 厚的 MgO 膜) 的沉积条件]

[0116] 处理气体 :氩气 = 100sccm

[0117] 沉积环境压力 :1.0Pa

[0118] RF 功率 :500W

[0119] [第二磁性材料层 (4nm 厚的 Co-Fe-B 合金层) 的沉积条件]

[0120] 处理气体 :氩气 = 50sccm

[0121] 沉积环境压力 :0.3Pa

[0122] DC 功率 :200W

[0123] [盖层 (5nm 厚的 Ta 层) 的沉积条件]

[0124] 处理气体 :氩气 = 100sccm

[0125] 沉积环境压力 :0.6Pa

[0126] DC 功率 :200W

[0127] [连接层 (80nm 厚的 TiN 层) 的沉积条件]

[0128] 处理气体 : 氩气 = 30sccm

[0129] 反应气体 : N_2 = 70sccm

[0130] 沉积环境压力 : 0.7Pa

[0131] DC 功率 : 10kW

[0132] 步骤 120

[0133] 之后, 在第二磁性材料层 53 上形成掩模层 63。具体地, 在连接层 62 上形成掩模层 63。更具体地, 为了在连接层 62 上形成掩模层 63, 在如下列举的条件下, 通过偏置的高密度等离子体 CVD (HDP-CVD) 方法, 形成 50nm 厚的 SiO_2 层。之后, 在 SiO_2 层上形成图形化的抗蚀剂层, 通过光刻法和干式蚀刻法蚀刻 SiO_2 层, 于是得到图形化的掩模层 63, 然后, 通过氧等离子体灰化处理之后的有机清洗去除抗蚀剂层。这样, 可得到图 3A 所示的结构。

[0134] [构成掩模层的 SiO_2 层的沉积条件]

[0135] 处理气体 : 甲硅烷 / O_2 / 氩气 = 60sccm/120sccm/130sccm

[0136] RF 功率

[0137] 上 : 1.5kW

[0138] 侧 : 3kW

[0139] [构成掩模层的 SiO_2 层的干式蚀刻条件]

[0140] 所用气体 : C_4F_8 / CO / Ar / O_2 = 10sccm/50sccm/200sccm/4sccm

[0141] RF 功率 : 1kW

[0142] 压力 : 5Pa

[0143] 温度 : 20℃

[0144] 步骤 130

[0145] 然后, 在如下列举的条件下, 使用掩模层 63 作为掩模, 基于 RIE 方法图形化连接层 62 (参见 3B)。

[0146] [连接层的蚀刻条件]

[0147] 所用气体 : Cl_2 / BCl_3 / N_2 = 60sccm/80sccm/10sccm

[0148] 源功率 : 1kW

[0149] 偏置功率 : 150W

[0150] 压力 : 1Pa

[0151] 步骤 140

[0152] 之后, 在厚度方向上蚀刻未被第二磁性材料层 (记录层) 53 的掩模层 63 覆盖部分的一部分。具体地, 在如下所列举的条件下, 基于离子铣方法蚀刻第二磁性材料层 (记录层) 53 的厚度的一半和蚀刻盖层 61 (参见图 3C 和图 4A)。

[0153] [盖层和第二磁性材料层的蚀刻条件]

[0154] 所用气体 : Ar = 12sccm

[0155] 压力 : 0.03Pa

[0156] 加速电压 : 400V

[0157] 加速电流 : 100mA

[0158] 减速电压 : -300V

[0159] 束角度 : -12°

[0160] 这里,在第二磁性材料层 53 的蚀刻步骤中,期望调节蚀刻条件,使得第二磁性材料层 53 的部分留在晶片的整个表面上。应当指出,具体地,如果作为下层的隧道绝缘膜 52 露出或盖层 61 留下,则会带来小麻烦。而且,代替基于离子铣方法的图形化,可基于 RIE 法图形化盖层 61 和第二磁性材料层 53。

[0161] 步骤 150

[0162] 然后,在如下所列举的条件下,基于等离子体氧化法,进行使未被掩模层 63 覆盖的第二磁性材料层(记录层)53 的部分 53' 氧化的第二磁性材料层中和处理(参见图 4B)。

[0163] [等离子体氧化的条件]

[0164] RF 功率 :200W

[0165] 所用气体 :Ar/O₂ = 50sccm/150sccm

[0166] 步骤 160

[0167] 之后,在如下所列举的条件下,基于氢等离子体方法(H₂ 等离子体还原处理法),进行第二磁性材料层(记录层)53 的氧化部分 53' 的还原处理(参见图 4C)。应当指出,例如,可利用原子探针测量第二磁性材料层(记录层)53 的氧化部分 53' 中氢原子的量。

[0168] [H₂ 等离子体还原处理的条件]

[0169] RF 功率 :200W

[0170] 基板温度 :350℃

[0171] 引入的气体 :H₂ = 500sccm

[0172] 压力 :8×10²Pa

[0173] 步骤 170

[0174] 然后,基于光刻技术在第二磁性材料层(记录层)53 的氧化部分 53' 和掩模层 63 上形成抗蚀剂层(未图示),之后,使用抗蚀剂层作为蚀刻掩模图形化(蚀刻)第二磁性材料层(记录层)53 的氧化部分 53'、隧道绝缘膜 52、第一磁性材料层 51 和第一布线 41,然后去除抗蚀剂层。之后,通过等离子体 CVD 法在整个表面上形成包括 SiN 的上绝缘层 30,然后,通过化学机械研磨法(CMP 法)使上绝缘层 30 和掩模层 63 平坦化,使连接层 62 露出。之后,根据已知的方法,在上绝缘层 30 上形成第二布线 42。这样,可得到具有图 1 所示结构的非易失性存储器件。

[0175] 在示例 1 的非易失性存储器件的制造方法中,未被掩模层 63 覆盖的第二磁性材料层 53 的部分 53' 被氧化,然后还原第二磁性材料层 53 的氧化部分 53'。即,代替通过利用蚀刻法等方法图形化第二磁性材料层 53 来去除所有的不需要的部分,通过氧化使第二磁性材料层 53 的功能(导电性、磁性等)变坏。因此,难以对保持功能的第二磁性材料层的区域造成损坏。而且,由于第二磁性材料层 53 的氧化部分 53' 被还原,所以不会出现如下问题:在非易失性存储器件的氧化处理之后的制造工艺中,由于处理温度所致,留在第二磁性材料层 53 的部分 53' 中的过量氧气热扩散且对磁性材料层造成损坏。即,可以防止由于氧气所致功能区域的变坏。于是,可以减小非易失性存储器件的读出电阻值变化,高读出电阻值和低读出电阻值之间的间隔宽度可足够大,可将短路的非易失性存储器件的发生率控制得非常小。因此,能够提供具有高性能和长期稳定性的非易失性存储器件。

[0176] 图 5A 和图 5B 分别示出了示例 1 的非易失性存储器件和相关技术中的非易失性存储器件(利用离子铣方法图形化第二磁性材料层、隧道绝缘膜和第一磁性材料层所得到的

非易失性存储器件)中高读出电阻值(图 5A 和图 5B 中的“A”所示)和低读出电阻值(图 5A 和图 5B 中的“B”所示)的测量结果。水平轴表示电阻值(单位:任意),竖直轴表示所测量的非易失性存储器件的取对数的百分比(%)。根据图 5A 和图 5B,示例 1 的非易失性存储器件的高读出电阻值和低读出电阻值之间的小间隔宽度比相关技术的非易失性存储器件的该小间隔宽度的比例小。即,短路和电流泄漏的发生率更小。

[0177] 应当指出,尽管第一磁性材料层 51 由磁化基准层构成,第二磁性材料层 53 由记录层构成,但也可以是,第一磁性材料层 51 由记录层构成,第二磁性材料层 53 由磁化基准层构成。这同样适用于示例 2。

[0178] 示例 2

[0179] 示例 2 是示例 1 的变化例。在示例 1 中,第一实施例的非易失性存储器件是面内磁化系统的自旋注入磁阻效应器件。而在示例 2 中,该器件是垂直磁化系统的自旋注入磁阻效应器件。在示例 2 中,鉴于工作性稳定和第二磁性材料层(记录层)中的易磁化轴的方向的均一,未被氧化的第二磁性材料层(记录层)的区域的平面形状是圆形。

[0180] 具体地,层叠结构的配置如下。

[0181] 第二磁性材料层(记录层)

[0182] 约 1nm 厚的 CoFeB 层和约 3nm 厚的 TbFeCo 层的层叠结构

[0183] 隧道绝缘膜

[0184] 1.0nm 厚的 MgO 膜

[0185] 第一磁性材料层(磁化基准层)

[0186] 约 1nm 厚的 CoFeB 层和约 30nm 厚的 GdFeCo 层的层叠结构

[0187] 例如,在以下列举的溅射条件下沉积第一磁性材料层和第二磁性材料层。

[0188] [第一磁性材料层]

[0189] 处理气体:氩气=50sccm

[0190] 沉积环境压力:0.3Pa

[0191] DC 功率:100W

[0192] [第二磁性材料层]

[0193] 处理气体:氩气=50sccm

[0194] 沉积环境压力:0.3Pa

[0195] DC 功率:200W

[0196] 示例 2 的结构为,记录层(第二磁性材料层 53)和磁化基准层(构成第一磁性材料层 51)经隧道绝缘膜 52 层叠,自旋极化电流垂直地流到膜表面(参见图 6A),该记录层具有记录信息功能,且该磁化基准层磁化方向固定且用作自旋过滤器。第二磁性材料层 53 通过适当的磁异向性采用两个以上的多个磁化方向(例如,图 6A 中的垂直箭头所示的向上方向和向下方向作为两个方向),各磁化方向对应于所记录的信息。第二磁性材料层 53 的易磁化轴平行于该向上方向和向下方向,其难磁化轴垂直于该向上方向和向下方向。磁化基准层 51A 使其磁化方向固定。而且,在第二磁性材料层 53 中,其磁化方向根据自旋极化电流的流向而变为向上方向(朝着第二布线 42 的方向)或向下方向(朝着第一布线 41 的方向)。已知自旋注入磁化反转效率提高的双自旋过滤器结构,其磁化基准层 51A₁、51A₂ 经隧道绝缘膜 52₁、52₂ 设在第二磁性材料层 53 之下和之上(参见图 6B)。

[0197] 除了上述说明之外,示例 2 的非易失性存储器件的配置、结构和示例 2 的非易失性存储器件的制造方法与示例 1 的非易失性存储器件的配置、结构和示例 1 的非易失性存储器件的制造方法相同,不再详述。

[0198] 示例 3

[0199] 示例 3 涉及本发明第二实施例的非易失性存储器件的制造方法。图 7A 原理性地示出了示例 3 的非易失性存储器件的制造方法所得到的第二实施例的非易失性存储器件中电阻变化层的剖面结构,图 7B 示出了等效电路图。在示例 3 的非易失性存储器件中,电阻变化层 80 包括含金属的离子导电体。而且,在示例 3 的非易失性存储器件中,设有选择晶体管 TR。应当指出,示例 3 的非易失性存储器件的选择晶体管的配置、结构与示例 1 的非易失性存储器件的配置、结构相同,示例 3 的非易失性存储器件和选择晶体管之间的排列关系与示例 1 的非易失性存储器件和选择晶体管之间的排列关系相同。即,包括选择晶体管的示例 3 的非易失性存储器件的配置和结构与包括选择晶体管的示例 1 的非易失性存储器件的配置和结构的不同之处仅在于示例 1 的非易失性存储器件的配置和结构。

[0200] 在示例 3 中,电阻变化层 80 夹在第一电极(下电极)71 和第二电极(上电极)72 之间,电阻变化层 80 从第一电极侧起包括高电阻层 81 和离子源层 82。这里,离子源层 82 包括含有金属的离子导电体。而且,在离子源层 82 上,形成有盖层 91 和连接层(上层)92。应当指出,也可以形成有既用作盖层又用作连接层的层。第一电极(下电极)71 与选择晶体管 TR 的源极/漏极区域 14B 电连接。

[0201] 离子源层 82 包括含有选自 Cu、Ag、Zn 的一种金属元素(原子)以及选自硫族元素(原子)Te、S、Se 的一种元素(原子)的导电或半导体薄膜(例如,包括 GeSbTe、GeTe、GeSe、GeS、SiGeTe、SiGeSbTe 的薄膜或者包括这些薄膜和例如 Ag、Ag 合金、Cu、Cu 合金、Zn、Zn 合金等薄膜的薄膜层叠结构)。而且,一个电极具有离子源层 82 中所含的金属原子。这里,Cu、Ag、Zn 是在变为阳离子时在离子源层 82 和高电阻层 81 中易于移动的元素(原子)。另外,Te、S、Se 是当电流在电阻变化层 80 中流过时能够使离子源层 82 的电阻值小于高电阻层 81 的电阻值的元素(原子)。在离子源层 82 中,在使用 Cu 等作为成为阳离子的元素以及使用 Te 等作为硫族元素(原子)的情况下,当电流在电阻变化层 80 中流过时,可使离子源层 82 的电阻值充分小于高电阻层 81 的电阻值,电阻值极大变化的部分不限于离子源层 82,由此,能够改善存储器操作的稳定性。离子源层 82 也可包括两层以上的层叠结构。例如,当具有两层的结构时,其两层的配置为,含有选自 Cu、Ag、Zn 的金属元素(原子)的薄层以及含有选自 Te、S、Se 的硫族元素(原子)的一种元素(原子)的导电或半导体薄膜,高电阻层侧的薄膜包括含金属元素(原子)的薄膜。

[0202] 在示例 3 的非易失性存储器件中,当电压施加在两个电极之间时,一个电极中所含的金属原子作为离子扩散到离子源层 82 中,例如离子源层 82 的电阻值或电容值等电特性改变,因此,可以利用电特性的变化形成存储功能。或者,离子源层 82 中的金属原子被电离,扩散到高电阻层 81 中,与电子结合,在负极沉淀或继续在高电阻层 81 中扩散。因此,在高电阻层 81 中形成含有大量金属原子的电流路径,或者在高电阻层 81 中形成金属原子的许多缺陷,高电阻层 81 的电阻值变低。这样,由于与高电阻层 81 存储信息(数据)之前的电阻值相比,离子源层 82 的电阻值本来就低,所以随着高电阻层 81 的电阻值变低,整个非易失性存储器件的电阻值也变低,可以形成存储功能。高电阻层 81 也可由金属材料、稀土

金属元素氧化物或氮化物或其混合物、半导体材料形成。第一电极（下电极）71 和第二电极（上电极）72 也可由铝（Al）、铜（Cu）、钨（W）等金属材料形成。

[0203] 下面参照图 8A、图 8B、图 9A、图 9B 和图 10 说明示例 3 的非易失性存储器件的制造方法。在这些附图中，省略了非易失性存储器件的位于第一电极 71 下方的构成元件（选择晶体管 TR 等）。

[0204] 步骤 300

[0205] 首先，如同示例 1 的情况，在半导体基板中形成选择晶体管 TR，基于溅射法在下绝缘层 24 上形成连接到连接孔 22 的第一电极 71。应当指出，第一电极 71 包括 20nm 厚的 WN（氮化钨）层。

[0206] 步骤 310

[0207] 之后，在第一电极 71 上，通过溅射法依次形成包括 3nm 厚的钆（Gd）氧化物的高电阻层 81、包括 10nm 厚的 Cu 和 Te 的离子源层 82、包括 5nm 厚的钨（W）的盖层 91 和包括 40nm 厚的 TiN（氮化钛）的连接层 92。

[0208] 步骤 320

[0209] 然后，以与示例 1 的步骤 120 相同的方式，在电阻变化层 80 上形成掩模层 93（参见图 8A）。具体地，在连接层 92 上形成掩模层 93。之后，使用掩模层 93 作为掩模，基于 RIE 方法图形化连接层 92（参见图 8B）。

[0210] 步骤 330

[0211] 之后，氧化未被掩模层 93 覆盖的电阻变化层 80 的部分 82'（电阻变化层中和处理），然后，还原电阻变化层 80 的氧化部分 82'。

[0212] 具体地，首先，基于离子铣法蚀刻盖层 91 和蚀刻离子源层 82 的约一半（参见图 9A）。这里，在离子源层 82 的蚀刻步骤中，期望调节处理条件，使得离子源层 82 的一部分留在晶片的整个表面上。应当指出，如果作为下层的高电阻层 81 部分露出或者盖层 91 部分留下，会带来小麻烦。而且，代替基于离子铣法的图形化，基于 RIE 法图形化盖层 91 和离子源层 82。

[0213] 之后，在如下所列举的条件下，基于等离子体氧化法氧化离子源层 82 的剩余层 82'（参见图 9B）。

[0214] [离子源层的等离子体氧化]

[0215] RF 功率 :200W

[0216] 所用气体 :Ar/O₂ = 50/150sccm

[0217] 之后，在离子源层 82 的剩余层 82' 上进行还原处理（参见图 10）。具体地，在如下所列举的条件下进行氢等离子体法（H₂ 等离子体还原处理法）。

[0218] [在离子源层的剩余层上的 H₂ 等离子体还原处理]

[0219] RF 功率 :200W

[0220] 基板温度 :350℃

[0221] 引入的气体 :H₂ = 500sccm

[0222] 压力 :8×10²Pa

[0223] 步骤 340

[0224] 然后，以与示例 1 的步骤 170 相同的方式，在离子源层 82 的剩余层 82' 和掩模层

93 上基于光刻法形成抗蚀剂层（未图示），之后，使用抗蚀剂层作为蚀刻掩模图形化（蚀刻）离子源层 82 的剩余层 82' 和第一电极 71，然后去除抗蚀剂层。之后，通过等离子体 CVD 法在整个表面上形成包括 SiN 层的上绝缘层 30，然后，通过化学机械研磨法（CMP 法）平坦化上绝缘层 30 和掩模层 93，露出连接层 92。之后，根据已知的方法，在上绝缘层 30 上形成第二电极（上电极）72。这样，就得到示例 3 的非易失性存储器件。

[0225] 在示例 3 的非易失性存储器件的制造方法中，氧化未被掩模层 93 覆盖的电阻变化层 80 的部分 82'，然后，还原电阻变化层 80 的氧化部分 82'。即，代替通过利用蚀刻法等图形化电阻变化层 80 来去除不需要的部分，通过氧化使电阻变化层 80 的功能（导电性等）变坏。因此，难以对保持功能的电阻变化层 80 的区域造成损坏。而且，由于电阻变化层 80 的氧化部分 82' 被还原，所以不会出现如下问题：在非易失性存储器件的氧化处理之后的制造工艺中，由于处理温度所致，留在电阻变化层的部分 82' 中的过量氧气热扩散且对电阻变化层 80 造成损坏。即，可以防止由于氧气所致功能区域的变坏。于是，可以减小非易失性存储器件的电阻值变化的差异，能够提供具有高性能和长期稳定性的非易失性存储器件。

[0226] 下面，说明示例 3 的非易失性存储器件的工作原理。

[0227] 信息的写入

[0228] 当正电位（+ 电位）施加到第二电极 72、负电位（- 电位）或零电位施加到第一电极 71 时，金属原子从离子源层 82 电离，在高电阻层 81 中扩散，与电子结合，在第一电极侧沉淀或继续在高电阻层 81 中扩散。因此，在高电阻层 81 中形成含有大量金属原子的电流路径，或者在高电阻层 81 中形成金属原子的许多缺陷，高电阻层 81 的电阻值变低。这样，由于与高电阻层 81 记录信息（数据）之前的电阻值相比，离子源层 82 的电阻值本来就低，所以随着高电阻层 81 的电阻值变低，整个非易失性存储器件的电阻值也变低。即，非易失性存储器件导通（处于连续状态）。整个非易失性存储器件的电阻为写入电阻。

[0229] 之后，当停止向第一电极 71 和第二电极 72 施加电压、没有电压施加在非易失性存储器件上时，非易失性存储器件的电阻值保持较低。这样，实施信息（数据）的记录（写入）。

[0230] 信息的消去

[0231] 当负电位（- 电位）施加到第二电极 72、正电位（+ 电位）或零电位施加到第一电极 71 时，构成高电阻层 81 中的电流路径或杂质电平的金属原子在高电阻层 81 中电离、移动，然后返回到离子源层 82。因此，电流路径或缺陷从高电阻层 81 的内部消失，高电阻层 81 的电阻值变高。这样，由于离子源层 82 的电阻值本来就低，所以随着高电阻层 81 的电阻值变高，整个非易失性存储器件的电阻值也变高。即，非易失性存储器件断开（处于非连续状态）。整个非易失性存储器件的电阻是消去电阻。

[0232] 之后，当停止向第一电极 71 和第二电极 72 施加电压、没有电压施加在非易失性存储器件上时，非易失性存储器件的电阻值保持较高。这样，实施所记录信息（数据）的消去。

[0233] 之后，通过反复执行上述处理，可以反复实施非易失性存储器件中的信息记录（写入）和所记录信息的消去。

[0234] 这样，例如，相应地，如果整个非易失性存储器件的电阻是写入电阻（低电阻值状态）的状态对应于信息“1”，整个非易失性存储器件的电阻是消去电阻（高电阻值状态）的

状态对应于信息“0”，则通过向第二电极 72 施加正电位（+ 电位），非易失性存储器件中存储的信息从“0”变为“1”，而且，通过向第二电极 72 施加负电位（- 电位），非易失性存储器件中存储的信息从“1”变为“0”。

[0235] 如上所述，在示例 3 中，利用具有简单结构的非易失性存储器件进行信息的记录和消去，该结构为第一电极 71、高电阻层 81、离子源层 82 和第二电极 72 只是依次层叠。于是，即使在非易失性存储器件小型化的情况下，也可以容易地实现信息的记录和消去。而且，在没有电源的情况下，能够保持电阻变化层 80 的电阻值，能够长时间保存信息。而且，电阻变化层 80 的电阻值没有因读出而改变，并且不需要附加操作，可降低一定量的功耗。

[0236] 示例 4

[0237] 示例 4 是示例 3 的变化例。在示例 4 中，非易失性存储器件包括相变存储器器件（PRAM）。即，在示例 4 中，电阻变化层包括硫族材料。而且，利用构成作为存储部的电阻变化层的相位变化材料在非晶态和结晶态之间几位电阻的差，该器件作为非易失性存储器件工作。具体地，当脉冲式大电流短时间流过时（例如，200 微安，20 纳秒），存储部被快速冷却，构成电阻变化层的相位变化材料变为非晶态，呈高电阻。另外，当脉冲式小电流长时间流过时（例如，100 微安，100 纳秒），存储部被慢慢冷却，构成电阻变化层的相位变化材料变为结晶态，呈低电阻。

[0238] 代替由硫族材料形成电阻变化层，例如，该层可包括具有场感应巨电致电阻效应（CER 效应）的材料，例如，含有三元系钙钛矿型迁移金属氧化物（perovskite）（ PrCaMnO_3 或 SrTiO_3 ）或者二元迁移金属氧化物（ CuO ， NiO ， CuO ， TiO_2 ， Fe_3O_4 ）。

[0239] 例如，在电阻变化层包括 TiO_2 的情况下，在第一次向非易失性存储器件施加电压的“形成”处理中，具有低电阻的多个电流路径（丝状）局部形成在电阻变化层中。在“复位”处理中，丝的阳极侧（施加有正电压的一侧）通过所施加的电压被氧化，电阻值变为高阻值状态。因此，整个非易失性存储器件的电阻值变高。即，非易失性存储器件断开（非连续状态）。整个非易失性存储器件的电阻值是消去电阻。在“设定”处理中，丝的阳极侧通过焦耳热量被还原，电阻值变低，再次进入低阻值状态。因此，整个非易失性存储器件的电阻值也变低。即，非易失性存储器件导通（连续状态）。整个非易失性存储器件的电阻值是写入电阻。通过反复进行上述处理，可以反复执行非易失性存储器件中的信息的记录（写入）和所记录信息的消去。

[0240] 如上所述，已经根据优选示例说明了本发明的各实施例，但是，本发明的实施例不限于这些示例。示例中所提到的各种层叠结构、所使用的材料等是说明性的，可以进行适当地改变。

[0241] 在示例 1 和示例 2 的非易失性存储器件中，高极化性层可设在磁化基准层 51A 和隧道绝缘膜 52 之间，或者高极化性层也可设在记录层 53 和隧道绝缘膜 52 之间。高极化性层包括含有选自例如 Fe、Co 和 Ni 中至少一种元素的磁性金属层。设在磁化基准层 51A 和隧道绝缘膜 52 之间的高极化性层交换耦合到磁化基准层 51A。另外，设在记录层 53 和隧道绝缘膜 52 之间的高极化性层交换耦合到记录层 53。通过这样设置高极化性层，能够增大磁阻率。由于高极化性层通常以单层形式设在面内磁化系统中，所以当采用垂直磁化系统时，为了不损失垂直磁化的稳定性，需要调节磁化基准层 51A 和记录层 53 之间的磁层厚度比。

[0242] 本领域技术人员应当理解，依据设计要求和其它因素，可以在本发明所附的权利

要求及其等同物的范围内进行各种修改、组合、次组合及改变。

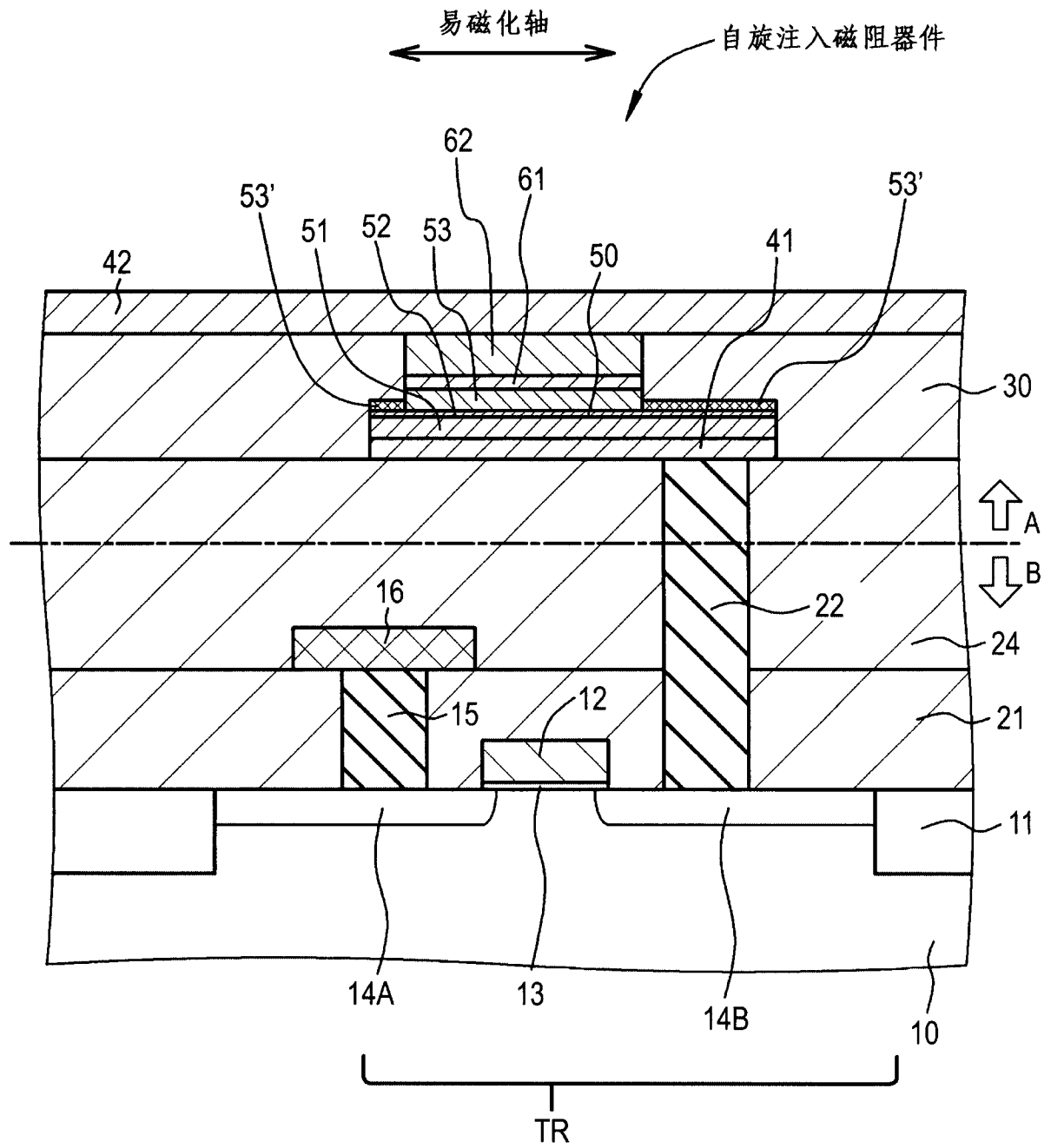


图 1

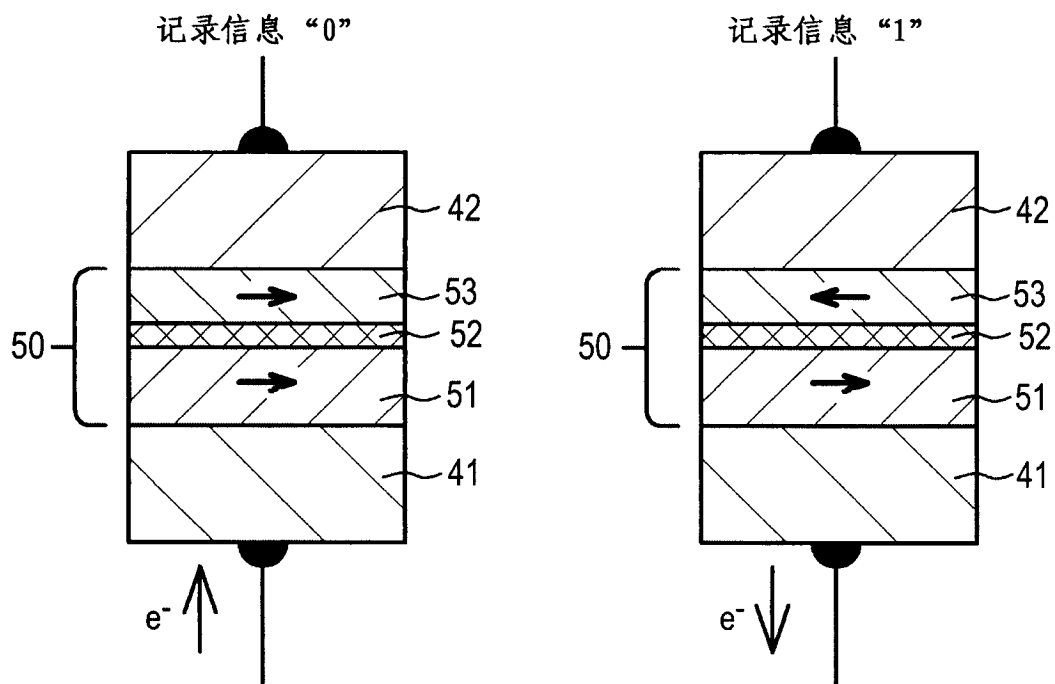


图 2A

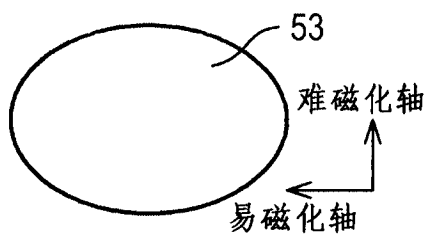


图 2B

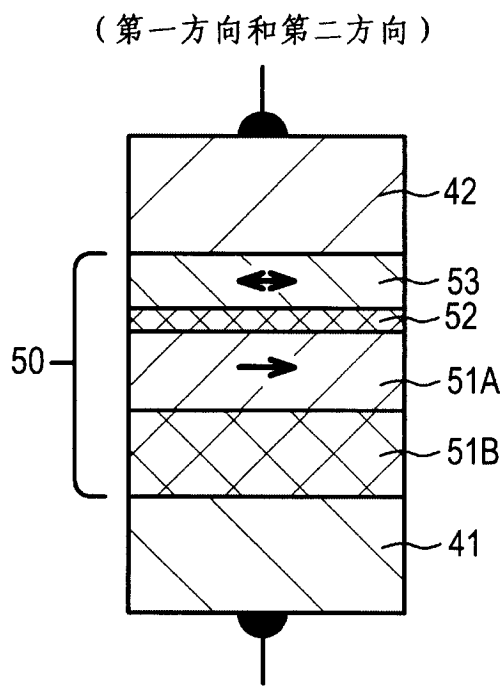


图 2C

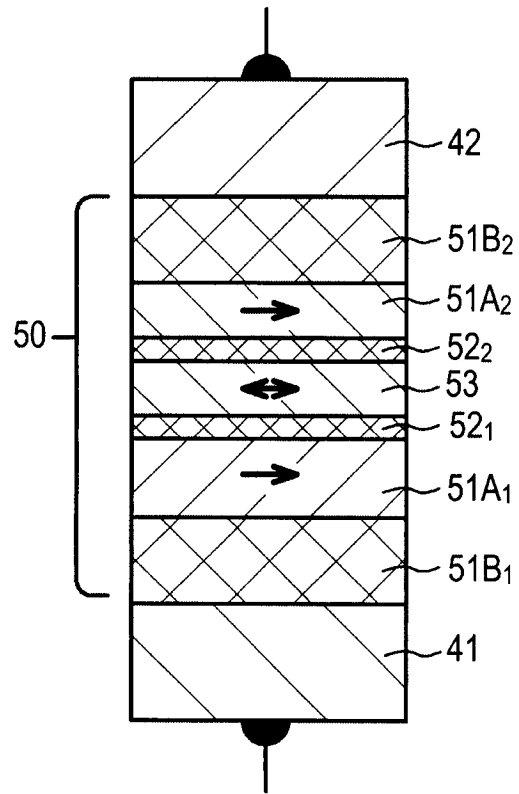


图 2D

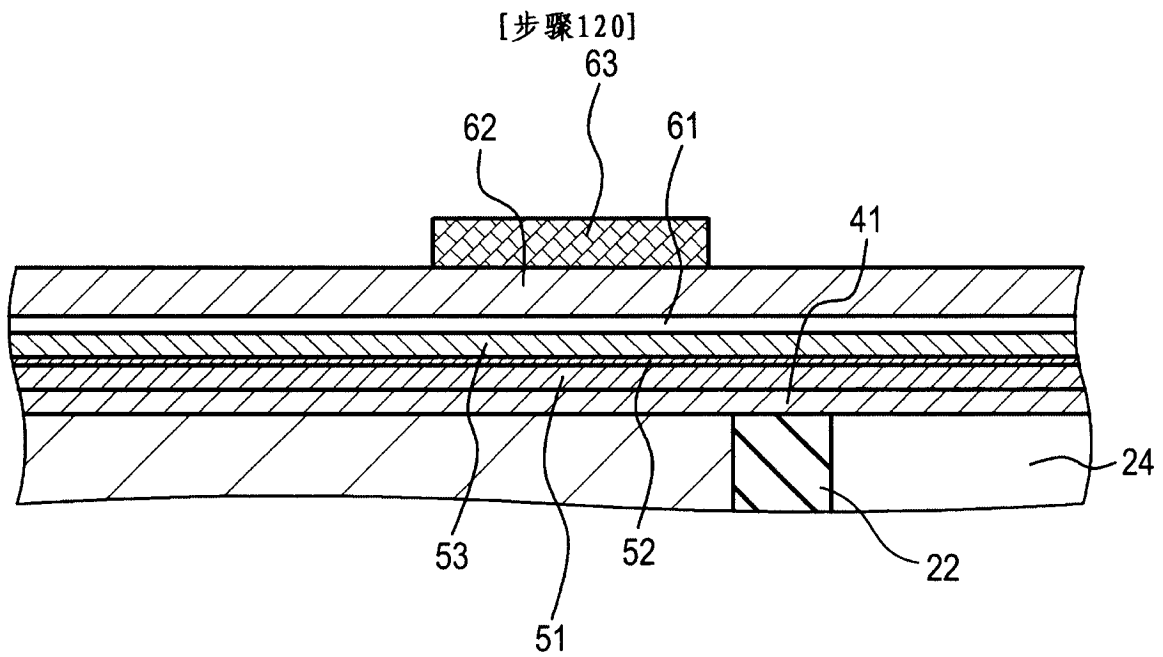


图 3A

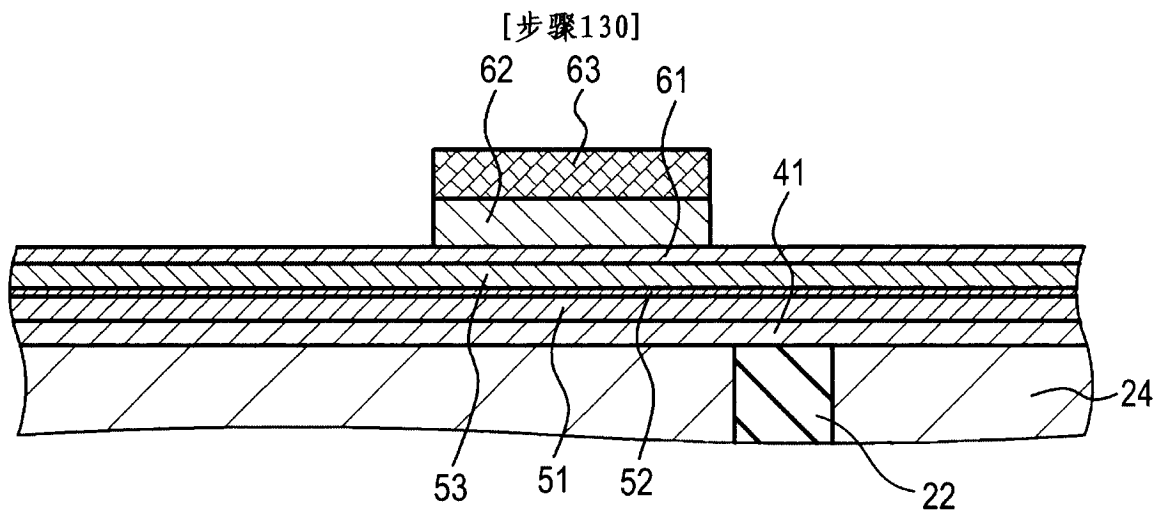


图 3B

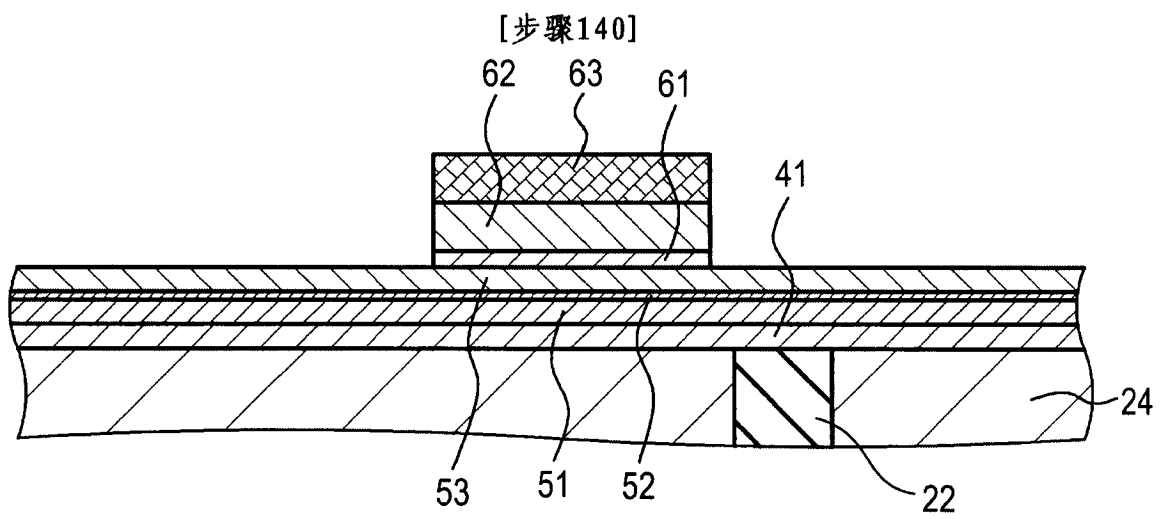


图 3C

[步骤140] (接上页)

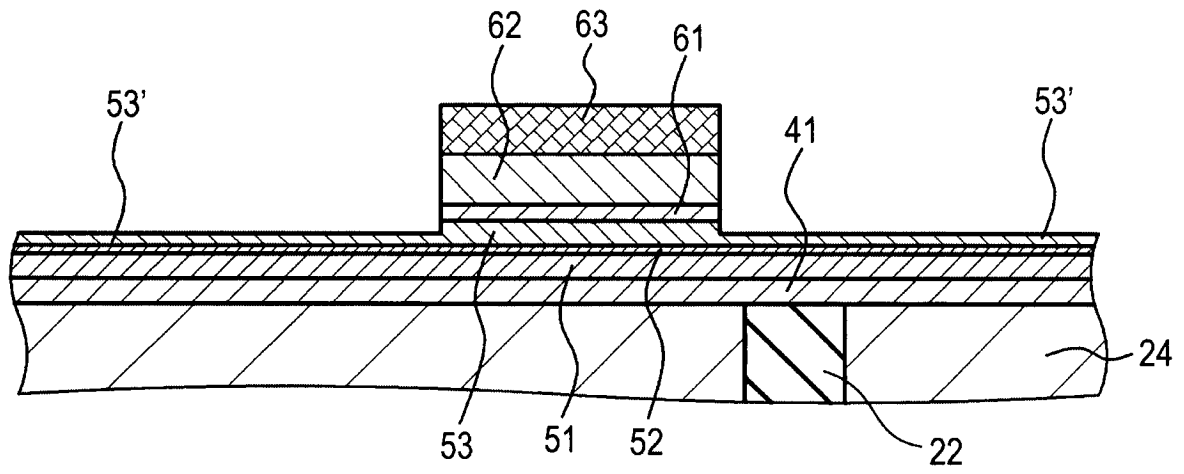


图 4A

[步骤150]

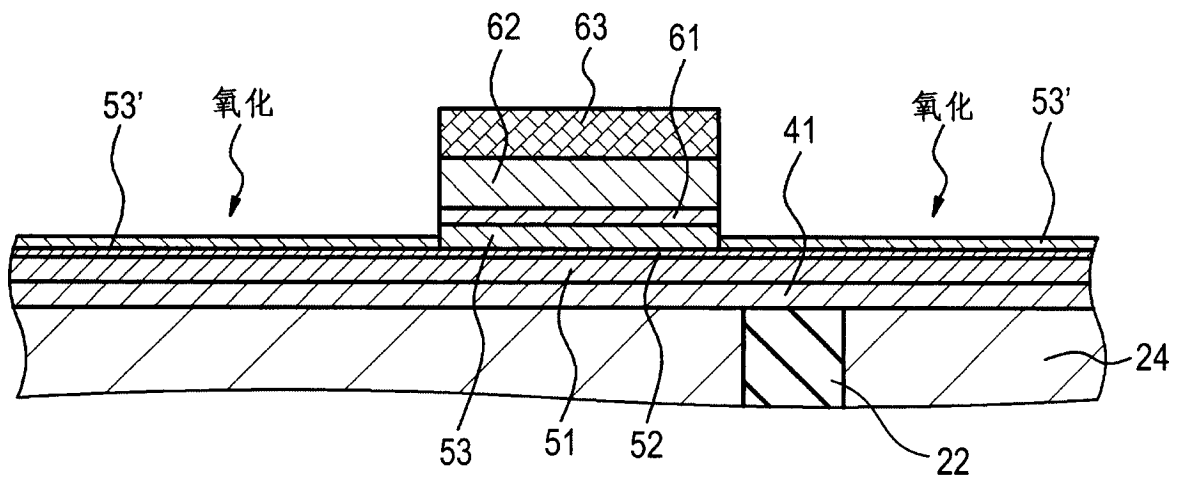


图 4B

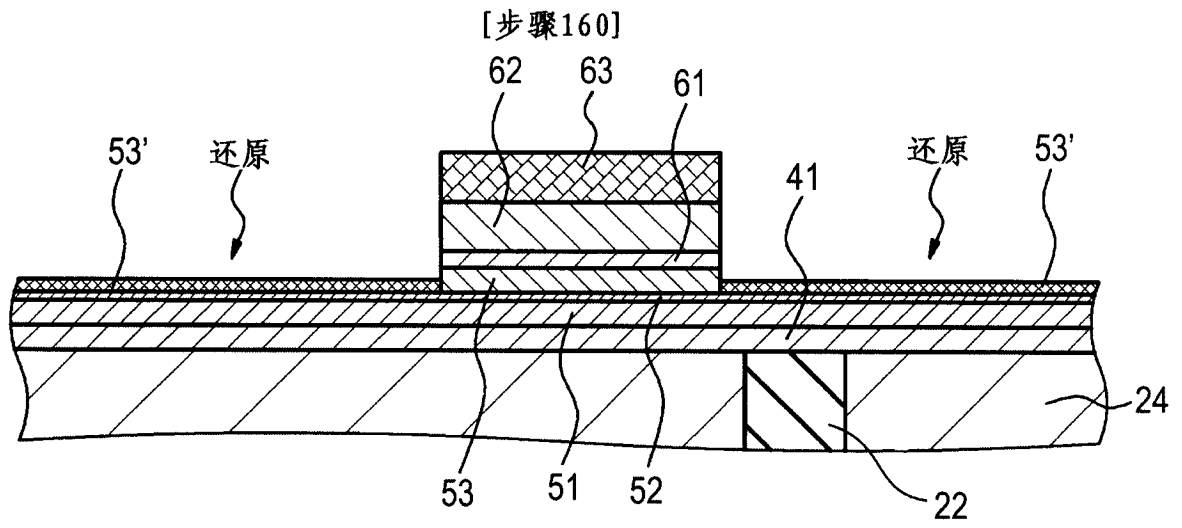


图 4C

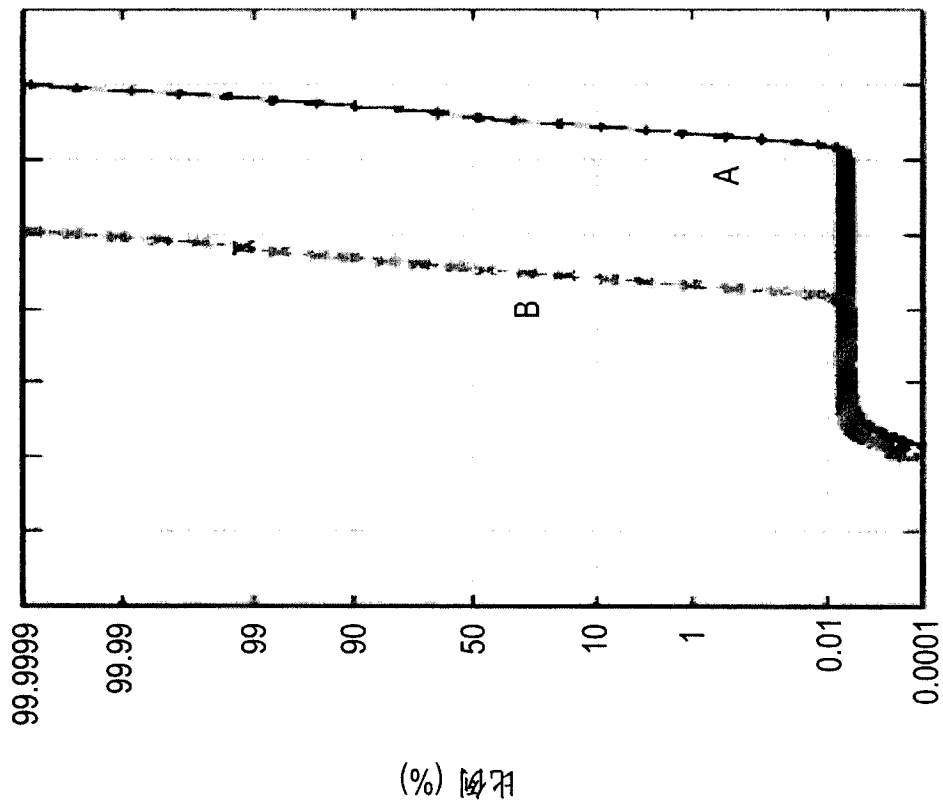


图 5A

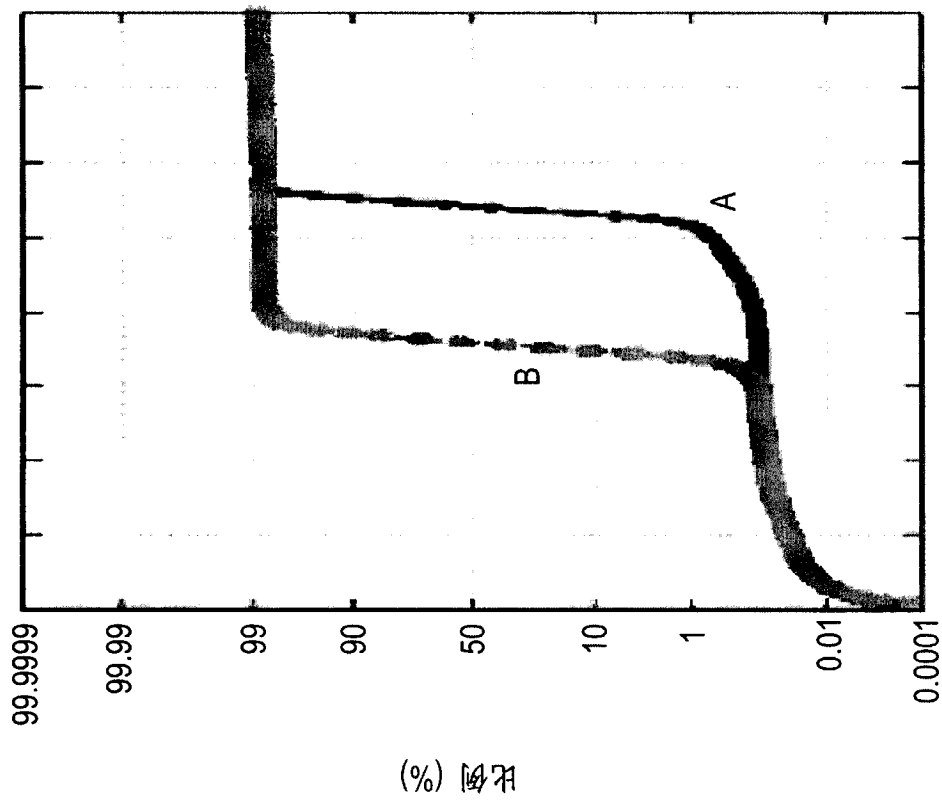


图 5B

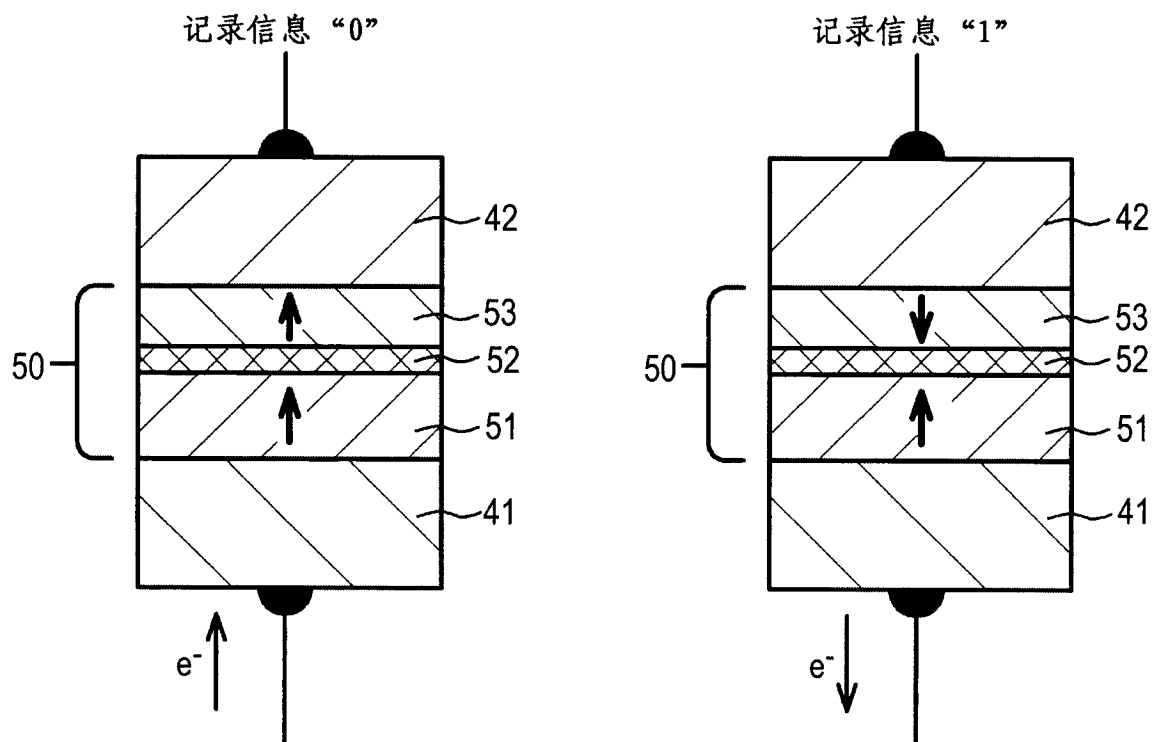


图 6A

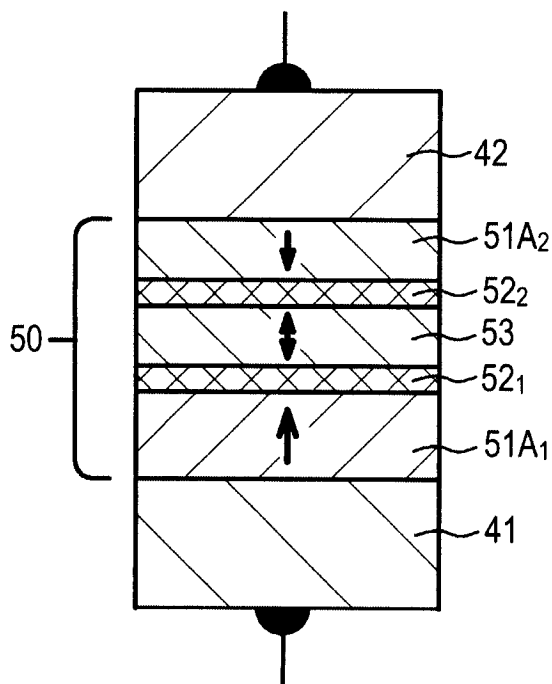


图 6B

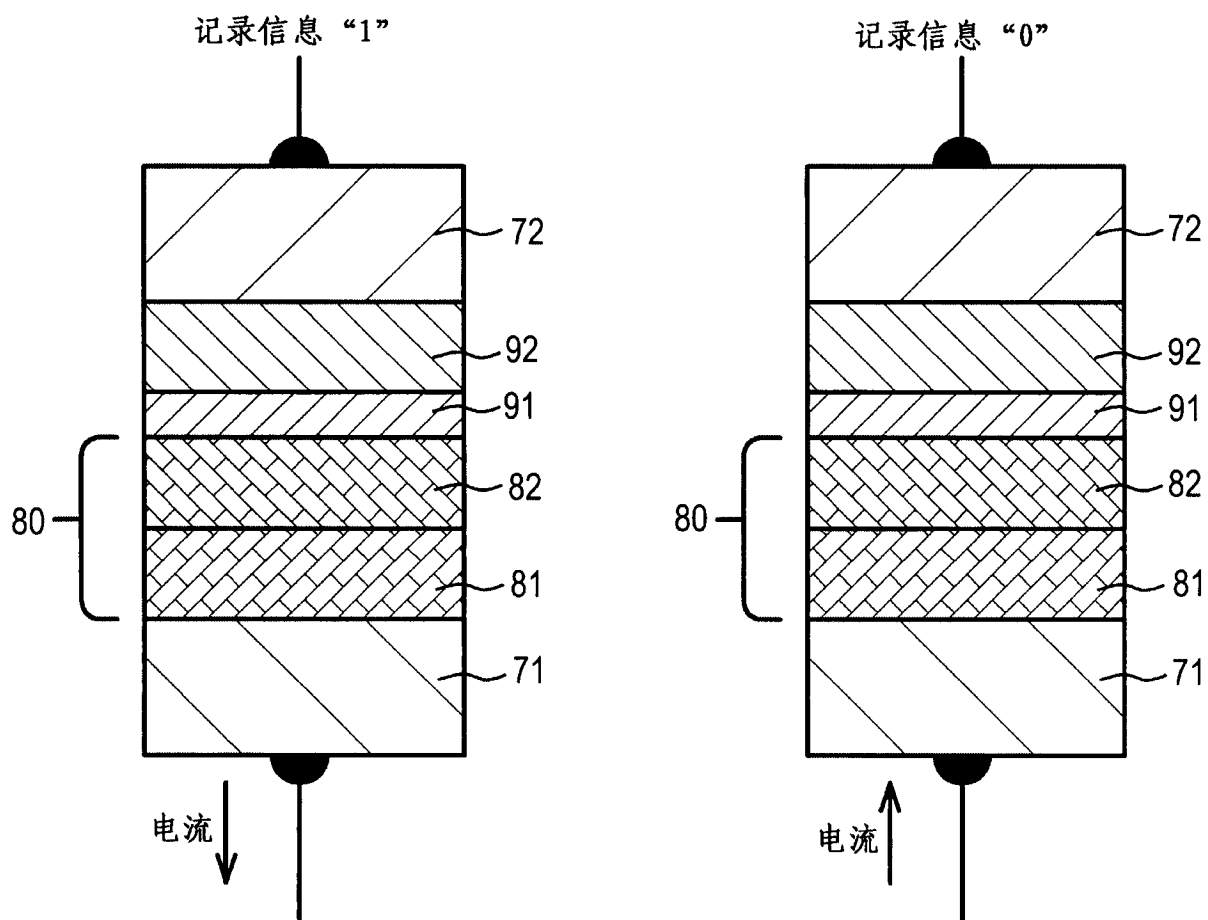


图 7A

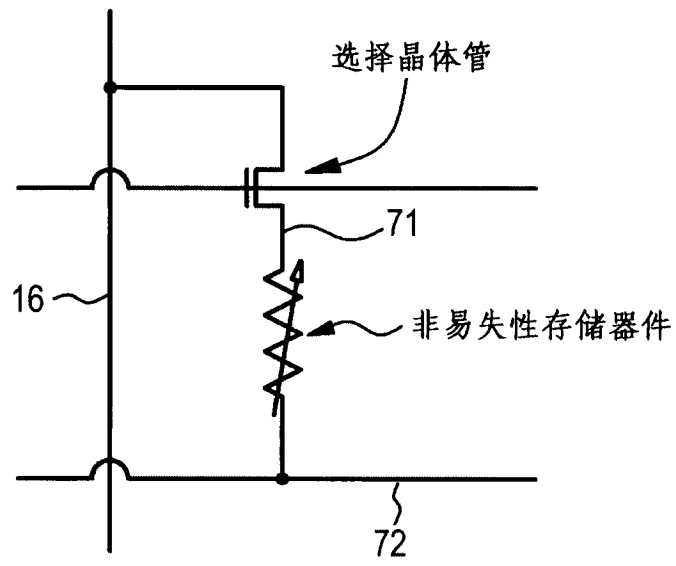


图 7B

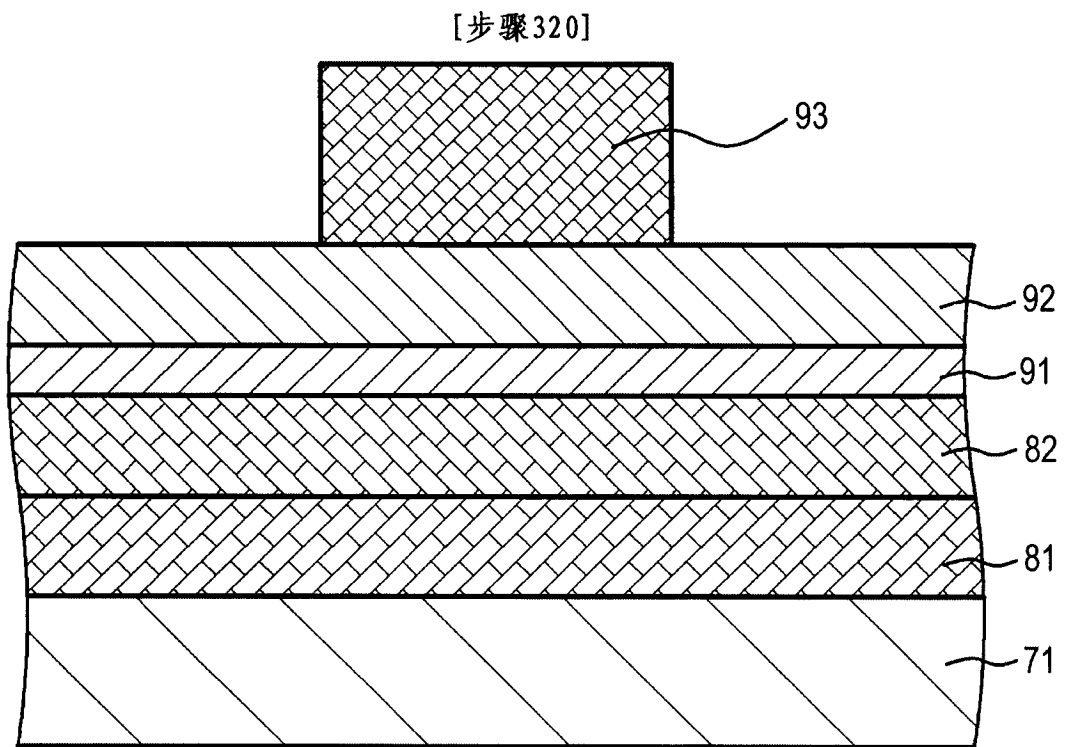


图 8A

[步骤320] (接上图)

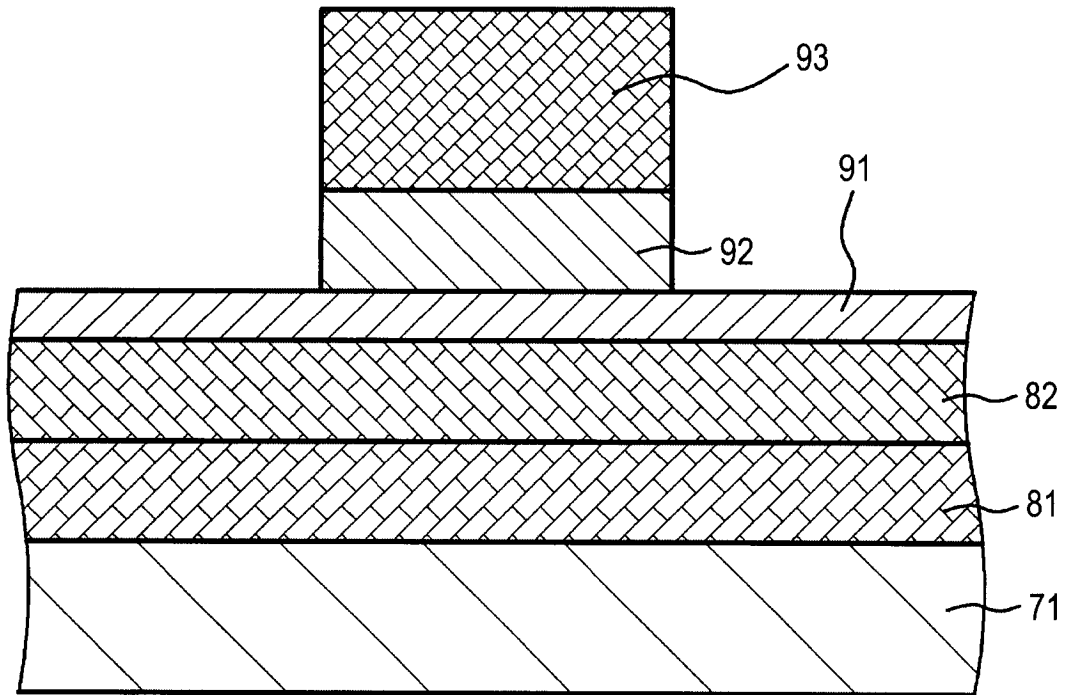


图 8B

[步骤330]

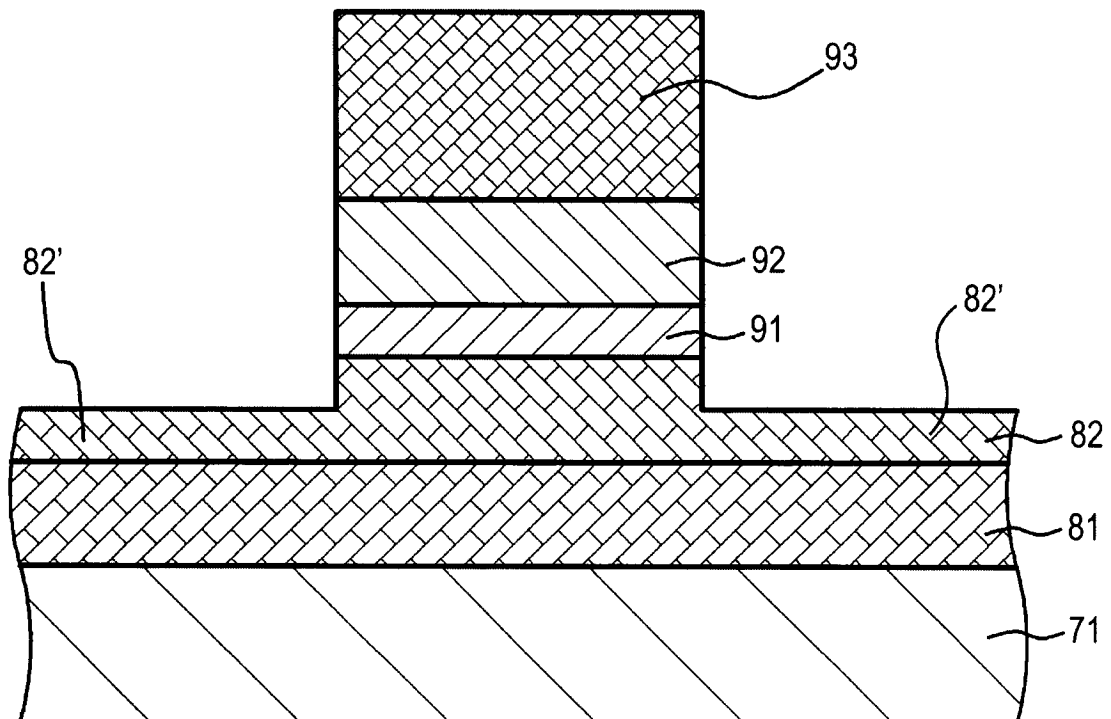


图 9A

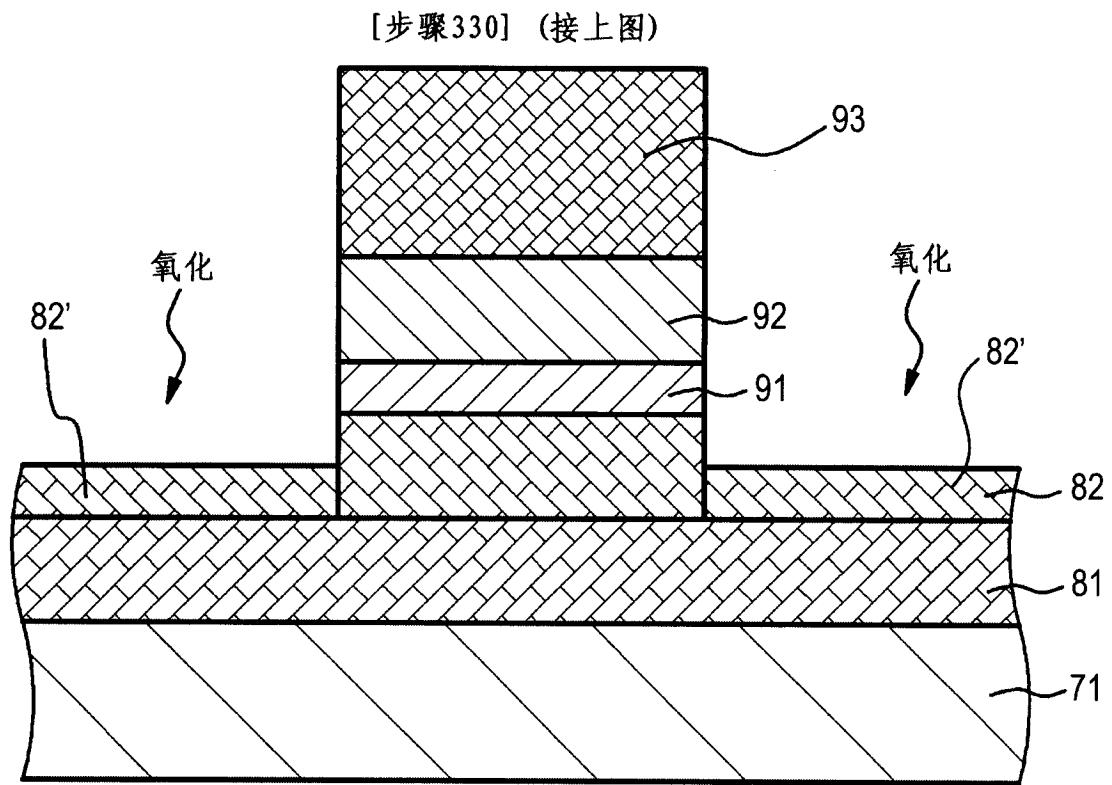


图 9B

[步骤330] (接上图)

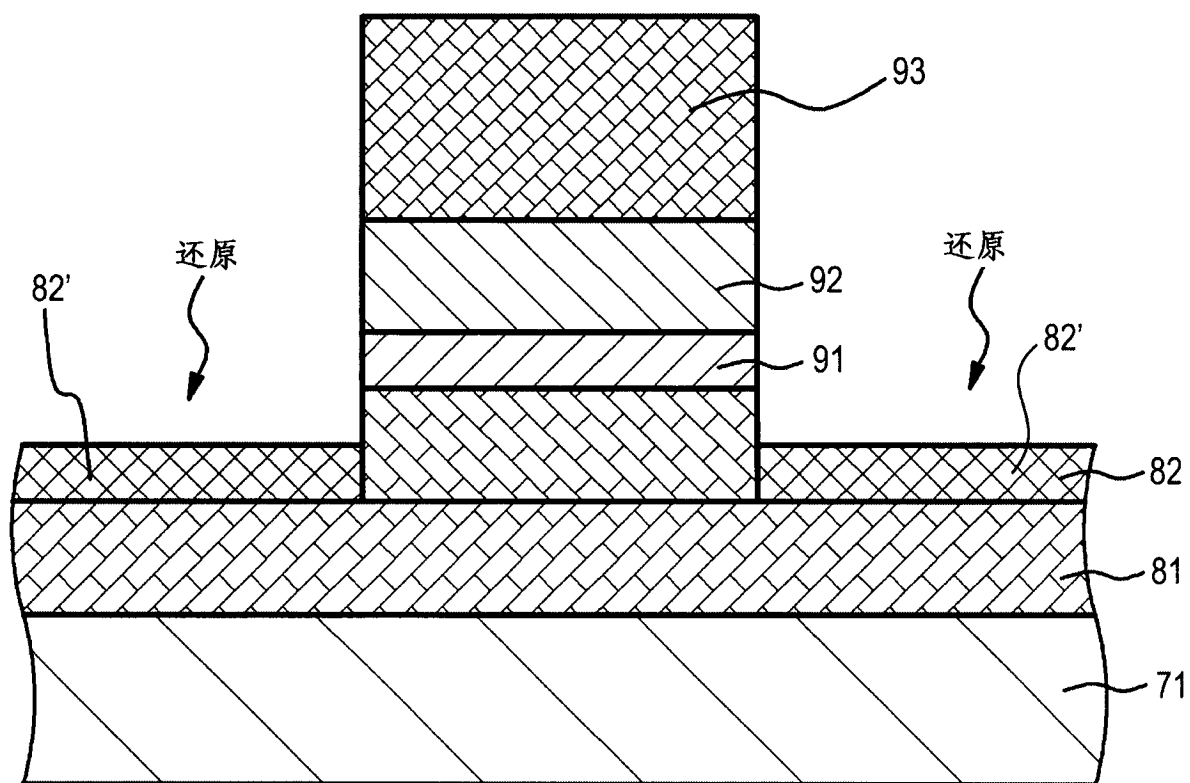


图 10