

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和5年12月6日(2023.12.6)

【国際公開番号】WO2021/130591

【出願番号】特願2021-566372(P2021-566372)

【国際特許分類】

H 0 1 L 21/8234(2006.01)

H 0 1 L 21/822(2006.01)

H 0 1 L 29/786(2006.01)

H 0 1 L 27/088(2006.01)

H 0 1 L 21/336(2006.01)

H 1 0 B 41/70(2023.01)

H 1 0 B 12/00(2023.01)

H 1 0 B 99/00(2023.01)

G 1 1 C 11/405(2006.01)

G 0 6 F 15/78(2006.01)

G 0 6 F 9/38(2018.01)

H 0 1 L 27/00(2006.01)

10

【 F I 】

20

H 0 1 L 27/088 E

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/04 D

H 0 1 L 29/78 6 1 3 B

H 0 1 L 27/088 3 3 1 E

H 0 1 L 27/088 C

H 0 1 L 29/78 6 1 3 Z

H 0 1 L 29/78 6 1 7 S

H 0 1 L 29/78 6 1 8 B

H 0 1 L 27/04 F

30

H 0 1 L 27/1156

H 0 1 L 27/108 3 2 1

H 0 1 L 27/105 4 4 1

H 0 1 L 27/108 6 7 1 Z

G 1 1 C 11/405

G 0 6 F 15/78 5 3 0

G 0 6 F 15/78 5 5 0

G 0 6 F 9/38 3 7 0 C

H 0 1 L 27/00 3 0 1 B

40

【手続補正書】

【提出日】令和5年11月28日(2023.11.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

C P Uと、アクセラレータと、を有し、

50

前記アクセラレータは、第1メモリ回路と、第2メモリ回路と、演算回路と、を有し、
前記第1メモリ回路は、第1トランジスタを有し、
前記第2メモリ回路は、第2トランジスタを有し、
前記第1トランジスタおよび前記第2トランジスタはそれぞれ、チャンネル形成領域に金属酸化物を有する半導体層を有し、
前記演算回路は、第3トランジスタを有し、
前記第3トランジスタは、チャンネル形成領域にシリコンを有する半導体層を有し、
前記CPUは、バックアップ回路が設けられたフリップフロップを有するCPUコアを有し、

10

前記バックアップ回路は、第4トランジスタを有し、
前記第4トランジスタは、チャンネル形成領域に金属酸化物を有する半導体層を有し、
前記第2メモリ回路のトランジスタ密度は、前記第1メモリ回路のトランジスタ密度より高く、
前記第2トランジスタを有する層は、前記第1トランジスタを有する層上に設けられ、
前記第1トランジスタを有する層および前記第2トランジスタを有する層は、前記第3トランジスタを有する層上に設けられる、半導体装置。

【請求項2】

請求項1において、
前記バックアップ回路は、前記CPUがパワーゲーティング時において、前記フリップフロップに保持されたデータを電源電圧の供給が停止した状態で保持する機能を有する、半導体装置。

20

【請求項3】

請求項1または2において、
前記第1メモリ回路および前記第2メモリ回路は、前記演算回路に入力されるデータを保持する機能を有する、半導体装置。

【請求項4】

請求項1乃至3のいずれか一において、
前記第2メモリ回路は、前記第1メモリ回路とは異なる回路構成を有する、半導体装置

【請求項5】

CPUと、アクセラレータと、を有し、
前記アクセラレータは、第1メモリ回路と、第2メモリ回路と、演算回路と、を有し、
前記第1メモリ回路は、第1トランジスタを有し、
前記第2メモリ回路は、第2トランジスタを有し、
前記第1トランジスタおよび前記第2トランジスタはそれぞれ、チャンネル形成領域に金属酸化物を有する半導体層を有し、
前記演算回路は、第3トランジスタを有し、
前記第3トランジスタは、チャンネル形成領域にシリコンを有する半導体層を有し、
前記第2メモリ回路のトランジスタ密度は、前記第1メモリ回路のトランジスタ密度より高く、

30

40

前記第1トランジスタを有する層は、前記第3トランジスタを有する層上に設けられ、
前記第2トランジスタを有する層は、前記第1トランジスタを有する層上に設けられ、
前記第1メモリ回路は、前記第2メモリ回路とは異なるデータ保持特性を有する、半導体装置。

【請求項6】

請求項5において、
前記第1メモリ回路は、前記演算回路に入力されるデータまたは前記演算回路から出力されるデータを保持する機能を有する、半導体装置。

【請求項7】

請求項5または6において、

50

前記第 1 トランジスタを駆動するための振幅電圧は、前記第 2 トランジスタを駆動するための振幅電圧より小さい、半導体装置。

【請求項 8】

請求項 5 乃至 7 のいずれかーにおいて、

前記第 1 トランジスタのゲート絶縁膜の膜厚は、前記第 2 トランジスタのゲート絶縁膜の膜厚より小さい、半導体装置。

【請求項 9】

請求項 5 乃至 8 のいずれかーにおいて、

前記第 2 メモリ回路は、前記第 1 メモリ回路とは異なる回路構成を有する、半導体装置

。

10

【請求項 10】

請求項 1 乃至 9 のいずれかーにおいて、

前記演算回路は、積和演算を行う回路である、半導体装置。

【請求項 11】

請求項 1 乃至 10 のいずれかーにおいて、

前記金属酸化物は、In と、Ga と、Zn と、を含む、半導体装置。

20

30

40

50