

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G11C 5/14

(45) 공고일자 2005년12월21일
(11) 등록번호 10-0538021
(24) 등록일자 2005년12월14일

(21) 출원번호 10-2004-0034658
(22) 출원일자 2004년05월17일

(65) 공개번호 10-2004-0100933
(43) 공개일자 2004년12월02일

(30) 우선권주장 JP-P-2003-00140079 2003년05월19일 일본(JP)
JP-P-2003-00419716 2003년12월17일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시기가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고

(72) 발명자 도비타유이치
일본국도쿄도지요다쿠마루노우치2초메2반3고미쓰비시덴키가부시기가
이샤나이

(74) 대리인 권태복
이화익

심사관 : 이인용

(54) 전압발생회로

요약

기준전압노드(GG)와 제1 노드(ND1)의 사이에 제1 트랜지스터(PQ1)를 배치하고, 그 게이트를 제2 노드(ND2)에 접속한다. 제2 노드와 기준전압노드의 사이에 제2 트랜지스터(PQ2)를 배치하고, 그 게이트를 제1 노드에 접속한다. 제1 및 제2 노드로, 각각 제1 및 제2 제어신호(ϕP , ϕCP)를 수신하는 용량소자(C1, C2)를 통해 전하를 공급한다. 또한, 제2 노드와 출력노드의 사이에 제3 트랜지스터(NQ1)를 배치하고, 그 게이트노드(ND3)를 제3 용량소자(C3)를 통해 제3 제어신호 ϕCT 에 결합한다. 또한, 이 출력노드와 제3 트랜지스터의 게이트노드의 사이에 제4 트랜지스터(NQ2)를 접속하고, 그 게이트를 제2 노드에 접속한다. 무효전류를 생기게 하지 않고 효율적으로 전하를 사용하여 저소비전력으로 원하는 레벨의 내부전압을 발생한다.

대표도

도 1

색인어

전압발생회로, 용량소자, 차지펌프, 반도체, 소비전력, 부전압, 고전압

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예 1에 따른 전압발생회로의 구성을 나타내는 도면이다.

도 2는 도 1에 나타내는 전압발생회로의 동작을 나타내는 신호파형도이다.

도 3은 본 발명의 실시예 2에 따른 전압발생회로의 구성을 나타내는 도면이다.

도 4는 도 3에 나타내는 회로의 동작을 나타내는 신호파형도이다.

도 5는 본 발명의 실시예 3에 따른 내부전압 발생회로의 구성을 개략적으로 나타내는 도면이다.

도 6은 도 5에 나타내는 제어신호 발생회로의 구성을 개략적으로 나타내는 도면이다.

도 7은 도 6에 나타내는 회로의 동작을 나타내는 타이밍도이다.

도 8은 본 발명의 실시예 4에 따른 전압발생회로의 구성을 나타내는 도면이다.

도 9는 도 8에 나타내는 회로의 동작을 나타내는 신호파형도이다.

도 10a는, 본 발명의 실시예 5에 따른 전압발생회로의 구성을 나타내고, 10b는, 도 10a에 나타내는 전하전송단의 구성을 나타내는 도면이다.

도 11은 도 10a 및 10b에 나타내는 회로의 동작을 나타내는 신호파형도이다.

도 12는 도 10a에 나타내는 제어신호를 발생하는 회로의 구성을 개략적으로 나타내는 도면이다.

도 13은 도 12에 나타내는 회로의 동작을 나타내는 신호파형도이다.

도 14는 본 발명의 실시예 6에 따른 전압발생회로의 구성을 나타내는 도면이다.

도 15는 도 14에 나타내는 회로의 동작을 나타내는 신호파형도이다.

도 16은 본 발명의 실시예 7에 따른 전압발생회로의 구성을 나타내는 도면이다.

도 17은 도 16에 나타내는 회로의 동작을 나타내는 신호파형도이다.

도 18은 본 발명의 실시예 8에 따른 전압발생회로의 구성을 나타내는 도면이다.

도 19는 도 18에 나타내는 전압발생회로의 동작을 나타내는 타이밍도이다.

도 20은 본 발명의 실시예 9에 따른 전압발생회로의 구성을 나타내는 도면이다.

도 21은 도 20에 나타내는 전압발생회로의 동작을 나타내는 타이밍도이다.

도 22는 본 발명의 실시예 10에 따른 전압발생회로의 구성을 나타내는 도면이다.

도 23은 본 발명의 실시예 11에 따른 전압발생회로의 구성을 나타내는 도면이다.

도 24는 본 발명의 실시예 12에 따른 전압발생회로의 구성을 나타내는 도면이다.

도 25는 본 발명의 실시예 12의 변경예의 전압발생회로의 구성을 나타내는 도면이다.

도 26은 본 발명의 실시예 13에 따른 전압발생회로의 구성을 나타내는 도면이다.

도 27은 본 발명의 실시예 13의 변경예의 전압발생회로의 구성을 나타내는 도면이다.

도면의 주요부분에 대한 부호의 설명

PQ1, PQ2, PQ11, PQ12, PQa, PQb : P채널 MOS트랜지스터

NQ1, NQ2, NQ11, NQ12, NQ31, NQ32, NQa, NQb : N채널 MOS트랜지스터

C1, C2, C11, C12, C13, C20, C21 : 용량소자

40 : 전압구동단

XFN, XFN11 XFNn, XFP, XFP1-XFPn : 전하전송단

CK1-CKn-1, CC1-CCn-1 : 용량소자

NQQ1, NQQ2 : N채널 MOS 트랜지스터

PQQ1, PQQ2 : P채널 MOS트랜지스터

CQ1, CQ13 : 용량소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 원하는 전압레벨의 내부전압을 발생하는 전압발생회로에 관한 것으로, 특히, 용량소자의 차지펌프동작을 이용하여 효율적으로 내부전압을 발생하는 전압발생회로의 구성에 관한 것이다.

반도체장치에 있어서는, 여러가지의 전압레벨의 내부전압이 사용되는 것이 많다. 예를 들면, DRAM(다이내믹·랜덤 액세스 메모리)에 있어서는, 메모리셀 어레이의 기관영역을 일정전압으로 바이어스하기 위해 부전압이 사용되고, 또한, 선택워드선으로는 전원전압보다도 높은 정(+)의 고전압이 전달된다. 또한, 불휘발성 메모리에 있어서는, 데이터의 재기록을 위해서는 부전압 및 고전압이 사용된다.

이러한 전원전압과 레벨이 다른 전압을 외부로부터 공급하는 경우, 시스템 규모가 증대하고, 또한 시스템 전체의 소비전력도 증대한다. 또한, 반도체장치에 있어서는, 그와 같은 전압을 수신하기 위한 전용의 핀 단자가 필요하게 되고, 사이즈가 증대한다.

이러한 관점에서, 필요한 레벨의 전압을 반도체장치 내부에서 발생하는 것이 일반적으로 행해진다. 이러한 내부전압을 발생하는 회로의 일례는, 예를 들면 특허문헌 1(일본특허공개평 4-372792호 공보)에 나타나 있다.

이 선행문헌 1에 나타나는 내부전압 발생회로는, 용량소자의 차지펌프동작을 이용하여 부전압을 발생한다. 이 특허문헌 1의 내부전압 발생회로의 구성에 있어서는, 충전용 용량소자의 차지펌프동작에 의해 전하를 축적하는 노드를, 제어용 용량소자의 용량결합에 의해 방전제어트랜지스터를 온상태로서 접지전압레벨로 방전한다. 이후, 전하축적노드로부터, 충전용 용량소자의 차지펌프동작에 의해 전하를 인출하여 부전압레벨로 구동한다. 전하축적노드를, 전원전압의 진폭으로 변화시킨다. 이 전하축적노드의 부전하를 출력트랜지스터를 통해 출력노드에 공급함으로써, -VCC 레벨의 부전압을 공급한다. 여기서 -VCC는 전원전압을 나타낸다.

출력트랜지스터의 게이트의 전위는, 전하축적노드가 게이트에 접속되는 출력제어트랜지스터에 의해, 접지전압 GND와 부전압 -VCC의 사이에서 변화된다.

이 선행문헌 1에서는, 전하축적노드를 VCC 진폭으로 변화시킴으로써, 저전원전압 하에 있어도 충분한 전압레벨의 부전압을 발생하는 것을 도모한다.

발명이 이루고자 하는 기술적 과제

용량소자의 차지펌프 동작을 이용하여 내부전압을 발생하는 경우, 반도체장치의 소비전력의 관점에서, 효율적으로, 차지펌프 동작에 의해 생성된 전하를 출력노드로 전송하여 내부전압을 발생하는 것이 요구된다.

전술한 특허문헌 1의 구성에 있어서는 -VCC의 진폭으로 전하축적노드의 전압레벨을 변화시키기 위해, 전하축적노드를 방전제어 트랜지스터에 의해 접지전압레벨로 프리차지하고, 그 후, 충전용 용량소자에 의한 차지펌프 동작에 의해 전하축적노드를 -VCC의 전압레벨에까지 저하시킨다. 이때에, 방전제어 트랜지스터를 오프상태로 하기 위해, 제2 제어트랜지스터가 도통하여 전하축적노드를 방전제어 트랜지스터의 게이트에 접속한다. 이 제2 제어트랜지스터는, 전하축적노드의 전압이 $-V_{th}$ 이하로 저하하면 온상태가 되어 방전제어 트랜지스터의 게이트와 전하축적노드를 전기적으로 접속한다. 여기서, V_{th} 는, 제2 제어트랜지스터의 임계치전압을 나타낸다.

그렇지만, 이 방전제어 트랜지스터를 온상태로 하기 위해, 제어신호를 수신하는 용량소자가 접속되어 있다. 따라서, 이 방전제어 트랜지스터의 게이트전위는, 제2 제어트랜지스터의 온저항과 방전제어트랜지스터의 게이트에 존재하는 용량에 의해 결정되는 시정수로 변화된다. 이 때문에, 방전제어 트랜지스터가 오프상태가 될 때까지는, 어떤 시간이 필요하게 된다. 따라서, 이 방전제어 트랜지스터가, 전하축적노드의 전압레벨이 -VCC일 때에 온상태가 되는 기간이 있고, 전하축적노드로 접지노드로부터 전류가 흘러, 충전용 용량소자에 의한 차지펌프에 의한 전하인출동작이 저해되어, 무효한 전류가 소비된다.

또한, 이 전하축적노드를 접지전압레벨로 프리차지하는 경우, 출력트랜지스터가 오프상태로 되어 있지 않으면, 부전압레벨의 출력노드로 출력트랜지스터를 통해 프리차지된 전하가 공급되고, 부전압의 전압레벨이 상승한다. 이 출력트랜지스터의 온/오프의 제어를 위해, 방전제어 트랜지스터의 온/오프제어와 동일한 구성의 출력제어트랜지스터가 사용되고 있고, 따라서, 이 전하축적노드의 전압레벨을 접지전압레벨로 프리차지할 때, 마찬가지로 출력트랜지스터가 온상태가 되는 기간이 존재하고, 무효한 전류가 소비된다.

전술한 바와 같이, 이 선행문헌 1의 구성인 경우, 용량소자의 차지동작에 의해 생성된 전하가 무효하게 소비되어, 원하는 레벨의 전압을 효율적으로 저소비전력으로 발생할 수 없다는 문제가 있다.

발명의 구성 및 작용

본 발명의 목적은, 효율적으로 전하를 이용하여 원하는 레벨의 전압을 발생할 수 있는 전압발생회로를 제공하는 것이다.

본 발명의 제1 관점에 관한 전압발생회로는, 소정의 전압이 인가되는 기준전압노드와 제1 내부노드와의 사이에 접속되고 또한 그 제어전극이 제2 내부노드에 접속되는 제1 도전형의 제1 트랜지스터와, 기준전압노드와 제2 내부노드와의 접속되고 또한 그 제어전극이 제1 내부노드에 접속되는 제1 도전형의 제2 트랜지스터와 프리차지용의 제1 제어신호를 수신하는 제1 입력노드와 제1 내부노드와의 사이에 접속되는 제1 용량소자와, 전하축적용의 제2 제어신호를 수신하는 제2 입력노드와 제2 내부노드와의 사이에 접속되는 제2 용량소자와, 제2 내부노드와 출력노드 사이에 접속되고 또한 그 제어전극이 제3 내부노드에 접속되는 제2 도전형의 제3 트랜지스터와, 제3 내부노드와 전하전송용의 제3 제어신호를 수신하는 제3 입력노드와의 사이에 접속되는 제3 용량소자와, 출력노드와 제3 내부노드와의 사이에 접속되고 또한 그 제어전극이 제2 내부노드에 접속되는 제2 도전형의 제4 트랜지스터를 구비한다.

본 발명의 다른 관점에 관한 전압발생회로는, 프리차지전압을 공급하는 프리차지전압 공급노드와 제1 내부노드와의 사이에 접속되고 또한 그 제어전극이 제2 내부노드에 접속되는 제1 트랜지스터와, 프리차지용의 제1 제어신호를 수신하는 제1 입력노드와 제2 내부노드와의 사이에 접속되는 제1 용량소자와, 제1 내부노드와 제2 내부노드와의 사이에 접속되고 또한 그 제어전극이 전하축적용의 제2 제어신호를 수신하는 제2 입력노드에 접속되는 제2 트랜지스터와, 제1 내부노드와 출력노드와의 사이에 접속되고 또한 그 제어전극이 제3 내부노드에 접속되는 제3 트랜지스터와, 출력노드와 제3 내부노드와

의 사이에 접속되고 또한 그 제어전극이 제1 내부노드에 접속되는 제4 트랜지스터와, 제2 전하프리차지용의 제3 제어신호를 수신하는 제3 입력노드와 제1 내부노드와의 사이에 접속되는 제2 용량소자와, 전하전송용의 제4 제어신호를 수신하는 제4 입력노드와 제3 내부노드와의 사이에 접속되는 제3 용량소자를 구비한다.

제1 관점에 관한 전압발생회로에서는, 제1 및 제2 트랜지스터를 교차결합함으로써, 제1 및 제2 트랜지스터를 최적타이밍으로 온/오프상태로서, 제1 및 제2 내부노드의 전압을 고속으로 변화시켜, 그 전압레벨을 유지할 수 있다. 따라서, 전하축적노드로서 작용하는 제2 내부노드의 전압변화시에 제2 트랜지스터를 오프상태로 한 후에, 제2 내부노드로 차지펌프동작을 행함으로써, 제2 내부노드에 불필요한 전류가 흐르는 것을 방지할 수 있다.

다른 관점에 관한 전압발생회로에 있어서는 제1 내부노드가 프리차지전압에 의해 프리차지되고, 또한, 제2 용량소자를 통해 제3 제어신호가 결합된다. 더욱이, 제1 내부노드에는, 제4 트랜지스터의 제어전극이 접속된다. 따라서, 각 트랜지스터는, 용량소자를 통해 이 차지펌프동작에 의해 도통/비도통상태를 개별로 제어할 수 있어, 무효전류가 흐르는 것을 억제할 수 있고, 효율적으로 전하를 사용하여 원하는 레벨의 내부전압을 생성할 수 있다.

본 발명의 상기 및 다른 목적, 특징, 국면 및 이점은 첨부한 도면과 관련하여 이해되는 본 발명에 관한 다음의 상세한 설명으로부터 명백해질 것이다.

[발명의 실시예]

(실시예 1)

도 1은, 본 발명의 실시예 1에 따른 전압발생회로의 구성을 나타내는 도면이다. 이 도 1에 나타내는 전압발생회로는, 기준전위보다도 낮은 전압인 부전압을 발생한다. 여기서, 기준전위로서 접지전위 GND를 사용하고, 차지펌프동작 제어용의 신호는, 접지전압과 전원전압 VCC의 사이에서 변화되기 때문에, -VCC의 부전압이 생성된다.

도 1에서, 전압발생회로는, 내부노드 ND1과 기준전위노드(이하, 접지노드라 칭함) GG의 사이에 접속되고 또한 그 게이트가 내부노드 ND2에 접속되는 P채널 MOS 트랜지스터(절연게이트형 전계효과 트랜지스터) PQ1과, 내부노드 ND2와 접지노드 GG와의 사이에 접속되고 또한 그 게이트가 내부노드 ND1에 접속되는 P채널 MOS 트랜지스터 PQ2와, 프리차지용 제어신호 ϕ_P 를 수신하는 제어신호 입력노드 S1과 내부노드 ND1의 사이에 접속되는 용량소자 C1과, 전하축적용의 제어신호 ϕ_P 를 수신하는 제어신호 입력노드 S2와 내부노드 ND2의 사이에 접속되는 용량소자 C2를 포함한다.

MOS 트랜지스터 PQ1 및 PQ2가, 각각, 제1 및 제2 트랜지스터에 대응하여, 용량소자 C1 및 C2가 각각, 제1 및 제2 용량소자에 대응한다. 제어신호 ϕ_P 및 ϕ_{CP} 가, 각각, 제1 및 제2 제어신호에 대응한다. 내부노드 ND1 및 ND2가, 각각, 제1 및 제2 내부노드에 대응한다.

전압발생회로는, 또한, 내부노드 ND2와 출력노드 OD1의 사이에 접속되고 또한 그 게이트가 내부노드 ND3에 접속되는 N채널 MOS 트랜지스터 NQ1과, 내부노드 ND3과 출력노드 OD1의 사이에 접속되고 또한 그 게이트가 내부노드 ND2에 접속되는 N채널 MOS 트랜지스터 NQ2와, 전하전송용의 제어신호 ϕ_{CT} 를 수신하는 제어신호 입력노드 S3과 내부노드 ND3의 사이에 접속되는 용량소자 C3을 포함한다.

MOS 트랜지스터 NQ1 및 NQ2가, 각각, 제3 및 제4 트랜지스터에 대응하고, 용량소자 C3이 제3 용량소자에 대응하며, 제어신호 ϕ_{CT} 가 제3 제어신호에 대응한다.

출력노드 OD1과 접지노드의 사이에는, 용량소자 C4가 접속된다. 이 용량소자 C4는, 출력부하의 변동에 대하여 출력전압 -VCC를 안정화하기 위한 용량이고, 이 출력부하의 변동이 작고, 출력전압 -VCC의 변동이 작은 경우에는, 이 안정화 용량 C4는, 특히 설치할 필요는 없다. 이 출력노드 OD1의 전압이, 도시하지 않은 내부회로로 인가된다.

제어신호 ϕ_P , ϕ_{CP} 및 ϕ_{CT} 가, 각각, 접지전압 GND와 전원전압 VCC의 사이에서 변화된다.

도 2는, 도 1에 나타내는 전압발생회로의 동작을 나타내는 타이밍도이다. 이 도 2에서는, 설명을 간략화하기 위해, 출력노드 OD1의 전압이, 소정의 전압 -VCC 레벨에 도달하고 있을 때의 동작파형을 나타낸다. 이하, 도 2를 참조하여, 도 1에 나타내는 전압발생회로의 동작에 대하여 설명한다.

제어신호 ϕ_P , ϕ_{CP} 및 ϕ_{CT} 가, 주기 T로 변화된다. 도 2에서는, 2·T의 기간의 신호파형을 나타낸다.

시간 t_0 에서, 제어신호 ϕ_P 가 접지전압 GND 레벨, 제어신호 ϕ_{CP} 가 전원전압 VCC 레벨 및 제어신호 ϕ_{CT} 가 접지전압 GND 레벨의 상태로 있다. 이 상태에 있어서는, 용량소자 C1의 전하인출동작에 의해, 노드 ND1의 전압레벨은 -VCC가고, 한편, 노드 ND2는, 용량소자 C2의 전하공급동작에 의해, 접지전압 GND 레벨에 있다.

P채널 MOS 트랜지스터 PQ1은, 노드 ND1이, 드레인노드가 되고, 접지노드 GG가 소스노드가 된다. 이 p채널 MOS 트랜지스터 PQ1은, 인헨스먼트형 트랜지스터이고, 소정의 크기의 임계치전압을 가지고 있다. 따라서, P채널 MOS 트랜지스터 PQ1은, 그 게이트 및 소스가 동전위이고, 오프상태를 유지하기 때문에, 노드 ND1과 접지노드 GG의 사이에는 전류는, 흐르지 않는다.

MOS 트랜지스터 PQ2에서는, 그 게이트전위는 부전위 -VCC가고, 그 드레인(노드 ND2)과 소스(접지노드)의 전위가 같기 때문에, MOS 트랜지스터 PQ2의 드레인 소스 사이에 전류는 흐르지 않는다.

N채널 MOS 트랜지스터 NQ1에 관해서는, 노드 ND2가 접지전압 GND 레벨, 출력노드 OD1이 부전압 -VCC이고, 노드 ND3이 부전압 -VCC 레벨이다. 이 N채널 MOS 트랜지스터 NQ1은, 인헨스먼트형 트랜지스터이고, 일정한 크기의 임계치전압을 가지고 있어, 게이트 및 소스전위가 같은 상태에 있어서 오프상태를 유지한다.

N채널 MOS 트랜지스터 NQ2는, 그 게이트전위가, 노드 ND2의 전압, 즉 접지전압 GND 레벨이고, 노드 ND3 및 출력노드 OD1의 전압레벨이 같고, 이 MOS 트랜지스터 NQ2에서도 드레인과 소스는 전위가 같으며, 그 드레인 소스 사이에 전류는 흐르지 않는다. 이 제어신호 ϕ_P 에 의해, MOS 트랜지스터 PQ2를 도통상태로서, 노드 ND2를 접지전압레벨로 프리차지한다. 차지펌프동작 초기시에 있어서는, 노드 ND2의 프리차지 전압레벨을 접지전압방향으로 저하시킨다.

시간 t_1 에서, 제어신호 ϕ_P 가 접지전압 GND 레벨로부터 전원전압 VCC 레벨로 변화되면, 노드 ND1이, 용량소자 C1의 차지펌프동작에 의해, 그 전압레벨이 부전압 -VCC 레벨로부터 접지전압 GND 레벨로 상승한다. 안정상태에 있어서는, MOS 트랜지스터 PQ1의 드레인 및 소스의 전압레벨이 같고, MOS 트랜지스터 PQ1에서는 전류는 흐르지 않는다.

차지펌프동작 초기의 과도시에 있어서는, 노드 ND1의 전압레벨은, 접지전압 GND 이상이고, MOS 트랜지스터 PQ1은, 노드 ND1이 소스가 되고, 접지노드가 드레인이 된다. 따라서, 노드 ND2의 전압레벨이 이때에 마찬가지로 높고, 이 MOS 트랜지스터 PQ1은, 인헨스먼트형 트랜지스터이고, 게이트 및 소스의 전위차가 임계치전압의 절대값 이하이고, 비도통상태를 유지하고, 이 MOS 트랜지스터 PQ1의 드레인 소스 사이에는 전류는 흐르지 않는다.

또한, MOS 트랜지스터 PQ2에서도, 노드 ND2가 접지전압 GND 레벨이기 때문에, 그 드레인 및 소스전위는 같고, 노드 ND1의 전압레벨이, 부전압 -VCC로부터 접지전압 GND 레벨로 상승해도, 이 MOS 트랜지스터 PQ2의 드레인 소스 사이에는 전류가 흐르지 않는다. 이 제어신호 ϕ_P 를 상승함으로써, MOS 트랜지스터 PQ2를 비도통상태로서, 다음 노드 ND2의 차지펌프동작에 구비한다.

또한, 노드 ND2는 접지전압 GND 레벨을 유지하고 있고, 노드 ND3은, 부전압레벨이다. 이 상태에서는, MOS 트랜지스터 NQ2가 도통하여, 출력노드 OD1이 내부노드 ND3과 전기적으로 접속되고, 내부노드 ND3의 전압레벨이 출력노드 OD1의 전압레벨과 같아진다. 이에 따라, MOS 트랜지스터 NQ1을 확실히 비도통상태로 유지한다. 내부노드 ND3 및 출력노드 OD1의 전압레벨이 같아지면, MOS 트랜지스터 NQ2를 통해 흐르는 전류는 정지한다.

또한, 이 내부노드 ND3과 출력노드 OD1의 전압레벨을 같게 함으로써, 내부노드 ND2를 부전압레벨로 구동하여 MOS 트랜지스터 NQ1의 소스가, 내부노드 ND2로 되는 경우에 있어서도, 그 게이트 소스 사이 전압을 임계치전압 이하로 유지하고, 전하전송 전에 인헨스먼트형 MOS 트랜지스터 NQ1이 도통하는 것을 방지한다. 차지펌프동작의 개시시에 있어서는, 내부노드 ND2를 부전압레벨로 구동하였을 때에는, 내부노드 ND3의 전압레벨이 높고, MOS 트랜지스터 NQ1이 도통하는 것이 있다. 그렇지만, 이때에는, 간단히 제어신호 ϕ_{CT} 를 발생하기 전에 부전하가 출력노드 OD1로 전송될 뿐이며, 출력전압을 저하시키기 위해 전하가 이용되어 있고, 전하는 유효하게 이용된다.

시간 t_2 에서, 제어신호 ϕ_{CP} 가 전원전압 VCC 레벨로부터 접지전압 GND 레벨로 저하하고, 용량소자 C2의 차지펌프동작에 의해, 노드 ND2의 전압레벨이 저하한다. 이때, MOS 트랜지스터 PQ1은, 노드 ND2가 접지전압 GND로부터 부전압으로 변화되어도, 그 드레인 및 소스가 모두 접지전압 GND 레벨이고, MOS 트랜지스터 PQ1의 드레인 소스 사이에는 전류는 흐르지 않는다.

MOS 트랜지스터 PQ2는, 노드 ND2가 드레인으로서 작용하기 때문에, 그 게이트 및 소스(접지노드)가 모두 접지전압의 레벨로 있고, MOS 트랜지스터 PQ2는, 인헨스먼트형 트랜지스터이고, 게이트 소스 사이 전압은, 그 임계치전압의 절대값보다도 작기 때문에, 비도통상태를 유지한다. 따라서, 이 노드 ND2는, 용량소자 C2의 차지펌프동작에 의해, 부전압 -VCC 레벨에까지 저하한다. 이때, 노드 ND3은, 부전압 -VCC 레벨이고, MOS 트랜지스터 NQ1은, 그 소스가 출력노드 OD1이며, 게이트 및 소스전위가 같고, 비도통상태를 유지한다.

노드 ND2가 부전압레벨로 구동되면, 출력노드 OD1의 전압레벨보다도 노드 ND2의 전압레벨이 낮은 상태가 된다. 노드 ND3의 전압은 출력노드의 전압레벨이고, 제어신호 ϕ_{CT} 가 접지전압레벨일 때에는, MOS 트랜지스터 NQ1은 인헨스먼트형 트랜지스터이고, 과도시 및 안정시에 있어서, 그 게이트 소스 사이 전압은, 임계치전압보다도 작고, 비도통상태를 유지하여, 정확히 노드 ND2를 부전압레벨로 구동할 수 있다.

이때, 과도시에 있어서 노드 ND2가 부전압레벨로 구동될 때, 노드 ND1의 전압레벨이 접지전압보다도 높을 때에는, MOS 트랜지스터 PQ1이 도통하여, 노드 ND1의 전압레벨을 저하시킨다.

이 노드 ND2로의 차지펌프동작시에 있어서는, 따라서, 노드 ND2의 전압레벨에 악영향을 미치게 하는 무효한 전류가 흐르는 경로는 존재하지 않고, 유효하게 전하를 사용하여 노드 ND2를 부전압 -VCC 레벨로 설정할 수 있다.

또한, MOS 트랜지스터 NQ2에서도, 이 드레인 및 소스가 동일전압레벨의 부전압 -VCC 레벨이고, 드레인 소스 사이에는 전류는 흐르지 않는다.

시간 t3에서, 제어신호 ϕ_{CT} 를 접지전압 GND 레벨까지 전원전압 VCC 레벨로 상승시킨다. 이때, 제어신호 ϕ_P 는 전원전압 VCC 레벨이고, 제어신호 ϕ_{CP} 는, 접지전압 GND 레벨이다. 이 상태에 있어서, 노드 ND3이, 용량소자 C3의 차지펌프동작에 의해, 그 전압레벨이 부전압 -VCC로부터 접지전압 GND 레벨로 상승한다. 노드 ND2는, 부전압 -VCC 레벨이기 때문에, MOS 트랜지스터 NQ1이 도통하고, 노드 ND2와 출력노드 OD1이 결합된다. 이 출력노드 OD1의 전압레벨이 부전압 -VCC보다도 높은 경우에는, 출력노드 OD1로부터 노드 ND2로 부전하 이동하고, 출력노드 OD1은 노드 ND2와 같은 전압레벨이 된다. 즉 안정화시에 있어서는, 출력노드 OD1의 전압레벨은, -VCC가다. 이 경우에 있어서도, MOS 트랜지스터 NQ2에서는, 게이트 및 소스가 같은 전압레벨이 되고, 비도통상태를 유지하여, MOS 트랜지스터 NQ2에서 드레인 소스 사이에 전류는 흐르지 않는다.

차지펌프 개시시 등의 과도시에 있어서도, MOS 트랜지스터 NQ2에서는, 내부노드 ND3이 드레인이 되고, 전하전송 개시시에 있어서는, 게이트의 전위가 소스전위보다도 낮기 때문에, 비도통상태를 유지하고, 전하전송동작에 의해, 게이트 및 소스가 동일전위가 되어도, 그 임계치전압에 의해, 비도통상태를 유지하여, 전하전송동작에 대해서는 악영향은 미치게 하지 않는다.

이에 따라, 노드 ND3을 제어신호 ϕ_{CT} 에 따라 전원전압레벨로 구동하여, 효율적으로, 출력노드 OD1로 부전하를 공급하고, 원하는 전압레벨의 부전압 -VCC를 생성할 수 있다.

시간 t4에서, 제어신호 ϕ_{CT} 가 전원전압 VCC 레벨로부터 접지전압 GND 레벨로 저하하고, 노드 ND3이, 접지전압 GND 레벨로부터 부전압 VCC로 저하한다. 이 MOS 트랜지스터 NQ1의 소스노드(노드 ND2)의 최저전위는 부전압 -VCC가고, MOS 트랜지스터 NQ1은 확실히 비도통상태가 된다.

MOS 트랜지스터 NQ2에서는, 그 드레인 및 소스의 전압이 부전압 -VCC가고, 전류는, 이 MOS 트랜지스터 NQ2를 통해서 흐르지 않는다.

차지펌프 개시시의 과도시에 있어서, 노드 ND2 및 OD1이, 부전압 -VCC보다도 높은 전압레벨일 때, 노드 ND3은, 먼저 사이클의 출력노드 OD1의 전압레벨로 복귀할 뿐이며, MOS 트랜지스터 NQ2의 소스가 출력노드 OD1이고, 그 게이트 및 소스의 전위가 같게 비도통상태를 유지한다. MOS 트랜지스터 NQ1에서, 가령 도통상태가 되어도, 그 소스 및 드레인이 되는 출력노드 OD1 및 내부노드 ND2의 전압레벨은 같고 전류는 흐르지 않는다. 과도시에 있어서는, 노드 ND3의 복귀전압레벨은, MOS 트랜지스터 NQ1이, 비도통상태로 설정되는 전압레벨이다. 따라서, 과도시에 있어서도, 조금도 무효한 전하의 소비는 생기지 않는다.

시간 t5에서, 제어신호 ϕ_{CP} 를 접지전압 GND 레벨로부터 전원전압 VCC 레벨로 상승시킨다. 이때, 제어신호 ϕ_P 는, 전원전압 VCC 레벨이다. 제어신호 ϕ_{CT} 는, 접지전압 GND 레벨이다. 이 제어신호 ϕ_{CP} 의 상승에 따라, 용량소자 C2의 차지펌

프동작에 의해, 노드 ND2의 전압레벨이 부전압 -VCC로부터 접지전압 GND 레벨로 상승한다. 이때, MOS 트랜지스터 PQ1에서는, 드레인 및 소스가 모두 접지전압 GND 레벨이고, 그 게이트전위의 상승에 의해 비도통상태가 되고, 이 MOS 트랜지스터 PQ1에서는 전류는 흐르지 않는다.

또한, MOS 트랜지스터 PQ2에서는, 노드 ND2의 전압레벨이 부전압 -VCC로부터 접지전압 GND 레벨로 상승할 뿐이며, 노드 ND2의 전압레벨은 접지전압 GND 이하이고, MOS 트랜지스터 PQ2에서는 접지노드가 소스로서 기능하고, 비도통상태를 유지한다.

이 노드 ND2의 전위상승시에 있어서, 차지펌프 개시시 등의 과도상태시에 있어서는, 접지전압 GND 레벨보다도 높은 상태로 유지되는 것이 생각된다(노드 ND2가 소스로서 기능한다). 이 경우, 제어신호 ϕP 의 하강에 의해, MOS 트랜지스터 PQ2를 도통상태로 설정하기 위해, 노드 ND2는 확실히 접지전압 레벨방향으로 방전되기 때문에, 특히 문제는 생기지 않는다.

이 시간 t_5 에서, 노드 ND2의 전압레벨이, 접지전압레벨로 상승해도, 노드 ND3은, 부전압 -VCC 레벨이고, MOS 트랜지스터 NQ1은 비도통상태를 유지한다. MOS 트랜지스터 NQ2가 도통상태가 되어도, 내부노드 ND3의 전압레벨은, 출력노드 OD1의 부전압 -VCC의 전압레벨과 같기 때문에, MOS 트랜지스터 NQ2는, 그 게이트 및 소스의 전압이 같고, 비도통상태를 유지하며, 그 드레인 소스 사이에는 전류는 흐르지 않는다.

시간 t_6 에서 제어신호 ϕP 를 접지전압 GND 레벨로 저하시키면, 용량소자 C1에 의해, 노드 ND1의 전압레벨이, 접지전압 GND 레벨로부터 부전압 -VCC 레벨로 저하한다. 이 노드 ND1의 전압저하에 의해, MOS 트랜지스터 PQ2가 도통하고, 노드 ND2는 확실히, 접지전압 GND 레벨로 설정된다.

과도기에서, 노드 ND2의 전압레벨이, 접지전압 GND 레벨보다도 높은 전압레벨로 구동되는 경우에 있어서도, 확실히, 이 노드 ND2의 전압레벨을 저하시키는 것을 할 수 있고, 다음 사이클에 있어서, 또한 노드 ND2의 전압레벨을 제어신호 ϕCP 에 따라 저하시키는 것을 할 수 있어, 출력전압레벨을 저하시킬 수 있다.

이 노드 ND2의 전위저하시에 있어서, MOS 트랜지스터 PQ1에서는, 접지노드가 소스로서 기능하기 때문에, 게이트 및 소스가 동일전위가 되고, MOS 트랜지스터 PQ1은, 비도통상태를 유지한다.

시간 t_8 에서, 하나의 차지펌프동작의 주기 T가 완료하고, 전술한 시간 t_0 으로부터의 동작이 다시 반복된다.

따라서, 이 도 1에 나타내는 전압발생회로에서는, 차지펌프동작시, 무효한 전류가 흐르지 않고, 효율적으로 전하를 이용하여 원하는 레벨의 내부전압을 발생할 수 있다.

또한, MOS 트랜지스터 PQ1 및 PQ2를 교차결합하여, 그것들의 게이트전위를 각각으로 용량소자의 차지펌프동작에 의해 설정하고 있어, 이들 MOS 트랜지스터 PQ1 및 PQ2를 비도통상태로 설정한 후에, 제어신호에 따라, 노드 ND1 및 ND2의 전압레벨을, 고속으로 또한 확실히 변화시킬 수 있다.

이때, 전술한 설명에서는, 설명을 간략화하기 위해, 내부노드 ND2의 기생용량의 효과는 무시하고 있다. 이 내부노드 ND2에 무시할 수 없는 크기의 기생용량이 존재하는 경우, 노드 ND2의 전압진폭이, 전원전압 VCC보다도 작아지기 때문에, 출력노드 OD1의 출력전압의 절대값이 작아진다.

또한, 내부노드 ND2의 전압진폭을 결정하는 제어신호 ϕCP 를, 전원전압 VCC와 접지전압 GND의 사이에서 변화시키고 있다. 그렇지만, 기준전압을 접지전압 GND가 아니고, 전압 V_r 로 하고, 제어신호 ϕCP 의 전압진폭을 $V\phi$ 로 하면, 출력노드 OD1의 출력전압 V_{OUT} 은, 다음식 (1)로 표시된다.

$$V_{OUT}=V_r-V\phi\cdots(1)$$

통상, 전술한 동작설명과 같이, 기준전압 V_r 은 접지전압 GND($=0V$)와 같고, 또한 제어신호 ϕCP 는, 전원전압 VCC와 접지전압 GND를 동작전원전압으로서 사용하는 회로에서 생성되기 때문에, 전압진폭 $V\phi$ 를 전원전압 VCC와 같다고 하면, 상기 식 (1)은 다음 식 (2)로 변형된다.

$$V_{OUT}=-VCC\cdots(2)$$

또한, 전술한 설명에 있어서, 제어신호 ϕP , ϕCP 및 ϕCT 를 모두, 전원전압 VCC와 접지전압 GND와의 사이에서 변화시키고 있고, 그것들의 하이레벨 및 로우레벨의 전압레벨은 같게 설정되어 있다. 그렇지만, 내부노드 ND1, ND2 및 ND3의 전압변화시에, 그 전압변화와 역방향의 전류가 흐르는 것을 방지하도록 MOS 트랜지스터 PQ1, PQ2, NQ1 및 NQ2를 비도통상태로 설정한다고 하는 조건이 만족되면, 이들 제어신호 ϕP , ϕCP 및 ϕCT 의 각각의 하이레벨 및 로우레벨의 전압레벨은 서로 달라도 된다.

이상과 같이, 본 발명의 실시예 1에 따르면, 교차결합된 P채널 MOS 트랜지스터를 사용하고, 이들 게이트노드 전위를, 용량소자의 차지펌프 동작에 의해 결정하고 있다. 또한, 출력트랜지스터의 도통/비도통상태의 설정은, 제어신호에 의해 행하고 있고, 전하축적노드의 전위변화시, 불필요한 전류가 흐르는 것을 방지할 수 있어, 효율적으로 원하는 레벨의 전압을 생성할 수 있다.

(실시예 2)

도 3은, 본 발명의 실시예 2에 따른 전압발생회로의 구성을 나타내는 도면이다. 이 도 3에 나타내는 전압발생회로는, 전원전압 VCC를 기준전압으로서, 이 전원전압 VCC보다도 높은 $2 \cdot VCC$ 의 고전압을 발생한다.

도 3에서, 전압발생회로는, 전원노드(기준노드) PW와 내부노드(제1 내부노드) ND11의 사이에 접속되고 또한 그 게이트가 내부노드(제2 내부노드) ND12에 접속되는 N채널 MOS 트랜지스터 NQ11과, 전원노드 PW와 내부노드 ND12의 사이에 접속되고 또한 그 게이트가 내부노드 ND11에 접속되는 N채널 MOS 트랜지스터 NQ12와, 제1 제어신호 ϕPZ 를 수신하는 제어신호 입력노드(제1 제어신호 입력노드) S11과 내부노드 ND11의 사이에 접속되는 용량소자(제1 용량소자) C11과, 제어신호 ϕCPZ 를 수신하는 제어신호 입력노드(제2 제어신호 입력노드) S12와 내부노드 ND12의 사이에 접속되는 용량소자(제2 용량소자) C12를 포함한다.

제어신호 ϕPZ 및 ϕCPZ 는, 전원전압 VCC와 접지전압 GND의 사이에서 변화된다.

전압발생회로는, 또한, 내부노드 ND12와 출력노드 OD11의 사이에 접속되고 또한 그 게이트가 내부노드(제3 내부노드) ND13에 접속되는 P채널 MOS 트랜지스터(제3 트랜지스터) PQ11과, 내부노드 ND13과 출력노드 OD11의 사이에 접속되고 또한 그 게이트가 내부노드 ND12에 접속되는 P채널 MOS 트랜지스터(제4 트랜지스터) PQ12와, 제어신호 ϕCTZ 를 수신하는 제어신호 입력노드(제3 제어신호 입력노드) S13과 내부노드 ND13의 사이에 접속되는 용량소자(제3 용량소자) C13을 포함한다.

전술한 설명에 있어서, 괄호 내의 구성요소는, 청구항에 기재된 요소와의 대응관계를 나타낸다. 또한, 제어신호 ϕCTZ 는, 전원전압 VCC와 접지전압 GND와의 사이에서 변화된다.

출력노드 OD11에는, 이 출력노드 OD11의 전압을 안정화시키기 위한 안정화 용량 C14가 설치된다. 이 안정화 용량 C14는, 출력노드 OD11의 부하변동이 작은 경우에는, 특히 설치할 필요는 없다.

이 도 3에 나타내는 전압발생회로는, 도 1에 나타내는 전압발생회로의 트랜지스터의 도전형을 반대로 하고, 또한 접지노드를 전원노드로 교체시킨 것과 등가이다. 제어신호 ϕPZ , ϕCP 및 ϕCT 는, 각각, 도 1에 나타내는 제어신호 ϕP , ϕCPZ 및 ϕCTZ 와 상보인 신호이다.

도 4는, 도 3에 나타내는 전압발생회로의 동작을 나타내는 신호파형도이다. 도 4에서도, 설명을 간단히 하기 위해, 출력전압이 $2 \cdot VCC$ 인 전압레벨에 어떤 안정상태시의 신호파형을 나타낸다. 이하, 도 4를 참조하여, 도 3에 나타내는 전압발생회로의 동작에 대하여 설명한다.

이 도 3에 나타내는 전압발생회로에서는, 전술한 바와 같이, 도 1에 나타내는 부전압 $-VCC$ 를 발생하는 회로의 신호극성 및 트랜지스터의 도전형이 반대로 되어 있다. 따라서, 동일한 동작이 행해진다. 즉, 무효전류가 흐르는 것이 방지된다.

시간 t_0 에서, 제어신호 ϕPZ 가 전원전압 VCC 레벨, 제어신호 ϕCPZ 가 접지전압 GND 레벨, 또는, 제어신호 ϕCTZ 가 전원전압 VCC 레벨이다. 이 상태에서, 노드 ND11이, 고전압 $2 \cdot VCC$ 의 전압레벨에 있고, 노드 ND12가, 전원전압 VCC 레벨이다(안정상태시). MOS 트랜지스터 NQ11은, 소스가 전원노드 PW이고, 그 게이트 및 소스전압이 같기 때문에, 비도통상태로 있다.

MOS 트랜지스터 NQ12는, 게이트전위가 고전압 $2 \cdot V_{CC}$ 이어도, 그 노드 ND12 및 전원노드 PW의 전압레벨이 같고, MOS 트랜지스터 NQ12의 드레인 소스 사이에는 전류는 흐르지 않는다.

노드 ND13은, 고전압 $2 \cdot V_{CC}$ 레벨이고, MOS 트랜지스터 PQ11은, 그 게이트전위가 소스 및 드레인전위 이상이기 때문에, 비도통상태를 유지한다. MOS 트랜지스터 PQ12는, 출력전압의 안정화시, 노드 ND12가 전원전압 VCC 레벨이고, 도통상태로 되고, 한편, 노드 ND13과 출력노드 OD11의 전압레벨은 같기 때문에, 이 MOS 트랜지스터 PQ12에서도 전류는 흐르지 않는다.

차지펌프동작 개시시 등의 과도상태시에 있어서, 출력노드 OD11의 전압이, 최종전압 $2 \cdot V_{CC}$ 레벨보다도 낮은 경우에 있어서, 노드 ND12의 전압레벨이, 노드 ND13 및 출력노드 OD11의 전압레벨보다도 낮아지는 상태로 하면, MOS 트랜지스터 PQ12가 도통상태가 되어, 노드 ND13과 출력노드 OD11을 전기적으로 접속한다. 그렇지만, 이 경우, 출력노드 OD11의 전압레벨을 상승시키는 방향으로 전류가 흐르기 때문에, 출력노드 OD11의 전압상승을 방해하는 무효전류는 조금도 흐르지 않는다. 이때, 출력노드 OD11의 전압과 노드 ND13의 전압레벨이 같아진 상태로 MOS 트랜지스터 PQ12를 흐르는 전류가 정지한다. MOS 트랜지스터 PQ11에서는, 이 상태에서는, 출력노드 OD11이 소스로서 작용하기 때문에, 게이트 및 소스의 전위가 같고, 비도통상태를 유지한다.

시간 t_1 에서, 제어신호 ϕ_{PZ} 를 전원전압 VCC 레벨로부터 접지전압 GND 레벨로 저하시킨다. MOS 트랜지스터 NQ11은 비도통상태이고, 용량소자 C11의 차지펌프동작에 의해, 노드 ND11의 전압레벨이 고전압 $2 \cdot V_{CC}$ 로부터 전원전압 VCC 레벨로 저하한다. 이 경우, 노드 ND12는, 전원전압 VCC 레벨이고, MOS 트랜지스터 NQ12가 비도통상태가 된다. 노드 ND12의 전위는 조금도 변화되지 않고, 따라서, 이 상태에 있어서, 조금도 무효전류는 흐르지 않는다.

시간 t_2 에서, 제어신호 ϕ_{CPZ} 를 접지전압 GND 레벨로부터 전원전압 VCC 레벨로 상승하고, 노드 ND12의 전압레벨이 전원전압 VCC로부터 고전압 $2 \cdot V_{CC}$ 레벨로 상승한다. 이 상태에 있어서, MOS 트랜지스터 NQ11이 도통상태가 되어도, 노드 ND11과 전원노드 PW의 전압레벨은 같고, 전류는 흐르지 않는다. 내부노드 ND12의 전압레벨이 고전압 $2 \cdot V_{CC}$ 로 하면, MOS 트랜지스터 PQ12는, 게이트전위가 소스 및 드레인전위 이상이 되고, 확실히, 비도통상태로 설정된다. MOS 트랜지스터 PQ11은, 그 게이트전위가 고전압 $2 \cdot V_{CC}$ 가고, 노드 ND12의 전압레벨이 고전압 $2 \cdot V_{CC}$ 로 상승해도, 노드 ND12가, 소스로서 기능하고, 게이트 및 소스전위가 같아질 뿐이며, 비도통상태를 유지한다.

과도상태시에 있어서, 출력노드 OD11의 전압이 최종의 고전압 $2 \cdot V_{CC}$ 보다도 낮을 때에 있어서도, 노드 ND12의 전위상승에 의해 MOS 트랜지스터 PQ12가 비도통상태가 된다. 먼저 출력노드 OD11과 내부노드 ND13이 전기적으로 접속되어 동일전압레벨로 설정되어 있고, MOS 트랜지스터 PQ11에서는, 이 상태에 있어서, 그 게이트 소스 사이 전압은, 임계치전압의 절대값 이하 정도이며, 비도통상태를 유지한다.

MOS 트랜지스터 NQ11, NQ12, PQ11 및 PQ12는, 인헨스먼트형 트랜지스터이고, 그 게이트 소스 사이 전압이, 임계치전압의 절대값 이상이 되었을 때에만, 이들 MOS 트랜지스터 NQ11, NQ12, PQ11 및 PQ12가 도통상태가 된다.

시간 t_3 에서, 제어신호 ϕ_{CTZ} 를, 전원전압 VCC로부터 접지전압 GND 레벨로 저하시킨다. 이 제어신호 ϕ_{CTZ} 가 하강함에 따라 용량소자 C13의 차지펌프동작에 의해, 노드 ND13의 전압레벨이 고전압 $2 \cdot V_{CC}$ 로부터 전원전압 VCC 레벨에까지 저하하고, MOS 트랜지스터 PQ11의 게이트전위가 소스전위보다도 충분히 낮아져, MOS 트랜지스터 PQ11이 도통하고, 노드 ND12와 출력노드 OD11이 전기적으로 결합된다.

출력노드 OD11의 전압레벨이, 최종전압 $2 \cdot V_{CC}$ 레벨보다도 낮은 경우에는, 이 내부노드 ND12로부터 출력노드 OD11에 정전하가 공급되고, 출력노드 OD11의 전압레벨이 상승한다. 이 출력노드 OD11로의 전하공급동작시에 있어서, MOS 트랜지스터 PQ12의 게이트전위는, 소스전위 이상이고, 비도통상태를 유지한다. 따라서, 이 경우에 있어서도, 조금도 무효전류는 흐르지 않는다.

시간 t_4 에서, 제어신호 ϕ_{CTZ} 를 접지전압 GND 레벨로부터 전원전압 VCC 레벨로 상승시킨다. 용량소자 C13의 차지펌프 동작에 의해, 노드 ND13의 전압레벨이, 전원전압 VCC로부터, 고전압 $2 \cdot V_{CC}$ 레벨로 상승한다. MOS 트랜지스터 PQ11의 게이트전위가 소스전위 이상이 되고, MOS 트랜지스터 PQ11이 비도통상태가 된다.

이때, 과도상태시에 있어서 출력노드 OD11의 전압레벨이 고전압 $2 \cdot V_{CC}$ 보다도 낮을 때, MOS 트랜지스터 PQ12가 도통상태가 되는 것이 생각된다. 그렇지만, 이 경우에서도, 노드 ND13으로부터 출력노드 OD11로 정전하가 공급되고, 이 출력노드 OD11의 전압레벨을 상승시킨다.

특히, 차지펌프동작 초기시의 과도상태시, 출력노드 OD11의 전압레벨이 고전압 $2 \cdot V_{CC}$ 보다 낮을 때는, 통상, 노드 ND12의 전압레벨은, 고전압 $2 \cdot V_{CC}$ 보다도 낮은 전압레벨이고, 노드 ND13의 전압도, 출력노드 OD11과 같은 정도의 전압레벨이다(먼저, 노드 ND13의 전압레벨이, 전하전송 전에 출력노드와 동일전압레벨로 설정되어 있음). 따라서, 인헨스먼트형의 MOS 트랜지스터 PQ12는, 이 상태에 있어서는, 그 게이트 소스 사이 전압이, 임계치전압의 절대값 이하이고, 비도통상태를 유지한다.

이 과도기에서도, MOS 트랜지스터 PQ11은, 게이트의 전위가, 소스(출력노드 OD11) 이상이기 때문에, 비도통상태를 유지하기 위해, 출력노드 OD11로부터 내부노드 ND12로의 무효전류는 흐르지 않는다.

시간 t_5 에서, 제어신호 ϕ_{CPZ} 를 전원전압 VCC로부터 접지전위 GND 레벨로 저하시킨다. 용량소자 C12의 차지펌프동작에 의해, 노드 ND12의 전압레벨이, 고전압 $2 \cdot V_{CC}$ 로부터 전원전압 VCC 레벨로 저하한다. 노드 ND11이, 전원전압 VCC 레벨이다. MOS 트랜지스터 NQ12는, 소스와 게이트의 전위가 같기 때문에, 비도통상태를 유지한다.

MOS 트랜지스터 PQ12의 게이트전위가 소스(출력노드 OD11)의 전압레벨보다도 낮아져, 도통상태가 되고, 출력노드와 내부노드 ND13을 전기적으로 접속한다. 이 내부노드 ND13과 출력노드를 접속함으로써, MOS 트랜지스터 PQ11을, 그 게이트 및 소스의 전위를 같게 하여 비도통상태로 유지한다. 따라서, 내부노드 ND13의 충전이 행해져도, 출력노드에의 전하전송을 정확히 행하기 위해 필요한 전류가 흐를 뿐이며, 조금도 무효전류는 흐르지 않는다.

또한, 과도시에 있어서, 제어신호 ϕ_{CPZ} 에 의한 내부노드 ND12의 승압시에, 노드 ND13의 전압레벨이 내부노드 ND12의 전압레벨보다도 낮은 상태가 되어도, MOS 트랜지스터 PQ11을 비도통상태로 유지한다(게이트 소스 사이 전압을 임계치 전압의 절대값 이하로 유지함).

과도상태시에 있어서, 출력노드 OD11의 전압이 최종전압레벨에 도달하지 않을 때에, 노드 ND12가, 전원전압 VCC보다도 낮은 전압레벨로 저하하는 것이 생각된다. 이 경우, 노드 ND11의 전압레벨이 전원전압레벨이고, 노드 ND12는, MOS 트랜지스터 NQ12의 임계치전압만큼 전원전압 VCC 레벨보다도 낮은 전압레벨로 유지된다. 이때에 흐르는 전류는, 전원노드 PW로부터 MOS 트랜지스터 NQ12를 통해 공급될 뿐이고, 전압레벨의 보상이 행해질 뿐이며, 조금도 무효전류는 흐르지 않는다.

시간 t_6 에서, 제어신호 ϕ_{PZ} 를 접지전압 GND 레벨로부터 전원전압 VCC 레벨로 상승시킨다. 용량소자 C11의 차지펌프동작에 의해, 노드 ND11의 전압레벨이 전원전압 VCC로부터 고전압 $2 \cdot V_{CC}$ 레벨로 상승하고, MOS 트랜지스터 NQ12가 도통하여, 노드 ND12가 확실히, 전원전압 VCC 레벨로 설정된다.

따라서, 제어신호 ϕ_{PZ} , ϕ_{CPZ} 및 ϕ_{CTZ} 에 의해, 전하축적노드로서 기능하는 내부노드 ND12의 전원전압레벨의 프리차지, 고전압 VCC 레벨로의 충전, 및 이 충전전하의 출력노드에의 전송을 행하는 기간, 조금도 무효전류는 흐르지 않고, 효율적으로, 전하를 이용하여 고전압 $2 \cdot V_{CC}$ 를 생성할 수 있다.

이때, 이 도 3에 나타내는 전압발생회로에서도, 내부노드 ND12의 기생용량의 존재는 무시하고 있다. 내부노드 ND12에 무시할 수 없는 크기의 기생용량이 존재하는 경우, 이 내부노드 ND12의 전압진폭이 전원전압 VCC보다도 작아져, 출력노드 OD11로부터의 출력전압은, 고전압 $2 \cdot V_{CC}$ 보다도 낮은 전압레벨이 된다.

일반적으로, 제어신호 ϕ_{CPZ} 의 진폭을, 먼저 실시예 1과 마찬가지로 V_{ϕ} 로 하고, 전원노드 PW의 전압을 V_{PW} 로 하면, 출력노드 OD11로부터의 출력전압 V_{OUT} 은, 다음식 (3)으로 표시된다.

$$V_{OUT} = V_{PW} + V_{\phi} \cdots (3)$$

따라서, 필요로 되는 전압레벨에 따라 제어신호 ϕ_{CPZ} 의 진폭을 결정한다. 도 3에 나타내는 구성에 있어서는, 전원노드 PW의 전압은 전원전압 VCC가고, 제어신호 ϕ_{CPZ} 의 진폭은 전원전압 VCC가고, 출력전압 V_{OUT} 은, 다음식 (4)로 주어진다.

$$V_{OUT} = 2 \cdot V_{CC} \cdots (4)$$

이 제어신호 ϕPZ , ϕCPZ 및 ϕCTZ 의 하이레벨 및 로우레벨의 전압레벨은 같게 할 필요는 없고, 내부노드 ND12에의 프리차지, 전하공급 및 전하전송시 전술한 MOS 트랜지스터 NQ11, NQ12, PQ11 및 PQ12의 도통/비도통상태를 확실히 설정할 수 있는 조건을 만족하는 한, 이들 제어신호 ϕPZ , ϕCPZ 및 ϕCTZ 는, 그들 하이레벨전압 및 로우레벨전압은 서로 달라도 된다.

이상과 같이, 본 발명의 실시예 2에 따르면, N채널 MOS 트랜지스터를 교차결합하고, 전하축적노드에의 전하의 충전율, 용량소자의 차지펌프동작을 이용하여 행하고 있으며, MOS 트랜지스터를 비도통상태로 설정한 후에 전하축적노드에 전하를 공급할 수 있고, 무효전류가 흐르는 것을 방지하여, 효율적으로, 정의 고전압을 발생할 수 있다.

(실시예 3)

도 5는, 본 발명의 실시예 3에 따른 내부전압 발생회로의 구성을 개략적으로 나타내는 도면이다. 도 5에서, 내부전압 발생회로는, 반복하여 신호 $\phi 0$ 에 따라 제어신호 ϕP , ϕCP 및 ϕCT 를 생성하는 제어신호 발생회로(1)와, 제어신호 발생회로(1)로부터의 제어신호 ϕP , ϕCP 및 ϕCT 에 따라 부전압 $-VCC$ 를 발생하는 부전압 발생회로(10)와, 제어신호 ϕP , ϕCP 및 ϕCT 를 각각 반전하여 제어신호 ϕCTZ , ϕCPZ 및 ϕPZ 를 생성하는 반전회로(15)와, 이 반전회로(15)로부터의 제어신호 ϕCTZ , ϕCPZ 및 ϕPZ 에 따라 정전압 $2 \cdot VCC$ 를 생성하는 정전압 발생회로(20)를 포함한다.

부전압 발생회로(10)는, 도 1에 나타내는 전압발생회로와 동일한 구성을 갖고, 정전압 발생회로(20)는, 도 3에 나타내는 전압발생회로와 동일한 구성을 구비한다. 이 부전압 발생회로(10) 및 정전압 발생회로(20)에 대하여 공통으로 제어신호 발생회로(1)를 설치함으로써, 점유면적으로 효율적으로 원하는 전압레벨의 내부전압 $-VCC$ 및 $2 \cdot VCC$ 를 생성할 수 있다.

도 6은, 도 5에 나타내는 제어신호 발생회로(1)의 구성을 개략적으로 나타내는 도면이다. 도 6에서, 제어신호 발생회로(1)는, 반복하여 신호 $\phi 0$ 을 수신하는 4단의 종속접속되는 지연회로 30a, -30d와, 지연회로 30a의 출력신호 $\phi 1$ 을 수신하는 인버터 32a와, 지연회로 30c의 출력신호 $\phi 3$ 을 수신하는 인버터 32b와, 인버터 32a의 출력신호와 지연회로 30d의 출력신호 $\phi 4$ 를 수신하여 제어신호 ϕCP 를 생성하는 OR 회로 33과, 지연회로 30b의 출력신호 $\phi 2$ 와 인버터 32b의 출력신호를 수신하여 제어신호 ϕCT 를 생성하는 AND 회로 34를 포함한다.

지연회로 30a, -30d는, 각각, 예를 들면 짝수단의 종속접속되는 인버터로 구성되고, 지연시간 DT를 갖는다.

도 7은, 도 6에 나타내는 제어신호 발생회로(1)의 동작을 나타내는 신호파형도이다. 이하, 도 7을 참조하여, 도 6에 나타내는 제어신호 발생회로(1)의 동작에 대하여 설명한다.

반복신호 $\phi 0$ 은, 일정한 주기를 갖는 신호이고, 이 반복신호 $\phi 0$ 은, 프리차지용의 제어신호 ϕP 로서도 사용된다. 지연회로 30a-30d가, 각각 주어진 신호를 소정시간 DT 지연하여 지연신호 $\phi 1$ - $\phi 4$ 를 각각 생성한다.

OR 회로 33은, 인버터 32a의 출력신호와 지연회로 30d의 출력신호 $\phi 4$ 를 수신하여 전하축적용의 제어신호 ϕCP 를 생성하고 있다. 따라서, 이 제어신호 ϕCP 가 L 레벨로 되는 기간은, 지연회로 30d의 출력신호 $\phi 4$ 가 L 레벨이고 또한 지연회로 30a의 출력신호 $\phi 1$ 이 H 레벨인 기간이다. 따라서, 제어신호 ϕCP 는, 지연회로 30a의 출력신호 $\phi 1$ 이 H 레벨로 상승되면 L 레벨로 강하되고, 지연회로 30a의 출력신호 $\phi 4$ 가 H 레벨로 상승되면 H 레벨로 상승된다. 따라서, 이 제어신호 ϕCP 는, 기간 $3 \cdot DT$ 의 사이 L 레벨이 된다.

AND 회로 34로부터의 전하전송용의 제어신호 ϕCT 는, 지연회로 30b의 출력신호 $\phi 2$ 가 H 레벨로 있고 또한 인버터 32b의 출력신호가 H 레벨일 때에 H 레벨이 된다. 따라서, 이 제어신호 ϕCT 는, 지연회로 30b의 출력신호 $\phi 2$ 가 H 레벨로 상승되면 H 레벨이 되고, 지연회로 30c의 출력신호 $\phi 3$ 이 H 레벨로 되면 L 레벨로 된다. 이 제어신호 ϕCT 는, 기간 DT의 사이 H 레벨이 된다.

이때, 이 지연회로(30a-30d)의 출력신호($\phi 1$ - $\phi 4$) 각각의 하이레벨은, 전원전압 VCC 레벨이고, 또한, 각각의 로우레벨은 접지전압 GND 레벨이다. 이 경우, 제어신호 ϕP , ϕCP 및 ϕCT 는, 하이레벨이 전원전압 VCC 레벨, 로우레벨이 접지전압 GND 레벨의 신호가 된다. 이 제어신호 발생회로(1)의 동작전원 전압레벨을 변경함으로써, 제어신호 ϕP , ϕCP 및 ϕCT 의 진폭 및 하이레벨 및 로우레벨의 전위를 변경할 수 있다.

반복신호 $\phi 0$ 은, 내부의 발진회로에서 생성되어도 되고, 신호전송 또는 동작사이클 설정 등을 위해 외부로부터 반복하여 주어지는 클럭신호가 사용되어도 된다.

정전압 발생회로(20)는, 이들 제어신호 ϕP , ϕCP 및 ϕCT 를 반전한 제어신호 ϕPZ , ϕCPZ 및 ϕCTZ 에 따라 동작한다. 이들 제어신호를 이용함으로써, 도 2 및 도 4에 나타내는 타이밍도에서의 제어신호의 위상관계를 실현할 수 있고, MOS 트랜지스터를 비도통상태로 설정한 후에 차지펌프동작을 행하고, 내부전압발생을 위한 전하축적 후에 전하전송용의 MOS 트랜지스터를 도통상태로 설정할 수 있다.

이때, 도 6에 나타내는 제어신호 발생회로(1)의 구성에 있어서, 지연회로(30a-30d)는, 동일한 지연시간 DT를 가지고 있다. 그렇지만, 이하의 제어신호 발생시퀀스를 만족하는 한, 이들 지연회로(30a-30d)의 지연시간은 달라도 된다. 즉, 프리차지용의 제어신호 ϕP 의 전압레벨이 변화되어 소정시간경과한 후에, 프리차지용의 제어신호 ϕCP 가 변화되고, 계속해서, 소정시간경과 후에 전하전송용의 제어신호 ϕCT 의 전압레벨이 변화되어 전하전송이 행해진다. 이 전하전송용의 제어신호 ϕCT 가 비활성상태가 되었을 때에, 전하축적용의 제어신호 ϕCP 의 논리레벨이 변화되고, 그 후 프리차지용의 제어신호 ϕCP 의 전압레벨이 변화되어 프리차지가 행해진다는 동작시퀀스가 실현되면 된다.

이때, 도 5에 나타내는 내부전압 발생회로에서는, 부전압 발생회로(10) 및 정전압 발생회로(20)가 모두 설치되고, 부전압 $-VCC$ 및 정전압 $2 \cdot VCC$ 가 생성되어 있다. 그렇지만, 부전압 발생회로(10)만 또는 정전압 발생회로(20)만이 설치되는 경우에 있어서도, 이 제어신호 발생회로(1)를 이용함으로써, 효율적으로 원하는 전압레벨의 내부전압을 발생시킬 수 있다. 또한, 이들 내부전압은, $-VCC$ 및 $2 \cdot VCC$ 와 다른 전압레벨이어도 된다.

이상과 같이, 본 발명의 실시예 3에 따르면, 지연회로를 종속접속하고, 원하는 위상관계의 신호를 논리처리하여 전하프리차지, 충전 및 전송을 위한 제어신호를 생성해 놓고, 간단한 회로구성으로 용이하게, 내부전압을 발생하기 위한 차지펌프 동작제어신호를 생성할 수 있다.

(실시예 4)

도 8은, 본 발명의 실시예 4에 따른 전압발생회로의 구성을 나타내는 도면이다. 이 도 8에 나타내는 전압발생회로는, 도 1에 나타내는 전압발생회로에 대하여, 또한, 출력노드 OD1과 최종출력노드 FOD의 사이에, 또한, 생성되는 내부전압의 절대값을 크게 하는 전압구동단(40)이 설치된다.

이 출력노드 OD1의 전단의 부전압발생부의 구성은, 도 1에 나타내는 전압발생회로의 구성과 동일하고, 대응하는 부분에는 동일참조번호를 부착하여, 그 상세설명은 생략한다.

전압구동단(40)은, 제어신호 ϕP 를 받는 제어신호 입력노드 S31과 출력노드 OD1의 사이에 접속되는 용량소자 C20과, 내부출력노드 OD1과 최종출력노드 FOD의 사이에 접속되고 또한 그 게이트가 내부노드 ND30에 접속되는 N채널 MOS 트랜지스터 NQ31과, 내부노드 ND30과 최종출력노드 FOD의 사이에 접속되고 또한 그 게이트가 내부출력노드 OD1에 접속되는 N채널 MOS 트랜지스터 NQ32와, 제어신호 ϕCTF 를 수신하는 제어신호 입력노드 S32와 내부노드 ND30의 사이에 접속되는 용량소자 C21을 포함한다.

이 최종출력노드 FOD1에 대하여, 실시예 1과 마찬가지로 안정화 용량 C4가 접속된다. 그렇지만, 이 안정화 용량 C4는, 출력부하변동이 작은 경우에는, 특히 설정되지 않아도 된다.

제어신호 ϕCTF 는, 최종출력노드 FOD1로 내부출력노드 OD1로부터 부전하를 공급할 때에 활성화된다. 제어신호 ϕP , ϕCP 및 ϕCT 는, 실시예 1의 제어신호와 동일하다.

도 9는, 도 8에 나타내는 전압발생회로의 동작을 나타내는 타이밍도이다. 이하, 도 9를 참조하여, 도 8에 나타내는 전압발생회로의 동작에 대하여 설명한다. 도 9에서도, 주기 $2 \cdot T$ 의 기간의 안정상태에서의 신호파형을 나타낸다. 또한, 이하의 설명에 있어서는, 안정상태시의 동작에 대하여 설명한다. 차지펌프동작 초기의 과도시에 있어서도, 각 노드의 전압레벨이 다를 뿐이며, 안정상태시와 거의 동일한 동작이 행해진다.

제어신호 ϕP , ϕCP 및 ϕCT 는 실시예 1과 동일하고, 따라서, 출력노드 OD1전단의 회로동작 자체는, 실시예 1의 경우와 실질적으로 동일하다. 그렇지만, 내부출력노드 OD1의 전압전폭이 실시예 1과 다르기 때문에, 내부노드 ND3의 전압변화가, 실시예 1의 경우와 다르다.

시간 t10에서, 제어신호 ϕP , ϕCT 가 L 레벨로 설정되고, 한편, 제어신호 ϕCP 가 H 레벨로 설정된다. 이 상태에서는, 노드 ND1이 부전압 -VCC, 출력노드 OD1이 부전압 -2VCC 레벨이다. 따라서, 노드 ND1이, 부전압 -VCC 레벨로 구동되고, 노드 ND2가, 접지전압 GND 레벨로 프리차지된다. 또한, 내부출력노드 OD1이 부전압 -2·VCC가고, MOS 트랜지스터 NQ2가 도통상태로 있고, 내부노드 ND3이 내부출력노드 OD1과 전기적으로 접속되어, 동일전압레벨로 유지된다.

이 내부노드 ND3을 내부출력노드 OD1과 동일전압레벨로 설정함으로써, MOS 트랜지스터 NQ1을 비도통상태로 유지한다.

시간 t11에서, 제어신호 ϕP 가 접지전압 GND로부터 전원전압 VCC 레벨로 상승하면, 노드 ND1이 용량소자 C1에 의해 접지전압 GND 레벨로 구동되고, 노드 ND2의 프리차지동작이 완료한다. 이때, 또한, 용량소자 C20으로부터, 출력노드 OD1의 전압레벨이 -2·VCC로부터 전압 -VCC 레벨로 상승한다. 이 경우, 노드 ND2는 접지전압 GND 레벨이고, MOS 트랜지스터 NQ2가 도통상태를 유지하여, 내부노드 ND3의 전압레벨이, 내부출력노드 OD1의 전압레벨과 같아져, 부전압 -VCC 레벨이 된다.

또한, MOS 트랜지스터 NQ1은, 게이트(노드 ND3) 및 소스(내부출력노드 OD1)의 전위가 동일하게 되어, 비도통상태를 유지한다.

시간 t12에서는 제어신호 ϕCP 가 전원전압 VCC 레벨로부터 접지전압 GND 레벨로 저하하고, 노드 ND2가 부전압 -VCC 레벨로 구동되며, N채널 MOS 트랜지스터 NQ2가 비도통상태로 설정된다. 이 상태에 있어서도, MOS 트랜지스터 NQ1은, 노드 ND2가 부전압 -VCC 레벨이고, 안정상태시에 있어서는 게이트, 소스 및 드레인전위가 모두 동일하고, 비도통상태를 유지한다. 또한, 과도시에 있어서는, 실시예 1과 마찬가지로 그 게이트 소스 사이 전압이 임계치전압 이하이고, 비도통상태를 유지한다.

시간 t13에서, 제어신호 ϕCT 가 접지전압 GND로부터 전원전압 VCC 레벨로 상승하고, 노드 ND3의 전압레벨이 부전압 -VCC로부터 접지전압 GND 레벨로 상승한다. MOS 트랜지스터 NQ1이 도통상태가 되고, 노드 ND2 및 출력노드 OD1을 전기적으로 접속하여 내부노드 ND2와 내부출력노드 OD1의 전압레벨을 같게 한다. 그렇지만, 출력노드 OD1은, 정상상태시에 있어서는, 먼저, 부전압 -VCC 레벨로 프리차지되어 있고, MOS 트랜지스터 NQ1의 드레인 및 소스전위는 동일하고, 정상상태에 있어서는, 전류는 흐르지 않는다.

시간 t14에서, 제어신호 ϕCT 가 전원전압 VCC 레벨로부터 접지전압 GND 레벨로 저하하고, 노드 ND3의 전압레벨이 접지전압 GND로부터 부전압 -VCC 레벨로 저하한다. 따라서, MOS 트랜지스터 NQ1이, 비도통상태가(로) 되어, 노드 ND2 및 내부출력노드 OD1이 분리된다. MOS 트랜지스터 NQ2는, 안정상태에 있어서는, 게이트, 드레인 및 소스가 동일전위이고, 전류는 흐르지 않는다.

시간 t15에서, 제어신호 ϕCP 가 접지전압 GND로부터 전원전압 VCC 레벨로 상승하고, 노드 ND2의 전압레벨이, 부전압 -VCC로부터 접지전압 GND 레벨로 상승한다. 이 노드 ND2의 전압레벨의 상승에 따라, MOS 트랜지스터 PQ1이 비도통상태가 되고, 다음 프리차지동작에 구비한다.

또한, MOS 트랜지스터 NQ2가 도통하고, 내부노드 ND3과 내부출력노드 OD1을 전기적으로 접속하며, 내부노드 ND3의 전압레벨이 내부출력노드 OD1의 전압레벨의 부전압 -VCC가 되고, MOS 트랜지스터 NQ1이, 게이트 및 소스의 전압이 같아져 비도통상태로 유지된다.

시간 t16에서, 제어신호 ϕP 가, 전원전압 VCC 레벨로부터 접지전압 GND 레벨로 저하하면, 노드 ND1이 접지전압 GND 레벨로부터 부전압 -VCC 레벨로 저하한다. 이때 또한, 용량소자 C20에 의해, 내부출력노드 OD1도, 낮은 부전압 -VCC 레벨로부터, 깊은 부전압 -2·VCC 레벨에까지 저하한다. 노드 ND2는, 접지전압 GND 레벨이고, MOS 트랜지스터 NQ2가 도통하고 있기 때문에, 노드 ND3과 내부출력노드 OD1이 동일전압레벨이 되며, MOS 트랜지스터 NQ1이 비도통상태로 유지된다. 따라서, 노드 ND2가, 접지전압 GND 레벨이어도, 내부 출력노드 OD1이, 깊은 부전압 -2·VCC 레벨에까지 저하하고, 마찬가지로, 노드 ND3도, 깊은 부전압 -2·VCC 레벨 및 드레인전위가 전부 동일하고, 비도통상태를 유지한다. 또한, 과도시에 있어서는, 실시예 1과 마찬가지로 그 게이트 소스 사이 전압이 임계치전압 이하이고, 비도통상태를 유지한다.

이 경우는, MOS 트랜지스터 NQ2에 의해, MOS 트랜지스터 NQ1의 게이트에 소스가 전기적으로 결합되기 때문에, MOS 트랜지스터 NQ1은 고속이고 비도통상태로 되고, 무효전류가 거의 흐르지 않고 확실히, 내부출력노드 OD1이, 부전압 -2·VCC 레벨에까지 저하한다.

이때, 과도시 등에 있어서, 내부노드 ND30의 전압레벨이, 내부출력노드 OD1의 전압레벨보다도 높아지는 것이 생각된다. 그렇지만, 내부노드 ND30과 최종출력노드 FOD1을 일단 전기적으로 접속하고 있고, 이러한 상태에서의 내부노드 ND30과 내부출력노드 OD1의 전압레벨의 차는 작고, MOS 트랜지스터 NQ1은, 그 임계치전압에 의해, 비도통상태를 유지한다.

시간 t17에서, 제어신호 ϕCTF 가 접지전압 GND 레벨로부터 전원전압 VCC 레벨에까지 상승하고, 노드 ND30의 전압레벨이, 깊은 부전압 $-2\cdot\text{VCC}$ 로부터 얇은 부전압 $-\text{VCC}$ 로까지 상승한다. 따라서, MOS 트랜지스터 NQ31이 도통하고, 출력노드 OD1과 최종출력노드 FOD1이 전기적으로 결합된다. 최종출력노드 FOD1의 전압레벨이, 깊은 부전압 $-2\cdot\text{VCC}$ 보다도 높은 경우에는, 이 내부출력노드 OD1로부터 부전하가 최종출력노드 FOD로 공급된다. 이 전하전송시에 있어서는, MOS 트랜지스터 NQ2는, 게이트전위가, 소스(최종출력노드 FOD1)이고 비도통상태를 유지하며, 효율적으로 내부출력노드 OD1로부터 최종출력노드 FOD1로 전하가 전송된다.

시간 t18에서, 제어신호 ϕP 를 접지전압 GND로부터 전원전압 VCC 레벨에까지 상승시킨다. 따라서, 노드 ND1이 낮은 부전압 $-\text{VCC}$ 로부터 접지전압 GND 레벨로 복귀하고, 또한 출력노드 OD1도 깊은 부전압 $-2\cdot\text{VCC}$ 로부터 얇은 부전압 $-\text{VCC}$ 로 상승한다. 이때, 노드 ND2는 접지전압레벨이고, 노드 ND3은, 출력노드 OD1과 같이 깊은 부전압 $-2\cdot\text{VCC}$ 로부터 부전압 $-\text{VCC}$ 레벨에까지 그 전압레벨이 상승한다.

시간 t19 이후, 전술한 동작이 반복하여 행해진다.

이때, 출력노드 OD1을 깊은 부전압 $-2\cdot\text{VCC}$ 레벨까지 저하시키고, 따라서 노드 ND3도 깊은 부전압 $-2\cdot\text{VCC}$ 레벨에까지 저하시킬 때, 용량소자 C20의 용량값을, 용량소자 C3의 용량값보다도 충분히 크게 함으로써, 확실히 또한 고속으로, 노드 ND3을 출력노드 OD1의 전압레벨에 따라 변화시킬 수 있다.

이때, 차지펌프동작 개시 초기시에 있어서는, 출력노드 OD1의 전압이, $-\text{VCC}$ 와 $-2\cdot\text{VCC}$ 의 사이에서 변화되는 상태로 되고 나서, 최종출력노드 FOD1의 전압이 $-2\cdot\text{VCC}$ 에까지 저하한다. 이 과도시의 전압구동단(40)의 동작은 실시예 1에서 설명한 전압발생회로의 동작과 동일하다.

이 전압구동단(40)은, 전단의 $-\text{VCC}$ 발생회로의 부전압 $-\text{VCC}$ 를 발생하는 회로의 출력단(전하전송단)과 동일한 구성을 가지고 있다. 따라서, 무효전류를 생기게 하지 않고, 효율적으로 깊은 부전압 $-2\cdot\text{VCC}$ 를 발생시킬 수 있다.

이상과 같이, 본 발명의 실시예 4에 따르면, 얇은 부전압 $-\text{VCC}$ 를 발생하는 회로의 출력단에, 또한, 출력노드의 차지펌프 용량을 접속하고, 또한 $-\text{VCC}$ 발생회로의 출력단과 동일구성의 출력단(전하전송단)을 배치하여 전압구동단을 구성하고 있고, 효율적으로 전하를 이용하여, $-2\cdot\text{VCC}$ 의 부전압을 저소비전력으로 발생할 수 있다.

(실시예 5)

도 10a는, 본 발명의 실시예 5에 따른 전압발생회로의 구성을 개략적으로 나타내는 도면이다. 이 도 10a에 나타내는 전압 발생회로는, 노드 ND2와 출력노드 FOD의 사이에 종속접속되는 전하전송단 XFN1로부터 XFNn을 포함한다.

노드 ND1 및 ND2에는, 각각 접지노드와의 사이에, P채널 MOS 트랜지스터 PQ1 및 PQ2가 교차결합의 형태로 접속된다. 노드 ND1은, 용량소자 C1을 통해 프리차지용 제어신호 ϕP 를 수신하고, 노드 ND2는, 용량소자 C2를 통해, 전하생성용의 제어신호 ϕCP 를 수신한다. 이 MOS 트랜지스터 PQ1 및 PQ2와 용량소자 C1 및 C2의 구성은, 먼저 도 1 및 도 8에 나타내는 구성과 동일하고, 제어신호 ϕP 및 ϕCP 에 따라 노드 ND1 및 ND2를, 접지전압 GND와 부전압 $-\text{VCC}$ 의 사이에서 변화시킨다.

전하전송단 XFN1로부터 XFNn-1의 출력노드 OD1로부터 ODn-1에는, 용량소자 CK1로부터 CKn-1이 각각 접속된다. 홀수단의 전하전송단 XFN1의 출력노드 OD1, ...ODn-1에 설치된 용량소자 CQ1, ...CQn-1은, 제어신호 입력노드 S1을 통해 제어신호 ϕP 를 수신한다. 짝수단의 전하전송단 XFN2...의 출력노드 OD2에 설치된 용량소자 CQ2, ...으로는, 제어신호 입력노드 S2를 통해 제어신호 ϕCP 가 공급된다. 전하전송단 XFN1로부터 XFNn으로는, 제어신호 ϕCT 및 ϕCTF 가 교대로 공급된다. 이 전하전송단과 그 입력노드(전단의 전하전송단의 출력노드)에 설치되는 용량소자가, 전압구동단을 구성한다.

최종 출력노드 FOD에는 안정화 용량소자 C4가 접속된다. 이 안정화 용량 C4는, 최종출력노드 FOD의 전압이 안정되면, 특히 설치할 필요는 없다.

도 10b는, 전하전송단 XFN1로부터 XFNn의 구성을 나타내는 도면이다. 이들 전하전송단 XFN1로부터 XFNn은, 동일구성을 유지하고, 도 10b에서는, 하나의 전하전송단 XFN에 의해, 이들 전하전송단 XFN1로부터 XFNn을 총칭적으로 나타낸다.

전하전송단 XFN은, 입력노드 NDI와 출력노드 NDO의 사이에 접속되는 N채널 MOS 트랜지스터 NQa와, 출력노드 NDO와 내부노드 NDA의 사이에 접속되고 또한 그 게이트가 입력노드 NDI에 접속되는 N채널 MOS 트랜지스터 NQb와, 제어신호 입력노드 Sa와 내부노드 NDA의 사이에 접속되는 용량소자 Ca를 포함한다.

이 전하전송단 XFN은, 도 8에 나타내는 전압구동단(40)의 용량소자 C20을 제외하는 구성과 등가이다. 제어신호 입력노드 Sa에, 전하전송제어용의 제어신호 ϕ_{CT} 또는 ϕ_{CTF} 가 공급된다. 이들 전하전송단 XFN1로부터 XFNn에서, 그 입력노드 NDI의 프리차지 및 전하전송을 교대로 행함으로써, 전하전송단 XFN1로부터 XFNn에 각각 -VCC의 전압강하를 생기게 할 수 있어, 최종출력노드 FOD에는, $-n \cdot VCC$ 의 전압을 발생시킬 수 있다.

도 11은, 도 10a 및 10b에 나타내는 전압발생회로의 동작을 나타내는 타이밍도이다. 도 11에서는, 전하전송단 XFNi-1, XFNi 및 XFNi+1의 출력노드 및 내부노드의 신호파형을 나타낸다. 전하전송단 XFNi-1의 용량소자 Ca에는, 제어신호 ϕ_{CT} 가 공급되고, 전하전송단 XFNi의 용량소자 Ca에는, 제어신호 ϕ_{CT} 가 공급되며, 전하전송단 XFNi+1의 용량소자 Ca에는, 제어신호 ϕ_{CTF} 가 공급된다. 다음에, 도 11을 참조하여, 이 도 10a 및 10b에 나타내는 전압발생회로의 동작에 대하여 설명한다.

제어신호 ϕ_P 가 접지전압 GND로부터 전원전압 VCC로 상승하면, 전하전송단 XFNi-1의 입력노드 NDi-1이, 대응의 용량소자 CKi-2의 차지펌프동작에 의해, 그 전압레벨이 상승한다. 이 경우, 부전압 $-(i-1) \cdot VCC$ 로부터 부전압 $-(i-2) \cdot VCC$ 로 변화된다. 내부노드 NDAi-1은, 이 상태에서는, 전압 $-(i-1) \cdot VCC$ 이고, 전하전송단 XFNi-1에서, MOS 트랜지스터 NQa는, 비도통상태를 유지한다.

마찬가지로, 전하전송단 XFNi+1에서도, 입력노드 NDi+1에 대하여, 제어신호 ϕ_P 에 따라 차지펌프동작이 행해지고, 그 전압레벨이, $-(i+1) \cdot VCC$ 로부터 $-i \cdot VCC$ 로 변화된다. 이 전하전송단 XFNi+1의 입력노드 NDi+1은, 전하전송단 XFNi의 출력노드 ODi에 대응한다. 이 경우, 전하전송단 XFNi에서는, MOS 트랜지스터 NQb가 도통상태로 있기 때문에, 노드 NDi가, 전압 $-(i+1) \cdot VCC$ 로부터 $-i \cdot VCC$ 로 변화된다. 이 상태에 있어서도, 전하전송단 XFNi에서는, MOS 트랜지스터 NQa는, 게이트의 전위가 그 소스보다도 낮기 때문에, 비도통상태를 유지한다.

제어신호 ϕ_{CP} 가 전원전압 VCC로부터 접지전압 GND 레벨로 저하하면, 전하전송단 XFNi에서, 용량소자 CKi의 차지펌프 동작에 의해, 입력노드 NDi가 전압 $-(i-1) \cdot VCC$ 로부터 $-i \cdot VCC$ 로 변화된다. 이때, 전하전송단 XFNi-1에서, 노드 NDi-1이 전압 $-(i-2) \cdot VCC$ 레벨이고, MOS 트랜지스터 NQb가 도통상태에 있어, 전하전송단 XFNi-1에서, 노드 NDAi-1의 전압레벨이, 전압 $-(i-1) \cdot VCC$ 로부터 전압 $-i \cdot VCC$ 로 변화된다.

다음에, 소정기간경과 후, 제어신호 ϕ_{CT} 가 전원전압 VCC 레벨로 구동되고, 전송단 XFNi에서 내부노드 NDAi가 용량소자 Ca의 차지펌프동작에 의해, 전압 $-(i+1) \cdot VCC$ 로부터 전압 $-i \cdot VCC$ 로 상승하고, MOS 트랜지스터 NQa가 도통한다. 이에 따라, 전하전송단 XFNi에서, MOS 트랜지스터 NQa를 통한 전하의 구동이 행해진다. 이 상태로, 노드 NDi+1은, 전압 $-i \cdot VCC$ 레벨이고, 전하전송단 XFNi의 입력노드 NDi의 전압레벨과, 전하전송단 XFNi+1의 입력노드 NDi+1의 전압레벨이 같아진다.

이 제어신호 ϕ_{CT} 가 다시 접지전압레벨로 저하하면, 전하전송단 XFNi에서 내부노드 NDAi가, 전원전압 VCC만큼 저하하고, 그 전압레벨은 $-i \cdot VCC$ 가 되고, 전하전송단 XFNi에서, MOS 트랜지스터 NQa가 비도통상태가 된다.

이어서, 제어신호 ϕ_{CP} 가 접지전압 GND 레벨로부터 전원전압 VCC 레벨로 상승하고, 전하전송단 XFNi의 입력노드 NDi의 전압레벨이 상승하며, 따라서 전하전송단 XFNi-1의 내부노드 NDAi-1도, 노드 NDi의 전압레벨에 따라, MOS 트랜지스터 NQb를 통해 상승하여, 전압 $-(i-1) \cdot VCC$ 레벨로 설정된다.

이 제어신호 ϕ_{CP} 에 따라, 마찬가지로, 전하전송단 XFNi+1에서도 내부노드 NDAi+1의 전압레벨이 저하하고, 그 출력노드 ODi+1의 전압레벨이 저하하였을 때에, 확실히 대응의 MOS 트랜지스터 NQa를 비도통상태로 설정한다.

제어신호 ϕP 가, 소정시간경과 후에 전원전압 VCC로부터 접지전압레벨 GND 레벨로 저하하면, 전하전송단 XFNi+ 1에서, 그 입력노드 NDIi+ 1에 대하여 용량소자의 차지펌프동작이 행해지고, 그 전압레벨이 $-i \cdot VCC$ 로부터 $-(i+1) \cdot VCC$ 로 저하한다. 이 전압저하가, 전하전송단 XFNi의 내부노드 NDAi로, MOS 트랜지스터 NQb를 통해 전달되고, 그 MOS 트랜지스터 NQb가, 확실히 비도통상태로 설정된다.

이어서, 또한 소정시간경과 후에, 제어신호 ϕCTF 가 소정기간 전원전압 VCC가 되고, 전하전송단 XFNi-1 및 XFNi+ 1에서, 내부노드 NDAi-1 및 NDAi+ 1의 전압레벨이 전압 VCC만큼 상승하고, 대응의 MOS 트랜지스터 NQa가 도통하며, 전하의 전송이 행해진다.

이때, 전하전송단 XFNi에서는, 내부노드 NDAi의 전압레벨은 전하전송단 XFNi+ 1의 입력노드 NDIi+ 1, 즉 전하전송단 XFNi의 출력노드 ODi의 전압레벨과 같기 때문에, MOS 트랜지스터 NQa는 비도통상태를 유지하고, 이 전하전송단 XFNi에서의 전류의 역류는 방지된다.

따라서, 이 전하전송단 XFN1로부터 XFNn을 종속접속하고, 그 입력노드의 프리차지와 내부노드의 차지를 이들 전하전송단에서 위상제어된 제어신호에 따라 교대로 행함으로써, 확실히, 전류의 역류를 방지하여, 전압 VCC씩 발생전압을 저하시킬 수 있다. 전하전송단 XFN1로부터 XFNn과 n 설치되는 경우, 출력노드 FOD에는, 전압 $-n \cdot VCC$ 가 생성된다. 이에 따라, 원하는 전압레벨의 부전압을 발생시킬 수 있어, 저전원전압 하에 있어도, 필요한 전압레벨을 저소비전력으로 안정하게 발생시킬 수 있다.

도 12는, 도 10a 및 10b에 나타내는 전압발생회로에 사용되는 제어신호를 발생하는 회로의 구성을 개략적으로 나타내는 도면이다. 이 도 12에 나타내는 제어신호 발생회로는, 도 6에 나타내는 제어신호 발생회로의 구성에 더하여, 또한, 지연회로 30d의 출력신호 $\phi 4$ 와 인버터 32b의 출력신호를 수신하여 제어신호 ϕCTF 를 생성하는 AND 회로 45가 설치된다. 이 도 12에 나타내는 제어신호 발생회로의 다른 구성은, 도 6에 나타내는 제어신호 발생회로의 구성과 동일하고, 대응하는 부분에는 동일참조번호를 부착하며, 그 상세설명은 생략한다.

이 도 12에 나타내는 제어신호 발생회로의 구성에 있어서는, AND 회로 45는, 지연회로 30d의 출력신호 $\phi 4$ 가 H 레벨에 있고, 또한 인버터 32b의 출력신호가 H 레벨일 때에, 제어신호 ϕCTF 가 H 레벨이 된다. 따라서, 도 13에 나타내는 바와 같이, 지연회로 30c의 출력신호 $\phi 3$ 이 L 레벨이고 또한 지연회로 30d의 출력신호 $\phi 4$ 가 H 레벨일 때에, 제어신호 ϕCTF 가 H 레벨이 된다. 다른 제어신호 ϕP , ϕCP 및 ϕCT 는, 도 6에 나타내는 회로와 동일한 부분으로부터 출력되어 있고, 동일한 타이밍 관계를 갖는다. 이 도 12에 나타내는 제어회로를 이용함으로써, 정확히, 각 전하전송단에 있어서 입력노드에 부전하가 공급되고, 전하전송의 준비를 할 수 있었을 때에, 전하전송용의 제어신호를 공급하고, 전하를 출력노드에 전송할 수 있어, 또한 전류의 역류도 방지할 수 있다.

이상과 같이, 본 발명의 실시예 5에 따르면, 전하전송단을 복수단 종속접속하고, 각 전하전송단에 대하여 전하전송 및 입력노드의 프리차지를 교대로 실행하고 있어, 깊은 부전압을 저소비전류로 생성할 수 있다.

(실시예 6)

도 14는, 본 발명의 실시예 6에 따른 전압발생회로의 구성을 나타내는 도면이다. 이 도 14에 나타내는 전압발생회로는, 도 3에 나타내는 전압발생회로의 구성에 부가하여, 또한, 출력노드 OD11의 전하를 최종출력노드 FOD로, 제어신호 ϕPZ 및 $\phi CTFZ$ 에 따라 전달하는 전압구동단(50)을 구비한다.

이 전압구동단(50)은, 내부출력노드 OD11에 대하여, 제어신호 ϕPZ 에 따라 차지펌프동작을 행하는 용량소자 CC와, 이 용량소자 CC의 충전전하를, 제어신호 $\phi CTFZ$ 에 따라 최종출력노드 FOD로 전달하는 전하전송단 XFP를 포함한다.

전하전송단 XFP는, 내부출력노드 OD11과 최종출력노드 FOD의 사이에 접속되고 또한 그 게이트가 내부노드 NDB에 접속되는 P채널 MOS 트랜지스터 PQa와, 내부노드 NDB와 최종출력노드 FOD의 사이에 접속되고 또한 그 게이트가 내부출력노드 OD11에 접속되는 P채널 MOS 트랜지스터 PQb와, 제어신호 $\phi CTFZ$ 를 수신하는 제어신호 입력노드 S52와 내부노드 NDB의 사이에 접속되는 용량소자 Cb를 포함한다. 이 전하전송단 XFP의 입력노드 PDI가, 내부출력노드 OD11에 접속되고, 그 출력노드 PDO가 최종출력노드 FOD에 접속된다.

이 도 14에 나타내는 전압발생회로의 출력노드 OD11 전단의 전압 2·VCC를 발생하는 회로는, 전압승압용의 전하를 발생하는 부분과, 이 승압용의 전하를 전송하는 부분으로 구성되고, 이들 전하발생부 및 전하전송부의 구성은, 도 3에 나타내는 회로와 동일하고, 대응하는 부분에는 동일참조번호를 부착하여, 그 상세설명은 생략한다.

도 15는, 도 14에 나타내는 전압발생회로의 안정상태시의 동작을 나타내는 신호파형도이다. 이하, 도 15를 참조하여, 이 도 14에 나타내는 전압발생회로의 안정상태시의 동작에 대하여 설명한다.

이 도 14에 나타내는 전압발생회로는, 도 8에 나타내는 전압발생회로의 트랜지스터의 도전형 및 제어신호의 극성 및 전압 극성을 변경한 것으로 동일하다. 기본적으로, 이 도 14에 나타내는 전압발생회로에서, 노드 ND12의 전하의 차지펌프동작은, 도 3에 나타내는 회로와 동일하고, 제어신호 ϕ_{CPZ} 에 따라 용량소자 C12에 의해, 노드 ND12가, 전원전압 VCC와 고전압 2·VCC의 사이에서 변화된다. 내부출력노드 OD11은, 용량소자 CC의 차지펌프동작에 의해, 제어신호 ϕ_{PZ} 에 따라 그 전압레벨이 변화된다. 따라서, 내부출력노드 OD11은, 전압 2·VCC와 전압 3·VCC의 사이에서 변화된다. 이 내부출력노드 OD11의 전압레벨이 3·VCC까지 변화되기 때문에, 내부노드 ND13의 전압레벨도, 전원전압 VCC, 고전압 2·VCC 및 3·VCC의 사이에서 변화된다.

시간 t11에서, 제어신호 ϕ_{PZ} 가 전원전압 VCC로부터 접지전압 GND로 저하하면, 출력노드 OD11은, 용량소자 CC의 차지펌프동작에 의해, 전압 2·VCC 레벨로 설정된다. 이때, 노드 ND12는, 전원전압 VCC 레벨이고, MOS 트랜지스터 PQ12가 도통상태로 있기 때문에, 노드 ND13의 전압레벨도, 내부출력노드 OD11과 같이 전압 2·VCC 레벨이 된다. 따라서, MOS 트랜지스터 PQ1은, 게이트 및 소스가 동전위가 되고, 비도통상태가 된다.

시간 t12에서, 제어신호 ϕ_{CPZ} 가 전원전압 VCC 레벨로 상승하면, 노드 ND12의 전압레벨이, 고전압 2·VCC 레벨이 된다. 따라서, MOS 트랜지스터 PQ12가 비도통상태가 된다. 이때, 또한, MOS 트랜지스터 PQ11도, 게이트, 드레인 및 소스가 모두 동일한 전압레벨이고, 비도통상태를 유지한다.

전압구동단(50)에서는, 제어신호 ϕ_{CTFZ} 의 전압레벨은 전원전압 VCC 레벨이고, 노드 NDB는, 3·VCC 레벨이며, MOS 트랜지스터 PQa는 비도통상태로 있다. MOS 트랜지스터 PQb는, 내부출력노드 OD11이 전압 2·VCC 레벨이고, 도통상태를 유지하지만, 노드 NDB 및 최종출력노드 FOD가 동일전압레벨이고, MOS 트랜지스터 PQa를 통해서 전류는 흐르지 않는다.

시간 t13에서, 제어신호 ϕ_{CTZ} 가, 전원전압 VCC로부터 접지전압 GND 레벨로 저하하면, 노드 ND13의 전압레벨이, 전압 2·VCC로부터 전원전압 VCC레벨로 저하한다. 따라서, MOS 트랜지스터 PQ11이 도통하고, 내부출력노드 OD11과 내부노드 ND12사이에서 전하가 전송된다. 이 전하전송동작은, 내부노드 ND12와 출력노드 OD11의 전압레벨이 같아지면 완료한다.

또한, 전하전송시에 있어서는, MOS 트랜지스터 PQ12는, 게이트 및 소스가 동일전압레벨로 설정되기 때문에 비도통상태를 유지한다. 또한, 이 전하전송시에 있어서는, 노드 NDB의 전압레벨은 3·VCC가고, 내부출력노드 OD11의 전압이 2·VCC가고 전하전송용의 P채널 MOS 트랜지스터 PQa는, 비도통상태를 유지한다.

시간 t14에서는 제어신호 ϕ_{CPZ} 가, 접지전압으로부터 전원전압 VCC 레벨로 상승하고, 따라서 노드 ND13의 전압레벨이, 전원전압 VCC로부터 고전압 2·VCC 레벨로 상승하며, MOS 트랜지스터 PQ11이 비도통상태가 된다. 이때, MOS 트랜지스터 PQ12는, 노드 ND12의 전압레벨이 2·VCC가고, 그 임계치전압에 의해, 비도통상태를 유지한다.

시간 t15에서 제어신호 ϕ_{CPZ} 가 전원전압 VCC로부터 접지전압 GND로 저하하면, 노드 ND12의 전압레벨이, 고전압 2·VCC로부터 전원전압 VCC 레벨로 용량소자 C12의 차지펌프동작에 의해 저하한다. 노드 ND12의 전압레벨이, 전원전압 VCC 레벨로 저하하고, P채널 MOS 트랜지스터 PQ12가 도통하면, 노드 ND13 및 내부출력노드 OD11이 전기적으로 접속되어도, 그 전압레벨이 같고 2·VCC 레벨이고, 안정상태시에 있어서는 전류는 흐르지 않는다. MOS 트랜지스터 PQ11은, 게이트 및 소스가 동일전위가 되고, 비도통상태로 유지된다.

시간 t16에서 제어신호 ϕ_{PZ} 를 접지전압 GND로부터 전원전압 VCC 레벨로 상승시켜, 노드 ND11을 전원전압 VCC 레벨로 상승시켜 노드 ND12를 전원전압 VCC 레벨로 확실히 프리차지한다.

제어신호 ϕPZ 의 상승에 의해, 용량소자 CC가 차지펌프동작을 행하고, 출력노드 OD11을 전압 2·VCC로부터 전압 3·VCC 레벨로 상승시킨다. 이 출력노드 OD11의 전압레벨이 3·VCC 레벨로 상승하면, 노드 ND12의 전압레벨은, 전원전압 VCC 레벨이고, MOS 트랜지스터 PQ1이 도통하고, 노드 ND13도, 전압 3·VCC 레벨로 상승하여, MOS 트랜지스터 PQ11은 비도통상태로 유지된다.

시간 t17에서 제어신호 $\phi CTFZ$ 를 전원전압 VCC 레벨로부터 접지전압 GND 레벨로 저하시키면, 용량소자 Cb의 차지펌프 동작에 의해, 노드 NDb의 전압레벨이 전압 3·VCC로부터 전압 2·VCC 레벨로 저하하고, MOS 트랜지스터 PQa가 도통하며, 출력노드 OD11로부터 최종출력노드 FOD로 전하가 전송되고, 이 최종출력노드 FOD의 전압레벨이, 확실히 3·VCC 레벨로 유지된다. 이 전하전송동작시에 있어서, 노드 NDB는, 전압 2·VCC 레벨이고, 또한, 출력노드 OD11 및 최종출력노드 FOD는 동일전압레벨이며, 노드 NDB보다도 전압레벨이 높기 때문에, MOS 트랜지스터 PQb는 비도통상태를 유지한다.

시간 t18에서, 제어신호 $\phi CTFZ$ 를 다시 접지전압 GND로부터 전원전압 VCC 레벨로 상승시키면, 노드 NDB가 용량소자 Cb의 차지펌프동작에 의해 그 전압레벨이 상승하고, 전압 3·VCC가 되어, MOS 트랜지스터 PQa가 비도통상태가 된다.

시간 t19에서 제어신호 ϕPZ 가 전원전압 VCC로부터 접지전압 GND 레벨로 저하하면, 출력노드 OD11의 전압레벨이 저하하고, 2·VCC 레벨이 된다. 이때, MOS 트랜지스터 PQ12는, 도통상태로 있기 때문에, 노드 ND13의 전압레벨이 3·VCC로부터 전압 2·VCC 레벨로 저하한다. 이후, 이 동작이 반복하여 실행된다.

따라서, 전압구동단(50)을 1단 설치하고, 내부노드의 프리차지동작기간 동안에, 출력노드를 프리차지하여, 전하를 전송함으로써, 이 출력노드의 전압을 전압 VCC만큼 높게 할 수 있어, 최종출력노드 FOD에, 3·VCC의 전압을 발생할 수 있다.

이때, 전술한 설명에 있어서는, 설명을 간단히 하기 위해 차지펌프동작 초기의 과도시의 동작에 대해서는 설명하고 있지 않다. 그렇지만, 실시예 4의 부전압 -2·VCC를 발생하는 회로의 경우와 동일한 동작이 행해져, 인헨스먼트형 트랜지스터의 임계치전압을 이용하여, 무효전류의 발생을 방지하고, 최종출력전압의 전압레벨을 서서히 상승시킨다.

이때, 최종출력노드 FOD에 설치되는 안정화 용량 C4는, 최종출력노드 FOD의 부하변동이 작은 경우에는 특히 설치할 필요가 없다.

또한, 제어신호 ϕPZ , ϕCPZ , ϕCTZ 및 $\phi CTFZ$ 는, 도 12에 나타내는 제어신호 발생회로의 출력신호를 반전함으로써 생성할 수 있다.

따라서, 실시예 2와 마찬가지로, 이들 제어신호 ϕPZ , ϕCPZ , ϕCTZ 및 $\phi CTFZ$ 는, 접지전압 GND와 전원전압 VCC의 사이에서 변화되는 것이 요구되지 않고, 구성요소의 MOS 트랜지스터의 온/오프조건을 만족하는 한, 원하는 전압의 사이에서 변화되는 신호로 대체되어도 된다.

이상과 같이, 본 발명의 실시예 6에 따르면, 전압 2·VCC를 발생하는 회로의 출력노드에 차지펌프용의 용량소자를 설치하고, 또한, 1단의 전하전송단을 배치하여, 그 전하전송단의 전하전송트랜지스터 PQa의 도통/비도통을 용량소자 및 출력노드 전위검출용의 MOS 트랜지스터에 의해 제어하고 있어, 불필요한 전하의 흐름을 생기게 하지 않고, 효율적으로 전하를 사용하여, 고전압 3·VCC를 발생할 수 있다.

(실시예 7)

도 16은, 본 발명의 실시예 7에 따른 전압발생회로의 구성을 개략적으로 나타내는 도면이다. 도 16에서는, 내부노드 ND12와 최종출력노드 FOD의 사이에, 전하전송단 XFP1로부터 XFPn이 종속접속된다. 이들 전하전송단 XFP1로부터 XFPn은, 각각, 도 14에 나타내는 전하전송단 XFP와 동일한 구성을 갖는다.

이들 전하전송단 XFP2로부터 XFPn의 입력노드 ODP1로부터 ODPn-1 각각에 대응하여, 용량소자 CC1로부터 CCn-1이 배치된다. 이들 용량소자 CC1로부터 CCn-1에는, 제어신호 입력노드 S11 및 S12를 통해 제어신호 ϕPZ 및 ϕCPZ 가 교대로 공급된다. 전하전송단 XFP1로부터 XFPn 각각 대해서도 제작성호 입력노드 S13 및 S52를 각각 통해 제어신호 ϕCTZ 및 $\phi CTFZ$ 가 교대로 공급된다. 따라서, 홀수단의 전하전송단 XFP1, XFP3, ...에 대해서는, 제어신호 입력노드 S13을 통해 제어신호 ϕCTZ 가 공급되어 전하전송이 행해지고, 짝수단의 전하전송단 XFP2, ...에 대해서는, 제어신호 입력노드 S52를 통해 제어신호 $\phi CTFZ$ 가 공급되어 전하전송이 제어된다.

전하전송단 XFP1로부터 XFPn이, 각각 전원전압 VCC만큼, 공급된 전압을 승압한다. 따라서, 최종출력노드 FOD에는, 전압 $(n+1) \cdot VCC$ 가 생성된다.

이 노드 ND12에서의 전하축적동작을 제어하기 위해, 교차결합되는 N채널 MOS 트랜지스터 NQ11 및 NQ12와, 노드 ND11 및 ND12에, 제어신호 ϕPZ 및 ϕCPZ 에 따라 각각 차지펌프동작을 행하는 용량소자 C11 및 C12가 설치된다. 이 노드 ND12에 대한 차지펌프동작을 실행하는 회로부분은, 먼저 도 3 및 도 14에 나타내는 구성과 동일하다. 따라서, 노드 ND12는, 전압 VCC와 고전압 $2 \cdot VCC$ 의 사이에서 전압이 변화된다.

도 17은, 도 16에 나타내는 전압발생회로의 안정상태시의 동작을 나타내는 타이밍도이다. 이하, 도 17을 참조하여, 도 16에 나타내는 전압발생회로의 안정시의 동작을, 도 14를 더불어 참조하여 설명한다.

도 17에서는, 전하전송단 XFPi-1, XFPi, XFPi+1의 입력노드 및 내부노드의 전압과형을 나타낸다. 전하전송단 XFPi-1 및 XFPi+1에는 제어신호 ϕCTF 가 공급되고, 전하전송단 XFPi에는, 제어신호 ϕCT 가 공급된다. 각 전하전송단 XFPj의 입력노드 NDIj는, 전단의 전하전송단 XFPj-1의 내부출력노드 ODPj-1에 접속된다. 도 17에서는, 입력노드 NDIi 및 NDIi+1에 대응하는 내부출력노드 ODIi-1 및 ODIi를 나타낸다. 이하의 설명에 있어서는, 도 14를 참조하기 때문에, 각 전하전송단의 입력노드의 전위에 대하여 설명한다.

제어신호 ϕPZ 가 접지전압 GND 레벨로 저하하면, 전하전송단 XFPi-1의 입력노드 NDIi-1은, 전압 $i \cdot VCC$ 로부터 전압 $(i-1) \cdot VCC$ 로 저하한다. 마찬가지로, 전하전송단 XFPi+1에서도, 그 입력노드 NDIi+1의 전압이, 전압 $(i+2) \cdot VCC$ 로부터 전압 $(i+1) \cdot VCC$ 로 저하한다. 이들 전하전송단 XFPi-1 및 XFPi+1에서, 내부노드 NDBi-1 및 NDBi+1의 전압레벨은, MOS 트랜지스터 PQb가 도통상태로 있고, 다음단의 전하전송게이트 XFPi 및 XFPi+2의 전압레벨에 따른 전압레벨로 설정된다.

한편, 전하전송단 XFPi에서는, 다음단의 전하전송단 XFPi+1의 입력노드 NDIi+1의 전압레벨이 $(i+1) \cdot VCC$ 로 저하하면, MOS 트랜지스터 PQd가 도통상태로 있기 때문에, 그 출력노드 NDBi의 전압레벨은 $(i+2) \cdot VCC$ 로부터 전압 $(i+1) \cdot VCC$ 로 저하한다.

제어신호 ϕCPZ 가, 접지전압 GND로부터 전원전압 VCC 레벨로 상승하면, 전하전송단 XFPi에서, 그 입력노드 NDIi의 전압레벨이 대응한 용량소자 CCI의 차지펌프동작에 의해, 전압 $i \cdot VCC$ 로부터 전압 $(i+1) \cdot VCC$ 로 상승한다. 이 노드 NDIi의 전압상승에 의해, 전하전송단 XFPi-1에서의 MOS 트랜지스터 PQb가 도통상태로 있기 때문에, 노드 NDBi-1의 전압레벨이 $(i+1) \cdot VCC$ 로 상승하고, 대응의 MOS 트랜지스터 PQa는 비도통상태로 유지된다.

마찬가지로, 전하전송단 XFPi+1에서도, 그 내부노드 NDBi+1의 전압레벨이, 전압 $(i+3) \cdot VCC$ 로 상승하고, 대응의 P채널 MOS 트랜지스터 PQa가 비도통상태로 유지된다.

제어신호 ϕCTZ 가 전원전압 VCC로부터 접지전압 GND로 저하하면, 전하전송단 XFPi에서, 내부노드 NDBi가 전압 $i \cdot VCC$ 로 되고, MOS 트랜지스터 PQa가 도통하며, 그 내부노드 NDIi의 전압 $(i+1) \cdot VCC$ 가, 다음단의 전하전송단 XFPi+1의 입력노드 NDIi+1에 전달된다. 이 전하전송시, 전하전송단 XFPi-1 및 XFPi+1에서는, MOS 트랜지스터 PQa는 비도통상태로 있기 때문에, 전하의 역류는 방지된다.

제어신호 ϕCPZ 가 전원전압 VCC 레벨로 상승하면, 전하전송단 XFPi에서 내부노드 NDBi의 전압레벨이, 전압 $i \cdot VCC$ 로부터 전압 $(i+1) \cdot VCC$ 로 상승하고, 대응의 P채널 MOS 트랜지스터 PQa의 게이트전위가 소스전위 이상이 되어, 이 MOS 트랜지스터 PQa가 비도통상태가 된다.

이어서, 제어신호 ϕPZ 가, 접지전압 GND로부터 전원전압 VCC로 상승하면, 전하전송단 XFPi-1 및 XFPi+1 각각에 있어서, 대응의 용량소자 CCI-1 및 CCI+1에 의한 차지펌프동작에 의해, 각각의 입력노드의 전압레벨이 전압 VCC만큼 상승한다. 즉, 전하전송단 XFPi-1의 입력노드 NDIi-1의 전압레벨이 $i \cdot VCC$ 가 되고, 한편, 전하전송단 XFPi+1의 입력노드 NDIi+1의 전압레벨이, $(i+2) \cdot VCC$ 가 된다.

이 상태에 있어서, 전하전송단 XFPi에서, MOS 트랜지스터 PQb는, 그 게이트전위가 소스전위보다도 낮기 때문에, 도통상태가 되고, 내부노드 NDBi가, 전하전송단 XFPi+1의 입력노드 NDIi+1과 동일한 전압 $(i+2) \cdot VCC$ 레벨로 상승하고, MOS 트랜지스터 PQa가 비도통상태로 유지되고, 전하의 역류는 방지된다.

이 상태로, 제어신호 ϕCTFZ 를 전원전압 VCC로부터 접지전압 GND로 강하함으로써, 전하전송단 XFPi-1 및 XFPi+1 에서 내부노드 NDBi-1 및 NDBi+1 의 전압레벨이, 전압 VCC만큼 저하하고, 대응의 MOS 트랜지스터 PQa가 도통하며, 입력노드 NDIi-1 로부터 출력노드 ODPi-1(NDIi) 에의 전하전송이 행해진다. 마찬가지로, 전하전송단 XFPi+1 에서도, 그 입력노드 NDIi+1 로부터 그 출력노드에 대한 전하공급이 행해진다.

이후 이 동작을 반복함으로써, 각 전하전송단 XFP1-XFPn 에서 교대로 차지펌프동작을 행하여, 전압 VCC의 승압동작을 행하고, 최종출력노드 FOD에 전압 $(n+1)$ VCC를 생성할 수 있다.

이때, 이 고전압발생회로에서도, 그 차지펌프 동작개시의 초기시에 있어서는, 실시예 6의 경우와 같이, MOS 트랜지스터의 임계치전압을 이용하여 비도통상태의 설정이 행해져지고, 무효전류의 발생은 방지하면서, 각 노드의 전위가, 서서히 상승하여 최종의 안정전압레벨에 도달한다.

이때, 이 실시예 7에서도, 제어신호 ϕPZ , ϕCPZ , ϕCTZ 및 ϕCTFZ 의 하이레벨전압 및 로우레벨전압은, 서로 같아져도 된다.

이상과 같이, 본 발명의 실시예 7에 따르면, 전하전송단을 복수단 종속접속하고, 각 전하전송단의 입력노드를 용량소자를 사용하여 차지펌프동작을 행하여, 교대로 전하전송동작을 행하게 하고 있고, 저소비전류로 원하는 레벨의 내부전압을 생성할 수 있다.

이때, 제어신호 ϕPZ , $\phi\text{C.PZ}$, ϕCTZ 및 ϕCTFZ 는, 도 12에 나타내는 제어신호 발생회로의 출력신호를, 전부 반전함으로써 생성할 수 있다.

(실시예 8)

도 18은, 본 발명의 실시예 8에 따른 전압발생회로의 구성을 나타내는 도면이다. 도 18에 나타내는 전압발생회로는, 도 1에 나타내는 전압발생회로와 이하의 점에서 그 구성이 다르다. 즉, 교차결합되는 P채널 MOS 트랜지스터 PQ1 및 PQ2 대신에, 전하전송단을 구성하는 N채널 MOS 트랜지스터 NQQ1 및 NQQ2가 사용된다. N채널 MOS 트랜지스터 NQQ1은, 프리차지전압 공급노드 NDD2와 내부노드 ND2의 사이에 접속되고 또한 그 게이트(제어전극)가 내부노드(제1 내부노드) NDD1에 접속된다. 이 프리차지전압 공급노드 NDD2는, 기준전압인 접지전압 GND를 공급하는 접지노드 GG에 접속된다.

N채널 MOS 트랜지스터 NQQ2는, 내부노드 NDD1 및 ND2의 사이에 접속되고 또한 그 게이트가, 제어신호 ϕP 를 수신하는 제어신호 입력노드 S1에 결합된다. 내부노드 NDD1은, 용량소자 CQ1을 통해, 제어신호 ϕCTF 를 수신하는 입력노드 S3에 결합된다.

내부노드 ND2와 출력노드 OD1의 사이에 설치되는 전하전송단의 구성은, 도 1에 나타내는 구성과 동일하고, 대응하는 부분에는 동일참조번호를 부착하며, 그 상세설명은 생략한다.

또한, 제어신호 ϕCTF , ϕP , ϕCP 및 ϕCT 는, 접지전압 GND와 전원전압 VCC의 사이에서 변화되고, 이들 제어신호는, 도 12에 나타내는 제어회로에서 생성된다.

MOS 트랜지스터 NQQ1 및 NQQ2가 각각, 제1 및 제2 트랜지스터를 구성하고, 용량소자 CQ1이, 제1 용량소자를 구성한다. 제어신호 ϕCTF 가, 제1 제어신호에 해당하고, 제어신호 ϕP 가, 제2 제어신호에 해당한다. MOS 트랜지스터 NQ1 및 NQ2가 각각, 제3 및 제4 트랜지스터를 구성하고, 용량소자 C2 및 C3이 각각, 제2 및 제3 용량소자를 구성한다. 제어신호 ϕCP 및 ϕCT 가, 각각, 제3 및 제4 제어신호에 해당한다. 또한, MOS 트랜지스터는 모두 인헨스먼트형이다.

도 19는, 도 18에 나타내는 전압발생회로의 동작을 나타내는 신호파형도이다. 또한, 도 19를 참조하여, 도 18에 나타내는 전압발생회로의 동작에 대하여 설명한다. 여기서, 도 19에서는, 출력노드 OD1에서 부전압 -VCC가 생성되어 있을 때의 신호파형을 나타낸다.

시간 t_0 에서는, 제어신호 ϕP , ϕCT 및 ϕCTF 는 전부 L 레벨이고, 제어신호 ϕCP 가 H 레벨이다. 이 상태에 있어서는, 내부노드 ND2는, 제어신호 ϕCp 를 수신하는 용량소자 C2의 차지펌프동작에 의해, 접지전압 GND 레벨이 된다. 내부노드 ND3

은, 용량소자 C3의 차지펌프동작에 의해, 부전압 -VCC 레벨이 된다. 이 안정상태에 있어서는, 내부노드 ND2가 접지전압 GND 레벨일 때에는, MOS 트랜지스터 NQ2가, 도통하고(출력노드 OD1의 전압레벨은 부전압 -VCC 레벨), 내부노드 ND3은, 출력노드 OD1과 동일전압레벨로 설정된다.

내부노드 NDD1은, 또한, 용량소자 CQ1의 차지펌프동작에 의해, 접지전압 GND 레벨이다. 제어신호 ϕP 가 접지전압레벨의 L 레벨이고, MOS 트랜지스터 NQQ2는, 비도통상태로 있다.

시간 t1에서, 제어신호 ϕP 가 전원전압 VCC 레벨의 H 레벨로 상승된다. 이 제어신호 ϕP 의 상승에 응답하여, MOS 트랜지스터 NQQ2가 도통하고, 내부노드 NDD1 및 ND2가 전기적으로 결합되며, 동일전압레벨로 설정된다(접지전압레벨로 설정된다).

시간 t2에서, 제어신호 ϕP 가 H 레벨의 상태로, 제어신호 ϕCP 가 L 레벨(접지전압 GND 레벨)로 하강한다. 이 제어신호 ϕCP 의 하강에 응답하여, 용량소자 C2의 차지펌프동작에 의해, 노드 ND2의 전압레벨이 저하한다. MOS 트랜지스터 NQQ2가 도통상태이기 때문에, 이 용량소자 C2의 차지펌프동작에 의해, 노드 NDD1 및 ND2의 전압레벨이, 모두 접지전압으로부터 부전압 -VCC레벨에까지 저하한다. 용량소자 C2의 용량값을, 용량소자 CQ1의 용량값보다도 충분히 크게 함으로써, 내부노드 NDD1 및 ND2를 모두, 접지전압 GND 레벨로부터, 부전압 -VCC 레벨까지 저하시킬 수 있다.

내부노드 ND2의 전압레벨이 부전압 -VCC 레벨로 저하하면, 출력전하 전송단의 MOS 트랜지스터 NQ2가 비도통상태가 되고, 내부노드 ND3과 출력노드 OD1이 분리되고, 내부노드 ND3은, 플로팅상태가 된다.

이 상태로, 시간 t3에서, 제어신호 ϕCT 를, 접지전압 GND 레벨로부터 전원전압 VCC 레벨로 상승한다. 이 제어신호 ϕCT 의 상승에 응답하여, 용량소자 C3의 차지펌프동작에 의해, 노드 ND3의 전압레벨이, 부전압 -VCC로부터 접지전압 GND 레벨로 상승하고, MOS 트랜지스터 NQ1이 도통하며, 내부노드 ND2와 출력노드 OD1이 전기적으로 결합된다. 출력노드 OD1의 전압레벨이, 내부노드 ND2의 전압레벨보다도 높은 경우에는, 출력노드 OD1로부터 내부노드 ND2로 정전하가 이동하여, 출력노드 OD1의 전압레벨이 저하한다.

내부노드 ND3의 전압레벨은, 접지전압 GND 레벨이고, 정상상태시에 있어서는, MOS 트랜지스터 NQ1의 게이트 소스 사이 전압은, 전원전압 VCC 레벨이고, MOS 트랜지스터 NQ1의 임계치전압의 영향을 받지 않고, 내부노드 ND2 및 출력노드 OD1의 사이에서, 전하를 이동시킬 수 있다.

MOS 트랜지스터 NQ1이 도통하고, 내부노드 ND2와 출력노드 OD1의 사이에서 전하가 이동하는 경우, MOS 트랜지스터 NQ2의 게이트 및 소스가 동일전위레벨이 된다. MOS 트랜지스터 NQ2는 인헨스먼트형 트랜지스터이고, 이 상태에 있어서는, 그 임계치전압에 의해, 비도통상태를 유지한다.

시간 t4에서, 제어신호 ϕCT 를 H 레벨로부터 L 레벨로 강하하면, 용량소자 C3의 차지펌프동작에 의해, 내부노드 ND3의 전압레벨이, 다시 부전압 -VCC 레벨로 저하하고, MOS 트랜지스터 NQ1이 비도통상태가 된다.

이 내부노드 ND2와 출력노드 OD1의 사이의 전하의 이동시에 있어서는, MOS 트랜지스터 NQQ2가 도통상태이고, 내부노드 NDD1 및 ND2는 전기적으로 결합되어 있으며, 이 내부노드 ND2로, 내부노드 NDD1로부터 부전하를 공급할 수 있고, 효율적으로 전하를 전송할 수 있다. 이때, MOS 트랜지스터 NQQ1은, 내부노드 NDD1의 전위가, 내부노드 ND2의 전위와 동일한 정도이고, 게이트 소스 사이 전압이 임계치전압 이하이고, 비도통상태를 유지한다.

시간 t5에서, 제어신호 ϕCP 를, 접지전압 GND 레벨의 L 레벨로부터 전원전압 VCC 레벨의 H 레벨로 상승한다. 이 제어신호 ϕCP 의 상승에 응답하여, 용량소자 C2의 차지펌프동작에 의해, 내부노드 ND2의 전위가, 부전압 -VCC 레벨로부터 상승한다. 이때, 제어신호 ϕP 는, 전원전압 VCC 레벨이고, MOS 트랜지스터 NQQ2가, 도통상태를 유지하고 있기 때문에, 내부노드 NDD1 및 ND2가, 모두, 접지전압 GND 레벨까지, 그것들의 전위레벨이 상승한다.

시간 t6에서, 제어신호 ϕP 를 L 레벨로 강하하고, MOS 트랜지스터 NQQ2를, 비도통상태로 설정하면, 내부노드 ND2 및 NDD1이, 전기적으로 분리된다.

시간 t7에서, 제어신호 ϕCTF 를 H 레벨로 상승하면, 용량소자 CQ1의 차지펌프동작에 의해, 내부노드 NDD1의 전압레벨이, 접지전압 GND 레벨로부터 전원전압 VCC 레벨로 상승한다(MOS 트랜지스터 NQQ2는, 비도통상태로 있음). 이 내부노드 NDD1의 전위레벨상승에 따라, MOS 트랜지스터 NQQ1이 도통하고, 내부노드 ND2가, 접지전압 GND 레벨로 프리차지된다.

시간 t_8 에서, 제어신호 ϕ_{CTF} 가 L 레벨로 하강하면, 용량소자 CC1의 차지펌프 동작에 의해, 내부노드 NDD1의 전위가, 다시 접지전압 GND 레벨로 저하하고, MOS 트랜지스터 NQQ1이, 비도통상태가 된다(노드 ND2가 접지전압레벨).

이후, 시간 t_0 으로부터 t_8 의 동작을 반복함으로써, 출력노드 OD1에는, 내부노드 ND2의 전위진폭에 따라, 부전압 $-V_{CC}$ 가 생성된다. 이 출력노드 OD1의 부전압 $-V_{CC}$ 는, 안정화의 용량소자에 의해, 안정하게 유지된다.

출력노드 OD1의 전압레벨이 안정화하기까지의 과도상태에 있어서는, 시간 t_7 내지 시간 t_8 의 사이의 제어신호 ϕ_{CTF} 의 H 레벨에 따라 노드 NDD1이, 전원전압 VCC 레벨이 되고, MOS 트랜지스터 NQQ1이 도통하며, 내부노드 ND2가 접지노드에 결합되어, 접지전압레벨로 설정된다. MOS 트랜지스터 NQQ1을 비도통상태로 한 후, 제어신호 ϕ_{CP} 가 H 레벨로부터 L 레벨로 저하함으로써, 내부노드 ND2가, 부전압 $-V_{CC}$ 레벨이 되고, MOS 트랜지스터 NQ1의 도통시, 출력노드 OD1로부터 내부노드 ND2로 정전하가 유입하여(내부노드 ND2로부터 출력노드 OD1로 부전하가 유출하여), 출력노드 OD1의 전압레벨이 서서히 저하한다.

이 과도상태의 전하의 이동시에 있어서는, 내부노드 ND2의 전압레벨이 부전압 $-V_{CC}$ 레벨이고, MOS 트랜지스터 NQ2는, 그 게이트전위가 소스 및 드레인전압 이하이고, 비도통상태를 유지하고 있으며, 이 상태로, 제어신호 ϕ_{CT} 에 따라 MOS 트랜지스터 NQ1을 도통상태로 유지할 수 있다. 따라서, 과도상태시에 있어서는, 확실히 출력노드 OD1로 부전하를 공급하여 그 전위레벨을 서서히 저하시킬 수 있다.

이 도 18에 나타내는 전압발생회로의 구성에 있어서는, N채널 MOS 트랜지스터만이 사용되고 있다. 따라서, P채널 MOS 트랜지스터와 N채널 MOS 트랜지스터를 분리하기 위한 영역이 불필요하게 되어, 회로점유면적이 감소된다. 또한, P채널 MOS 트랜지스터를 형성하기 위한 공정이 불필요하게 되어, 제조공정수를 감소할 수 있고, 따라서 제조비용을 감소할 수 있다.

또한, MOS 트랜지스터 NQ1, NQ2, NQQ1 및 NQQ2의 게이트전위는, 각각, 제어신호 ϕ_{CT} , ϕ_{CP} , ϕ_{CTF} 및 ϕ_P 에 의해 각각으로 제어하고 있다. 따라서, 이들 제어신호의 타이밍을 적절히 설정함으로써, 무효전하가 흐르는 경로를 차단한 후에 전하를 전송할 수 있어, 무효전하가 흐르는 것을 방지할 수 있고, 효율적으로 부전하를 출력노드 OD1로 전송하여 부전압 $-V_{CC}$ 를 생성할 수 있다.

또한, 이 도 18에 나타내는 구성에 있어서는, 먼저 도 1에 나타내는 실시예 1의 구성의 경우와 같이 제어신호 ϕ_{CT} , ϕ_{CP} , P 및 ϕ_{CTF} 의 진폭 및 MOS 트랜지스터 NQQ1이 결합되는 프리차지전압 공급노드로서의 접지노드 OGG로 공급되는 전압의 레벨을 적당한 값으로 설정함으로써, 이 출력노드 OD1로부터 생성되는 전압을 원하는 전압레벨로 설정할 수 있다.

이상과 같이, 본 발명의 실시예 8에 따르면, 전하전송단을 종속접속하여, 이들 전하전송단의 전하전송을 교대로 실행하고, 또한 이들의 전하전송단의 접속하는 내부노드의 프리차지 및 전하축적을 교대로 실행하고 있으며, 효율적으로 전하를 이용하여 원하는 전압레벨의 부전압을 생성할 수 있다. 또한, 동일도전형의 MOS 트랜지스터로 회로를 구성하고 있어, P 및 NMOS 트랜지스터 분리를 위한 영역이 불필요하게 되고, 또한, 제조공정수도 감소되어, 제조비용을 감소할 수 있다.

(실시예 9)

도 20은, 본 발명의 실시예 9에 따른 전압발생회로의 구성을 나타내는 도면이다. 이 도 20에 나타내는 전압발생회로는, 도 3에 나타내는 전압발생회로와, 이하의 점이, 그 구성이 다르다. 즉, 도 3에 나타내는 교차결합되는 N채널 MOS 트랜지스터 NQ11 및 NQ12 대신에, P채널 MOS 트랜지스터 PQQ1 및 PQQ2가 사용된다. P채널 MOS 트랜지스터 PQQ1은, 프리차지전압 공급노드 NDD12와 내부노드 ND12의 사이에 접속되고 또한 그 게이트가 내부노드 NDD13에 접속된다.

프리차지전압 공급노드 NDD12는, 전원전압 VCC를 공급하는 전원노드 PW에 접속되고, 내부노드 ND12를 전원전압 VCC 레벨로 프리차지하기 위한 전하를 공급한다. 내부노드 NDD13은, 용량소자 CQ13을 통해, 제어신호 ϕ_{CTFZ} 를 수신하는 입력노드 S52에 결합된다. 출력노드 OD11에는, 고전압 $2V_{CC}(=2 \cdot V_{CC})$ 가 생성된다.

P채널 MOS 트랜지스터 PQQ2는, 내부노드 ND12와 내부노드 NDD13의 사이에 접속되고 또한 그 게이트가, 제어신호 ϕ_{PZ} 를 수신하는 입력노드 S11에 접속된다.

내부노드 ND12와 출력노드 OD11의 사이에서 전하를 전송하는 전하전송단의 구성은, 도 3에 나타내는 구성과 동일하고, 대응하는 것에는 동일참조번호를 부착하여, 그 상세설명은 생략한다.

이 내부노드 ND12는, 제어신호 ϕCPZ 를 수신하는 입력노드 S12에, 용량소자 C12를 통해 결합된다.

이들 제어신호 ϕPZ , ϕCPZ , ϕCTZ 및 ϕCTFZ 는, 제어신호 발생회로의 출력하는 제어신호 ϕP , ϕCP , ϕCT 및 ϕCTF 를 인버터에 의해 반전함으로써 생성된다.

이 도 20에 나타내는 구성에 있어서, MOS 트랜지스터 PQQ1 및 PQQ2가, 각각, 제1 및 제2 트랜지스터에 대응하여, MOS 트랜지스터 PQ11 및 PQ12가 각각, 제3 및 제4 트랜지스터에 대응한다. 제어신호 ϕCTFZ , ϕPZ , ϕCPZ 및 ϕCTZ 가, 각각, 제1, 제2, 제3 및 제4 제어신호에 해당한다. 또한, 용량소자, CQ13, C12 및 C13이, 각각, 제1, 제2, 및 제3 용량소자에 대응한다.

도 21은, 도 20에 나타내는 전압발생회로의 동작을 나타내는 신호파형도이다. 도 20에 나타내는 전압발생회로는, 출력노드 OD11에, 전원노드 PW에 공급되는 전압 VCC를 기준으로서, 2VCC의 전압을 발생한다. 따라서, 이 도 20에 나타내는 전압발생회로의 동작파형은, 도 18에 나타내는 전압발생회로의 신호 및 노드의 전압극성을 반전하고, 각 내부노드의 전압을 전원전압 VCC를 기준으로서 측정함으로써 얻을 수 있다. 따라서, 이하에 있어서는, 도 21을 참조하여 간단히, 도 20에 나타내는 전압발생회로의 동작에 대하여 설명한다.

시간 t0에서, 제어신호 ϕPZ , ϕCTZ 및 ϕCTFZ 는, 전원전압 VCC 레벨의 H 레벨이고, 제어신호 ϕCPZ 가, 접지전압 GND 레벨의 L 레벨이다. 이 상태에 있어서는, 노드 ND12는, 전원전압 VCC 레벨이고, 또한 노드 NDD13은, 전원전압 VCC 레벨이다. MOS 트랜지스터 PQQ2는, 비도통상태로 있고, 또한, MOS 트랜지스터 PQQ1도, 비도통상태로 있다. 노드 ND13은, 용량소자 C13의 차지펌프동작에 의해, 먼저 실시예 2와 마찬가지로 고전압 2VCC 레벨이고, MOS 트랜지스터 PQ11은 비도통상태로 있다. 한편, MOS 트랜지스터 PQ12가 도통상태로 있고, 내부노드 ND13은, 출력노드 OD11과 전기적으로 결합되어 있다.

시간 t1에서, 제어신호 ϕPZ 가, H 레벨(전원전압 VCC 레벨)로부터 L 레벨(접지전압 GND 레벨)로 하강하고, MOS 트랜지스터 PQQ2가, 도통상태가 되고, 내부노드 NDD13을 내부노드 ND12에 전기적으로 결합한다. MOS 트랜지스터 PQQ1은, 게이트, 소스 및 드레인전압 등, 전부 동일하고, 비도통상태로 유지한다.

시간 t2에서, 제어신호 ϕCPZ 가, L 레벨로부터 H 레벨로 상승된다. 이 제어신호 ϕCPZ 의 상승에 응답하여, 노드 ND12는, 그 전압레벨이, 용량소자 C12의 차지펌프동작에 의해, 전원전압 VCC 레벨로부터, 이 제어신호 ϕCPZ 의 진폭 VCC만큼 높은 고전압 2VCC 레벨로 상승한다. 이때, MOS 트랜지스터 PQQ2가 도통상태에 있기 때문에, 노드 NDD13이, 고전압 2VCC 레벨까지, 그 전압레벨이 상승한다. 용량소자 C12의 용량값을, 용량소자 CQ13의 용량값보다도 충분히 크게 함으로써, 노드 NDD12의 충전동작시, 마찬가지로 노드 NDD13을 고전압 2·VCC 레벨에까지 충전할 수 있다. 이 노드 NDD13의 전위레벨의 상승에 의해, MOS 트랜지스터 PQQ1은, 비도통상태가 된다.

또한, 내부노드 ND12의 전위레벨의 상승에 따라, MOS 트랜지스터 PQ12가 비도통상태가 되고(출력노드 OD11의 전위레벨은, 2VCC), 내부노드 ND13이, 출력노드 OD11로부터 분리된다.

시간 t3에서, 제어신호 ϕCTZ 가 H 레벨로부터 L 레벨로 하강하고, 내부노드 ND13의 전위레벨이 고전압 2VCC로부터 전원전압 VCC 레벨로 용량소자 C13의 차지펌프동작에 의해 저하한다. 이 내부노드 ND13의 전위가 전원전압 VCC 레벨로 저하하면, MOS 트랜지스터 PQ11이 도통하고, 내부노드 ND12와 출력노드 OD11의 사이에서 전하가 이동한다. MOS 트랜지스터 PQ11의 임계치전압의 절대값이, 전원전압 VCC보다도 충분히 작기 때문에, MOS 트랜지스터 PQ11의 임계치전압의 영향을 받지 않고, 내부노드 ND12와 출력노드 OD11의 사이에서 전하를 전송할 수 있다. 출력노드 OD11의 전압레벨이 2VCC보다도 낮은 경우에는, 내부노드 ND12로부터 정전하가 출력노드 OD11로 전달되고, 출력노드 OD11의 전압레벨이 상승한다.

시간 t4에서, 제어신호 ϕCTZ 가 L 레벨로부터 H 레벨로 상승되면, 내부노드 ND13의 전위레벨이, 다시 고전압 2VCC 레벨로 용량소자 C13의 차지펌프동작에 의해 상승한다. 따라서, MOS 트랜지스터 PQ11이 비도통상태가 되고, 전하전송 동작의 기간이 완료한다. 이때, 내부노드 ND12의 전위레벨이, 내부노드 ND13의 전위레벨보다도 낮고, MOS 트랜지스터 PQ12가 도통상태가 되어도, 내부노드 ND13으로부터 출력노드 OD11로, 정전하가 MOS 트랜지스터 PQ12를 통해 전달된다. 따라서, 출력노드 OD11의 전압레벨이 상승하기 때문에, 유출전하가 유효하게 이용되고, 조금도 무효전류는 흐르지 않는다. 이것은, 실시예 2의 경우와 동일하다.

시간 t_5 에서, 제어신호 ϕ_{CPZ} 가, H 레벨로부터 L 레벨로 저하하고, 따라서, 용량소자 C12의 차지펌프동작에 의해, 내부노드 ND12의 전압레벨이, 고전압 2VCC로부터 전원전압 VCC 레벨로 저하한다. 내부노드 ND12가, 전원전압 VCC 레벨이 되면, MOS 트랜지스터 PQ12가 도통상태가 되고, 노드 ND13과 출력노드 OD11이 동일전위가 되고, MOS 트랜지스터 PQ11이 비도통상태가 되며, 내부노드 ND13과 출력노드 OD11이, 분리된다(출력노드 OD11의 전압레벨이 전원전압 VCC보다도 높은 경우).

또한, MOS 트랜지스터 PQQ2가 도통상태에 있기 때문에, 이 내부노드 ND12의 전위변화에 따라, 내부노드 NDD13은, 정의 고전압 2VCC로부터 전원전압 VCC 레벨로 그 전압레벨이 저하한다. 이 상태에 있어서는, 인헨스먼트형의 MOS 트랜지스터 PQQ1은, 그 게이트 및 소스의 전위가 동일하고, 비도통상태를 유지하기 위해, 내부노드 ND12로부터 전원노드 PW로 전하는 흐르지 않는다.

시간 t_6 에서, 제어신호 ϕ_{PZ} 를 L 레벨로부터 H 레벨로 상승하면, MOS 트랜지스터 PQQ2는, 게이트 및 소스의 전위가 같아지기 때문에, 비도통상태가 되고, 내부노드 NDD13과 내부노드 ND12가 전기적으로 절연된다.

시간 t_7 에서, 제어신호 ϕ_{CTFZ} 가 H 레벨로부터 L 레벨로 저하하면, 용량소자 CQ13의 차지펌프동작에 의해, 내부노드 NDD13의 전압레벨이, 전원전압 VCC로부터 접지전압 GND 레벨로 저하하여, MOS 트랜지스터 PQQ1이 도통하고, 내부노드 ND12가 전원노드 PW에 결합되며, 내부노드 ND12가, 전원전압 VCC 레벨로 프리차지된다.

시간 t_8 에서, 제어신호 ϕ_{CTFZ} 가 L 레벨로부터 H 레벨로 다시 상승되고, 내부노드 NDD13의 전압레벨이, 용량소자 CQ13의 차지펌프동작에 의해, 다시 전원전압 VCC 레벨이 되면, MOS 트랜지스터 PQQ1이 비도통상태가 되고, 내부노드 ND12의 프리차지동작이 완료한다.

이후, 시간 t_0 내지 시간 t_8 의 동작을 반복함으로써, 출력노드 OD11에, 고전압 2VCC를 생성할 수 있다.

출력노드 OD11로부터의 전압이 고전압 2VCC에 도달하기까지의 과도상태에 있어서는, 시간 t_7 로부터 시간 t_8 의 사이의 제어신호 ϕ_{CTFZ} 가, L 레벨(접지전압 GND 레벨)로 떨어지면, MOS 트랜지스터 PQQ1이 도통하고, 내부노드 ND12가, 전원전압 VCC 레벨로 프리차지된다. 출력노드 OD11의 전압레벨이 전원전압 VCC보다도 낮은 경우에는, MOS 트랜지스터 PQ12는, 확실히 오프상태로 유지된다. 제어신호 ϕ_{CPZ} 가, 전원전압 VCC 레벨로 상승하면, 내부노드 ND12의 전압레벨이, 고전압 2VCC 레벨이 되면, MOS 트랜지스터 PQQ1이 비도통상태가 되고, 내부노드 ND12로부터 전원노드 PW로의 전류의 흐름이 차단된다. 또한, MOS 트랜지스터 PQ12는, 그 게이트전위가, 소스 및 드레인전위보다도 높아져, 확실히 비도통상태로 설정된다.

제어신호 ϕ_{CTZ} 가, L 레벨로 저하하면, 내부노드 ND13의 전위레벨이 과도동작시에 있어서는 전원전압 VCC 레벨이 되고, MOS 트랜지스터 PQ11은, 그 게이트전위가 소스전위보다도 낮게 되어 도통하며, 내부노드 ND12로부터 출력노드 OD11로 정전하가 공급되고, 출력노드 OD11의 전압레벨이 상승한다.

이 과도상태시에 있어서, 노드 ND13의 전압레벨은, 전원전압 VCC와 고전압 2VCC와의 사이에서 변화된다. 출력노드 OD11의 전압이 전원전압 이상이 될 때까지는, MOS 트랜지스터 PQ12가 비도통상태를 유지한다. 이 상태에서는, 내부노드 ND13의 전압레벨이, 전원전압 VCC와 접지전압 GND의 사이에서 변화되고, 내부노드 ND13이, 제어신호 ϕ_{CPZ} 에 따라 접지전압레벨로 설정되었을 때, MOS 트랜지스터 PQ11이 도통하고, 출력노드 OD11로 정전하를 공급하여 그 전압레벨을 상승시킨다.

MOS 트랜지스터 PQ12가, 출력노드 OD11의 전압레벨이 전원전압 VCC 이상이 되고, 도통하기 시작하면, 내부노드 ND13의 전압레벨도, 출력노드 OD11의 전압레벨과 같이 상승하고(MOS 트랜지스터 PQ12가 도통하기 시작하면), 내부노드 ND13의 전압레벨도, 출력노드 OD11의 전압레벨에 따라 상승한다. 이 경우, 출력노드 OD11로부터 내부노드 ND13으로 흐르는 전하는, 내부노드 ND13의 전위레벨을 상승시켜, MOS 트랜지스터 PQ12 및 PQ11을, 제어신호 ϕ_{CTZ} 및 ϕ_{CPZ} 에 따라 도통/비도통상태로 설정하기 위해 사용되고 있고, 조금도 무효전류는 흐르지 않는다.

따라서, 이 도 20에 나타내는 전압발생회로에서도, 실시예 8과 마찬가지로 조금도 무효전류를 생기게 하지 않고 효율적으로 전하를 전송하여, 고전압 2VCC를 출력노드 OD11에 생성할 수 있다.

또한, 이 도 20에 나타내는 전압발생회로에서는, P채널 MOS 트랜지스터가 사용되고 있을 뿐이다. 따라서, 실시예 8과 마찬가지로 P채널 MOS 트랜지스터 및 N채널 MOS 트랜지스터 양자를 제조할 필요는 없고, 회로점유면적 및 제조공정수를 감소할 수 있으며, 따라서 제조비용을 저하시킬 수 있다.

또한, 이 실시예 9에서도, 제어신호 ϕPZ , ϕCPZ , ϕCTZ 및 $\phi CTFZ$ 의 진폭은, 전원전압 VCC 레벨이고, 전원전압 VCC를 기준전압으로서, 이 진폭만큼 높은 고전압으로 VCC를 생성하고 있다. 따라서, 이 전원노드(프리차지전압 공급노드)에 공급되는 전압이 전원전압 VCC와 다른 전압레벨이고, 또한 제어신호 ϕPZ , ϕCPZ , ϕCTZ 및 $\phi CTFZ$ 의 진폭이 전원전압 VCC와 다른 경우에는, 출력노드 OD11에, 이 기준프리차지전압 공급노드(전원노드 PW)에 공급되는 전압을 기준으로서, 제어신호 ϕCPZ 의 진폭의 고전압을, 출력노드 OD11에 생성할 수 있다.

이상과 같이, 본 발명의 실시예 9에 따르면, PMOS 트랜지스터를 이용하여, 여기에 게이트전압을 제어하여 전하의 축적 및 전송을 행하고 있고, 무효전류를 생기게 하지 않고 원하는 전압레벨의 정의 고전압을 생성할 수 있다.

(실시예 10)

도 22는, 본 발명의 실시예 10에 따른 전압발생회로의 구성을 나타내는 도면이다. 이 도 22에 나타내는 전압발생회로는, 프리차지전압 공급노드 NDD2는, 제어신호 ϕP 를 수신하는 입력노드 S1에 결합된다. 이 도 22에 나타내는 전압발생회로의 다른 구성은, 도 18에 나타내는 전압발생회로의 구성과 동일하고, 대응하는 부분에는 동일참조번호를 부착하며, 그 상세설명은 생략한다.

MOS 트랜지스터 NQQ1은, 제어신호 ϕCTF 에 따라, 확실히 내부노드 ND2를 접지전압 GND 레벨로 프리차지하기 위해 설정된다. 제어신호 ϕCTF 가 H 레벨(전원전압 VCC 레벨)이 되면, 제어신호 ϕP 는, L 레벨(접지전압 GND 레벨)이다(도 19 참조). 따라서, 이 MOS 트랜지스터 NQQ1의 도통시, 제어신호 ϕP 에 따라 내부노드 ND2를 접지전압레벨로 프리차지할 수 있다.

제어신호 ϕP 가 H 레벨(전원전압 VCC 레벨)일 때, 제어신호 ϕCTF 는, L 레벨(접지전압 GND 레벨)이다. 이 상태에 있어서는, MOS 트랜지스터 NQQ2가 도통상태에 있고, 내부노드 NDD1 및 ND2가 전기적으로 결합되며, MOS 트랜지스터 NQQ1은, 그 게이트 및 소스의 전위가 같고, 비도통상태로 유지된다. 따라서, 내부노드 ND2의 전위레벨 저하시에 있어서, 이 제어신호 입력노드 S1로부터 내부노드 ND2로 전류가 유입하는 것은, 확실히 방지된다.

이 도 22에 나타내는 전압발생회로의 동작과형은, 따라서, 도 18에 나타내는 전압발생회로에 대하여 표시되는 도 19의 동작과형도로 주어진다. 접지전압 GND를 부전압 -VCC 발생을 위해 사용할 필요가 없고, 회로구성 및 레이아웃이 간략화된다. 간단히 안정화 용량(4)에서, 그 다른쪽 전극이, 접지노드 GG에 결합될 뿐이며, 이 안정화 용량(4)은 적당한 위치에 배치할 수 있다. 따라서, 이 전압발생회로는, 전원선 및 접지선의 배선레이아웃의 제약을 받지 않고, 회로배치위치의 제약이 완화되어, 이 전압발생회로를 조립한 반도체장치에서의 전압발생회로의 배치위치의 자유도가 개선된다.

(실시예 11)

도 23은, 본 발명의 실시예 11에 따른 전압발생회로의 구성을 나타내는 도면이다. 이 도 23이 나타내는 전압발생회로는, 도 20에 나타내는 전압발생회로와 이하의 점에서 그 구성이 다르다. 즉, P채널 MOS 트랜지스터 PQQ1에 결합되는 프리차지전압 공급노드 NDD12가, 제어신호 ϕPZ 를 수신하는 제어신호 입력노드 S11에 결합된다. 이 도 23에 나타내는 전압발생회로의 다른 구성은, 도 20에 나타내는 전압발생회로의 구성과 동일하고, 대응하는 부분에는 동일참조번호를 부착하며, 그 상세설명은 생략한다.

MOS 트랜지스터 PQQ1은, 내부노드 ND12를, 전원전압 VCC 레벨로 프리차지하기 위해 설치된다. 제어신호 ϕPZ 는, MOS 트랜지스터 PQQ1을 도통상태로 설정하는 제어신호 $\phi CTFZ$ 가 L 레벨일 때에는, 전원전압 VCC 레벨의 H 레벨이다. 따라서, 이 MOS 트랜지스터 PQQ1의 도통시, 제어신호 ϕPZ 에 의해 내부노드 ND12를 전원전압 VCC 레벨로 프리차지할 수 있다. 따라서, 이 도 23에 나타내는 전압발생회로의 동작과형은, 도 21에 나타내는 동작과형으로 공급되고, 도 20에 나타내는 전압발생회로와 동일한 동작을 실현할 수 있다.

제어신호 ϕPZ 가 L 레벨일 때에는, 제어신호 $\phi CTFZ$ 가 H 레벨이고, MOS 트랜지스터 PQQ2에 의해, 내부노드 NDD13 및 ND12가, 전기적으로 결합된다. 따라서 MOS 트랜지스터 PQQ1은, 그 게이트 및 소스(내부노드 ND12)의 전위가 같아지기 때문에, 비도통상태를 유지하고, 내부노드 ND12로부터 입력노드 S11로 전류가 흐르는 것은 확실히 억제된다.

따라서, 도 23에 나타내는 전압발생회로를 사용하여, 도 20에 나타내는 전압발생회로와 마찬가지로 정의 고전압 2VCC를 생성할 수 있다.

이 도 23에 나타내는 전압발생회로에서는, 고전압 2VCC를 생성하기 위해, 전원전압 VCC가 이용되지 않는다. 따라서, 회로의 구성을 간략화할 수 있고, 또한 배선레이아웃도 간략화할 수 있다. 또한, 전원전압 VCC는, 조금도 전압발생회로에서는 이용되지 않기 때문에, 전원전압 VCC의 배선레이아웃의 영향을 받지 않고 전압발생회로를 배치할 수 있다(반도체 집적회로의 내부회로로서 설치되는 경우). 이 전압발생회로는, 또한, 하나의 회로블록의 매크로로서, 시스템 LSI 등의 구성에 있어서 배치되어도 된다.

이상과 같이, 본 발명의 실시예 11에 따르면, 내부노드 프리차지를 위해 제어신호를 이용하고 있고, 전원이 불필요하게 되어, 회로구성이 간략화된다.

(실시예 12)

도 24는, 본 발명의 실시예 12에 따른 전압발생회로의 구성을 나타내는 도면이다. 이 도 24에 나타내는 전압발생회로는, 도 10a에 나타내는 전압발생회로와, 그 구성이, 이하의 점에서 다르다. 즉, 도 10a에 나타내는 교차결합되는 P채널 MOS 트랜지스터 PQ1, PQ2에 의해 부전하생성단을 구성하는 대신에, 도 18에 나타내는 N채널 MOS 트랜지스터 NQQ1 및 NQQ2와, 용량소자 CQ1 및 C2로, 이 부하전하생성단을 구성한다.

내부노드 ND2와 최종출력노드 FOD의 사이에, 도 10a에 나타내는 구성과 마찬가지로 복수단의 전하전송단 XFN1-XFNn이 직렬로 접속된다. 이 내부노드 ND2로부터 최종출력노드 FOD의 사이에 배치되는 구성은, 도 10a에 나타내는 구성과 동일하고, 대응하는 부분에는 동일참조번호를 부착하여, 그 상세설명은 생략한다. 전하전송단 XFN1-XFNn 각각의 구성은, 도 10b에 나타내는 전하전송단 XFN의 구성과 동일하다.

이 도 24에 나타내는 전압발생회로에서는, 내부노드 ND2는, 그 전압레벨이, 접지전압 GND와 부전압 -VCC의 사이에서 변화되고, 전하전송단 XFN1에 의해, 내부출력노드 OD1로 내부노드 ND2로부터의 부전하가 공급된다. 이 부전하의 내부노드 ND2로부터 내부출력노드 OD1에의 전송시에 있어서는, 제어신호 ϕP 는, H 레벨이고, 내부출력노드 OD1은, 부전압 -VCC 레벨로 프리차지되어 있고(안정동작시), 내부출력노드 OD1의 전압레벨이 확실히 전송제어신호 ϕCT 에 따라 부전압 -VCC 레벨로 설정된다. 전하전송동작시에 있어서는, MOS 트랜지스터 NQ2는 비도통상태이고, MOS 트랜지스터 NQ1은, 내부노드 ND3이 제어신호 ϕCT 에 따라 접지전압레벨이 되고, 따라서 도통하여, 부전압을 노드 ND2 및 OD1의 사이에서 전송할 수 있다.

제어신호 ϕCP 가 H 레벨이 되면, 내부노드 ND2가 접지전압레벨이 되고, MOS 트랜지스터 NQ2가 도통하여, 내부출력노드 OD1과 내부노드 ND3이 전기적으로 접속되고, MOS 트랜지스터 NQ1이 확실히 비도통상태로 설정된다.

이어서, 제어신호 ϕP 가 H 레벨로부터 L 레벨로 하강하면, 내부출력노드 OD1의 전압레벨이, 부전압 -VCC로부터 부전압 -2VCC로 저하한다. 이 상태에 있어서는, MOS 트랜지스터 NQ2가 도통상태로 있고, MOS 트랜지스터 NQ1은, 그 소스 및 드레인이 동일전위가 되어, 비도통상태를 유지한다. 따라서, 부전하의 역류는 생기지 않는다.

이후, 먼저 도 10a에 나타내는 구성과 마찬가지로, 전하전송단 XFN2-XFNn 각각에 있어서, 제어신호 ϕCP 및 ϕP 의 진폭 VCC와 같은 전압강하가 생긴다. 따라서, 전하전송단 XFNn-1의 출력노드 ODn-1의 전위는, 부전압 -(n-1)VCC와 부전압 -n·VCC의 사이에서 변화된다. 최종단의 전하전송단 XFNn이, 제어신호 ϕCTF 에 따라, 최종출력노드 OFOD로 부전하를 공급한다. 따라서, 이 최종출력노드 FOD에는, 도 10a에 나타내는 구성과 동일한 -n·VCC의 부전압이 발생한다.

이때, 이 도 24에 나타내는 전압발생회로의 구성에 있어서, 내부노드 ND2에 대하여, 용량소자 C2가 설치되어 있고, 최종출력노드 FOD에는, 부전압 -n·VCC가 생성된다. 이 용량소자 C2를 사용하여 내부노드 ND2를, 접지전압 GND와 부전압 -VCC의 사이에서 부의 전위를 변화시킴으로써, 전하전송단 XFN1에서, 제어신호 ϕCT 에 응답하여 내부의 전하전송용의 MOS 트랜지스터(NQ1)의 도통시, 확실히, 부전압 -VCC를, 내부출력노드 OD1로 전송할 수 있다. 또한, 내부노드 ND2가 접지전압 GND 레벨로 복귀하였을 때, 전하전송단 XFN1에서, 전하전송용 트랜지스터(NQ1)를 비도통상태로 설정할 수 있다. 따라서, 전하전송단 XFN1에서 제어신호 ϕCT 에 따라 전하전송동작을 제어할 수 있고, 따라서, 무효전류를 생기게 하지 않고, 전하전송단 XFN1-XFNn 각각에 있어서 진폭 VCC의 전압강하를 생기게 할 수 있다.

이 도 24에 나타내는 전압발생회로의 동작에 대해서는, 도 11에 나타내는 신호파형에 의해, 그 동작파형을 얻을 수 있다.

따라서, 이 도 24에 나타내는 전압발생회로에서는 전하전송단 XFN1-XFNn이 전부 N채널 MOS 트랜지스터로 구성되어 있고, 또한, 내부노드 ND2에 기본 부전하를 생성하는 기본부전하 생성단도, N채널 MOS 트랜지스터 NQQ1 및 NQQ2로 구성되어 있다. 따라서, 이 전압발생회로에서, 각 단은, 전부, N채널 MOS 트랜지스터로 구성되어 있고, 점유면적 또한 저 소비전력으로, 원하는 전압레벨의 부전압 $-n \cdot VCC$ 를 생성할 수 있다.

(변경예)

도 25는, 본 발명의 실시예 12의 변경예의 전압발생회로의 구성을 도시한 도면이다. 도 25에 나타내는 전압발생회로에서는, 도 24에 나타내는 전압발생회로와 이하의 점에서 그 구성모기 s 다르다. 즉, N채널 MOS 트랜지스터 NQQ1의 프리차지전압 공급노드 NDD2가, 제어신호 ϕP 를 수신하는 입력노드 S1에 접속된다. 이 도 25에 나타내는 전압발생회로의 다른 구성은, 도 24에 나타내는 전압발생회로의 구성과 동일하여, 대응하는 부분에는 동일참조번호를 부착하여, 그 상세설명은 생략한다.

이 도 25에 나타내는 전압발생회로의 구성에 있어서도, 내부노드 ND2의 전압레벨은, 접지전압 GND(제어신호 ϕP 의 L 레벨에 상당)와 부전압 $-VCC$ 의 사이에서 변화된다. 따라서, 최종출력노드 FOD에는, 부전압 $-n \cdot VCC$ 가 발생한다.

도 25에 나타내는 전압발생회로의 동작과형은, 도 11에 나타내는 동작과형도에 의해 주어진다. 이 도 25에 나타내는 전압발생회로에서는, 접지전압 GND가 부전압발생을 위해 사용되고 있지 않기 때문에, 먼저 실시예 10과 같이 회로구성을 간략화할 수 있고, 따라서 제조비용을 감소할 수 있다.

이상과 같이, 본 발명의 실시예 12에 따르면, 전하전송단을, 복수단 종속접속하여 최종출력노드에 최종 부전압을 생성하고 있고, 용이하게, 원하는 전압레벨의 부전압을 생성할 수 있다. 또한, 각 전하전송단은, N채널 MOS 트랜지스터로 구성되기 때문에, 회로구성을 간략화할 수 있고, 또한, 회로레이아웃면적을 감소할 수 있어, 제조비용을 감소할 수 있다.

(실시예 13)

도 26은, 본 발명의 실시예 13에 따른 전압발생회로의 구성을 나타내는 도면이다. 이 도 26에 나타내는 전압발생회로는, 도 16에 나타내는 전압발생회로와 이하의 점에서, 그 구성이 다르다. 즉, 내부노드 ND12에 정전하를 공급하는 회로로서, 먼저 도 20에 나타내는 바와 같이, P채널 MOS 트랜지스터 PQQ1 및 PQQ2와 용량소자 CQ13 및 C12가 사용된다. 이 MOS 트랜지스터 PQQ1의 프리차지전압 공급노드 NDD12는, 전원노드 PW에 결합되어 전원전압 VCC를 수신한다. 이 내부노드 ND12에, 정전하를 공급하는 회로구성은, 도 20에 나타내는 구성과 동일하고, 대응하는 부분에는 동일참조번호를 부착하여, 그 상세설명은 생략한다.

또한, 도 6에 나타내는 전압발생회로의 구성과 마찬가지로 내부노드 ND12와 최종출력노드 FOD의 사이에, n단의 전하전송단 XFP1-XFPn이 종속접속된다. 또한, 각 전하전송단 XFP1-XFPn-1의 내부출력노드 ODP1-ODPn-1에는, 용량소자 CC, 1-CCn-1이 접속된다. 이들 전하전송단 XFP1-XFPn 및 용량소자 CC1-CCn-1의 접속 및 동작은, 도 18에 나타내는 전압발생회로의 그것과 동일하고, 대응하는 부분에는 동일참조번호를 붙이고 있다. 따라서, 전하전송단 XFP1-XFPn은, 교대로, 내부노드의 프리차지 및 전하전송동작을 행하고, 또한, 용량소자 CC1-CCn-1이, 교대로 대응의 내부출력노드 ODP1-ODPn-1의 프리차지 및 승압을 실행한다.

내부노드 ND12는, 먼저 도 20에 나타내는 전압발생회로의 구성과 마찬가지로, 전압 VCC 및 2VCC의 사이에서 그 전위가 변화된다. 전하전송단 XFP1에 의해, 내부출력노드 ODP1(OD11)에 고전압 2VCC가 전달된 후, 제어신호 ϕPZ 에 따라, 용량소자 CC1에 의해, 이 내부출력노드 ODP1의 전압레벨이 또 전압 VCC만큼 승압된다. 따라서, 전하전송단 XFP1-XFPn-1에 의해, 각각의 출력노드에, 전단의 출력노드전압에 대하여 전압 VCC만큼 승압한 전압이 생성된다. 전하전송단 XFP(n-1)의 출력노드 ODPn-1은, 그 전압레벨이, 전압 $n \cdot VCC$ 와 $(n+1) \cdot VCC$ 와의 사이에서 변화된다. 따라서, 최종단의 전하전송단 XFPn에 의해, 최종출력노드 FOD에, 고전압 $(n+1)VCC$ 가 생성된다.

이 도 26에 나타내는 전압발생회로의 동작과형은, 따라서, 도 19에 나타내는 전압발생회로의 동작과형으로 공급되고, 마찬가지로, 전원전압 VCC로부터 고전압 $(n+1)VCC$ 를 생성할 수 있다.

이 내부노드 ND12에 대하여 용량소자 C12를 배치하여, 내부노드 ND12의 전위를 전원전압 VCC와 고전압 $2 \cdot VCC$ 와의 사이에서 변화시킴으로써, 전하전송단 XFP1에서, 제어신호 ϕCPZ 가 H레벨로 되었을 때에 확실히 전송용의 MOS 트랜지스터(PQ.11)를 비도통상태로 유지하고, 확실히 정전하의 역류를 방지하며, 또한, 제어신호 ϕCTZ 에 따라 전하전송단 XFP1을 통해 정전하를 노드 ND12로부터 내부출력노드 ODP1에 전송할 수 있다.

전하전송단 XFP1-XFPn은, P채널 MOS 트랜지스터로 구성되어 있고, 또한, 내부노드 ND12에의 정전하공급단도, P채널 MOS 트랜지스터 PQQ1 및 PQQ2로 구성되어 있고, 동일도전형의 MOS 트랜지스터로 구성된다. 따라서, 회로구성을 간략화하여, 임의의 전압레벨의 정의 고전압 $(n+1)VCC$ 를 생성할 수 있다.

(변경예)

도 27은, 본 발명의 실시예 13의 변경예의 전압발생회로의 구성을 나타내는 도면이다. 이 도 27에 나타내는 전압발생회로는, 이하의 점에서, 도 26에 나타내는 전압발생회로와 그 구성이 다르다. 즉, 프리차지전압 공급노드 NDD12가, 제어신호 ϕPZ 를 수신하는 입력노드 S11에 결합된다. 이 도 27에 나타내는 전압발생회로의 다른 구성은, 도 26에 나타내는 전압발생회로의 구성과 동일하고, 대응하는 부분에는 동일참조번호를 부착하여, 그 상세설명은 생략한다.

이 도 27에 나타내는 전압발생회로의 구성에 있어서도, 마찬가지로, 내부노드 ND12에는, 전압 VCC 및 $2VCC$ 의 사이에서 변화되는 전압이 생성된다. 따라서, 도 26에 나타내는 전압발생회로와 마찬가지로, 최종출력노드 FOD로부터, $(n+1)VCC$ 의 전압레벨의 정 고전압이 발생된다.

이 도 27에 나타내는 전압발생회로에서는, 고전압 $(n+1)VCC$ 를 발생시키기 위해서는, 전원전압 VCC가 이용되고 있지 않다. 따라서, 회로구성을 간략화할 수 있다.

이 도 27에 나타내는 전압발생회로의 동작과형은, 도 26에 나타내는 전압발생회로와 마찬가지로 도 19에 나타내는 동작과형에 의해 주어진다.

이상과 같이, 본 발명의 실시예 13에 따르면, 내부노드와 최종출력노드의 사이에 전하전송단을 복수단 종속접속하고, 이들 전하전송단의 출력노드의 프리차지 및 전하전송을 교대로 행하고, 또한, 트랜지스터 소자를, 전부 P채널 MOS 트랜지스터로 구성하고 있어, 효율적으로 전하를 전송하여 정의 고전압을 생성할 수 있고, 또한 회로점유면적 및 제조비용을 감소할 수 있다.

발명의 효과

본 발명에 관한 전압발생회로는, 일반의 LSI(대규모 집적회로)에 있어서 내부전압을, 발생하는 회로로서 적용할 수 있다. 또한, 일반적으로, 전원전압 및 접지전압과 다른 전압레벨의 전압을 필요로 하는 반도체장치에 적용할 수 있다. 또한, 정 및 부의 전압을 필요로 하는 액정표시장치의 액정구동용의 전압발생회로로서도 이용할 수 있다. 본 발명에 관한 전압발생회로를 이용함으로써, 최종제품 또는 부품의 저비용화 및 저소비전력화를 실현할 수 있다.

본 발명에 따르면, 트랜지스터 각각의 게이트전위를 용량소자의 차지펌프동작에 의해 제어하여 내부전압발생을 위해 전하를 발생하고 있고, 트랜지스터의 도통/비도통을 각각에 정확하게 제어하여 내부전압발생을 위한 전하를 생성하고 있으며, 무효전류가 흐르는 것을 억제할 수 있어, 효율적으로 전하를 사용하여 원하는 레벨의 내부전압을 저소비전력으로 생성할 수 있다.

(57) 청구의 범위

청구항 1.

소정의 전압이 인가되는 기준전압노드와 제1 내부노드와의 사이에 접속되고 또한 그 제어전극이 제2 내부노드에 접속되는 제1 도전형의 제1 트랜지스터와,

상기 기준전압노드와 상기 제2 내부노드와의 사이에 접속되고 그 제어전극이 상기 제1 내부노드에 접속되는 제1 도전형의 제2 트랜지스터와,

프리차지용의 제1 제어신호를 수신하는 제1 입력노드와 상기 제1 내부노드와의 사이에 접속되는 제1 용량소자와,
 전하축적용의 제2 제어신호를 수신하는 제2 입력노드와 상기 제2 내부노드와의 사이에 접속되는 제2 용량소자와,
 상기 제2 내부노드와 출력노드와의 사이에 접속되고 그 제어전극이 제3 내부노드에 접속되는 제2 도전형의 제3 트랜지스터와,
 상기 제3 내부노드와 전하전송용의 제3 제어신호를 수신하는 제3 입력노드와의 사이에 접속되는 제3 용량소자와,
 상기 출력노드와 상기 제3 내부노드와의 사이에 접속되고 그 제어전극이 상기 제2 내부노드에 접속되는 제2 도전형의 제4 트랜지스터를 구비한 것을 특징으로 하는 전압발생회로.

청구항 2.

제 1 항에 있어서,
 상기 출력노드와 최종출력노드와의 사이에 접속되어 상기 최종출력노드에 최종전압을 발생하는 적어도 1단의 전압구동단을 더 구비하고,
 상기 전압구동단은,
 그 전압구동단의 입력노드와 그 전압구동단의 출력노드와의 사이에 접속되고 그 제어전극이 제4 내부노드에 접속되는 제2 도전형의 제5 트랜지스터와,
 상기 전압구동단의 입력노드에 결합되는 제4 용량소자를 구비하고, 상기 전압구동단이 복수단 배치될 때, 그 접속계열에 있어서 상기 제4 용량소자에는, 상기 제1 및 제2 제어신호가 교대로 공급되고,
 상기 제4 내부노드와 상기 전압구동단의 출력노드와의 사이에 접속되고 그 제어전극이 상기 전압구동단 입력노드에 접속되는 제2 도전형의 제6 트랜지스터와,
 상기 제4 내부노드에 결합되는 제5 용량소자를 구비하고, 상기 제5 용량소자에는, 상기 전압구동단이 복수단 배열될 때, 그 접속계열에 있어서 제4 제어신호와 상기 제3 제어신호가 교대로 공급되는 것을 특징으로 하는 전압발생회로.

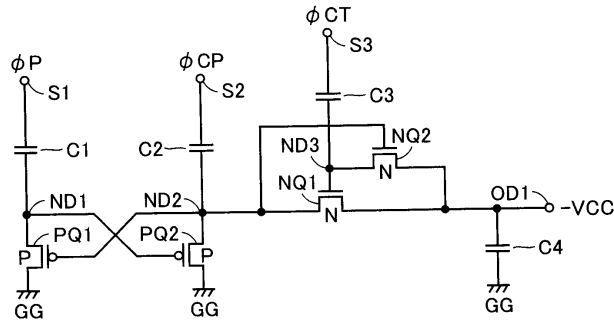
청구항 3.

프리차지전압을 공급하는 프리차지전압 공급노드와 제1 내부노드와의 사이에 접속되고 그 제어전극이 제2 내부노드에 접속되는 제1 트랜지스터와,
 프리차지용의 제1 제어신호를 수신하는 제1 입력노드와 상기 제2 내부노드와의 사이에 접속되는 제1 용량소자와,
 상기 제1 내부노드와 상기 제2 내부노드와의 사이에 접속되고 그 제어전극이 전하축적용의 제2 제어신호를 수신하는 제2 입력노드에 접속되는 제2 트랜지스터와,
 상기 제1 내부노드와 출력노드와의 사이에 접속되고 그 제어전극이 제3 내부노드에 접속되는 제3 트랜지스터와,
 상기 출력노드와 상기 제3 내부노드와의 사이에 접속되고 그 제어전극이 상기 제1 내부노드에 접속되는 제4 트랜지스터와,
 제2 전하프리차지용의 제3 제어신호를 수신하는 제3 입력노드와 상기 제1 내부노드와의 사이에 접속되는 제2 용량소자와,
 제2 전하프리차지용의 제4 제어신호를 수신하는 제4 입력노드와 상기 제3 내부노드와의 사이에 접속되는 제3 용량소자와,
 상기 제3 내부노드와 출력노드와의 사이에 접속되고 그 제어전극이 제4 내부노드에 접속되는 제5 트랜지스터와,
 상기 출력노드와 상기 제4 내부노드와의 사이에 접속되고 그 제어전극이 상기 제3 내부노드에 접속되는 제6 트랜지스터를 구비한 것을 특징으로 하는 전압발생회로.

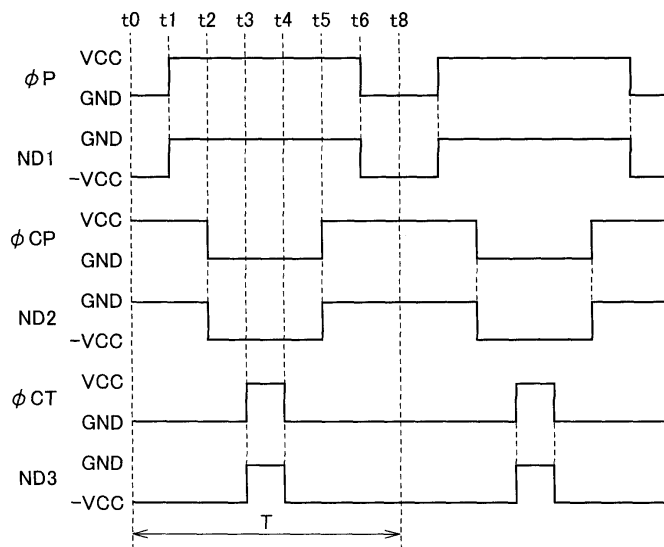
전하전송용의 제4 제어신호를 수신하는 제4 입력노드와 상기 제3 내부노드와의 사이에 접속되는 제3 용량소자를 구비한 것을 특징으로 하는 전압발생회로.

도면

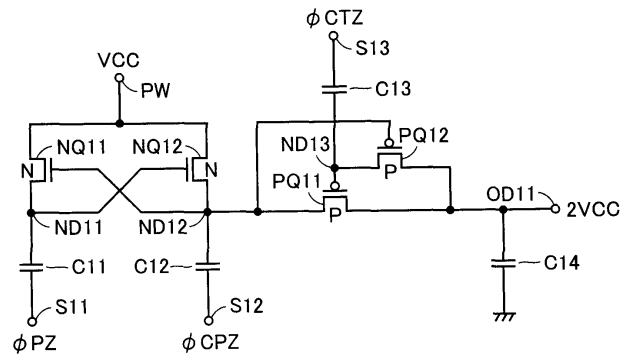
도면1



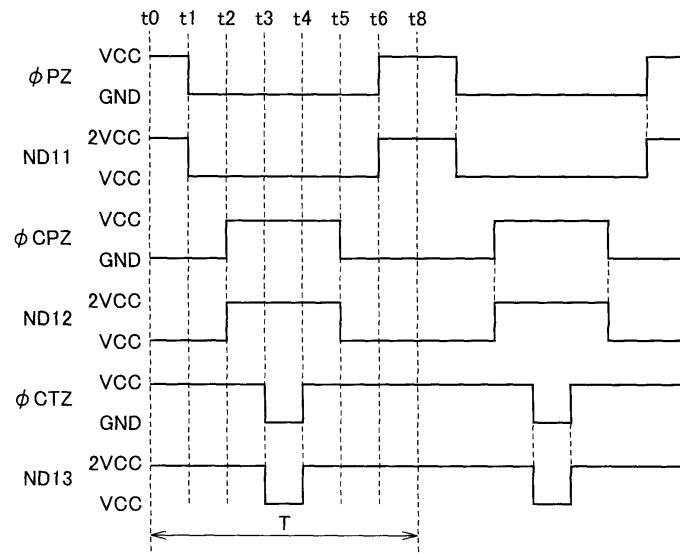
도면2



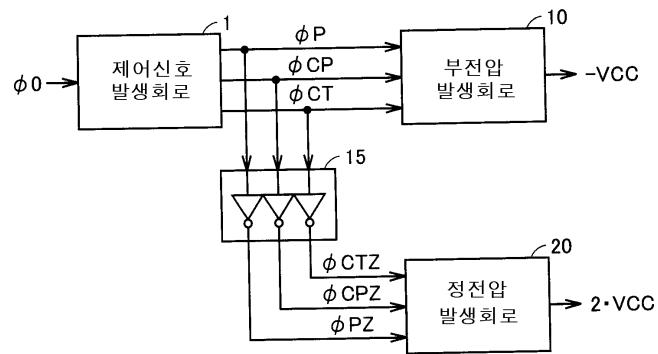
도면3



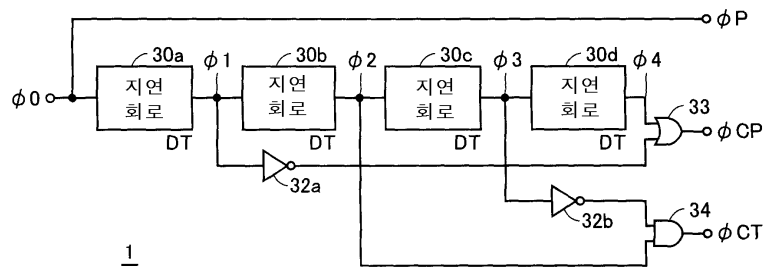
도면4



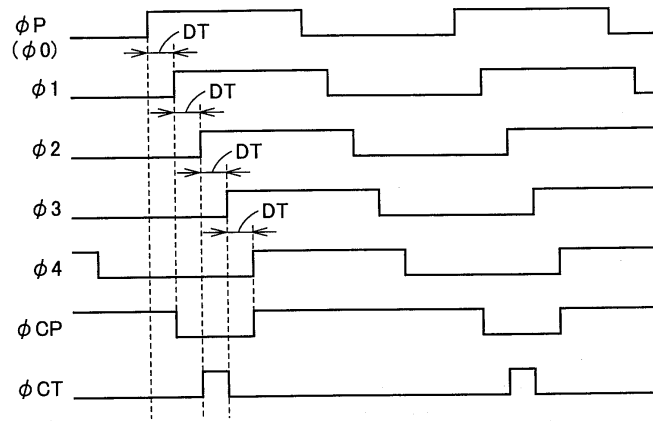
도면5



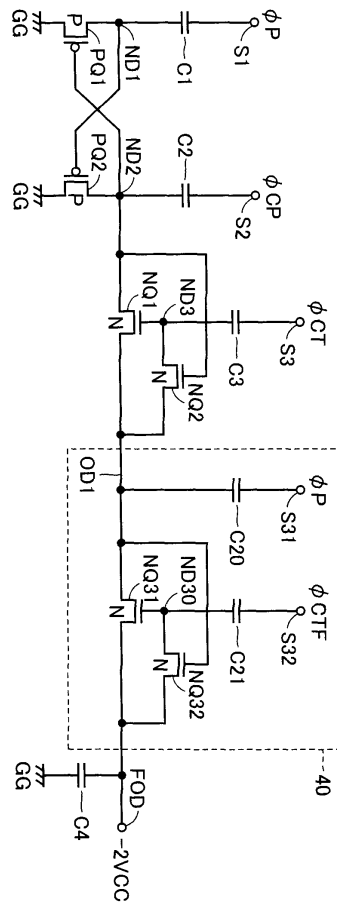
도면6



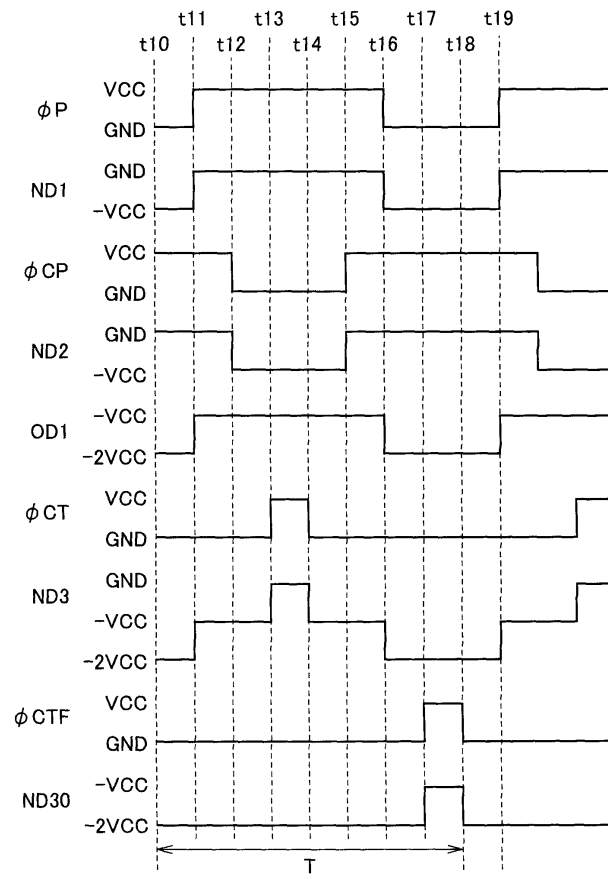
도면7



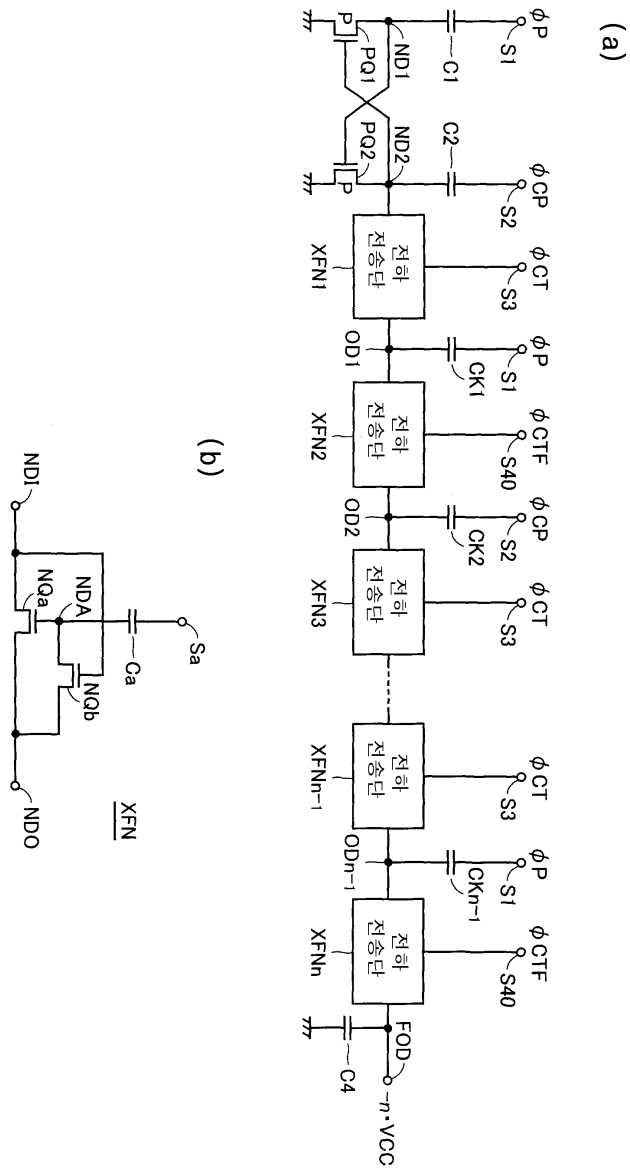
도면8



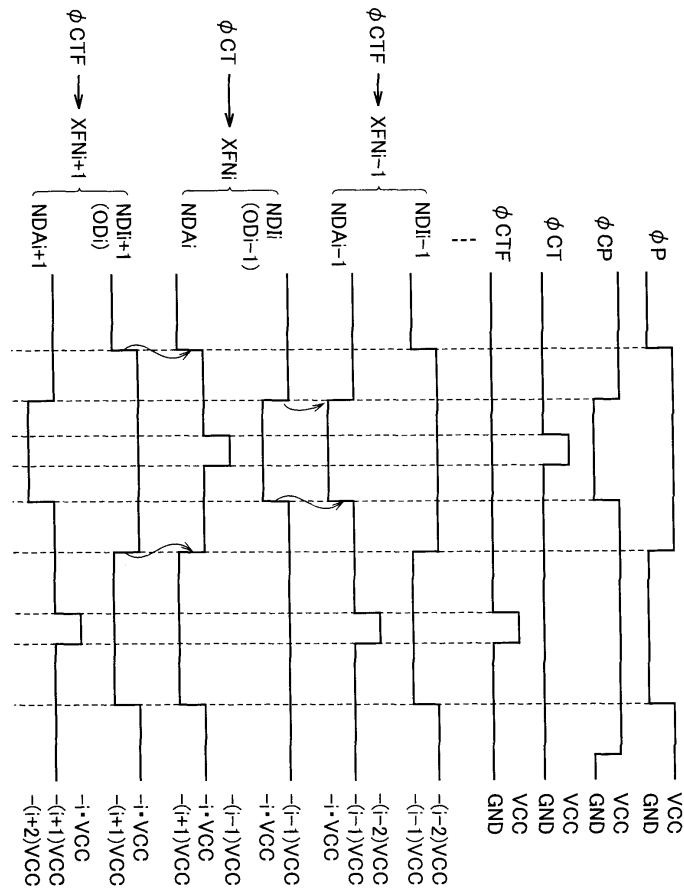
도면9



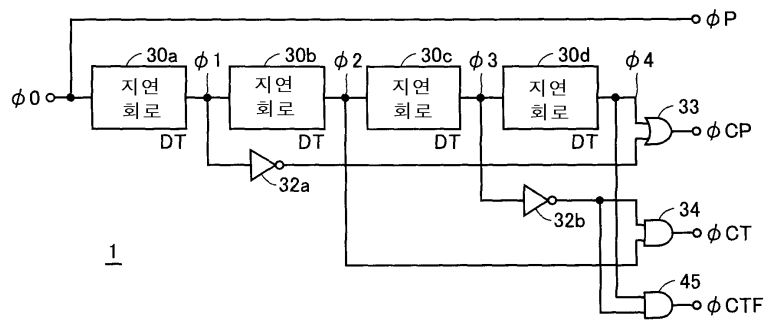
도면10



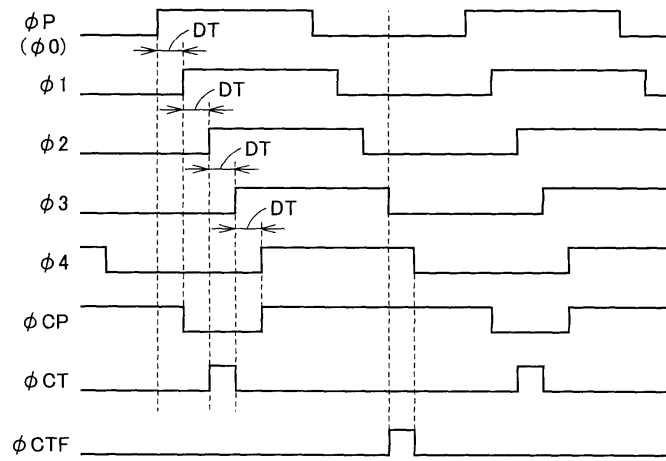
도면11



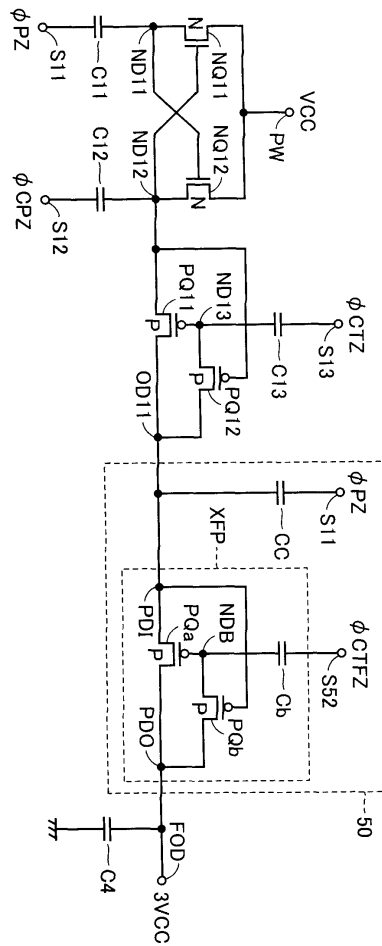
도면12



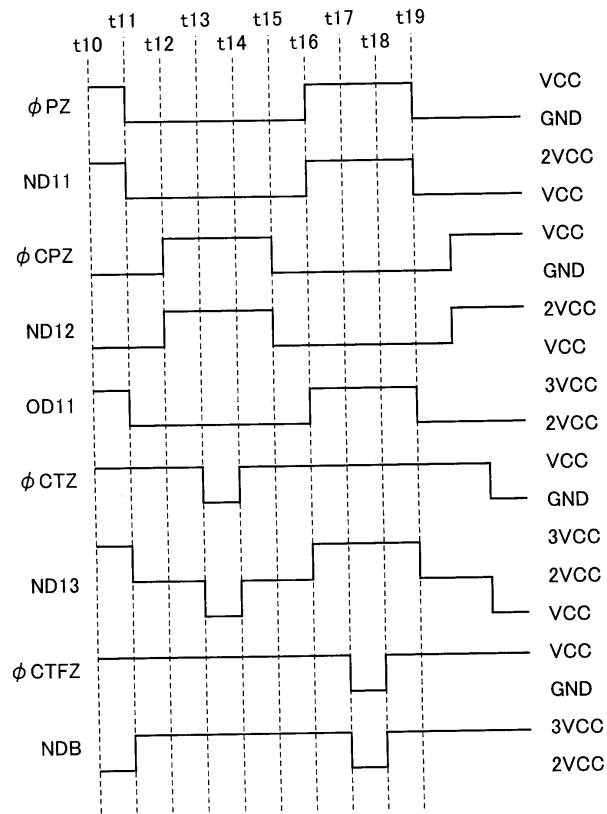
도면13



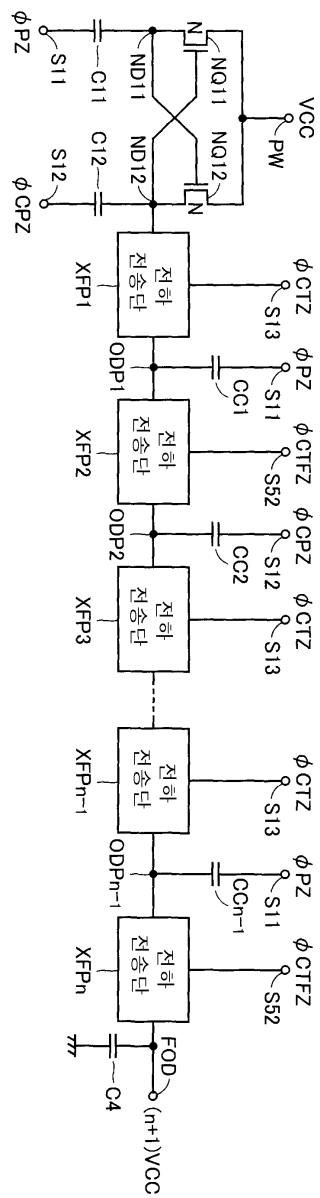
도면14



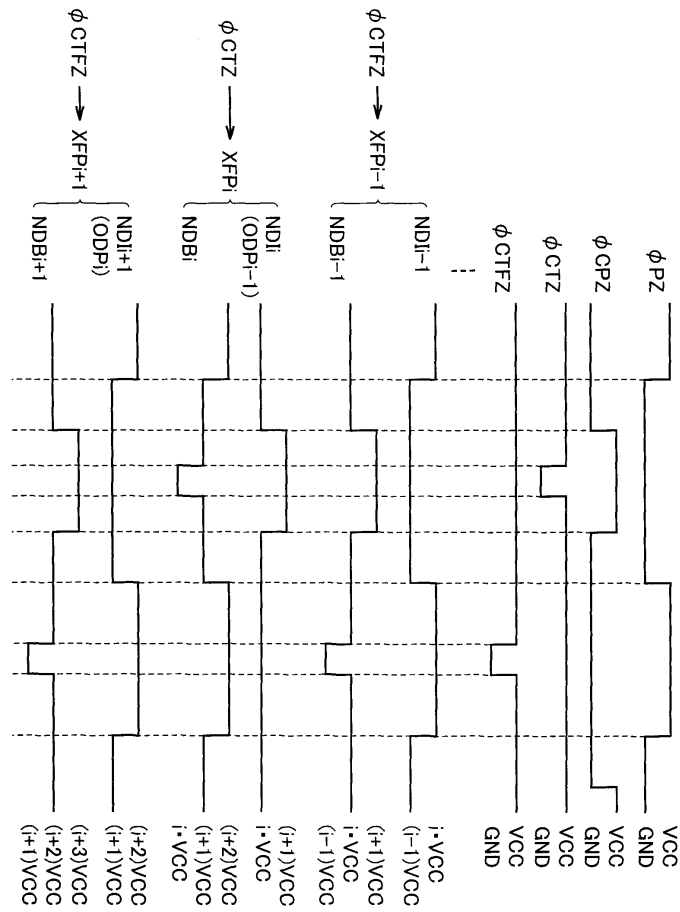
도면15



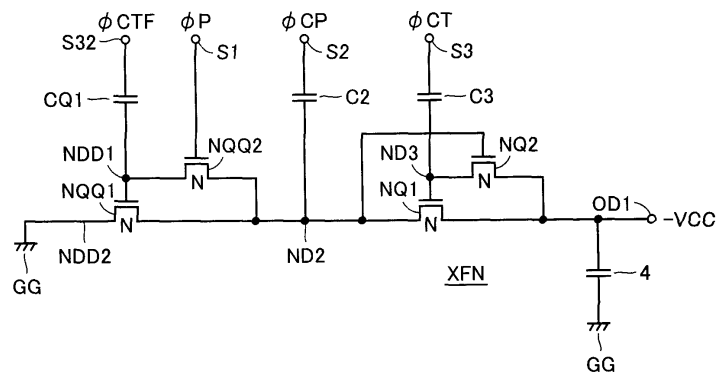
도면16



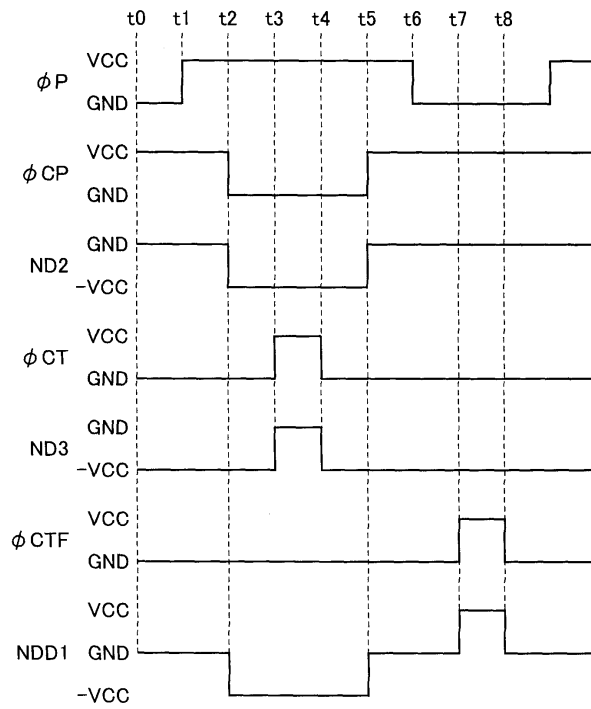
도면17



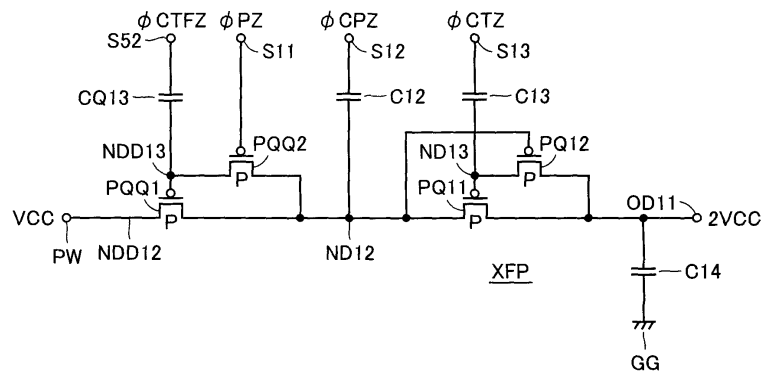
도면18



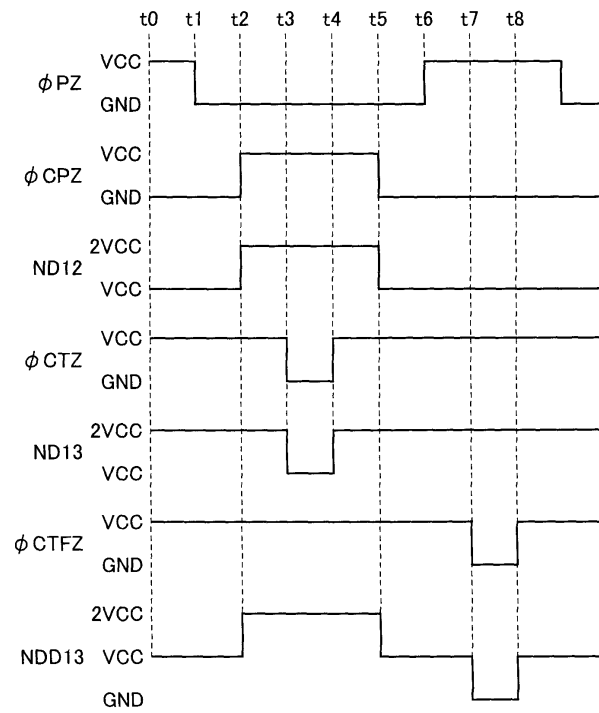
도면19



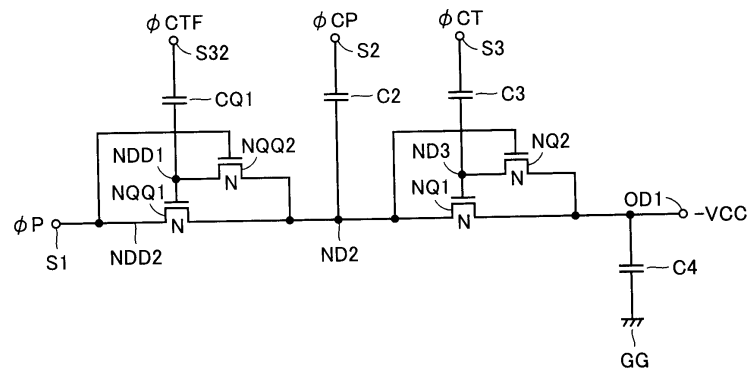
도면20



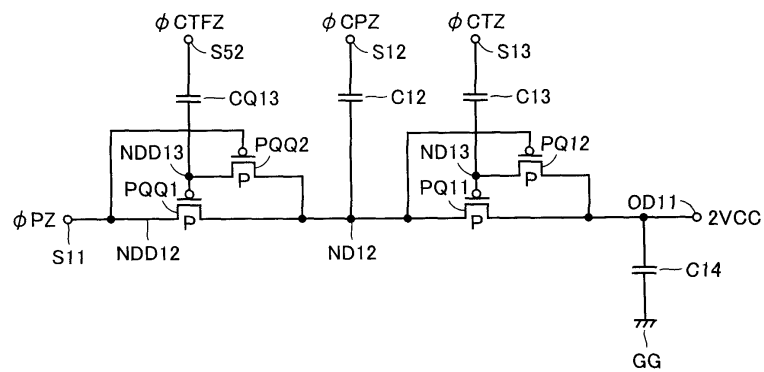
도면21



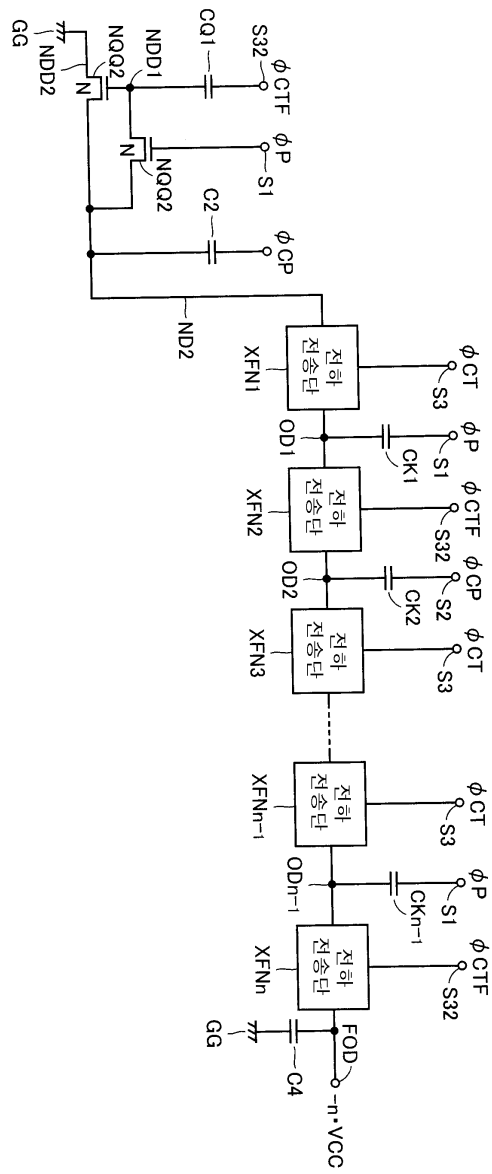
도면22



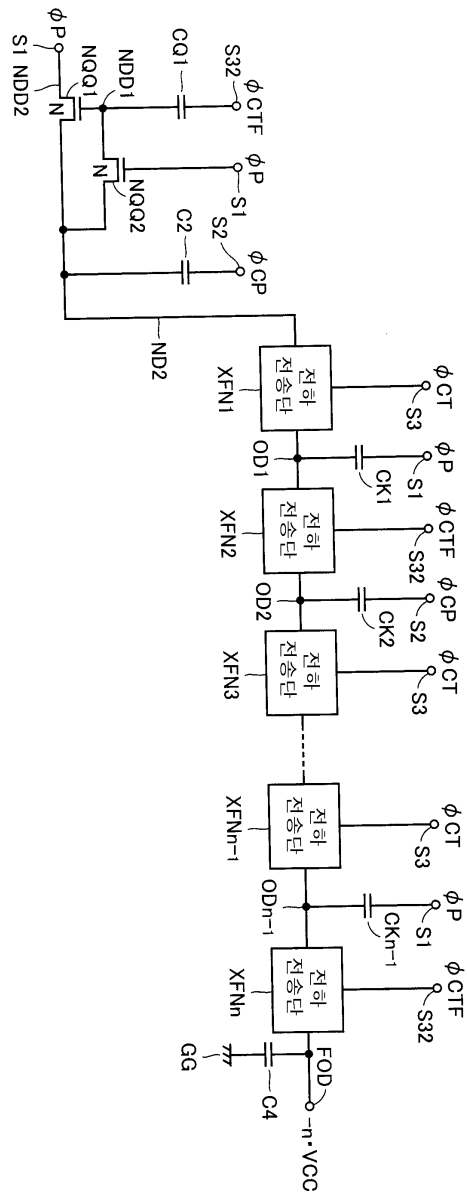
도면23



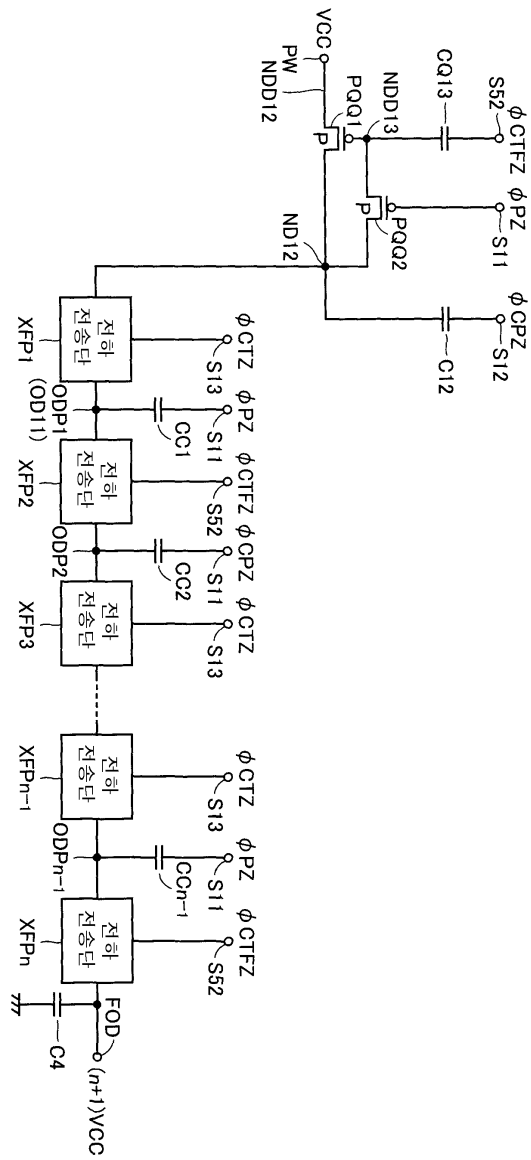
도면24



도면25



도면26



도면27

